

AIC Lab1 实验报告

姓名：冯峻 学号：523031910148

2025 年 10 月 22 日

目录

1 任务一：NMOS ID vs. VGS 特性分析	4
1.1 任务要求	4
1.2 实验结果	4
1.3 理论分析	4
2 任务二：跨导 gm vs. VGS 特性分析	6
2.1 任务要求	6
2.2 实验结果	6
2.3 理论分析	6
3 任务三：gm/ID 特性分析与最佳工作点	8
3.1 任务要求	8
3.2 实验结果	8
3.3 理论分析	8
4 任务四：ID vs. VGS and VDS 三维特性分析	10
4.1 任务要求	10
4.2 实验结果	10
4.3 理论分析	10
5 任务五：NMOS 关键参数提取与计算	12
5.1 任务要求	12
5.2 实验数据与计算过程	12
5.2.1 输出电阻 r_o 的提取	12
5.2.2 阈值电压 V_{th} 的提取	12
5.2.3 沟道长度调制参数 λ 的提取	13
5.2.4 迁移率与栅氧化层电容乘积 μC_{ox} 的提取	13

5.2.5	输出电阻 r_o 的另一种计算方法	14
5.3	理论分析	14
6	任务六：输出电阻 r_o 的分析	15
6.1	任务要求	15
6.2	实验结果	15
6.3	理论分析	15
7	任务七：本征增益与尺寸优化分析	17
7.1	任务要求	17
7.2	实验结果	17
7.2.1	g_m/i_d 性能优化	17
7.2.2	本征增益分析	17
7.3	理论分析	17
7.3.1	本征增益的理论推导	18
8	任务八：CMOS 反相器 DC 特性分析	19
8.1	任务要求	19
8.2	实验结果	19
8.3	理论分析	20
9	任务九：CMOS 反相器尺寸优化	22
9.1	任务要求	22
9.2	实验结果	22
9.2.1	PMOS 宽度优化	22
9.2.2	Finger 数量影响分析	24
9.3	理论分析	24
9.3.1	开关阈值的理论计算	24
9.3.2	Finger 结构的影响	26
10	任务十：CMOS 反相器交直流与时域特性综合分析	27
10.1	任务要求	27
10.2	实验参数	27
10.3	AC 小信号分析	27
10.3.1	幅频响应特性	27
10.3.2	DC 验证	28
10.3.3	不同偏置点的 AC 特性	28
10.4	时域瞬态分析 (TRAN)	29
10.4.1	小信号时域响应	29

10.5 综合理论分析	30
10.5.1 小信号增益的理论计算	30
10.5.2 偏置点对增益的影响	30
10.5.3 小信号条件与大信号失真	31
10.5.4 三种仿真方法的关系	32

1 任务一：NMOS I_D vs. V_{GS} 特性分析

1.1 任务要求

任务 1：在报告中包含 I_D vs. V_{GS} 曲线，并根据理论分析为什么曲线是这样的形状。

1.2 实验结果

图1展示了 NMOS 晶体管的漏极电流 I_D 与栅源电压 V_{GS} 的关系曲线。

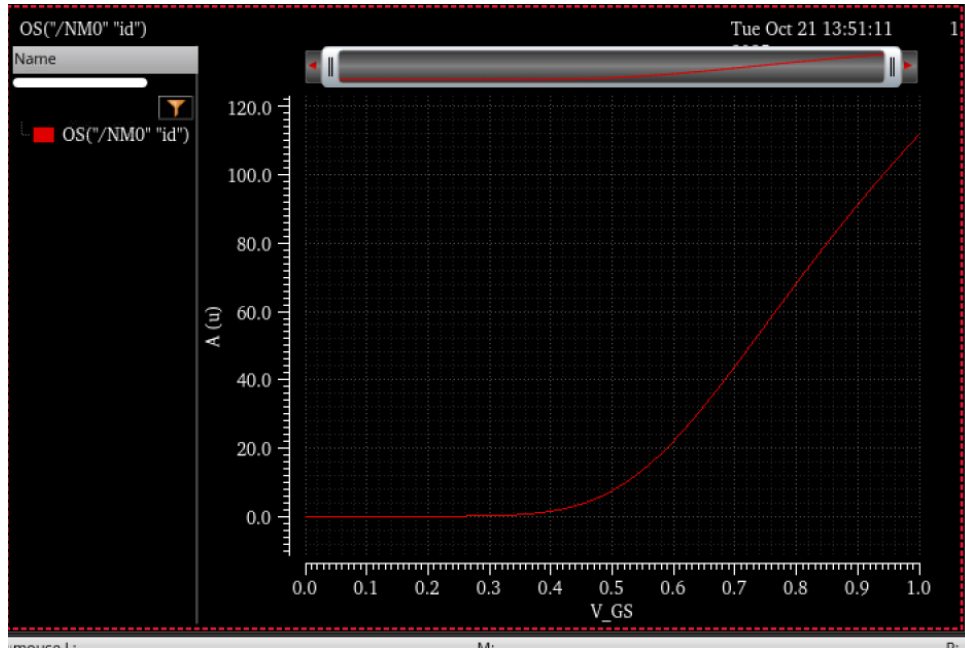


图 1: NMOS I_D vs. V_{GS} 特性曲线

1.3 理论分析

NMOS 晶体管的 I_D - V_{GS} 特性曲线可以分为四个工作区域：

1. **截止区**：当 $V_{GS} < V_{TH}$ 时，晶体管处于截止状态，此时 $I_D \approx 0$ 。从曲线可以看出，当 V_{GS} 较小时，漏极电流几乎为零。

2. **亚阈值区**：当 V_{GS} 接近但小于 V_{TH} 时，晶体管进入亚阈值区，此时漏极电流呈指数增长：

$$I_D = I_0 e^{\frac{V_{GS} - V_{TH}}{nV_T}} \quad (1)$$

其中 n 为亚阈值斜率因子， V_T 为热电压（约 26mV）。

3. **饱和区**：当 $V_{GS} > V_{TH}$ 时，晶体管进入强反型区。根据 MOS 晶体管的基本理论，在饱和区工作时：

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2)$$

4. 线性区：当 V_{GS} 继续增大，使得 $V_{DS} < V_{GS} - V_{TH}$ 时，晶体管进入线性区。根据 MOS 晶体管的基本理论，在线性区工作时：

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3)$$

从曲线形状可以看出：

- 在 $V_{GS} < V_{TH}$ 时，电流几乎为零（截止区）
- 在 V_{GS} 接近 V_{TH} 时，电流开始缓慢增加（亚阈值区）
- 当 $V_{GS} > V_{TH}$ 后，电流随 V_{GS} 呈近似二次方关系快速增长（强反型饱和区）
- 随着 V_{GS} 进一步增大，电流增长速率减缓，近似呈线性增长（线性区）

2 任务二：跨导 g_m vs. V_{GS} 特性分析

2.1 任务要求

任务 2：在报告中包含 g_m vs. V_{GS} 曲线，并根据理论分析为什么曲线是这样的形状。

2.2 实验结果

图2展示了 NMOS 晶体管的跨导 g_m 与栅源电压 V_{GS} 的关系曲线。

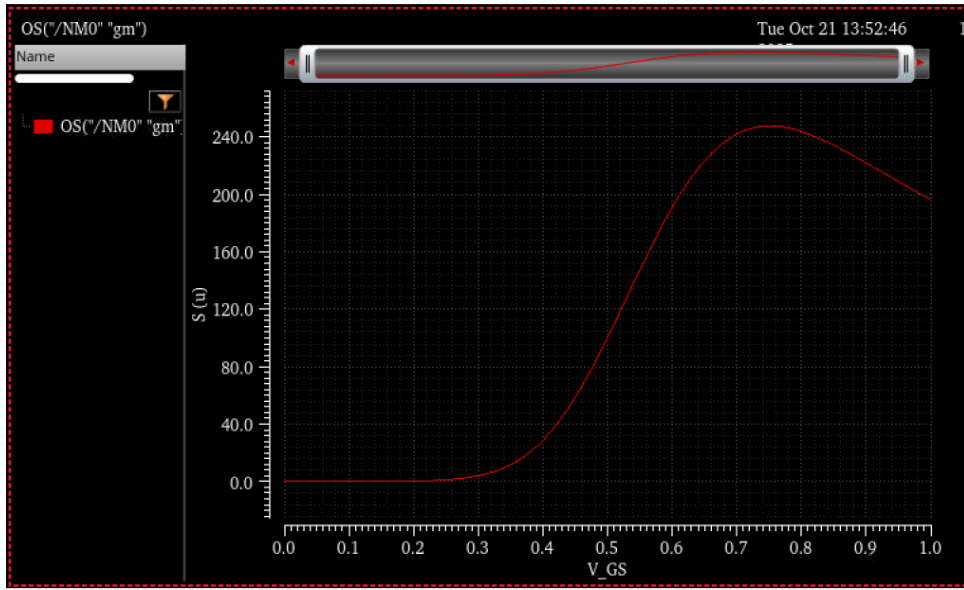


图 2: NMOS g_m vs. V_{GS} 特性曲线

2.3 理论分析

跨导 g_m 定义为漏极电流对栅源电压的偏导数：

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (4)$$

根据任务一中的 I_D 表达式：

- 在饱和区：

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (5)$$

对 V_{GS} 求导可得：

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \quad (6)$$

从理论公式可以看出， g_m 与 $(V_{GS} - V_{TH})$ 成线性关系。这与图2中的曲线形状相符：

- 在线性区：

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (7)$$

对 V_{GS} 求导可得：

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{DS} \quad (8)$$

从理论公式可以看出，在线性区， g_m 与 V_{DS} 成正比，与 V_{GS} 无关。这也与图2中的曲线形状相符。

- 当 V_{GS} 进一步增大，栅控能力过强，导致沟道中的横向电场过大，出现速度饱和效应和非常迁移率效应，使得跨导增长速率减缓，甚至下降。

3 任务三：gm/ID 特性分析与最佳工作点

3.1 任务要求

任务 3：在报告中包含 gm/id 曲线，请分析最佳 gm/id 的工作点出现在什么区。这个区 MOS 能不能正常工作。能让 MOS 正常工作并能取得比较优异 gm/id 性能的工作区是哪个区。

3.2 实验结果

图3展示了 NMOS 晶体管的 g_m/I_D 与栅源电压 V_{GS} 的关系曲线。

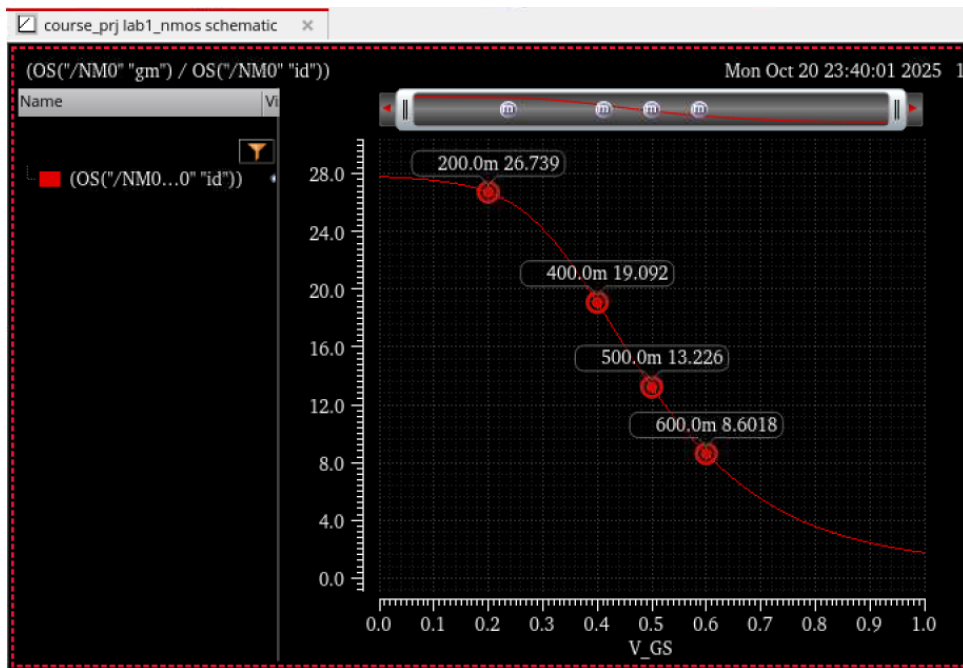


图 3: NMOS g_m/I_D vs. V_{GS} 特性曲线

3.3 理论分析

g_m/I_D 比值是模拟集成电路设计中的一个重要参数，它反映了单位电流下晶体管的跨导效率，是衡量功耗效率的关键指标。

从理论分析可知，在不同工作区域：

1. 亚阈值区：在亚阈值区， $I_D \propto e^{V_{GS}/nV_T}$ ，因此：

$$\frac{g_m}{I_D} = \frac{1}{nV_T} \quad (9)$$

此时 g_m/I_D 达到理论最大值。

2. 弱反型到中等反型区：这是从亚阈值区过渡到强反型区的区域， g_m/I_D 开始下降但仍保持较高水平。

3. 强反型区（饱和区）：在强反型饱和区：

$$\frac{g_m}{I_D} = \frac{2}{V_{GS} - V_{TH}} \quad (10)$$

随着 V_{GS} 增加， g_m/I_D 持续下降。

从图3可以观察到：

- 最佳 g_m/I_D 出现在**亚阈值区**，此时 g_m/I_D 达到最大值
然而，亚阈值区的工作电流极小，虽然功耗效率最高，但晶体管的驱动能力很弱，且速度很慢，不适合大多数模拟电路应用
- **中等反型区/饱和区**是最佳的折中工作区域，这个区域的 g_m/I_D 仍然较高，同时有足够的电流驱动能力和合理的工作速度

4 任务四：ID vs. VGS and VDS 三维特性分析

4.1 任务要求

任务 4：在报告中包含 ID vs. VGS and VDS 曲线，并简要解释该曲线特性。

4.2 实验结果

图4和图5分别展示了漏极电流 I_D 随栅源电压 V_{GS} 和漏源电压 V_{DS} 变化的三维特性曲线。

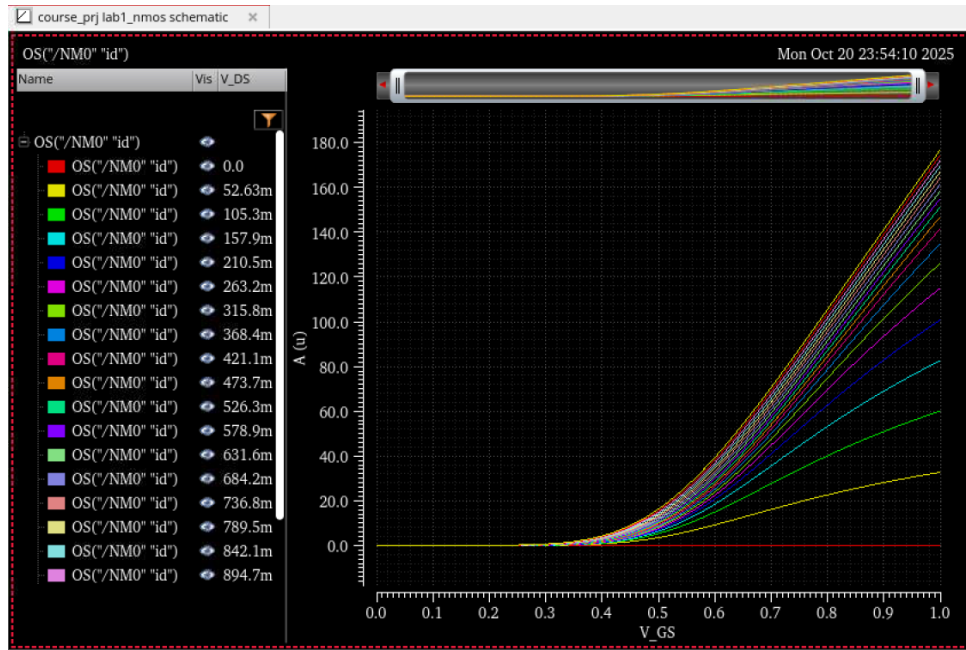


图 4: NMOS I_D vs. V_{GS} 特性曲线

4.3 理论分析

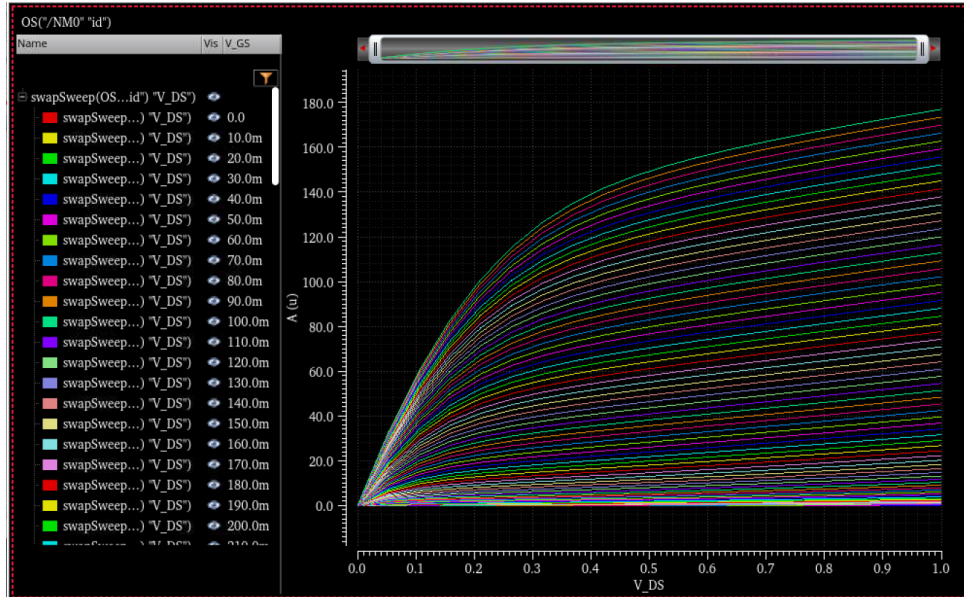
NMOS 晶体管的完整工作特性由 I_D 、 V_{GS} 和 V_{DS} 三个参数共同决定。根据 MOS 晶体管理论，可以将工作区域分为：

1. 截止区：当 $V_{GS} < V_{TH}$ 时，无论 V_{DS} 取何值， $I_D \approx 0$ 。例如图4和图5中，当 V_{GS} 较低时，曲线簇接近零。

2. 线性区：当 $V_{GS} > V_{TH}$ 且 $V_{DS} < V_{GS} - V_{TH}$ 时：

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (11)$$

此时 I_D 近似与 V_{DS} 成线性关系。从图5中可以看到，在低 V_{DS} 区域，曲线簇随 V_{DS} 线性上升。

图 5: NMOS I_D vs. V_{DS} 特性曲线

3. 饱和区: 当 $V_{GS} > V_{TH}$ 且 $V_{DS} \geq V_{GS} - V_{TH}$ 时:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (12)$$

此时 I_D 主要由 V_{GS} 控制, 对 V_{DS} 的依赖性较弱 (沟道长度调制效应)。这一点在图5中可以观察到, 在高 V_{DS} 区域, 曲线簇趋于平坦。

5 任务五：NMOS 关键参数提取与计算

5.1 任务要求

任务 5：在报告中包含 μC_{ox} 、 $|V_{th}|$ 、 λ 计算过程和结果。

5.2 实验数据与计算过程

5.2.1 输出电阻 r_o 的提取

在 $V_{GS} = 800\text{mV}$ 时，选取两个工作点（图6）：

- 点 1: $(V_{DS}, I_D) = (526.32\text{mV}, 87.396\mu\text{A})$
- 点 2: $(V_{DS}, I_D) = (810.74\text{mV}, 98.78\mu\text{A})$

从而得到：

$$r_o = \frac{\Delta V_{DS}}{\Delta I_D} = \frac{810.74\text{mV} - 526.32\text{mV}}{98.78\mu\text{A} - 87.396\mu\text{A}} = 24950.9\Omega \quad (13)$$

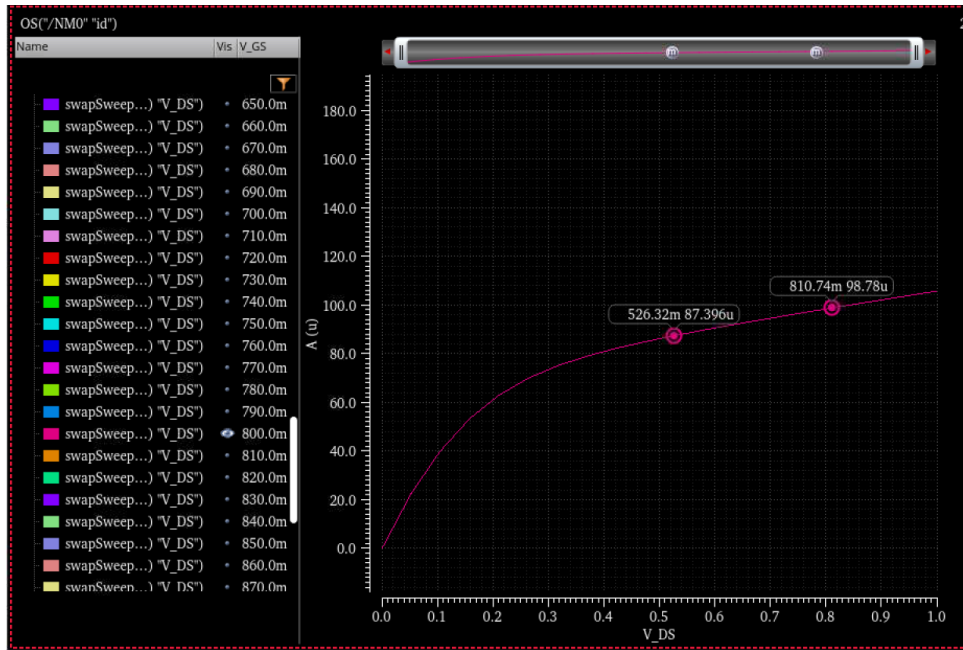
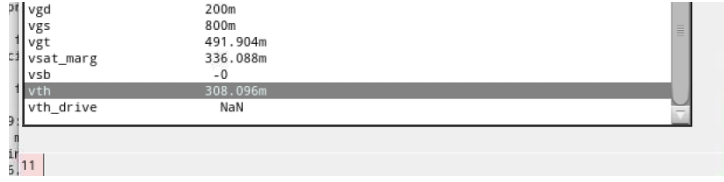


图 6: 阈值电压测量点选取

5.2.2 阈值电压 V_{th} 的提取

通过将 NMOS 偏置在 $V_{GS} = 800\text{mV}$, $V_{DS} = 600\text{mV}$ 时，得到（图7）：

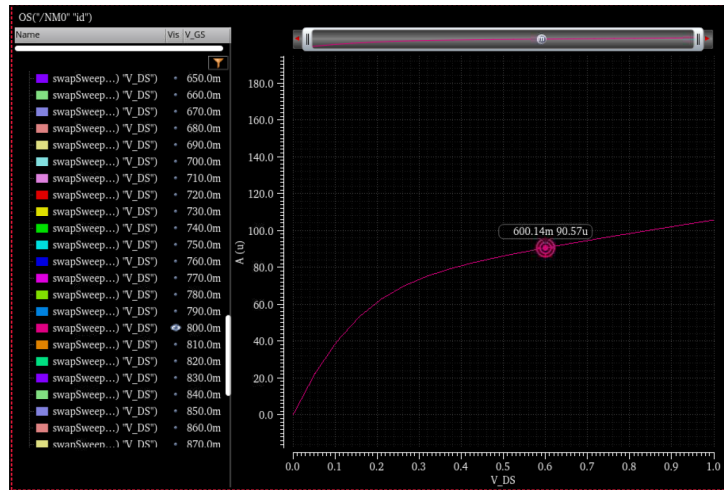
$$V_{th} = 308.096 \text{ mV} \quad (14)$$

图 7: 阈值电压 V_{th} 计算结果

5.2.3 沟道长度调制参数 λ 的提取

输出电阻 $r_o = 24950.9\Omega$

通过将 NMOS 偏置在 $V_{GS} = 800\text{mV}$, $V_{DS} = 600\text{mV}$ 时, 得到 (图8): $I_{DS} = 90.57\mu\text{A}$

图 8: $V_{GS} = 800\text{mV}$, $V_{DS} = 600.14\text{mV}$ 时的 I_{DS}

最终得到:

$$\lambda = \frac{1}{r_o I_{DS}} = \frac{1}{24950.9\Omega \times 90.57\mu\text{A}} = 0.4423 \text{ V}^{-1} \quad (15)$$

5.2.4 迁移率与栅氧化层电容乘积 μC_{ox} 的提取

使用以下工作点参数:

- $W = 500\text{nm}$
- $L = 60\text{nm}$
- $I_D = 90.57\mu\text{A}$
- $V_{GS} = 800\text{mV}$
- $V_{DS} = 600.14\text{mV}$
- $V_{TH} = 308.096\text{mV}$

根据饱和区电流公式：

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (16)$$

可以求解：

$$\mu C_{ox} = \frac{2I_D}{(W/L)(V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})} \quad (17)$$

代入数值后，计算得到：

$$\mu C_{ox} \approx 7.10 \times 10^{-5} \text{ A/V}^2 \quad (18)$$

5.2.5 输出电阻 r_o 的另一种计算方法

输出电阻也可以通过输出电导 g_{ds} 来计算：

$$r_o = \frac{1}{g_{ds}} \quad (19)$$

其中 $g_{ds} = \frac{\partial I_D}{\partial V_{DS}}$ 。图9通过 NMOS 的 DC 工作点获取直接得到了 g_{ds} 的值： $g_{ds} = 42.2342 \mu\text{S}$



图 9: g_{ds} 测量结果

因此：

$$r_o = \frac{1}{g_{ds}} = \frac{1}{42.2342 \mu\text{S}} = 23677.493 \Omega \quad (20)$$

5.3 理论分析

以上三个参数是 MOSFET 建模的关键参数：

1. **阈值电压 V_{th}** ：决定了晶体管的开启电压，是工艺和器件设计的重要参数。
2. **沟道长度调制参数 λ** ：描述了饱和区输出电流对 V_{DS} 的依赖性。 λ 越大，表示沟道长度调制效应越明显，输出电阻 r_o 越小。从计算结果看， $\lambda = 0.4423 \text{ V}^{-1}$ 表示该短沟道器件的沟道长度调制效应比较明显。
3. **μC_{ox}** ：反映了器件的工艺参数，决定了晶体管的电流驱动能力。对于给定的工艺， μC_{ox} 是一个常数。

6 任务六：输出电阻 r_o 的分析

6.1 任务要求

在报告中包含 r_o 的计算过程和结果图，并简要分析。

6.2 实验结果

图10和图11展示了输出电阻 r_o 随工作条件变化的特性。

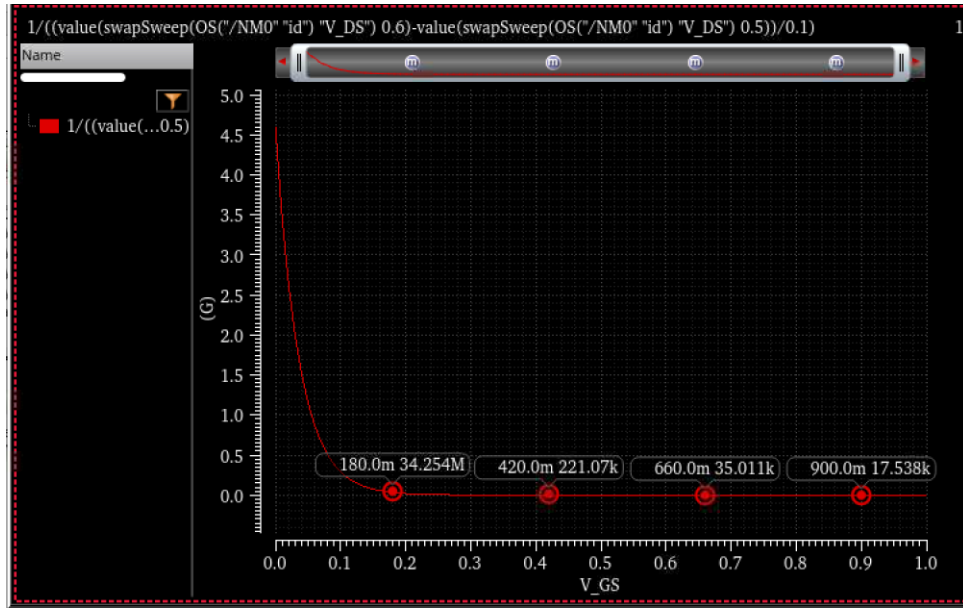


图 10: 输出电阻 r_o 特性曲线（图 1）

6.3 理论分析

输出电阻 r_o 定义为：

$$r_o = \left. \frac{\partial V_{DS}}{\partial I_D} \right|_{V_{GS}=\text{const}} \quad (21)$$

在饱和区，考虑沟道长度调制效应：

$$r_o = \frac{1}{\lambda I_D} \quad (22)$$

从理论公式可以看出：

- r_o 与漏极电流 I_D 成反比关系
- r_o 与沟道长度调制参数 λ 成反比关系

从图10和图11可以观察到：

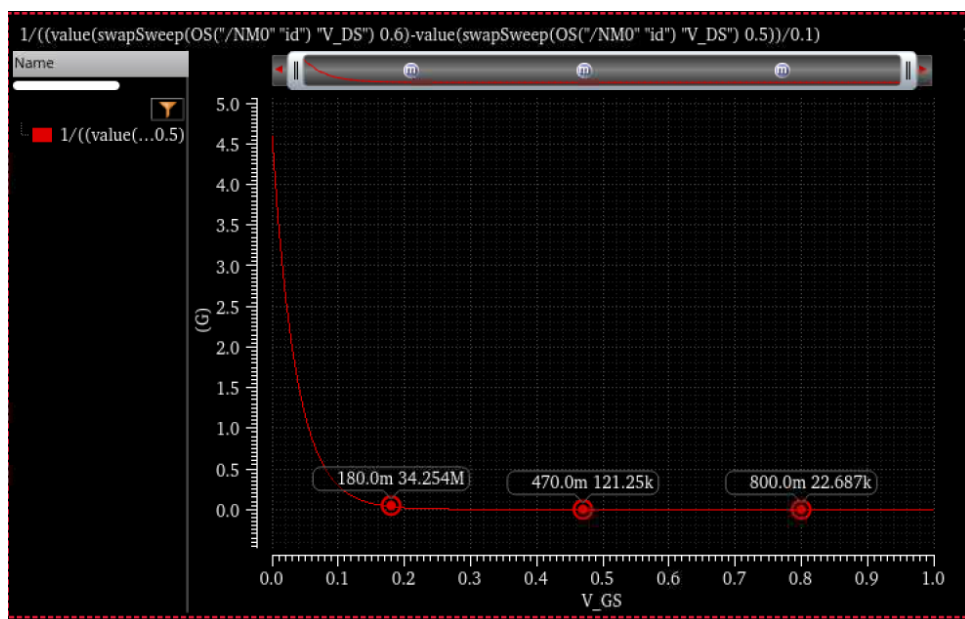


图 11: 输出电阻 r_o 特性曲线（图 2）

- 随着 V_{GS} 增加, I_D 增大, 因此 r_o 减小
- 在低电流区域, r_o 很大, 输出特性接近理想电流源
- 在高电流区域, r_o 变小, 沟道长度调制效应更加明显

7 任务七：本征增益与尺寸优化分析

7.1 任务要求

扫描 MOS 尺寸，观察本征增益与尺寸和 V_{DS} 的关系。请找出最大本征增益对应的偏置条件与尺寸。并尝试用理论解释。

7.2 实验结果

7.2.1 g_m/I_D 性能优化

仿真命令设置如图12所示：

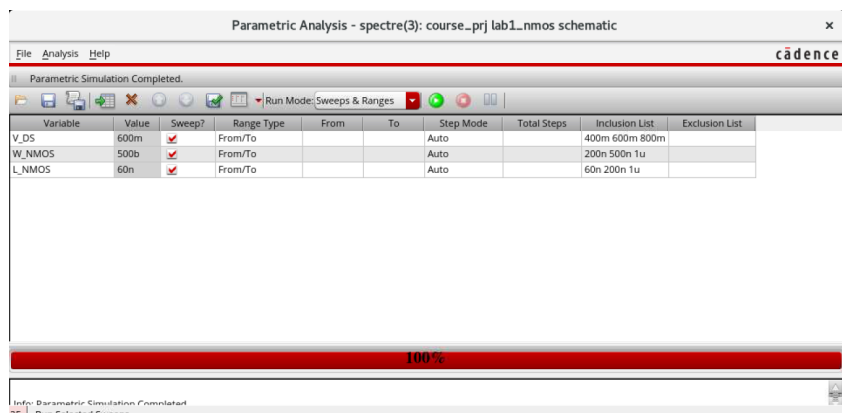


图 12: 仿真命令设置

仿真结果如图13所示。可以看出，当 $V_{DS} = 400\text{mV}$, $W = 1\mu\text{m}$, $L = 200\text{nm}$ 时， g_m/I_D 在整体 V_{GS} 范围内达到了最大值。原因为：当 W 较大， L 较小， V_{DS} 较低时，器件工作在中等反型区，既保证了较高的 g_m ，又有足够的电流驱动能力 (I_{DS})。

7.2.2 本征增益分析

首先在 $W = 500\text{nm}$, $L = 60\text{nm}$ 条件下测试本征增益与 V_{DS} 的关系，结果如图14所示：

然后进行参数扫描，扫描参数设置如图15所示：

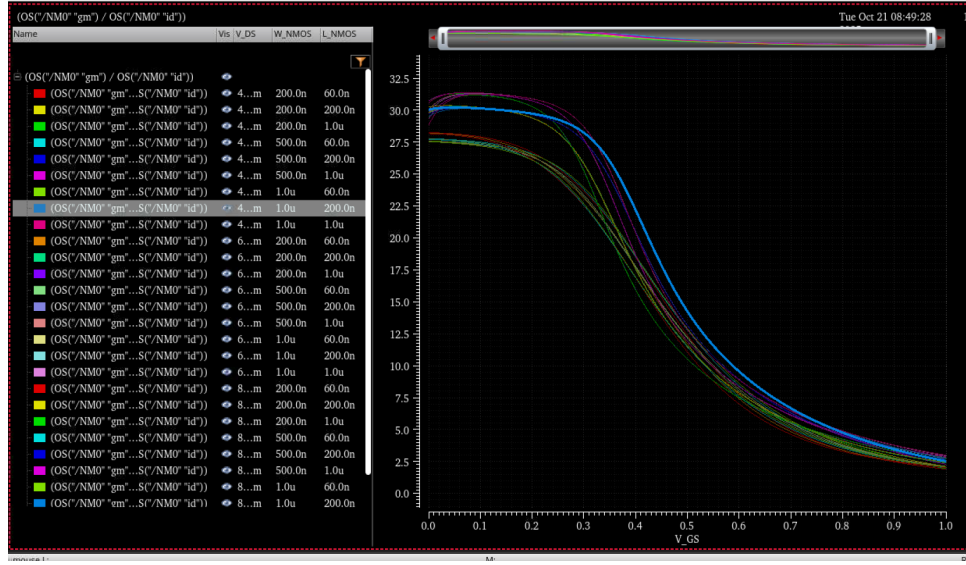
扫描结果如图16所示。可知，在 W , L 均为设置的最大值： $1\mu\text{m}$ 时，本征增益达到了最大值。

7.3 理论分析

本征增益 (Intrinsic Gain) 定义为：

$$A_0 = g_m \cdot r_o \quad (23)$$

这是单个 MOSFET 能够实现的电压增益。

图 13: g_m/I_D 性能测试结果

7.3.1 本征增益的理论推导

在饱和区:

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (24)$$

$$r_o = \frac{1}{\lambda I_D} \quad (25)$$

因此本征增益为:

$$A_0 = g_m \cdot r_o = \frac{\sqrt{2\mu C_{ox} \frac{W}{L} I_D}}{\lambda I_D} = \frac{1}{\lambda} \sqrt{\frac{2\mu C_{ox} (W/L)}{I_D}} \quad (26)$$

也可以写成:

$$A_0 = \frac{2}{\lambda(V_{GS} - V_{TH})} \quad (27)$$

从理论分析可以得出:

- 尺寸选择上:

增加沟道长度 L 可以减小 λ , 从而增大 A_0

当沟道宽度 W 增大时, g_m 增大, 但 I_D 也增大, 如果是长沟道器件, 我们可以认为电流饱和, I_D 不再增大, 此时我们可以认为 A_0 增大。

- 偏置条件上:

在较低过驱动电压 ($V_{GS} - V_{TH}$) 下工作可以获得更高的 A_0

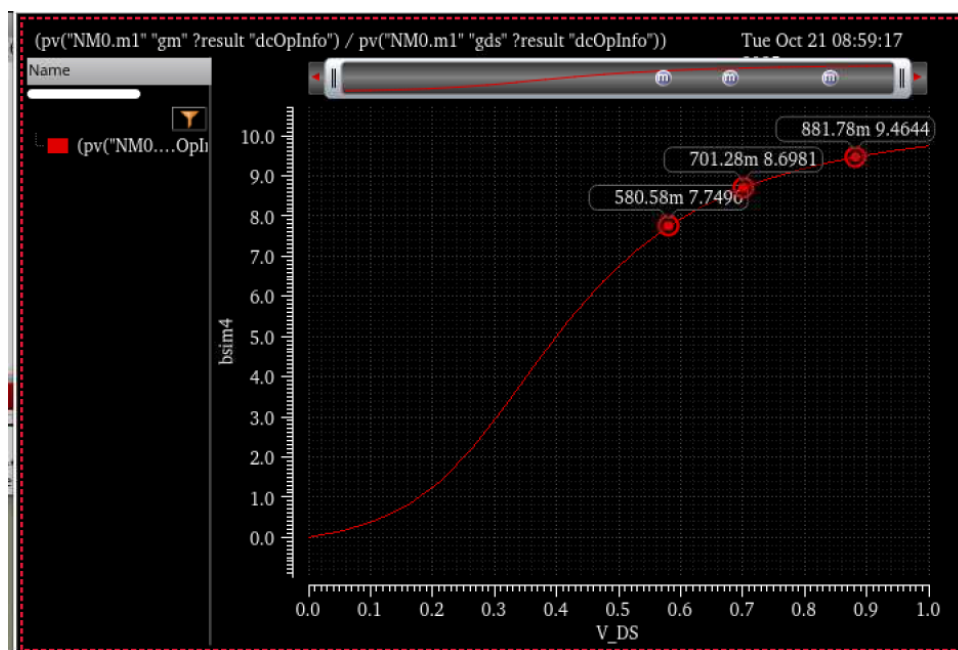


图 14: 本征增益 vs. V_{DS} ($W = 500\text{nm}$, $L = 60\text{nm}$)

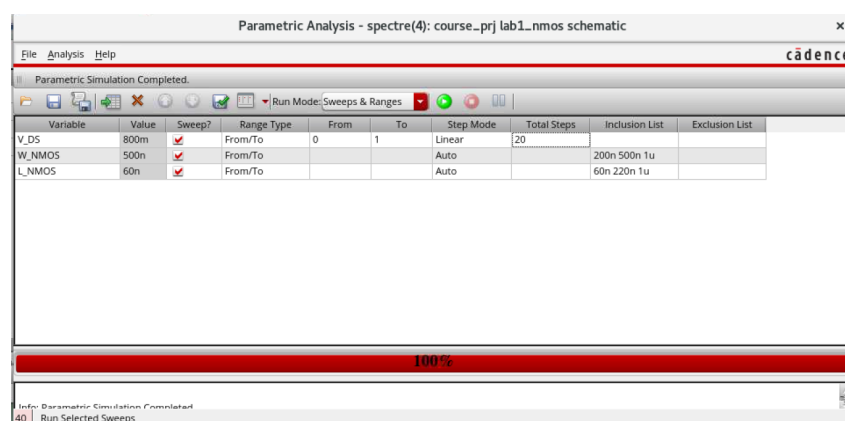


图 15: 本征增益扫描参数设置

8 任务八：CMOS 反相器 DC 特性分析

8.1 任务要求

任务 8: 在报告中包含该 DC 扫描的结果, 并简要分析输入输出关系。

8.2 实验结果

图17展示了 CMOS 反相器的 DC 传输特性曲线 (电压传输特性, VTC)。

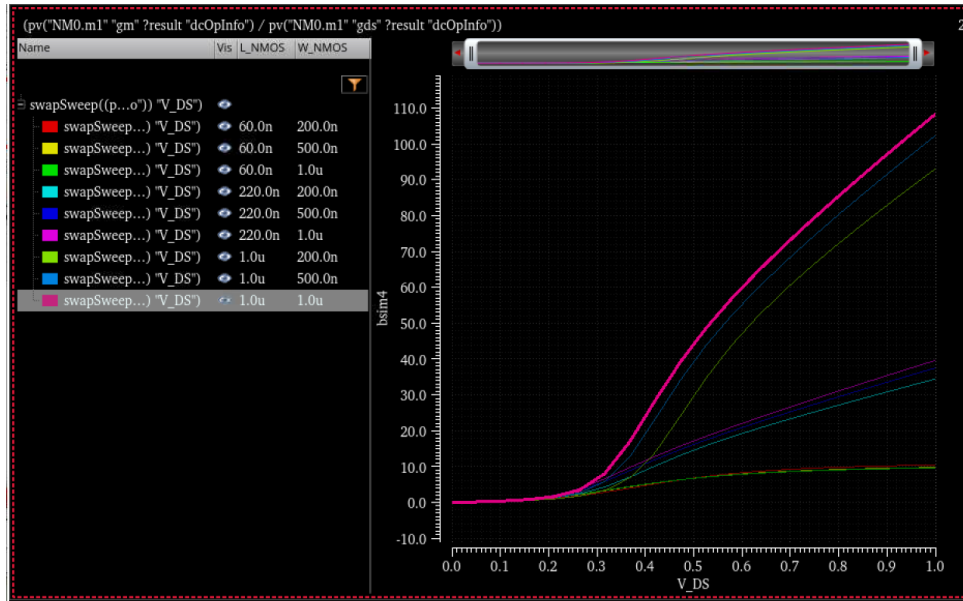


图 16: 本征增益参数扫描结果

8.3 理论分析

CMOS 反相器是最基本的数字逻辑门，也是模拟电路中常用的放大器结构。其 DC 传输特性可以分为五个工作区域：

区域 I: V_{in} 很低（接近 0V）

- NMOS 截止，PMOS 导通并工作在线性区
- $V_{out} \approx V_{DD}$ （逻辑高电平）

区域 II: V_{in} 增加至 NMOS 开启

- NMOS 进入饱和区，PMOS 仍在线性区
- V_{out} 开始下降，但下降缓慢

区域 III: 转换区（两管都在饱和区）

- NMOS 和 PMOS 都工作在饱和区
- 此时增益最大: $A_v = -(g_{mn} + g_{mp}) / (g_{dsn} + g_{dsp})$
- V_{out} 随 V_{in} 快速下降，曲线斜率最大

区域 IV: V_{in} 继续增加

- NMOS 在线性区，PMOS 在饱和区
- V_{out} 继续下降但速度减慢

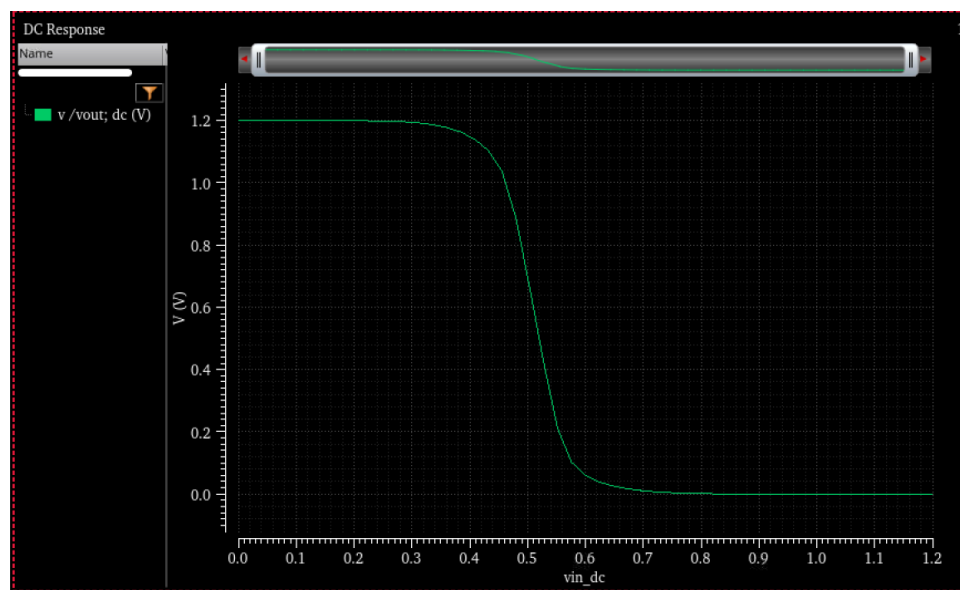


图 17: CMOS 反相器 DC 传输特性

区域 V: V_{in} 接近 V_{DD}

- NMOS 在线性区完全导通, PMOS 截止
- $V_{out} \approx 0$ V (逻辑低电平)

9 任务九：CMOS 反相器尺寸优化

9.1 任务要求

任务 9：在报告中记录修改结果，并尝试理论分析或者公式求解。

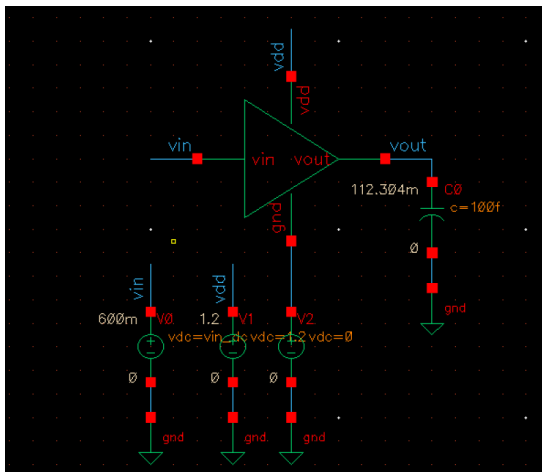
9.2 实验结果

9.2.1 PMOS 宽度优化

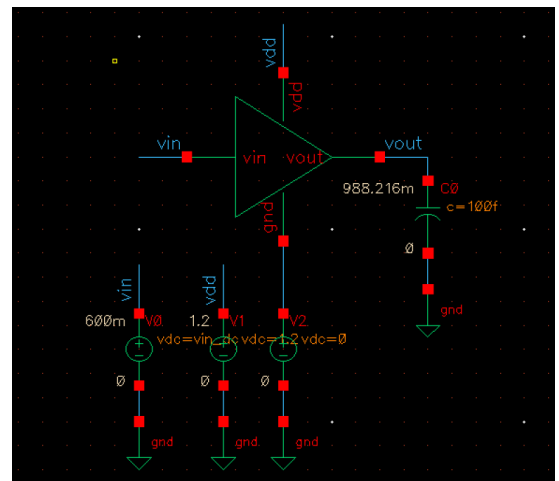
通过二分法搜索最佳 PMOS 宽度，使得输出电压 $V_{out} \approx 600\text{mV}$ （接近 $V_{DD}/2$ ）：

- $W_P = 2\mu\text{m}$: $V_{out} = 112.304\text{mV}$ (图18a)
- $W_P = 4\mu\text{m}$: $V_{out} = 988.216\text{mV}$ (图18b)
- $W_P = 3\mu\text{m}$: $V_{out} = 519.076\text{mV}$ (图19a)
- $W_P = 3.5\mu\text{m}$: $V_{out} = 795.958\text{mV}$ (图19b)
- $W_P = 3.25\mu\text{m}$: $V_{out} = 664.743\text{mV}$ (图20a)
- $W_P = 3.125\mu\text{m}$: $V_{out} = 593.273\text{mV}$ (图20b)
- $W_P = 3.15\mu\text{m}$: $V_{out} = 907.824\text{mV}$ (图21a)
- $W_P = 3.135\mu\text{m}$: $V_{out} = 599.109\text{mV}$ (图21b)

最终选择 $W_P = 3.13\mu\text{m}$ 。



(a) $W_P = 2\mu\text{m}$, $V_{out} = 112.304\text{mV}$



(b) $W_P = 4\mu\text{m}$, $V_{out} = 988.216\text{mV}$

图 18: 二分法第一组

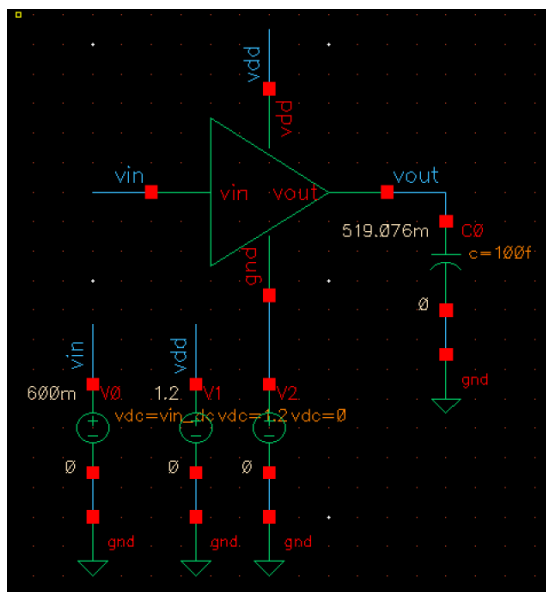
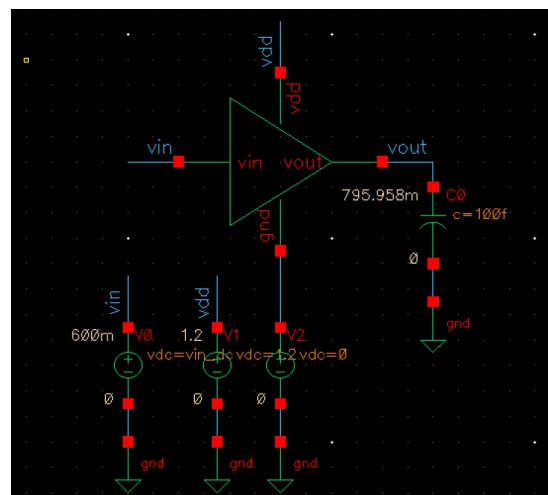
(a) $W_P = 3\mu\text{m}$, $V_{out} = 519.076\text{mV}$ (b) $W_P = 3.5\mu\text{m}$, $V_{out} = 795.958\text{mV}$

图 19: 二分法第二组

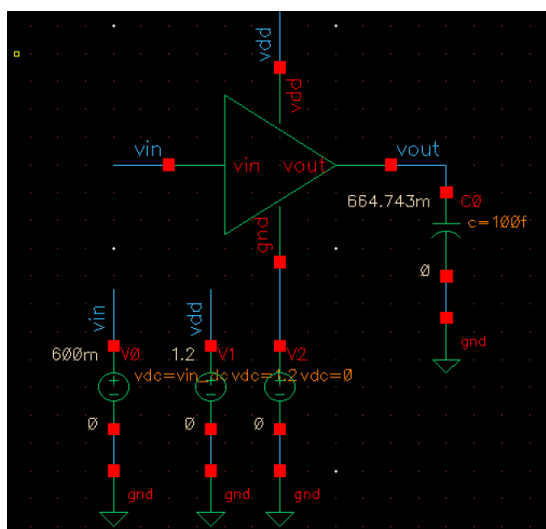
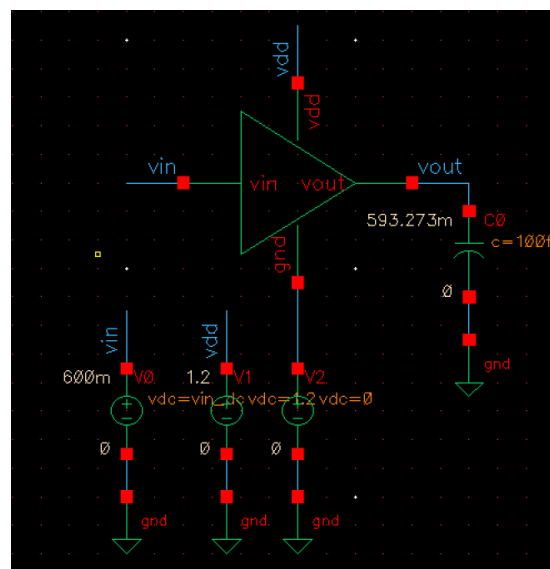
(a) $W_P = 3.25\mu\text{m}$, $V_{out} = 664.743\text{mV}$ (b) $W_P = 3.125\mu\text{m}$, $V_{out} = 593.273\text{mV}$

图 20: 二分法第三组

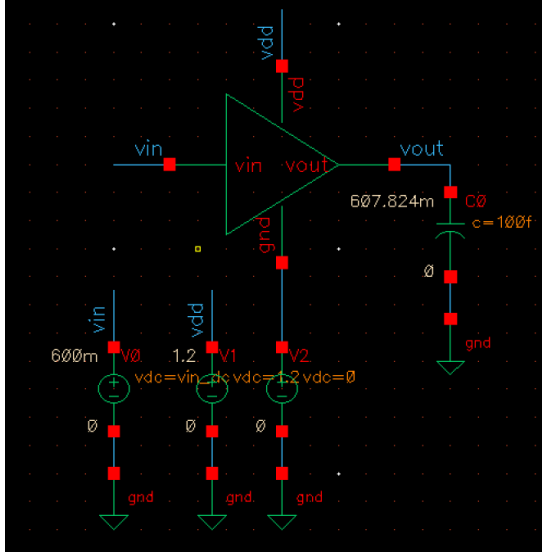
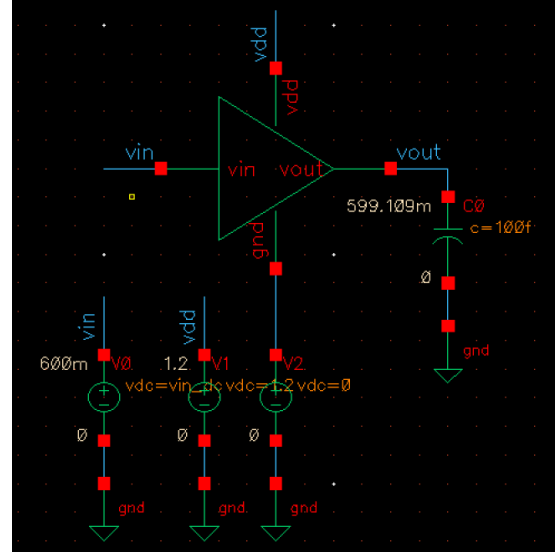
(a) $W_P = 3.15\mu\text{m}$, $V_{out} = 607.824\text{mV}$ (b) $W_P = 3.135\mu\text{m}$, $V_{out} = 599.109\text{mV}$

图 21: 二分法第四组

9.2.2 Finger 数量影响分析

固定总宽度 $W_P = 3.13\mu\text{m}$, 改变 finger 数量和单个 finger 宽度:

- Fingers = 1, Finger Width = $3.13\mu\text{m}$ (图22a)
- Fingers = 2, Finger Width = $1.565\mu\text{m}$ (图22b)
- Fingers = 3, Finger Width = $1.045\mu\text{m}$ (图23a)
- Fingers = 4, Finger Width = 780nm (图23b)
- Fingers = 5, Finger Width = 625nm (图24)

9.3 理论分析

9.3.1 开关阈值的理论计算

为了使反相器的开关阈值 $V_M = V_{DD}/2$, 需要满足 NMOS 和 PMOS 的跨导参数相等:

$$\beta_n = \beta_p \quad (28)$$

即:

$$\mu_n C_{ox} \frac{W_n}{L_n} = \mu_p C_{ox} \frac{W_p}{L_p} \quad (29)$$

由于 PMOS 的载流子迁移率 μ_p 约为 NMOS 的 μ_n 的 1/2 到 1/3, 因此需要:

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \approx 2 \sim 3 \quad (30)$$

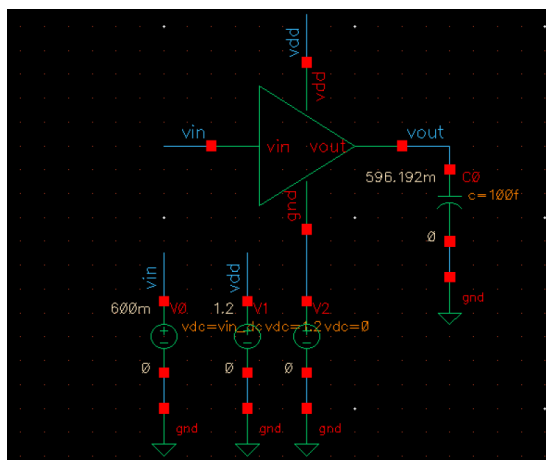
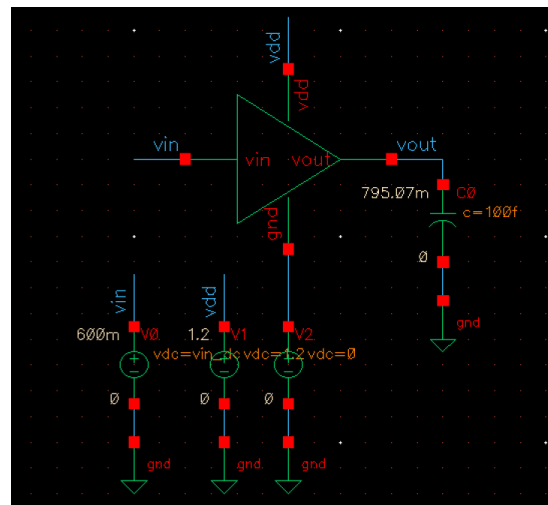
(a) Fingers = 1, Finger Width = $3.13\mu\text{m}$ (b) Fingers = 2, Finger Width = $1.565\mu\text{m}$

图 22: Finger 数量影响分析 (第一组)

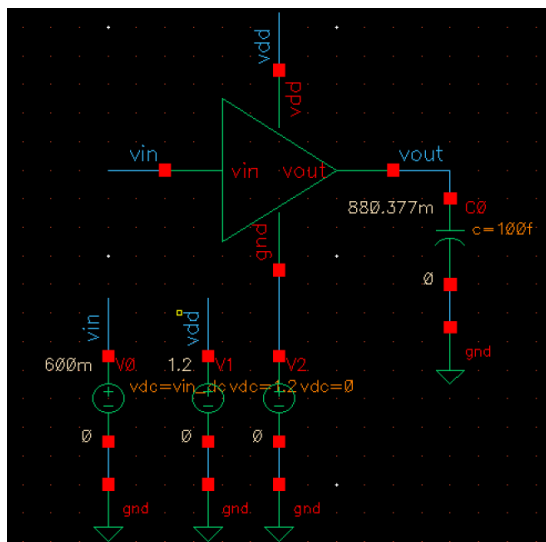
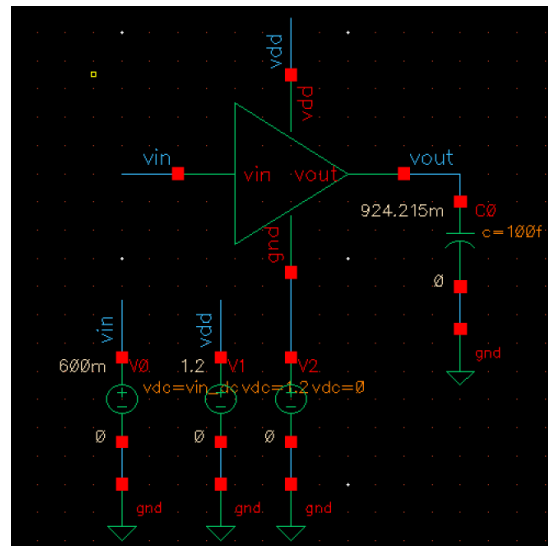
(a) Fingers = 3, Finger Width = $1.045\mu\text{m}$ (b) Fingers = 4, Finger Width = 780nm

图 23: Finger 数量影响分析 (第二组)

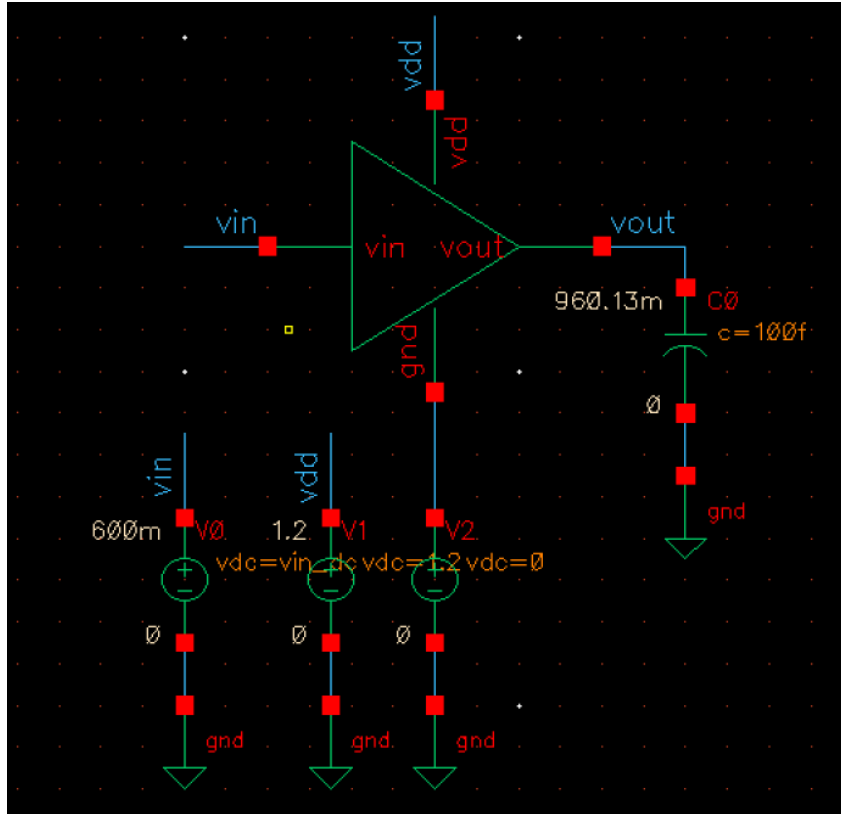


图 24: Fingers = 5, Finger Width = 625nm

从实验结果看，当 $W_n = 1\mu\text{m}$ ， $W_p = 3.13\mu\text{m}$ 时，比值为 3.13，这与理论分析一致。

9.3.2 Finger 结构的影响

在集成电路版图设计中，晶体管常被分割成多个并联的 finger 结构：

$$W_{total} = N_{fingers} \times W_{finger} \quad (31)$$

使用多 finger 结构的优点：

1. **减小寄生电阻：** 多个并联路径降低源漏端的寄生电阻
2. **改善匹配性：** 更规则的版图有利于器件匹配
3. **提高速度：** 减小栅极电阻，提高开关速度
4. **减小应力效应：** 将宽晶体管分成多个窄晶体管可以减小机械应力的影响

从实验结果可以看出，在总宽度固定的情况下，改变 finger 数量对 DC 工作点的影响很小，这验证了理论分析。但在高频应用中，多 finger 结构会表现出更好的性能。

10 任务十：CMOS 反相器交直流与时域特性综合分析

10.1 任务要求

任务 10：在报告中记录三种（DC, AC, TRAN）仿真结果，并对小信号增益和直流偏置情况进行分析。

10.2 实验参数

优化后的 CMOS 反相器参数：

- $W_P = 3.13\mu\text{m}$, $W_N = 1\mu\text{m}$
- $L_P = L_N = 180\text{nm}$
- 偏置点： $V_{in} = 600\text{mV}$

10.3 AC 小信号分析

10.3.1 幅频响应特性

图25展示了在 $V_{in} = 600\text{mV}$ 偏置点下的 CMOS 反相器幅频响应（Bode 图）。

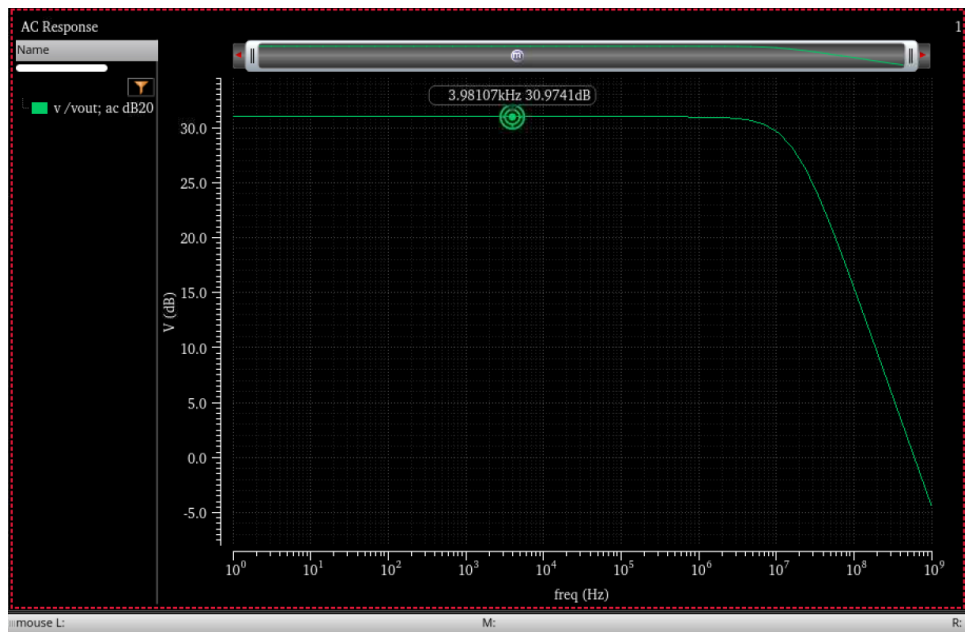


图 25: CMOS 反相器幅频响应 ($V_{in} = 600\text{mV}$)

从图中可以读取：

- 低频增益： $A_v = 30.9741\text{dB}$

将 dB 转换为倍数：

$$A_v = 10^{30.9741/20} = 35.37 \text{ V/V} \quad (32)$$

10.3.2 DC 验证

为了验证 AC 仿真的增益，将输入电压从 600mV 改为 599mV，进行 DC 仿真。图26展示了 DC 工作点。

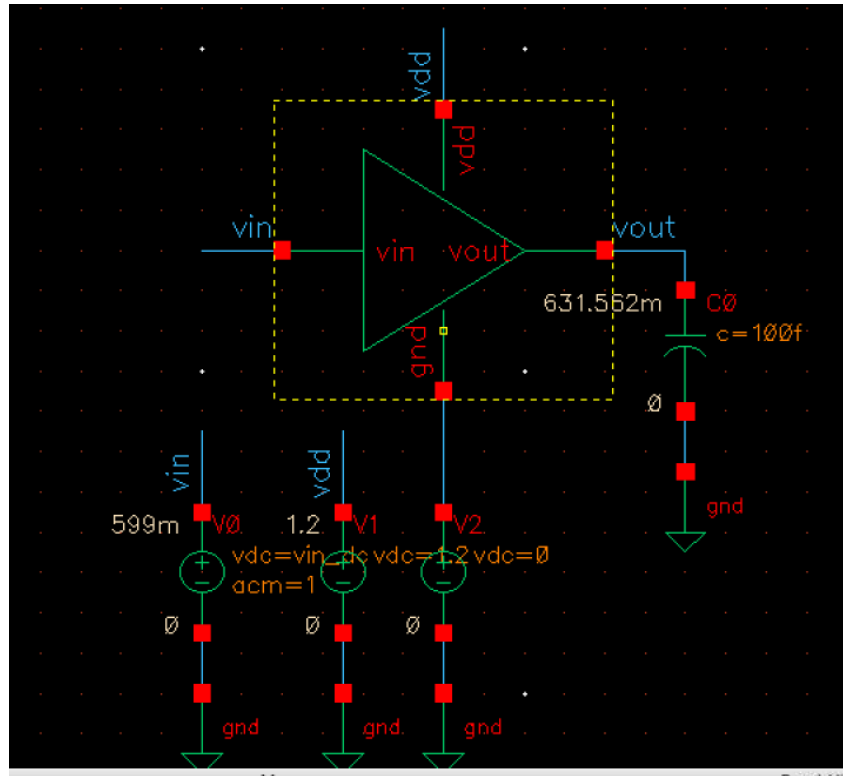


图 26: DC 工作点验证 (V_{in} 从 600mV 变为 599mV)

从 DC 仿真结果：

- 输入电压变化： $\Delta V_{in} = 600\text{mV} - 599\text{mV} = 1\text{mV}$
- 输出电压变化： $\Delta V_{out} = 631.562\text{mV} - 596.192\text{mV} = 35.37\text{mV}$
- 计算增益： $A_v = \Delta V_{out} / \Delta V_{in} = 35.37$

DC 仿真得到的增益 35.37 倍与 AC 仿真的 30.9741dB (35.37 倍) 完全一致，验证了仿真的正确性。

10.3.3 不同偏置点的 AC 特性

要求分析输入电压为 0.4V 和 0.8V 时的增益特性，并思考为什么增益变成负的了。

图27a展示了 $V_{in} = 0.4\text{V}$ 时的幅频响应：低频增益： $A_v = -23\text{dB}$

图27b展示了 $V_{in} = 0.8\text{V}$ 时的幅频响应：低频增益： $A_v = -30\text{dB}$

为什么增益变成负的了？

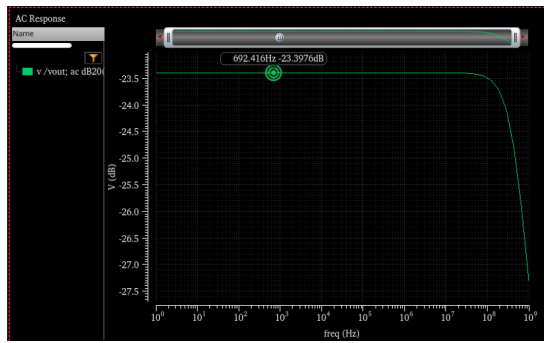
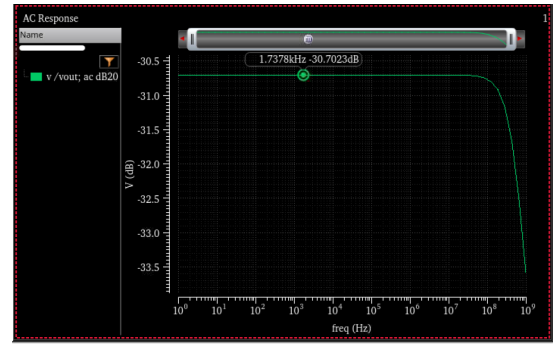
(a) CMOS 反相器幅频响应 ($V_{in} = 0.4V$)(b) CMOS 反相器幅频响应 ($V_{in} = 0.8V$)

图 27: Finger 数量影响分析 (第一组)

- 在 $V_{in} = 600mV$ (接近开关阈值 V_M) 附近, NMOS 和 PMOS 都在饱和区, 增益最大
- 在 $V_{in} = 0.4V$ 或 $0.8V$ 时, 偏离最佳工作点, 其中一个晶体管进入线性区, 增益减小
- 负的 dB 值表示增益小于 1 (即幅度小于 1), 这是因为偏离了最佳偏置点, 这一点从17的传输特性曲线中也可以看出, 当 CMOS 反相器的工作点偏离 $\frac{1}{2}V_{DD}$ 时, 曲线斜率会显著降低, 因此增益也会显著下降

10.4 时域瞬态分析 (TRAN)

10.4.1 小信号时域响应

要求分析时域波形。在偏置点 $V_{in} = 600mV$ 附近叠加小信号, 观察输出波形。

信号幅度 $A = 100mV$:

图28展示了输入和输出的时域波形。

从波形可以看出: 输出信号是输入信号的反相放大版本, 在低输入摆幅区域, 输出幅度约为输入幅度的 35 倍 (与增益一致) 波形基本保持正弦形状, 表明在小信号范围内工作。但是在输入接近波峰的区域, 输入电压波形被削平, 这是因为此时偏离了线性工作范围, 进入了非线性区域, 增益与稳定的直流工作点不同。

信号幅度 $A = 300mV$:

图29和图30展示了较大信号幅度下的时域波形。

从波形可以看出: 输入信号幅度增大到 $300mV$ 后, 输入信号范围为 $300mV$ 到 $900mV$, 输出波形出现明显的非线性失真。这是因为输入信号过大, 超出了反相器的线性工作范围当输入接近 $0V$ 或 V_{DD} 时, 输出被限制在轨道电压附近

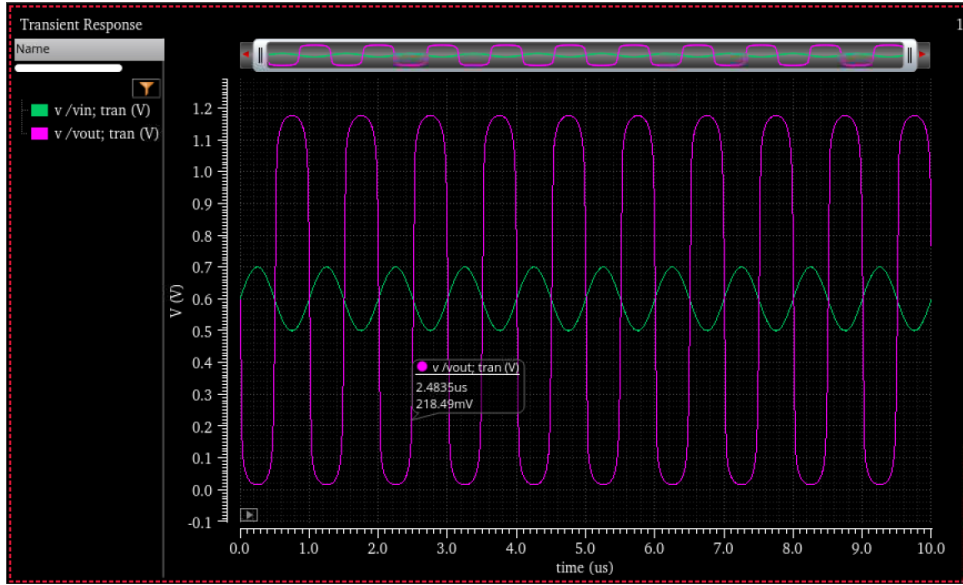


图 28: 时域响应 ($V_{in} = 600\text{mV}$, $A = 100\text{mV}$)

10.5 综合理论分析

10.5.1 小信号增益的理论计算

CMOS 反相器在开关阈值附近工作时, NMOS 和 PMOS 都在饱和区, 小信号增益为:

$$A_v = -(g_{mn} + g_{mp})(r_{on} \parallel r_{op}) \quad (33)$$

其中:

- g_{mn} , g_{mp} 分别为 NMOS 和 PMOS 的跨导
- g_{dsn} , g_{dsp} 分别为 NMOS 和 PMOS 的输出电导
- $r_{on} = 1/g_{dsn}$, $r_{op} = 1/g_{dsp}$ 为输出电阻

增益的负号表示反相特性。从实验结果看, 增益为 35.37, 说明:

$$(g_{mn} + g_{mp})(r_{on} \parallel r_{op}) = 35.37 \quad (34)$$

10.5.2 偏置点对增益的影响

不同偏置点下的增益差异可以用工作区域来解释:

- $V_{in} = 600\text{mV}$ (接近 V_M):
 - NMOS 和 PMOS 都在饱和区
 - 两管的 g_m 都很大, 输出电阻也较大

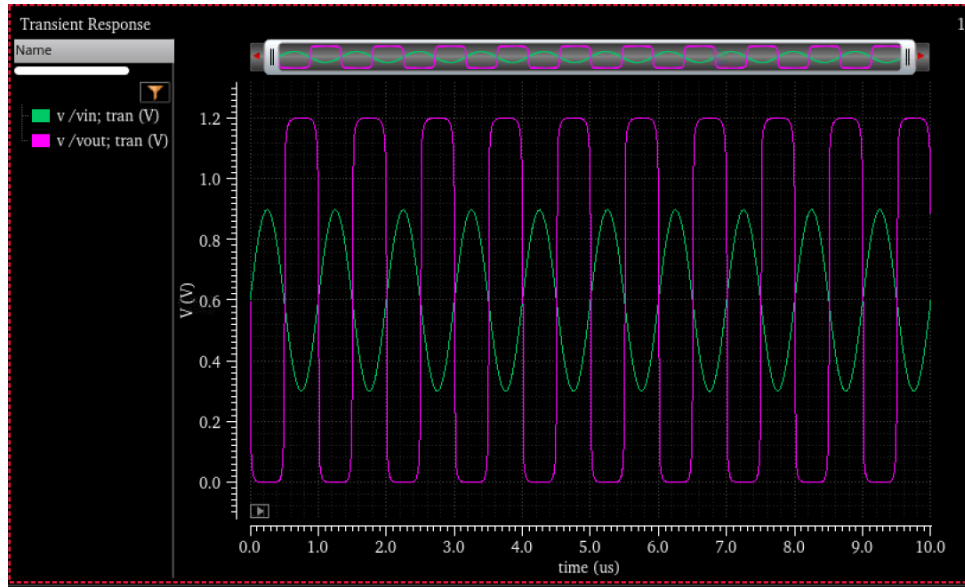


图 29: 时域响应 ($V_{in} = 600\text{mV}$, $A = 300\text{mV}$) - 图 1

- 增益达到最大值
- $V_{in} = 0.4\text{V}$ (较低):
 - NMOS 刚进入饱和区, g_{mn} 较小
 - PMOS 在线性区, r_{op} 很小
 - 总体增益很小 (小于 1)
- $V_{in} = 0.8\text{V}$ (较高):
 - NMOS 在线性区, r_{on} 很小
 - PMOS 刚进入饱和区, g_{mp} 较小
 - 总体增益很小 (小于 1)

10.5.3 小信号条件与大信号失真

小信号分析的前提是信号幅度足够小, 使得晶体管参数 (g_m , r_o 等) 可以近似为常数。从实验可以看出:

- 当 $A = 100\text{mV}$ 时, 输入信号范围为 500mV 到 700mV , 输出基本保持线性
 - 当 $A = 300\text{mV}$ 时, 输入信号范围为 300mV 到 900mV , 输出出现削波失真
- 失真的原因是:
- 当 V_{in} 过低时, NMOS 接近截止, 输出被拉高到接近 V_{DD}

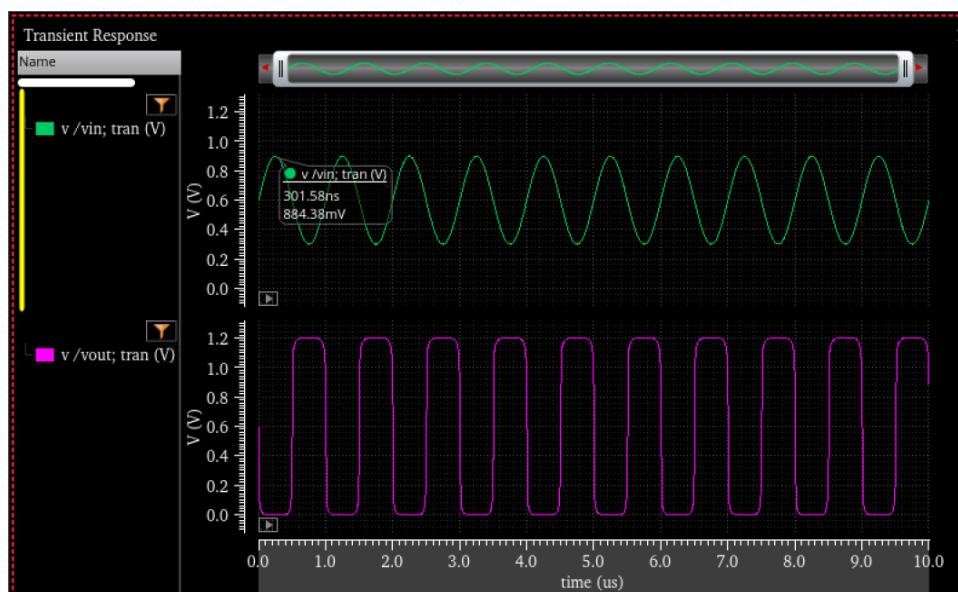


图 30: 时域响应 ($V_{in} = 600\text{mV}$, $A = 300\text{mV}$) - 图 2

- 当 V_{in} 过高时, PMOS 接近截止, 输出被拉低到接近 0V
- 这种削波限制了反相器作为线性放大器的动态范围

10.5.4 三种仿真方法的关系

- **DC 仿真:** 确定静态工作点, 计算偏置电压和电流
- **AC 仿真:** 在工作点处线性化, 分析小信号频率响应和增益
- **TRAN 仿真:** 完整的非线性时域分析, 可以观察大信号行为和失真, 并且可以揭示 AC 分析无法捕捉的非线性效应