Звіт

Лабораторна робота No 3

з дисципліни: «Комп'ютерна логіка»

“Мінімізація систем функцій алгебри логіки”

Виконав

Ст. гр. КІ-24-1

Смолін О.О

Кременчук 2025

Мета: вивчення методів побудови комбінаційних схем із мінімальними

апаратними витратами в заданому елементнім базисі для систем функцій

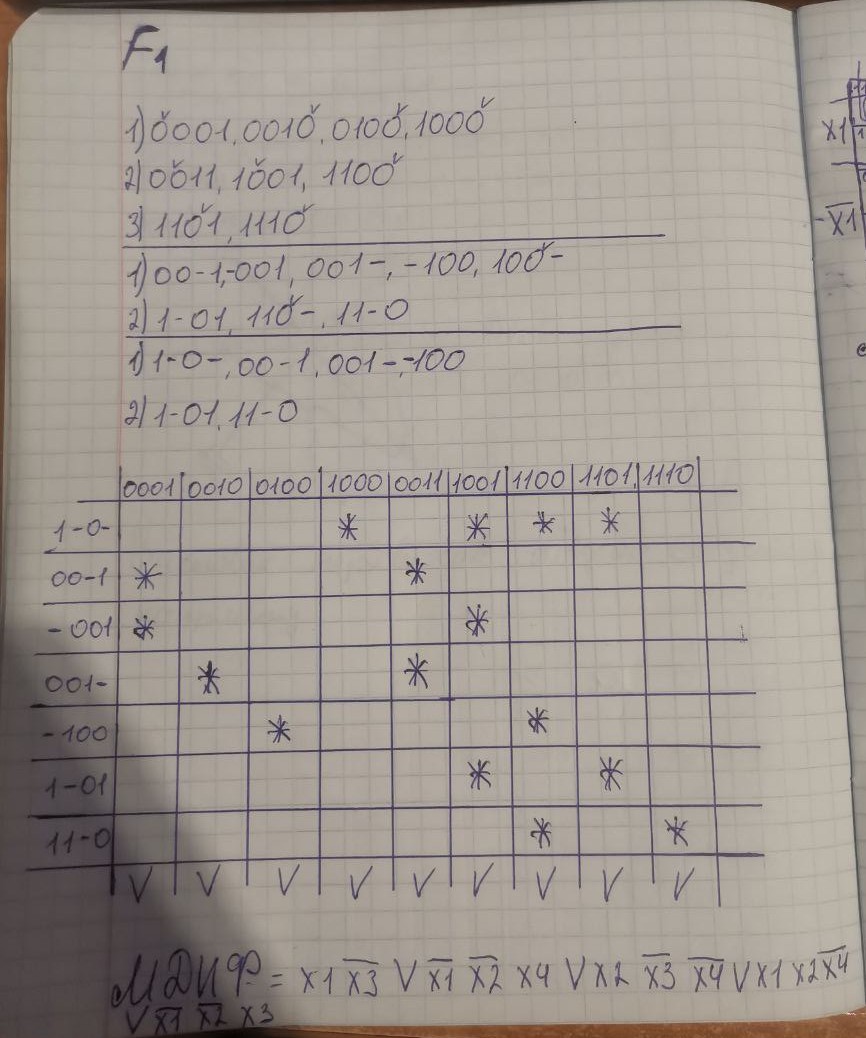
алгебри логіки.

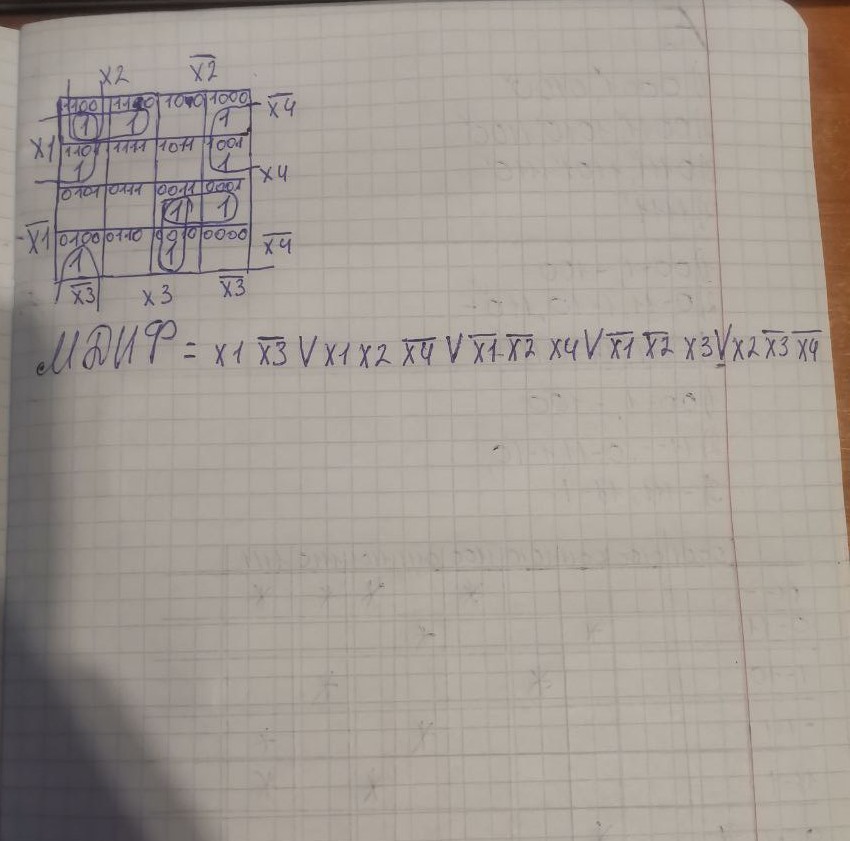
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| X1 | X2 | X3 | X4 | F1 | F2 | F3 |
| 0 | 0 | 0 | 0 | \* | \* | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | \* |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | \* | \* | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | \* | \* | \* |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 |

1. Мінімізувати систему переми-кальних функцій за допомогою діаграм

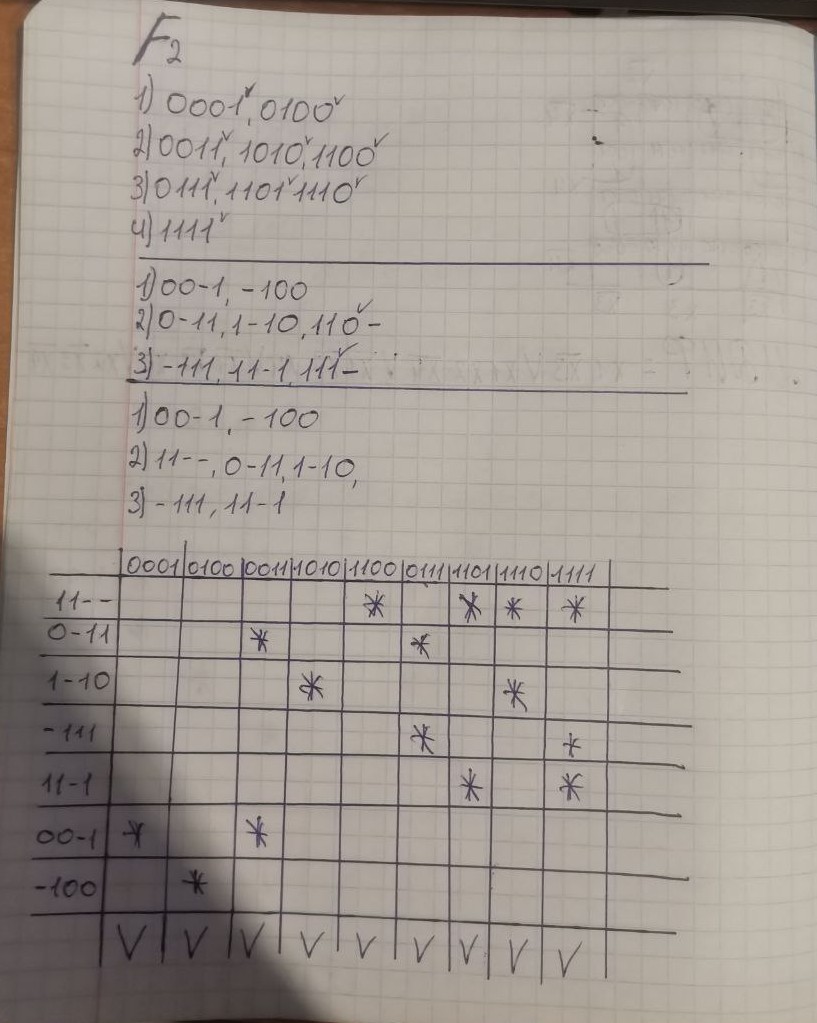
Вейча та методів Квайна - Мак-Класки.

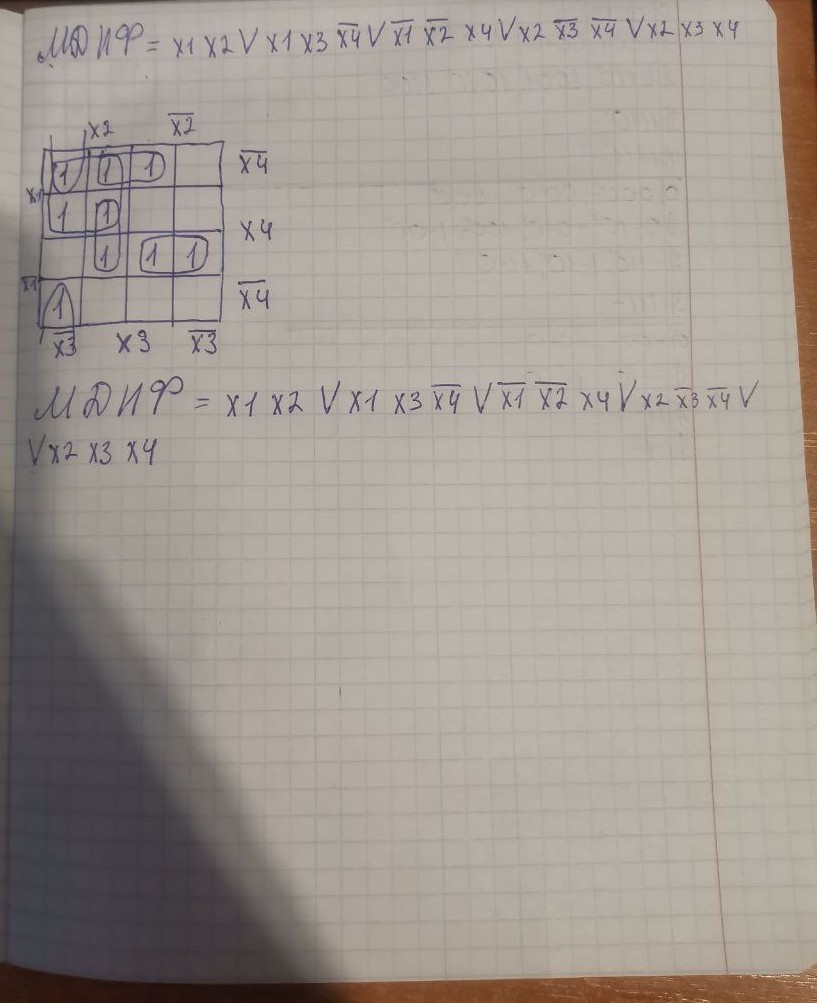
Мінімізація F1:



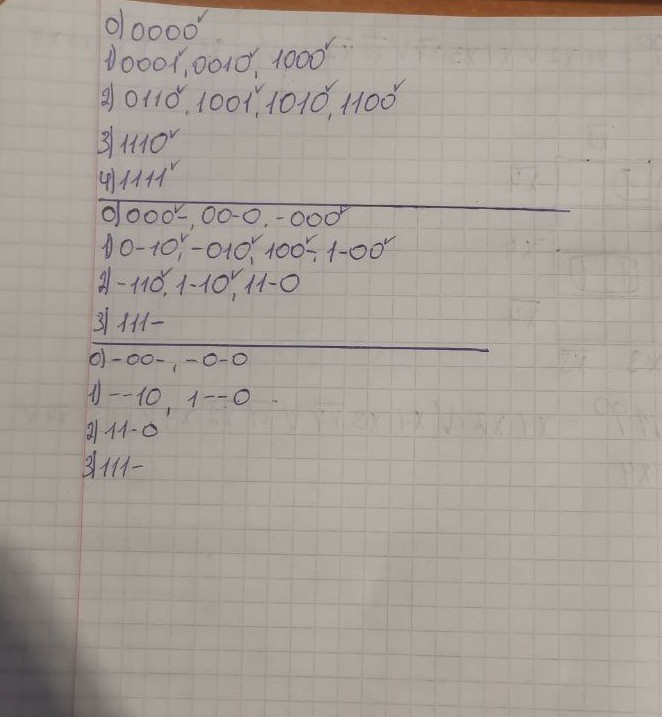


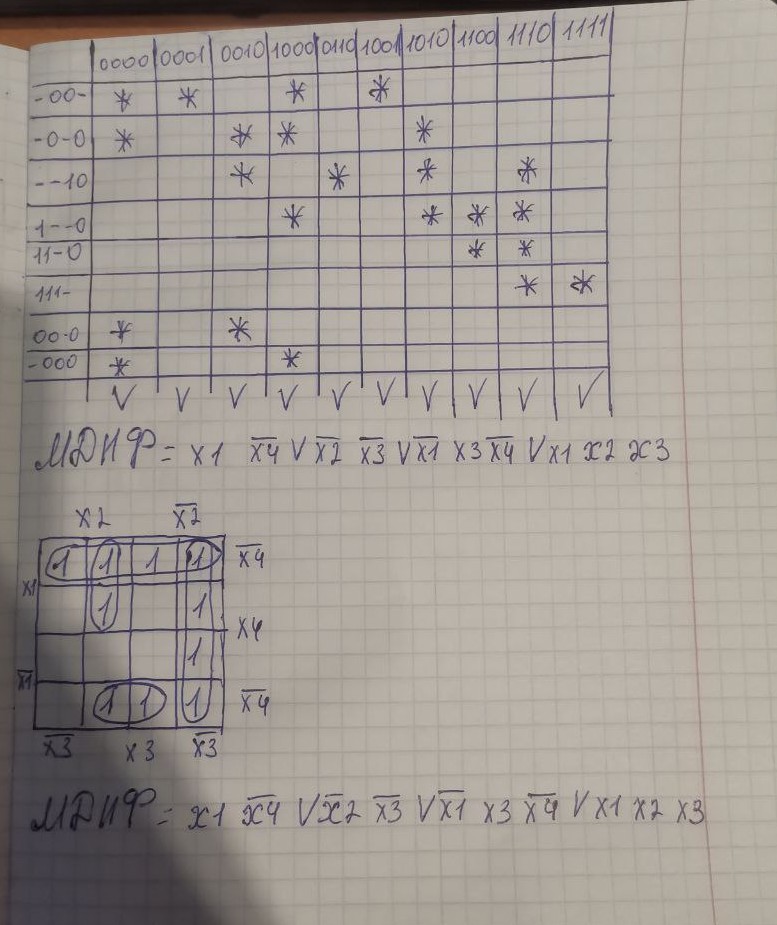
Мінімізація F2





Мінімізація F3:

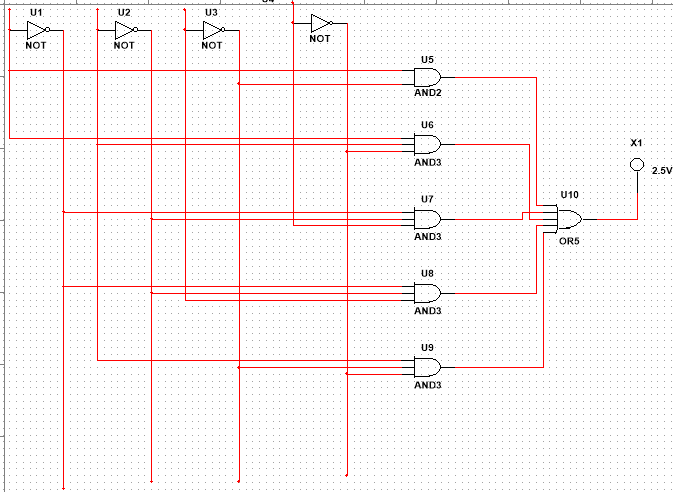




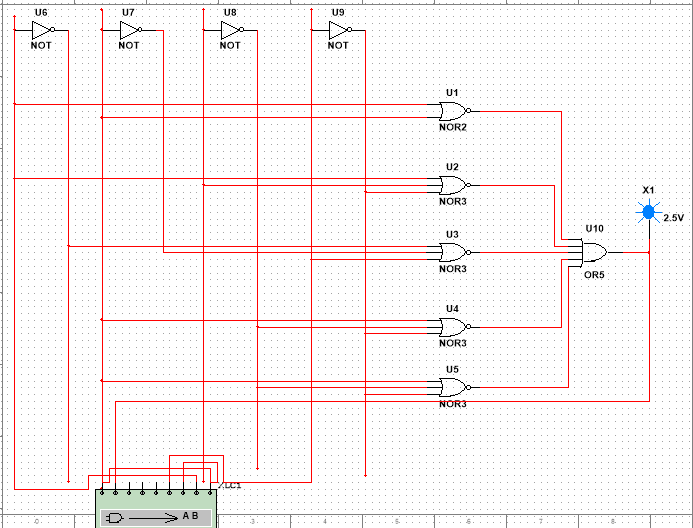
2. Побудувати комбінаційні схеми для реалізації перемикальних функцій на

елементах (І, АБО, НІ), (І-НІ), (АБО-НІ),

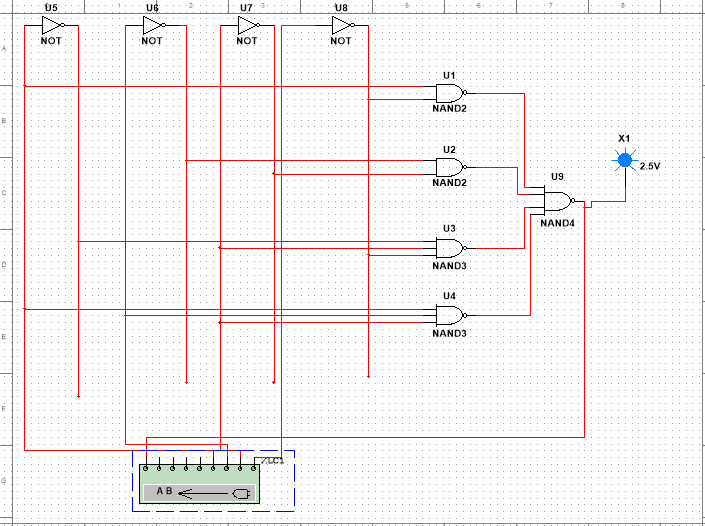
F1 ( І-АБО-НІ)



F2 (AБО-НІ)



F3(І-НІ)



Контрольні Питання

**1. Визначення комбінаційної схеми**

**Комбінаційна схема** — це цифрова логічна схема, в якій **вихідні сигнали в кожний момент часу залежать тільки від поточних значень вхідних сигналів**, а не від попередніх станів (тобто не має елементів пам’яті).

**Приклади:** суматор, дешифратор, мультиплексор, кодер, логічні елементи (AND, OR, NOT тощо).

**2. Поняття глибини комбінаційної схеми, коефіцієнтів об’єднання за входом і виходом**

**Глибина комбінаційної схеми (depth)**

Це **максимальна кількість логічних рівнів**, через які проходить сигнал від входу до виходу.

**Іншими словами:** глибина — це довжина найдовшого шляху сигналу через логічні елементи (від входу до виходу).  
Вона визначає **затримку поширення сигналу** і прямо впливає на швидкодію схеми.

**Коефіцієнт об’єднання за входом (input fan-in)**

Позначає кількість входів, які з’єднані з одним логічним елементом.

Наприклад, якщо елемент AND має 3 входи, то його коефіцієнт об’єднання за входом дорівнює 3.

**Коефіцієнт об’єднання за виходом (output fan-out)**

Позначає, **скільки інших елементів або схем підключені до одного виходу**.

Цей параметр обмежений через електричні характеристики — надмірне навантаження на вихід може спотворити сигнали або знизити швидкодію.

**3. Методи проектування комбінаційних схем із заданими коефіцієнтами об’єднання за входом і виходом**

**Загальний підхід до проектування:**

1. **Аналіз функціональних вимог** — складання таблиці істинності або булевих функцій.
2. **Мінімізація логічних виразів** — зменшення числа логічних елементів (метод Квайна-МакКласкі, карти Карно).
3. **Урахування обмежень на fan-in та fan-out**:
   * **Обмеження на fan-in**: якщо потрібна логіка з великою кількістю входів (наприклад, AND з 8 входами), її реалізують як каскад із дво- або тривходових елементів.
   * **Обмеження на fan-out**: при перевищенні допустимого навантаження вихід «розгалужують» через буфери або використовують повторювачі.

**Методи:**

* **Ієрархічне проектування** — складні схеми будуються з підсхем з обмеженим fan-in/fan-out.
* **Формування багаторівневої структури** — розподіл логіки по кількох шарах із контролем fan-in/fan-out на кожному рівні.
* **Застосування буферів/розгалужувачів** — для підтримання допустимого навантаження на виходи.

**4. Параметри, що впливають на швидкодію комбінаційних схем. Способи збільшення швидкодії**

**Параметри, що впливають на швидкодію:**

1. **Глибина логічної схеми (число рівнів)** — чим більша глибина, тим довша загальна затримка.
2. **Затримка елементів (delay)** — кожен логічний елемент має свою часову затримку (затримка поширення сигналу).
3. **Fan-in** — більша кількість входів уповільнює елемент.
4. **Fan-out** — чим більше вихід навантажений, тим більша затримка.
5. **Ємнісне навантаження і розміщення елементів на кристалі (в мікросхемах)** — впливає на час передачі сигналу.