

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 3
Тема: «Исследование работы триггеров»

Выполнил:
студент группы 150502 Альхимович Н.Г.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучить работу триггеров.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется с использованием базового стенда и лабораторных модулей dLab7, dLab8, dLab9.

Для достижения поставленной цели необходимо реализовать ряд задач.

1. Изучить работу RS-триггера:

- сформировать таблицу истинности, диаграмму состояний и таблицу переходов;
- определить, при каких переключениях входных сигналов состояние триггера изменяется;

2. Изучить работу JK-триггера в статическом режиме:

- сформировать таблицу истинности, диаграмму состояний и таблицу переходов;
- определить комбинации входных сигналов J и K, которые соответствуют режимам работы JK-триггера;

3. Изучить работу JK-триггера в динамическом режиме:

- определить активный уровень сигналов асинхронного управления триггером;
- определить перепад тактового импульса на входе C, по которому происходят переключения JK-триггера;

4. Изучить работу D-триггера в статическом режиме:

- сформировать таблицу истинности, диаграмму состояний и таблицу переходов;
- определить значения входного сигнала D, при которых происходит установка триггера в состояния «1» и «0»;

5. Изучить работу D-триггера в динамическом режиме:

- определить активный уровень сигналов асинхронного управления триггером;
- определить перепад тактового импульса на входе C, по которому происходят переключения D-триггера.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 RS-триггер

Триггером называется простейшее устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначаются: $Q=1$ и $Q=0$. В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Если триггер не имеет входов синхронизации, то его называют асинхронным. В этом случае его поведение однозначно определяется в момент прихода активного сигнала на информационный вход. В зависимости от устройства входных цепей триггер будет изменять своё состояние или под действием уровня входного сигнала или под действием фронта этого сигнала.

Если триггер имеет хотя бы один вход синхронизации, то он считается синхронным. У такого триггера имеются информационные входы, приём информации по которым происходит в момент активного состояния синхросигнала. При этом триггер может иметь и другие информационные входы, которые асинхронно определяют его поведение.

Асинхронный RS-триггер является базовым при создании более сложных триггеров. В простейшем случае асинхронный RS-триггер имеет два входа: S (Set) – вход установки триггера в единичное состояние, R (Reset) – вход установки триггера в нулевое состояние.

На рисунке 3.1 приведена схема асинхронного RS-триггера, построенного на логических элементах 2И-НЕ.

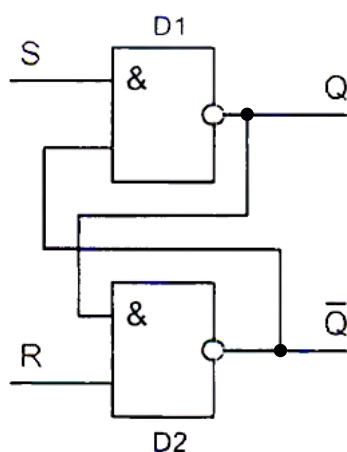


Рисунок 3.1 – Схема асинхронного RS-триггера, построенного на логических элементах 2И-НЕ

Пусть выход элемента D1 – прямой выход триггера Q. По заданному положению прямого выхода определим положение входов установки триггера в нуль (R) и в единицу (S). Если предположить, что сигнал логической

единицы присутствует на верхнем входе, то состояние выходного сигнала элемента D1 будет зависеть от сигнала на выходе элемента D2. Следовательно, единица на верхнем входе не заставляет схему непременно менять свое состояние. Это пассивный уровень сигнала на верхнем входе.

Если выход элемента D1 имеет нулевое состояние и на верхний вход поступит нулевой логический сигнал, то на выходе элемента D1 спустя время задержки одного элемента $t_{зд}$ появится логическая единица независимо от состояния сигнала на нижнем входе схемы. Сформированная на выходе D1 единица, поступая на верхний вход элемента D2 (при наличии единицы на нижнем его входе) приведет к появлению нуля на выходе D2 спустя время задержки $t_{зд}$. То есть через время $2t_{зд}$ триггер перейдет в новое, единичное состояние.

Таким образом, активным сигналом на верхнем входе является логический нуль, этот вход является входом установки S, поскольку приводит к появлению логической единицы на прямом выходе – Q. Поскольку схема симметрична, можно предположить, что нижний вход схемы является входом сброса триггера в нуль – K, причем активным сигналом для этого входа также является логический нуль.

Для RS-триггера комбинация $S=0$ и $R=0$ является запрещенной. После такой комбинации информационных сигналов состояние триггера будет неопределенным.

Существуют разновидности RS-триггеров, называемые E-, R- и S-триггерами, для которых сочетание $S=R=1$ не является запрещенным. E-триггер при $S=R=1$ не изменяет своего состояния ($Q_{n+1}=Q_n$). S-триггер при $S=R=1$ устанавливается в состояние $Q=1$, а R-триггер в этом случае устанавливается в состояние $Q=0$.

Условное графическое обозначение асинхронного RS-триггера приведено на рисунке 3.2. Символами инверсии показано, что активным сигналом для входов S и R является нулевой логический уровень.

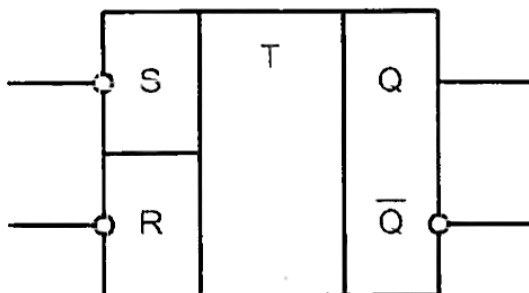


Рисунок 3.2 – Условное графическое обозначение асинхронного RS-триггера

Функционирование RS-триггера определяется уравнением:

$$Q_{n+1} = \overline{R_n}S_n + \overline{R_n}Q_n \quad (3.1)$$

Поведение триггера можно определить сокращенной таблицей истинности (см. таблицу 3.1), в которой сигналы на входах R и S определены для момента времени n, а состояние триггера определяется для следующего момента времени, который определяют как n+1.

Таблица 3.1 – Сокращенная таблица истинности RS-триггера

S_n	R_n	Q_{n+1}	<i>Примечание</i>
0	0	-	запрещено
0	1	1	запись единицы
1	0	0	запись нуля
1	1	Q_n	хранение

Также, поведение триггера может быть описано таблицей переходов (см. таблицу 3.2). Эта таблица определяет значения сигналов на входах, при которых происходит переход триггера из исходного состояния Q_n в состояние Q_{n+1} . Исходное и конечное состояние триггера записаны соответственно в столбцах Q_n и Q_{n+1} , а значения сигналов в момент времени «n» на его входах - в столбцах S_n и R_n . Произвольное состояние сигнала помечено в таблице символом x.

Таблица 3.2 – Таблица переходов RS-триггера

Q_n	S_n	R_n	Q_{n+1}
0	1	x	0
0	0	1	1
1	1	0	0
1	x	1	1

Матрица переходов для первой строки таблицы строится следующим образом. Чтобы из нулевого исходного состояния триггер перешел в нулевое, необходимо, чтобы состояние сигнала S_n на входе S было пассивным, а состояние сигнала на входе R не имеет значения. Это объясняется тем, что при пассивном сигнале на входе R триггер просто сохранит свое исходное состояние, а при активном сигнале на этом входе происходит запись нуля в триггер. Но при этом в любом случае конечное состояние триггера будет равным нулю, то есть будет равно требуемому значению.

3.2 JK-триггер

JK-триггер имеет два информационных входа J и K, предназначенные для установки его выхода в логическое состояние 1 или 0. В интегральной схемотехнике JK-триггеры обычно выполняются синхронными, поэтому

сигналы на информационных входах влияют на состояние JK-триггера только при поступлении тактового сигнала на его вход синхронизации С.

На рисунке 3.3 приведен один из вариантов построения синхронного двухступенчатого JK-триггера.

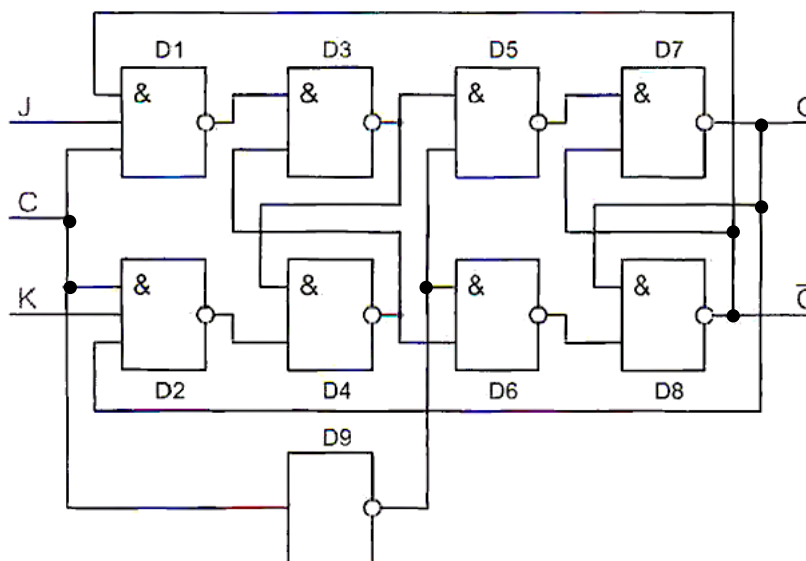


Рисунок 3.3 – Схема синхронного двухступенчатого JK-триггера

Схема состоит из основного RS-триггера на логических элементах D3, D4 и дополнительного – на логических элементах D7, D8. Логические элементы D1 и D2 обеспечивают синхронизацию основного триггера, а элементы D5 и D6 – синхронизацию дополнительного триггера. Основной триггер тактируется потенциалом логической 1, поступающим на вход С. Логический элемент D9 инвертирует тактовый сигнал, поэтому дополнительный триггер тактируется потенциалом логического 0.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ($Q=0$). Тогда на одном из входов элементов D1 и D2 будут, соответственно, логическая «1» и логический «0». При $C=0$, элементы D1 и D2 закрыты независимо от того, какие сигналы будут на остальных их входах.

Пусть на вход J подан сигнал логической «1», а на входе К – логический «0». Тогда с приходом импульса синхронизации $C=1$ элемент D1 откроется, а элемент D2 останется закрытым. Одновременно с этим закроются оба элемента D5 и D6 сигналом логического «0», снимаемым с выхода инвертора D9. Сигнал логического «0» с выхода открытого элемента D1 установит основной триггер в состояние 1. Тогда на одном из входов элемента D5 будет сигнал логической «1», а на входе элемента D6 – сигнал логического «0». Эти сигналы никак не повлияют на состояние дополнительного триггера, так как во время действия импульса синхронизации $C=1$ элементы D5 и D6 закрыты нулевым потенциалом с выхода инвертора D9. По окончании импульса

синхронизации элементы D1 и D2 закроются, а на выходе элемента D9 и, следовательно, входах элементов D5 и D6 появится логическая «1». Так как основной триггер находится в состоянии единицы, то откроется элемент D5 и установит дополнительный триггер в состояние единицы.

Аналогично можно показать, что при $J=0$ и $K=1$, а $C=1$ триггер установится в состояние логического нуля. Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал на входе синхронизации C переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются срезами тактового импульса в отличие от триггеров, тактируемых потенциалом.

Временная диаграмма работы JK-триггера приведена на рисунке 3.4.

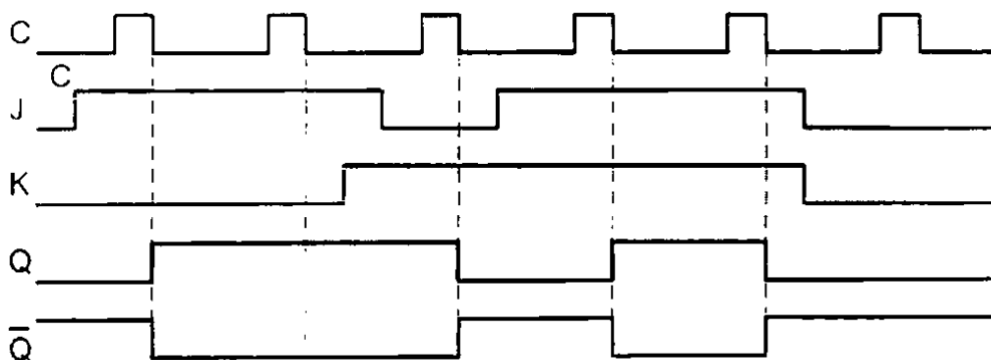


Рисунок 3.4 – Временная диаграмма работы JK-триггера

Функционирование JK-триггера определяется уравнением:

$$Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} Q_n \quad (3.2)$$

Работа JK-триггеров описывается таблицей истинности (см. таблицу 3.3) и таблицей переходов (см. таблицу 3.4). Произвольное состояние сигнала помечено в таблице символом х.

Таблица 3.3 – Таблица истинности JK-триггера

J_n	K_n	Q_{n+1}	Примечание
0	0	Q_n	хранение
0	1	0	запись нуля
1	0	1	запись единицы
1	1	$\overline{Q_n}$	счетный режим

Таблица 3.4 – Таблица переходов JK-триггера

Q_n	J_n	K_n	Q_{n+1}
0	0	x	0
0	0	x	1
1	x	1	0
1	x	0	1

В отличие от RS-триггера, в JK-триггере наличие $J=K=1$ приводит к переходу выхода Q триггера в противоположное состояние.

Эта особенность JK-триггера используется на практике – при объединении входов J и K получается так называемый Т-триггер, или счетный триггер, который изменяет состояние выхода по фронту импульса на входе C . Т-триггер может иметь подготовительный вход T (точка объединения входов J и K). Сигнал на этом входе разрешает (при $T=1$) или запрещает (при $T=0$) срабатывание триггера от фронтов импульсов на входе C . Функционирование Т-триггера определяется уравнением:

$$Q_{n+1} = T_n \overline{Q_n} + \overline{T_n} Q_n \quad (3.3)$$

Из этого уравнения следует, что при $T=1$ соответствующий фронт сигнала на входе C переводит триггер в противоположное состояние.

Частота изменения потенциала на выходе Т-триггера в два раза меньше частоты импульсов на входе C . Это свойство Т-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа T ведет себя так же, как и Т-триггер при $T=1$.

Чтобы расширить функциональные возможности JK-триггера, его снабжают асинхронными входами R и S , которые имеют приоритет по отношению к другим входам. При подаче логического нуля на вход S триггер асинхронно устанавливается в единичное состояние, а при подаче логического нуля на вход R – в нулевое состояние.

Условное графическое обозначение JK-триггера приведено на рисунке 3.5.

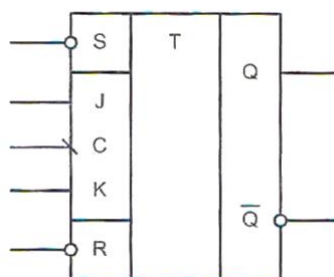


Рисунок 3.5 – Условное графическое обозначение JK-триггера

3.3 D-триггер

D-триггер или триггер задержки (delay) относится к синхронным триггерам. При поступлении синхросигнала на вход С устанавливается в состояние, соответствующее потенциалу на входе D. Уравнение функционирования D-триггера имеет вид:

$$Q_{n+1} = D_n \quad (3.4)$$

Это уравнение показывает, что выходной сигнал Q_{n+1} изменяется не сразу после изменения входного сигнала D, а только с приходом синхросигнала, т.е. с задержкой на один период импульсов синхронизации.

Схема D-триггера с потенциальным управлением показана на рисунке 3.6. Основой D-триггера является асинхронный RS-триггер, выполненный на элементах D3 и D4.

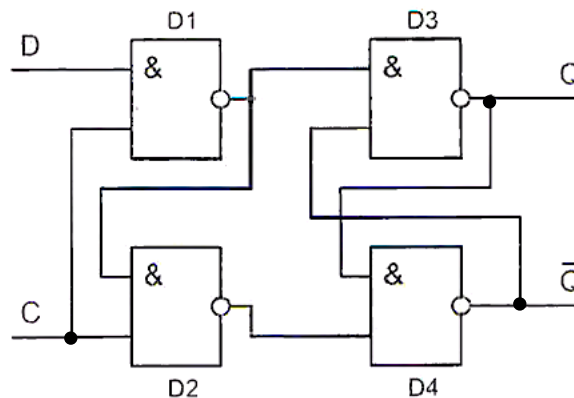


Рисунок 3.6 – Схема D-триггера с потенциальным управлением

При $C=0$ триггер хранит информацию, поскольку на выходах D1, D2 присутствуют единицы, что соответствует пассивным сигналам асинхронного триггера D3, D4. При $C=1$ в триггер записывается состояние сигнала D. Если $D=0$, то на выходе D1 формируется единица, а на выходе D2 формируется нуль, что приводит к записи в триггер нуля.

Поведение D-триггера можно описать таблицей истинности (см. таблицу 3.5) и таблицей переходов (см. таблицу 3.6).

Таблица 3.5 – Таблица истинности D-триггера

D_n	Q_{n+1}
0	0
1	1

Таблица 3.6 – Таблица переходов D-триггера

Q_n	D_n	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

Из приведенных таблиц видно, что для D-триггера нет запрещённой комбинации сигналов на входах D и C.

Изменение состояния D-триггера при воздействии входных сигналов показано на временной диаграмме (см. рисунок 3.7).

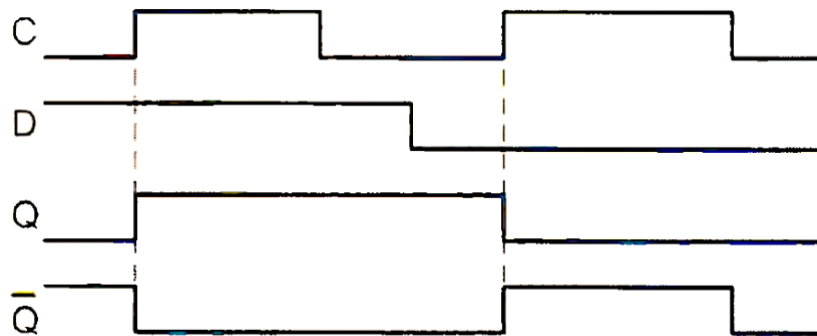


Рисунок 3.7 – Временная диаграмма работы D-триггера с потенциальным управлением

При активном синхросигнале нежелательно менять состояние сигнала на информационном входе D. В момент окончания действия активного синхросигнала происходит переход триггера из режима записи в режим хранения принятой информации. Триггер как бы защёлкивается в новом состоянии. Поэтому подобные триггеры иногда называют триггерами-защёлками.

При активном синхросигнале изменение состояния сигнала на входе D повторяется на выходе. То есть триггер превращается в повторитель входного сигнала. Этим фактом иногда пользуются, например, для повышения нагрузочной способности схемы.

Особенностью триггеров с динамическим управлением является то, что они принимают информацию в течение короткого интервала времени вблизи активного фронта синхросигнала. На рисунке 3.8 показана схема D-триггера с динамическим управлением, которая реализована в составе микросхемы ТТЛ типа K555TM2.

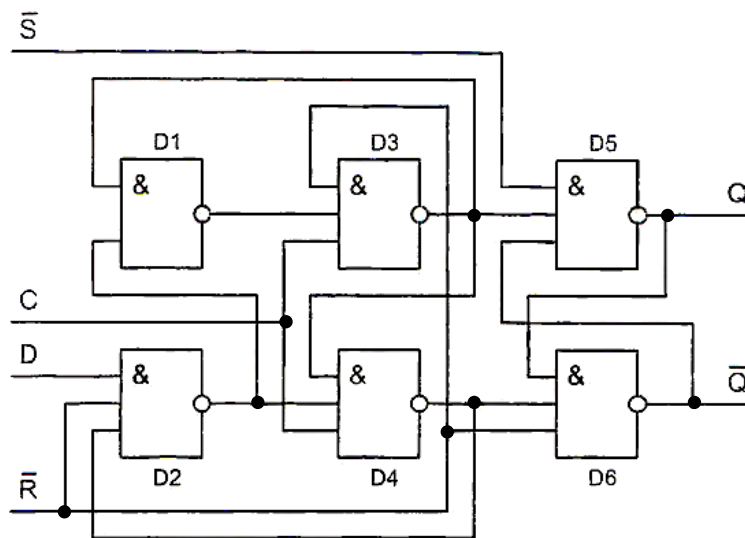


Рисунок 3.8 – Схемы D-триггера с динамическим управлением

Пусть в исходном состоянии $C=0$ и $D=1$ (входы асинхронной установки S и R находятся в пассивном единичном состоянии и при анализе работы схемы не рассматриваются). Триггер сохраняет свое состояние. При этом на выходе элемента D2 присутствует логический ноль, в результате чего выход элемента D1 находится в единичном состоянии.

С приходом нарастающего фронта синхросигнала все входы элемента D3 имеют единичное состояние, что приводит, спустя время задержки элемента, к появлению логического нуля на его выходе. Этот ноль поступает на входы элементов D1 и D4, блокируя информационный вход триггера D, то есть спустя время задержки всего одного элемента после прихода фронта синхросигнала изменение сигнала D не вызывает изменение состояния триггера. При этом ноль на выходе D3 переводит выходной сигнал D5 в единицу, а D6 – в ноль.

Таким образом, после прихода синхросигнала произойдет переключение выходного сигнала триггера через интервал времени, равный утроенному времени задержки логического элемента.

Аналогично триггер ведёт себя при $D=0$, только в этом случае блокирование информационного сигнала происходит нулём с выхода элемента D4 на вход элемента D2.

Предложенный анализ работы входной логики триггера, выполненной на элементах D1, D2 показывает, что с появлением нарастающего фронта на входе синхронизации спустя время задержки всего одного элемента происходит блокирование информационного входа так, что изменение состояния сигнала после этого не приводит к изменению состояния триггера. Только с приходом следующего нарастающего фронта синхросигнала возможна запись в триггер нового состояния информационного сигнала.

Условное обозначение рассмотренного триггера с учётом асинхронных входов S и R представлено на рисунке 3.9. Наличие асинхронных входов расширяет функциональные возможности триггера. При подаче активного (в данном случае нулевого) сигнала на любой из асинхронных входов блокируется запись в триггер состояния информационного входа D.

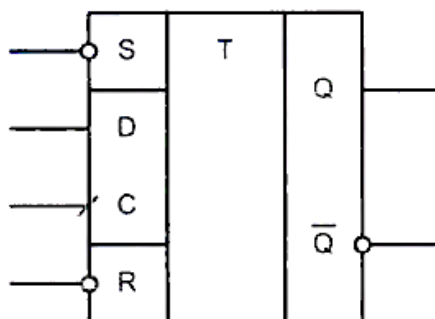


Рисунок 3.9 – Условное графическое обозначение триггера K555TM2

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 RS-триггер

Сформировать таблицу истинности RS-триггера (см. рисунок 4.1). Полученные данные представлены в таблице 4.1.

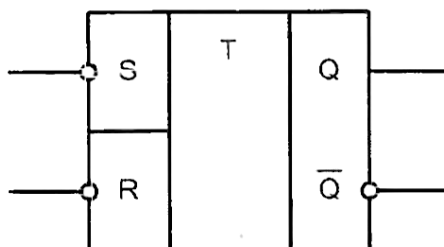


Рисунок 4.1 – Условное графическое обозначение асинхронного RS-триггера

Таблица 4.1 – Таблица истинности RS-триггера

	S	R	Q
Шаг 1	0	0	1
Шаг 2	1	0	0
Шаг 3	0	1	1
Шаг 4	1	1	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.2.

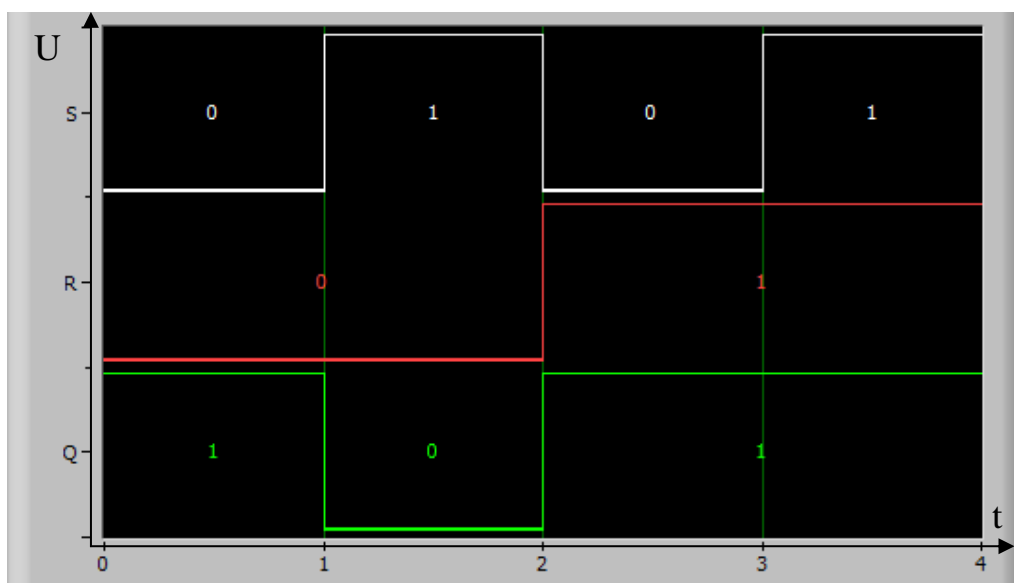


Рисунок 4.2 – Диаграмма состояний RS-триггера

Сформировать таблицу переходов RS-триггера. Полученные данные представлены в таблице 4.2.

Таблица 4.2 – Таблица переходов RS-триггера

Выход Q_n	Вход R	Вход S	Выход Q_{n+1}
0	×	0	0
0	0	1	1
1	1	0	0
1	0	×	1

Состояние триггера изменяется при следующих переключениях входных сигналов:

- если на S подается «1», а на R «0», то на выходе устанавливается «1»;
- если на S подается «0», а на R «1», то на выходе устанавливается «0».

Тогда как при подаче на входы R и S «0» триггер сохраняет установленное значение.

4.2 JK-триггер

4.2.1 Изучение работы JK-триггера в статическом режиме

Сформировать таблицу истинности JK-триггера (см. рисунок 4.3). Полученные данные представлены в таблице 4.3.

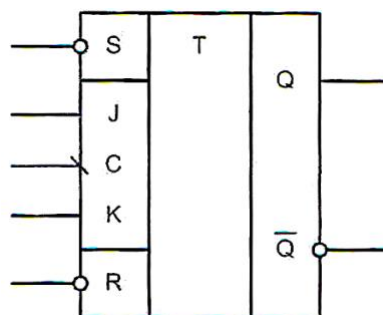


Рисунок 4.3 – Условное графическое обозначение JK-триггера

Таблица 4.3 – Таблица истинности JK-триггера

	S	R	J	K	C	Q	/Q
Шар 1	1	1	0	0	П	1	0
Шар 2	1	1	0	1	П	0	1
Шар 3	1	1	1	0	П	1	0
Шар 4	1	1	0	0	П	1	0
Шар 5	1	1	1	0	П	1	0
Шар 6	1	1	0	1	П	0	1
Шар 7	1	1	0	0	П	0	1
Шар 8	1	1	1	1	П	1	0
Шар 9	1	1	1	1	П	0	1
Шар 10	1	1	1	1	П	1	0

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.4.

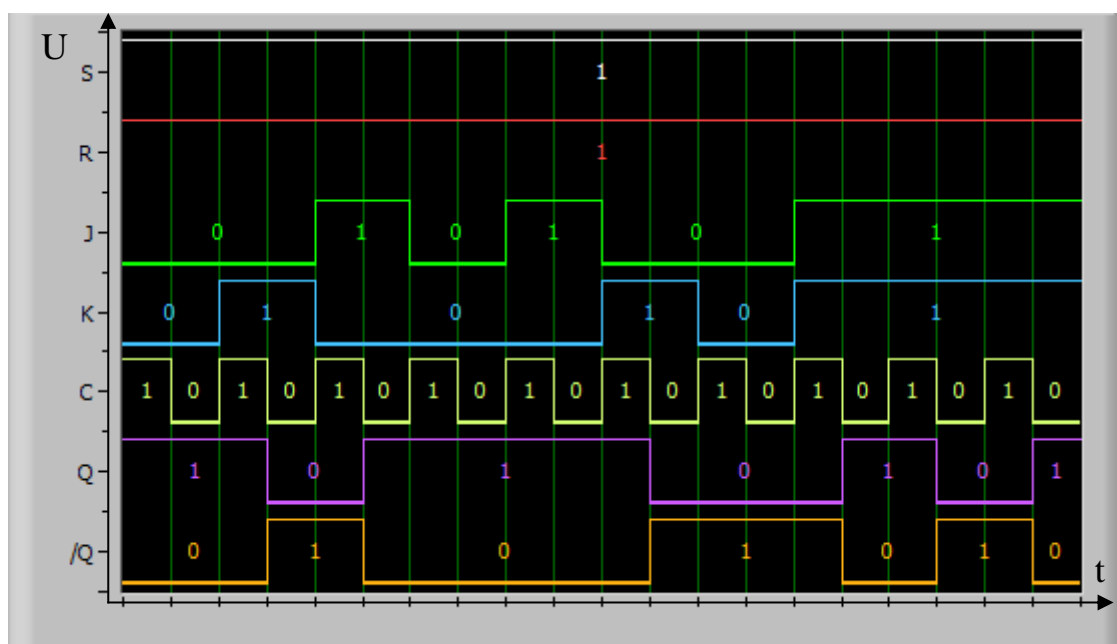


Рисунок 4.4 – Диаграмма состояний JK-триггера

Таблица переходов JK-триггера представлена в таблице 4.4.

Таблица 4.4 – Таблица переходов JK-триггера

Выход Q_n	Вход J	Вход K	Выход Q_{n+1}
0	×	0	0/1
0	0	1	0
1	1	0	1
1	0	×	1/0

По таблице истинности и таблице переходов определить, какие комбинации входных сигналов J и K соответствуют режимам работы JK-триггера. Полученные данные представлены в таблице 4.5.

Таблица 4.5 – Режимы работы JK-триггера

Режим работы	Вход J	Вход K
Хранение информации	0	0
Установка «1»	1	0
Установка «0»	0	1
Переключение	1	1

4.2.2 Изучение работы JK-триггера в динамическом режиме

Активным уровнем сигналов асинхронного управления триггером является «0», ведь при его подаче на вход S триггер асинхронно устанавливается в «1», а при подаче на вход R – в «0».

При изучении JK-триггера было установлено, что на его работу не влияют входы J, K, C, так как асинхронное управление позволяет установить определенное состояние триггера независимо от входного сигнала данных.

Получить диаграммы состояний коммутационного элемента. Диаграмма состояний JK-триггера при значениях R=1 и S=1 приведена на рисунке 4.5.

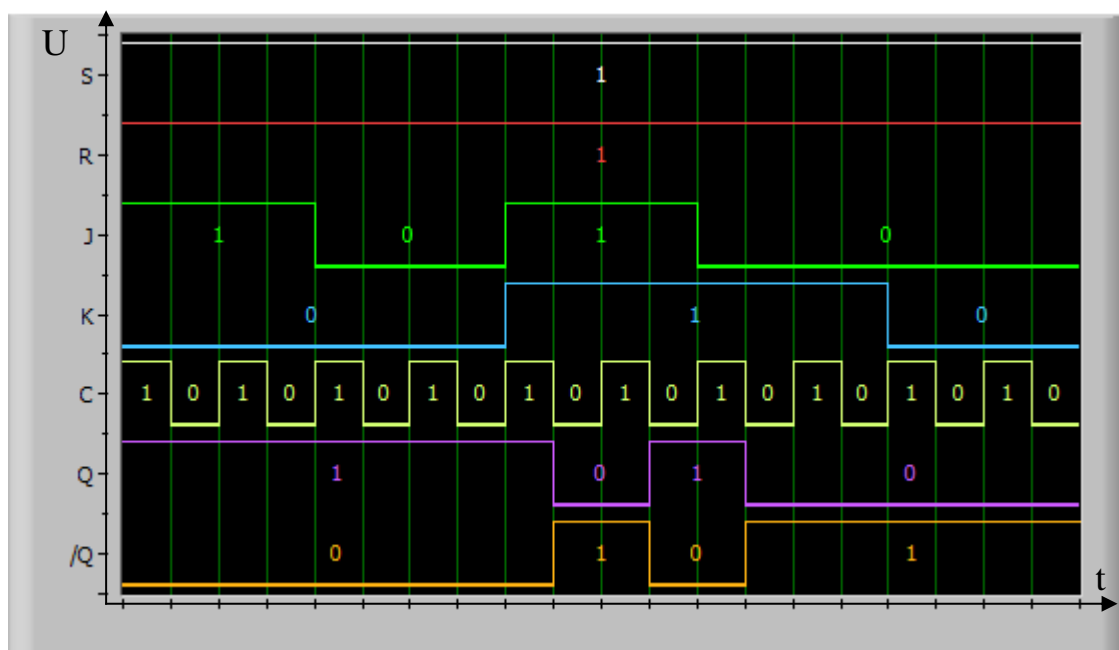


Рисунок 4.5 – Диаграмма состояний JK-триггера при $R=1$ и $S=1$

По временной диаграмме можно определить, что переключения JK-триггера происходят по перепаду тактового импульса на входе С из «1» в «0».

Диаграмма при значениях $R=0$ и $S=0$ приведена на рисунке 4.6.

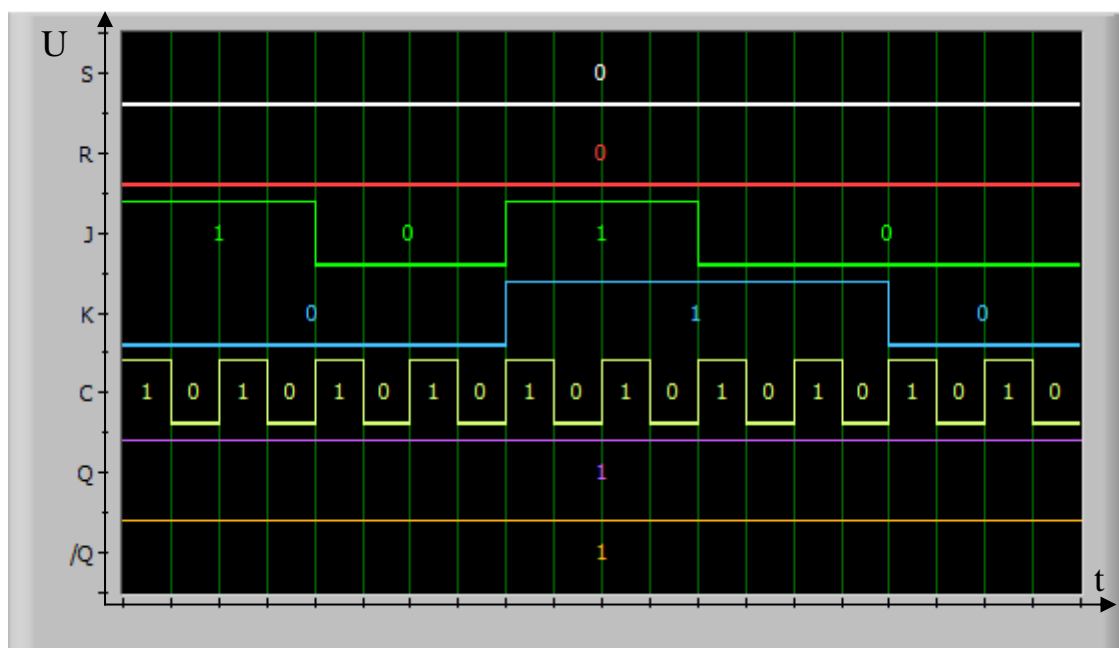


Рисунок 4.6 – Диаграмма состояний JK-триггера при $R=0$ и $S=0$

Диаграмма при значениях $R=1$ и $S=0$ приведена на рисунке 4.7.

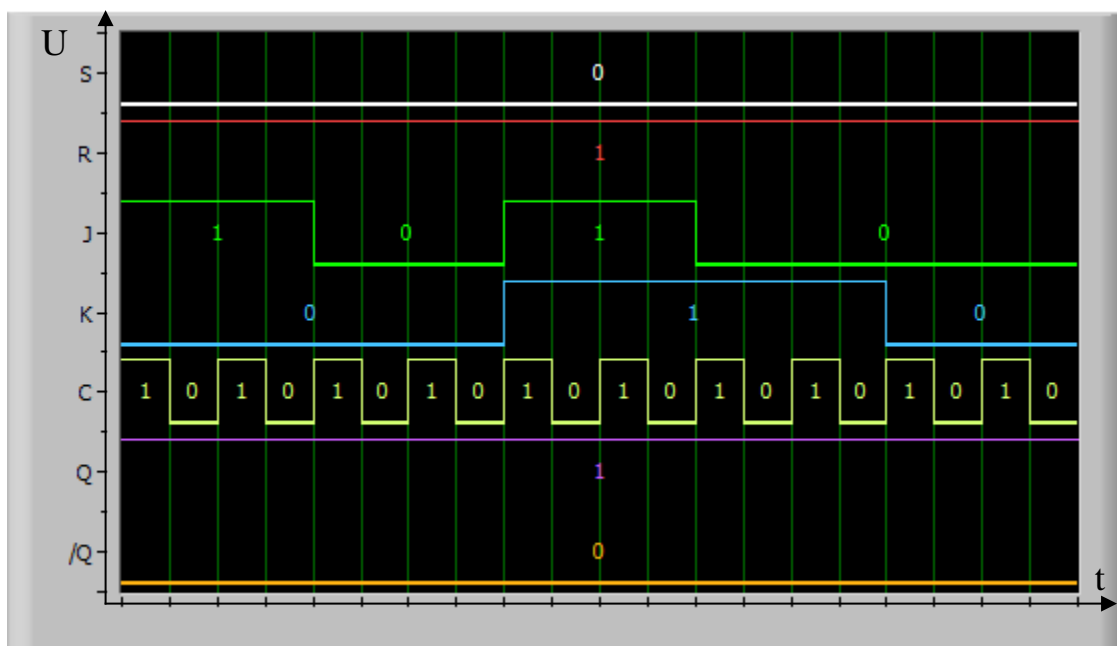


Рисунок 4.7 – Диаграмма состояний JK-триггера при $R=1$ и $S=0$

Диаграмма при значениях $R=0$ и $S=1$ приведена на рисунке 4.8.

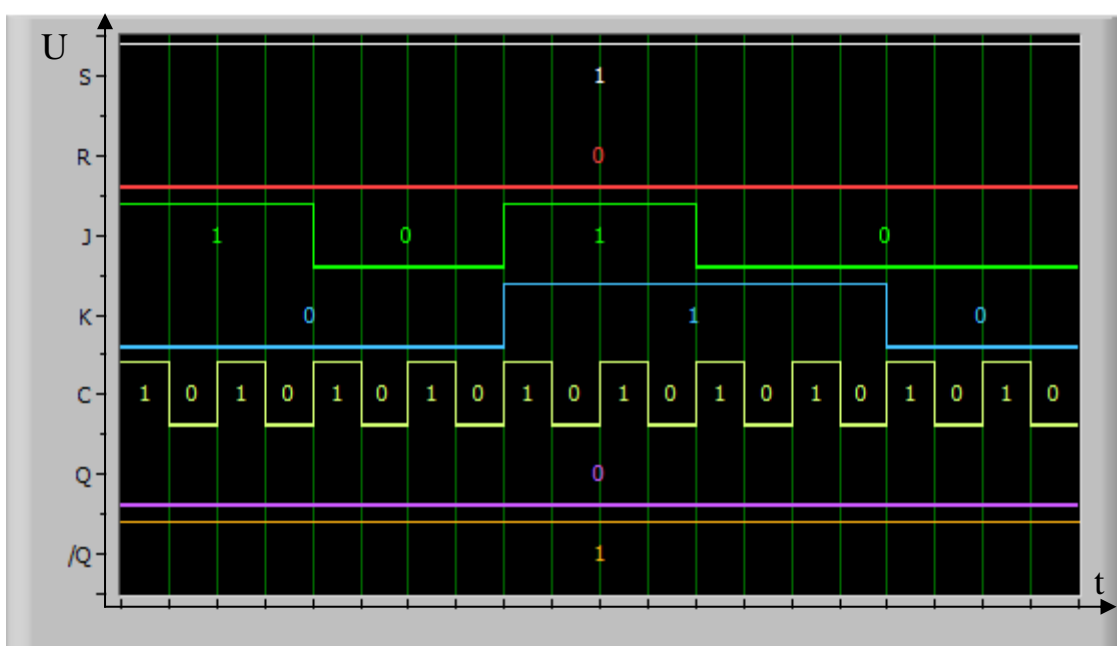


Рисунок 4.8 – Диаграмма состояний JK-триггера при $R=0$ и $S=1$

4.3 D-триггер

4.3.1 Изучение работы D-триггера в статическом режиме

Сформировать таблицу истинности D-триггера (см. рисунок 4.9). Полученные данные представлены в таблице 4.6.

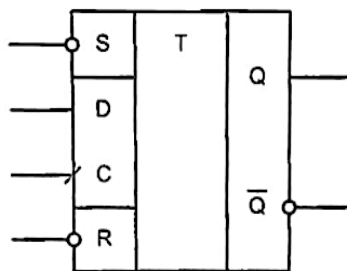


Рисунок 4.9 – Условное графическое обозначение D-триггера

Таблица 4.6 – Таблица истинности D-триггера

	S	R	D	C	Q	/Q
Шаг 1	1	1	0	ЛГ	0	1
Шаг 2	1	1	1	ЛГ	1	0
Шаг 3	1	1	0	ЛГ	0	1
Шаг 4						

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.10.

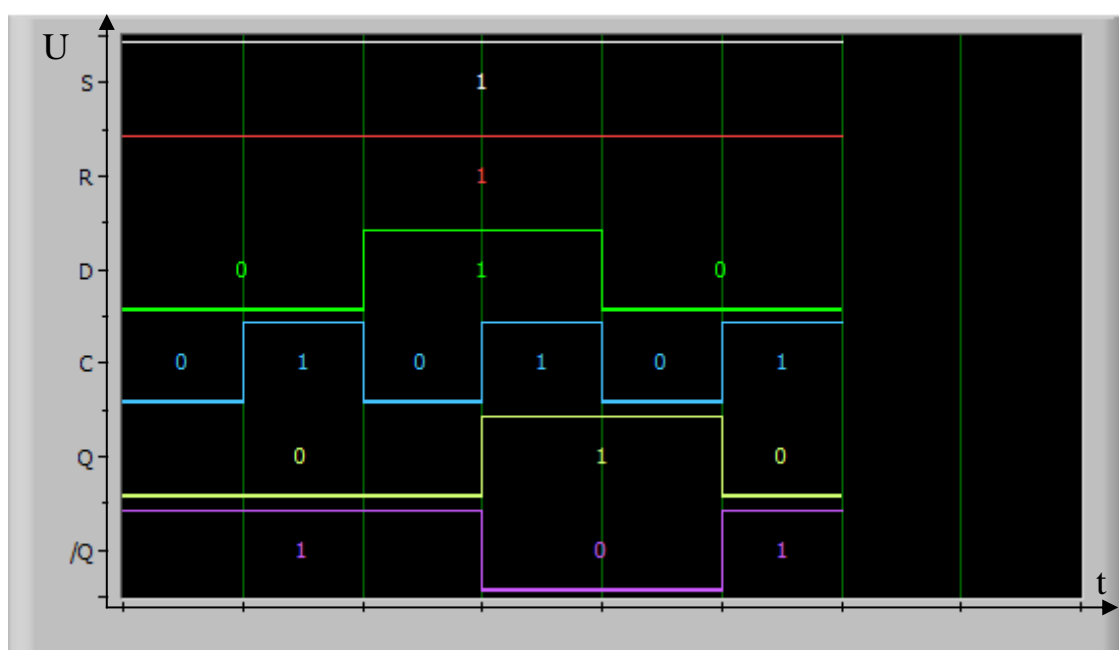


Рисунок 4.10 – Диаграмма состояний D-триггера

По таблице истинности и таблице переходов определить, при каких значениях входного сигнала D происходит установка триггера в состояния «1» и «0». Полученные данные представлены в таблице 4.7.

Таблица 4.7 – Режимы работы D-триггера

Режим	D
Установка «1»	1
Установка «0»	0

4.3.2 Изучение работы D-триггера в динамическом режиме

Активным уровень сигналов асинхронного управления триггером является «0».

При изучении D-триггера было установлено, что на его работу не влияет вход D, а вход C обеспечивает асинхронную установку состояния триггера в заданное значение вне зависимости от входа D.

Получить диаграммы состояний коммутационного элемента. Диаграмма при значениях R=1 и S=1 приведена на рисунке 4.11.

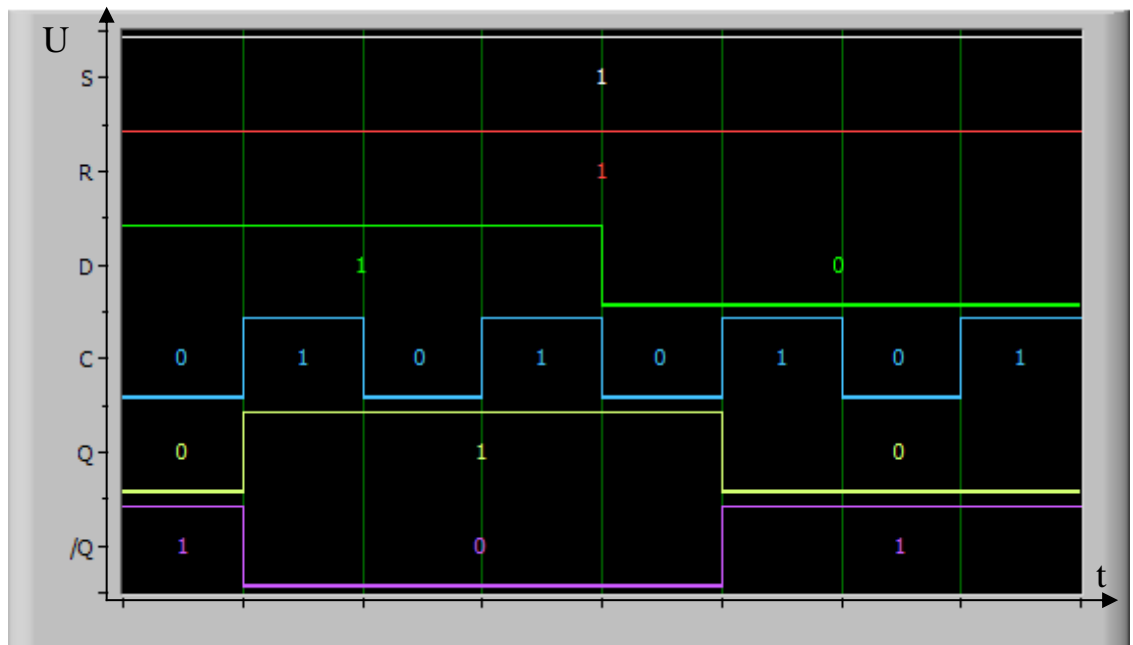


Рисунок 4.11 – Диаграмма состояний D-триггера при R=1 и S=1

По временной диаграмме можно определить, что переключения D-триггера происходят по перепаду тактового импульса на входе C из «0» в «1».

Диаграмма при значениях R=0 и S=0 приведена на рисунке 4.12.

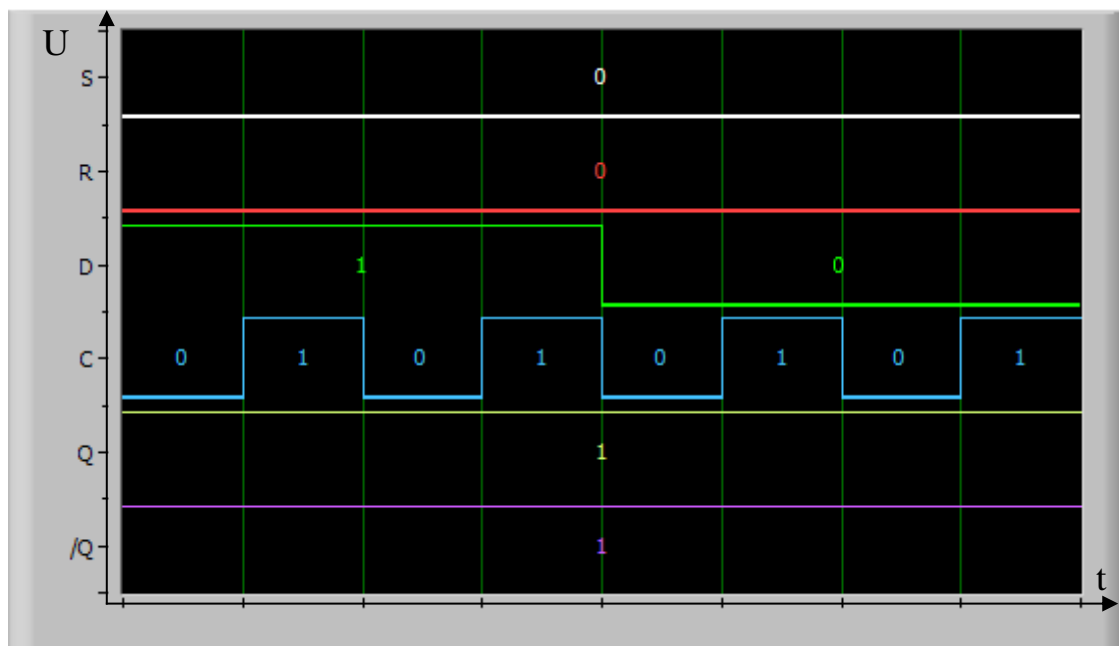


Рисунок 4.12 – Диаграмма состояний D-триггера при $R=0$ и $S=0$

Диаграмма при значениях $R=1$ и $S=0$ приведена на рисунке 4.13.

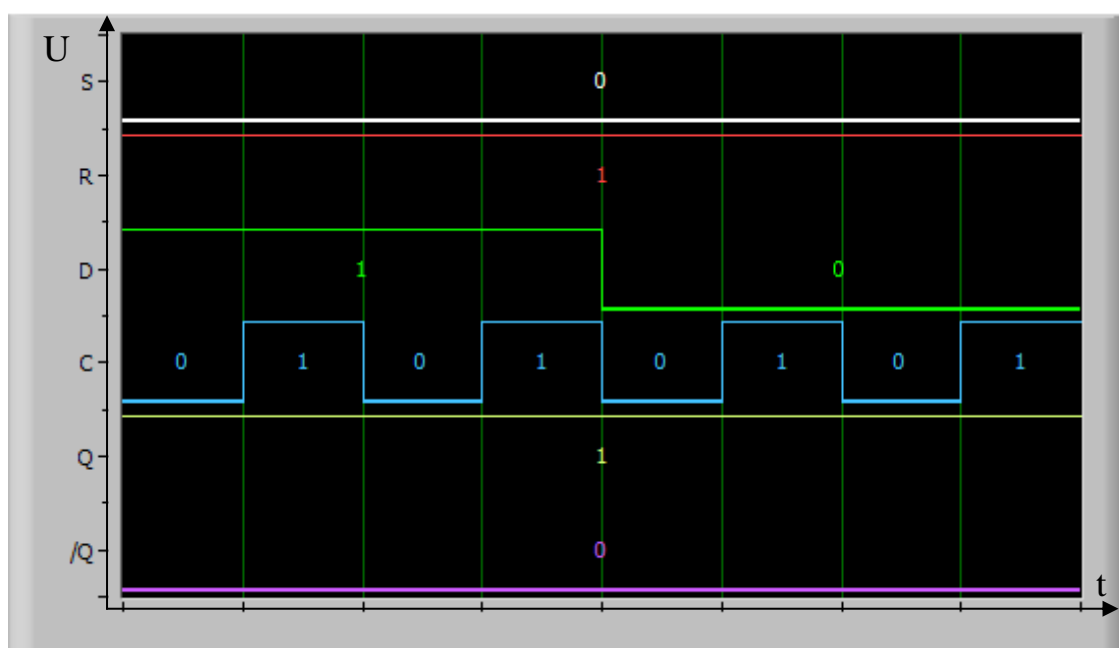


Рисунок 4.13 – Диаграмма состояний D-триггера при $R=1$ и $S=0$

Диаграмма при значениях $R=0$ и $S=1$ приведена на рисунке 4.14.

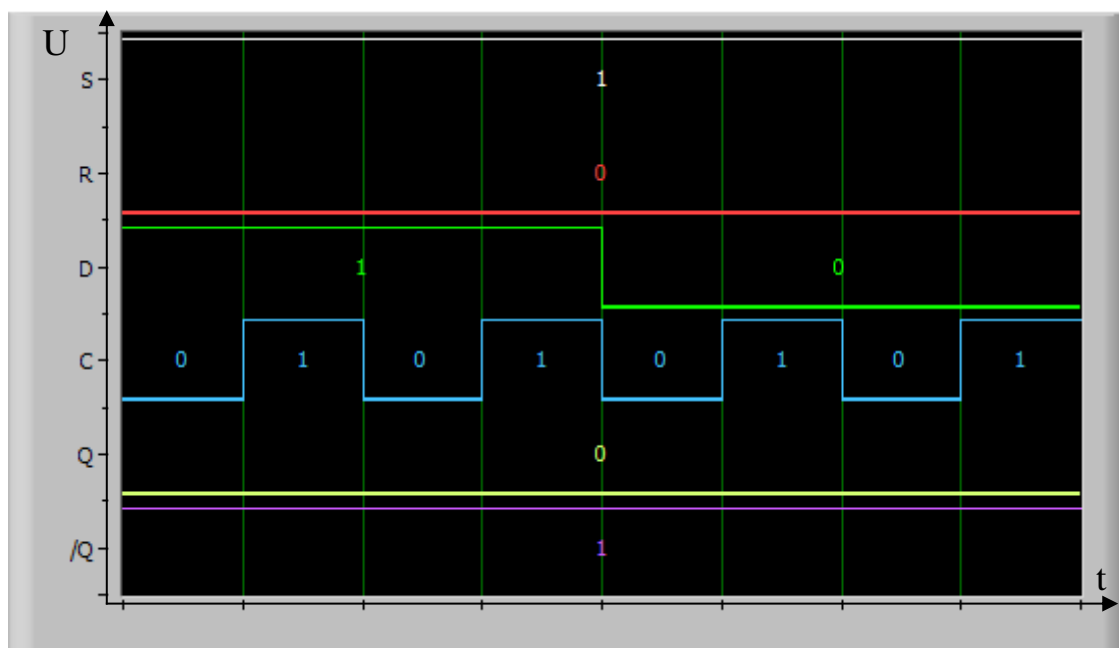


Рисунок 4.14 – Диаграмма состояний D-триггера при $R=0$ и $S=1$

5 ВЫВОДЫ

В процессе выполнения лабораторной работы были изучены такие коммутационные элементы, как RS-, JK-, D-триггеры. Для каждого из них были сформированы таблицы истинности, диаграммы состояний, таблицы переходов и режимов работы.

Было определено, что состояние RS-триггера изменятся при следующих переключениях входных сигналов:

- если на S подается «1», а на R «0», то на выходе устанавливается «1»;
- если на S подается «0», а на R «1», то на выходе устанавливается «0».

При подаче на входы R и S «0» триггер сохраняет установленное значение.

Изучение работы JK-триггера в динамическом режиме показало, что активным уровнем сигналов асинхронного управления триггером является «0». Также было установлено, что на его работу не влияют входы J , K , C .

В процессе изучения работы D-триггера был определен активный уровень сигналов асинхронного управления триггером – «0». Также было установлено, что на его работу не влияет вход D , а вход C обеспечивает асинхронную установку состояния триггера в заданное значение вне зависимости от входа D .