

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 2

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:
студент группы 150502 Альхимович Н.Г.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучить работу коммутационных логических элементов.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется с использованием базового стенда и лабораторных модулей dLab2, dLab3, dLab4, dLab5, dLab6.

В процессе выполнения требуется изучить работу:

- шифратора;
- дешифратора;
- мультиплексора;
- сумматора;
- цифрового компаратора.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Шифратор

Шифратором $M \times N$ называют комбинационное устройство с M входами и N выходами, преобразующее M -разрядный унитарный код в N -разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- полные шифраторы, число входов которых $M = 2^N$;
- неполные шифраторы, имеющие число входов $M < 2^N$.

По уровням входных и выходных сигналов выделяют:

- шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
- шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на две группы:

- шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, то есть должна соблюдаться очередность подачи сигналов от разных источников. Если на один из входов шифратора подан сигнал, остальные входы шифратора должны быть заблокированы;
- приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного

кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

Условное графическое обозначение приоритетного шифратора низкого уровня представлено на рисунке 3.1.

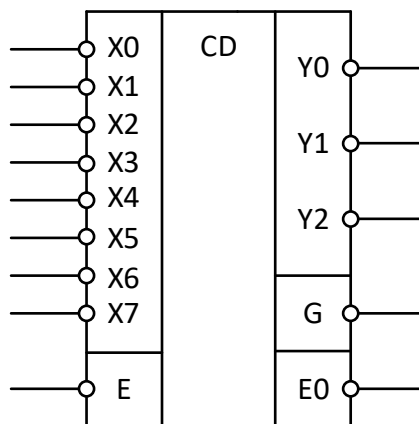


Рисунок 3.1 – Условное графическое обозначение приоритетного шифратора

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

- восемь информационных входов X0, X1, ..., X7;
- три информационных выхода Y0, Y1, Y2;
- вход E разрешения работы данного шифратора;
- выход EO разрешения работы других шифраторов при каскадировании;
- выходной сигнал группового переноса G.

Работа шифратора разрешена при подаче нуля на вход разрешения E (enable). При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером. То есть старшие входы имеют приоритет перед младшими. Поэтому такой шифратор называется приоритетным. При отсутствии входных сигналов формируется выходной код 111. Единичный сигнал на входе E запрещает работу шифратора (все выходные сигналы устанавливаются в единицу).

На выходе G вырабатывается нуль при приходе любого активного входного сигнала. Это позволяет отличить ситуацию поступления сигнала на вход X0 от ситуации отсутствия сигналов на всех входах. Выход EO становится нулевым при отсутствии входных сигналов, если при этом разрешена работа шифратора нулевым сигналом на входе E.

Состояние выходных сигналов G и EO шифратора описывается следующими уравнениями:

$$G = E \vee \overline{E} \cdot X_0 \cdot X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot X_5 \cdot X_6 \cdot X_7, \quad (3.1)$$

$$EO = \overline{\overline{E} \cdot X_0 \cdot X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot X_5 \cdot X_6 \cdot X_7}. \quad (3.2)$$

Сигналы EI и EO используются для наращивания разрядности шифратора.

Стандартное применение шифраторов состоит в сокращении количества сигналов.

Шифраторы также могут быть использованы при организации клавиатуры для формирования кода нажатой клавиши. При этом каждому входу шифратора соответствует отдельная клавиша. Если ни одна из них не нажата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в единичное состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременного нажатия нескольких клавиш формируется код клавиши с наибольшим приоритетом.

3.2 Дешифратор

Дешифратор $M \times N$ – комбинационное устройство с M входами и N выходами, преобразующее M -разрядный двоичный код в N -разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня – единственный 0.

Максимальное число выходов $N = 2^M$ соответствует всем возможным наборам сигналов на входе дешифратора или M -разрядным двоичным кодам. Дешифратор с максимальным числом $N = 2^M$ выходов называется полным ($M \times 2^M$), а с числом выходов $N < 2^M$ – неполным.

На рисунке 3.2 приведено условное обозначение дешифратора 2×4 типа К531ИД14.

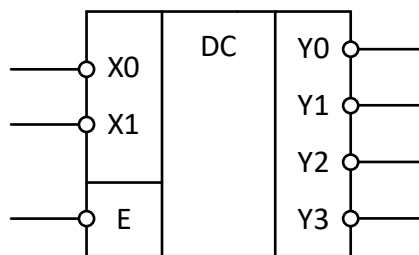


Рисунок 3.2 – Условное графическое обозначение дешифратора 2×4 типа К531ИД14

Помимо информационных входов X_0 , X_1 дешифратор имеет дополнительные входы управления E . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние,

при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом – уровень логического нуля.

Формирование выходных сигналов в дешифраторе 2×4 с учетом сигнала управления описывается следующим образом:

$$\begin{aligned} Y_0 &= \overline{E} \wedge \overline{X_1} \wedge \overline{X_0}, Y_1 = \overline{E} \wedge \overline{X_1} \wedge X_0, Y_2 = \overline{E} \wedge X_1 \wedge \overline{X_0}, Y_3 = \\ &= \overline{E} \wedge X_1 \wedge X_2. \end{aligned} \quad (3.3)$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения представляет собой конъюнкцию всех разрешающих сигналов управления.

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров дешифраторы позволяют адресоваться к определенному устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

3.3 Мультиплексор

Мультиплексором $M \times 1$ называют комбинационное устройство с M информационными (X_0, X_1, \dots, X_{M-1}), K адресными (A_0, A_1, \dots, A_{K-1}) входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов M и числа адресных входов K мультиплексоры делятся на полные и неполные. Если выполняется условие $M = 2^K$, то мультиплексор будет полным. Если это условие не выполняется, то есть $M < 2^K$, то мультиплексор будет неполным.

На рисунке 3.3 представлен мультиплексор 4×1 с инверсным входом разрешения E и прямым выходом Y , представляющий собой половину микросхемы мультиплексора КР555КП2.

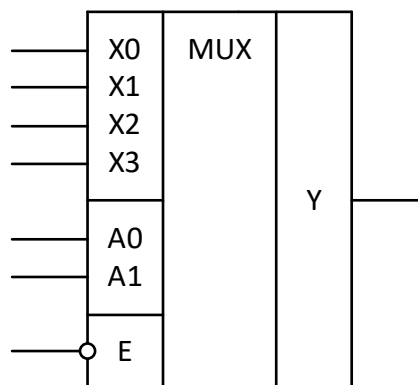


Рисунок 3.3 – Условное графическое обозначение мультиплексора 4×1

Выражение для выходной функции такого мультиплексора можно записать в виде:

$$Y = \overline{E} \wedge (X0 \wedge \overline{A0} \wedge \overline{A1} \vee X1 \wedge A0 \wedge \overline{A1} \vee X2 \wedge \overline{A0} \wedge A1 \vee X3 \wedge A0 \wedge A1). \quad (3.4)$$

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и так далее.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется в микросхемах с программируемой логикой – программируемых логических матрицах.

3.4 Сумматор

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания двоичных и десятичных чисел.

По виду выполняемой операции выделяют две группы сумматоров:

- сумматоры, выполняющие сложение положительных чисел (без знака числа);
- сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами-вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

- двоичные сумматоры, выполняющие операции над двоичными числами;
- десятичные сумматоры, выполняющие операции над десятичными

числами.

По последовательности выполнения операции во времени выделяют:

- параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматоры одновременно. Такие сумматоры строятся на комбинационных устройствах;
- последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором называется комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики. Условное графическое обозначение представлено на рисунке 3.4.

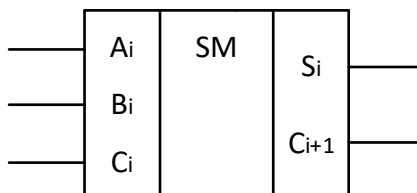


Рисунок 3.4 – Условное графическое обозначение полного одноразрядного сумматора

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров.

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного сигнала переноса формирует выходной сигнал переноса. Такой сумматор называется сумматором с параллельным переносом. На таком принципе построен четырехразрядный сумматор К155ИМ3. Условное обозначение представлено на рисунке 3.5.

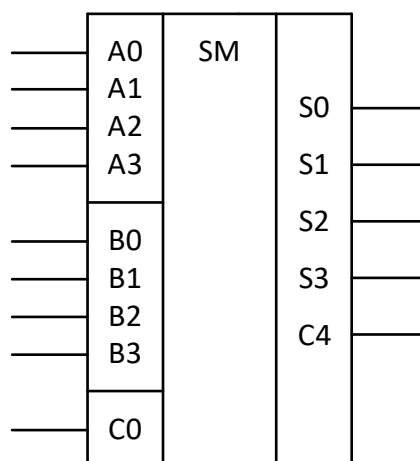


Рисунок 3.5 – Условное графическое обозначение четырехразрядного сумматора с параллельным переносом

Путем соединения выводов переноса C0, C4 четырехразрядных сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и так далее. Такой многоразрядный сумматор называют сумматором с последовательным групповым переносом.

3.5 Компаратор

Цифровым компаратором называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы:

- схемы проверки равнозначных кодов;
- схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе две переменные A и B, каждая из которых содержит M двоичных разрядов, и один выход Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал $Y=1$ при равенстве входных чисел.

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть $y_i = 1$ для каждого разряда. Чтобы формировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию:

$$Y = y_1 \wedge y_2 \wedge \dots \wedge y_M. \quad (3.5)$$

Только при поразрядном равенстве выходной сигнал Y будет равен логической единице.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых A0...A3 и B0...B3) компаратор К555СП1 имеет три

управляющих входа для наращивания разрядности и три выхода результирующих сигналов. Условное графическое обозначение компаратора приведено на рисунке 3.6.

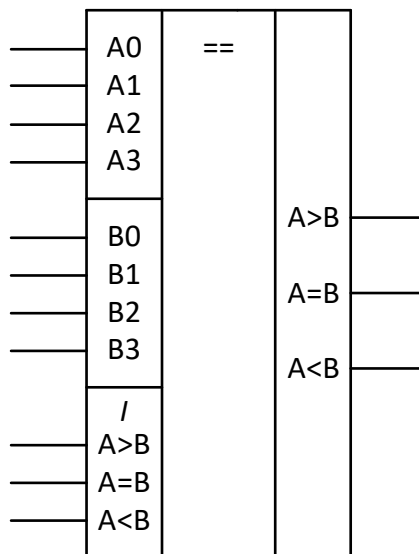


Рисунок 3.6 – Условное графическое обозначение цифрового компаратора

Если сравниваются коды с разрядностью более четырех, то выходы компаратора младших разрядов подключаются к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, то есть сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Шифратор

Сформировать таблицу истинности шифратора (см. рисунок 4.1) при логическом сигнале «0» на входе «Е». Полученные данные представлены в таблице 4.1.

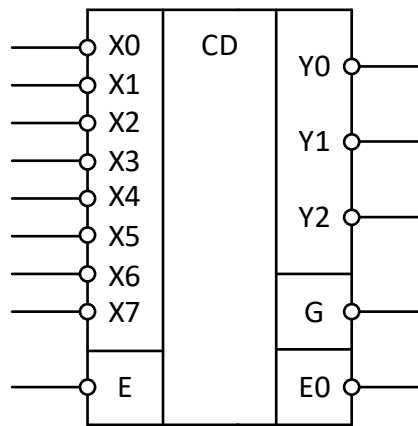


Рисунок 4.1 – Условное графическое обозначение шифратора

Таблица 4.1 – Таблица истинности шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шар 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шар 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шар 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шар 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шар 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шар 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шар 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шар 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.2.

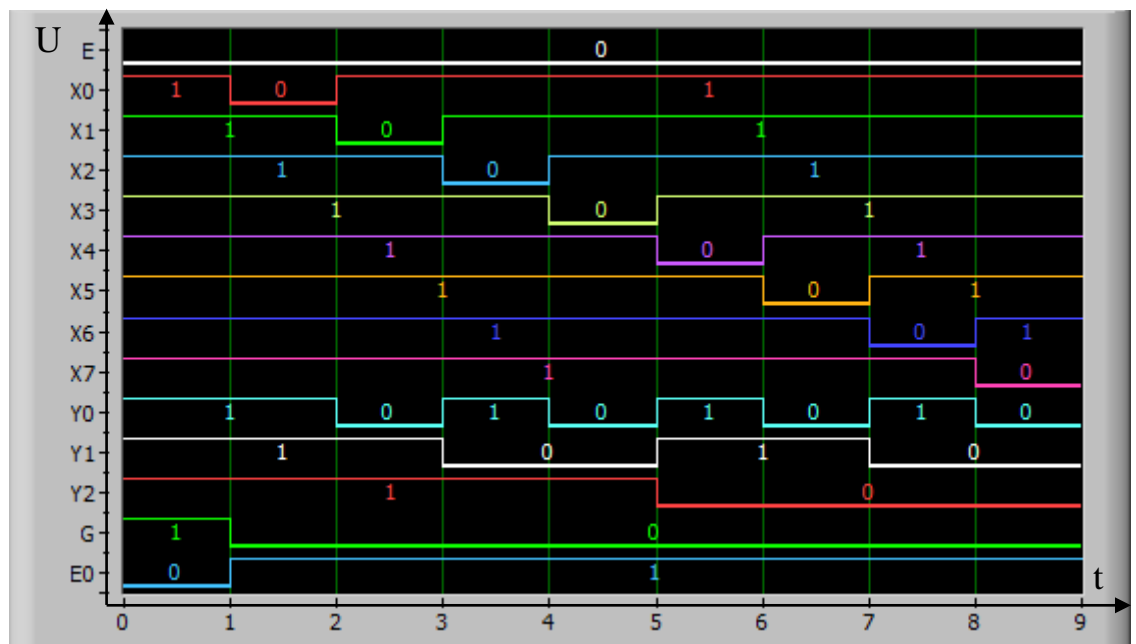


Рисунок 4.2 – Диаграмма состояний шифратора

Сформировать таблицу истинности шифратора при логическом сигнале «1» на входе «Е». Полученные данные представлены в таблице 4.2.

Таблица 4.2 – Таблица истинности шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Шар 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Шар 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Шар 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Шар 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
Шар 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
Шар 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Шар 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
Шар 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.3.

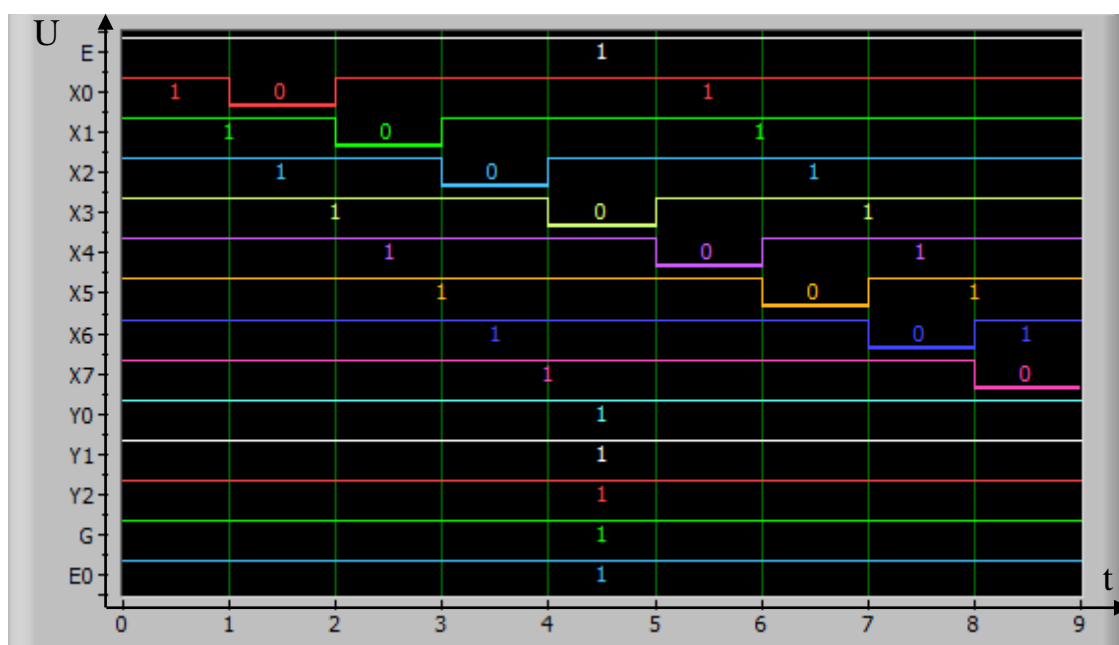


Рисунок 4.3 – Диаграмма состояний шифратора

По таблицам истинности и временным диаграммам было определено, что логический сигнал «0» является активным, так как на выходе G вырабатывается нуль и «0» влияет на состояние выходного кода, а при «1» – на выходы в любом случае поступает «111».

Исходя из таблицы истинности и временной диаграммы, активный низкий уровень появляется на выходах GS при приходе любого активного входного сигнала, а активный низкий уровень на E0 – при отсутствии входных сигналов, если при этом работа шифратора разрешена.

Чтобы проверить, является ли исследуемый шифратор приоритетным, вход управления «Е» был установлен в «0», а все информационные входы кроме «Х3» и «Х6» в «1».

Полученные данные представлены в таблице 4.3.

Таблица 4.3 – Таблица истинности шифратора

	Е	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шаг 2														
Шаг 3														
Шаг 4														
Шаг 5														
Шаг 6														
Шаг 7														
Шаг 8														
Шаг 9														

Полученная диаграмма состояний представлена на рисунке 4.4.

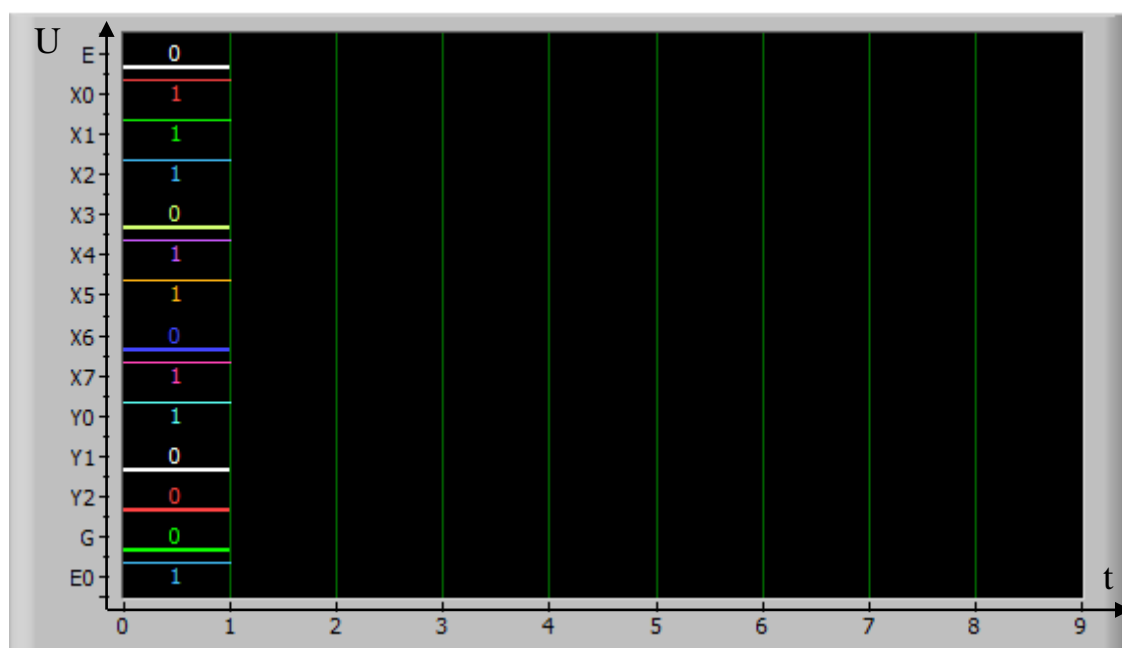


Рисунок 4.4 – Диаграмма состояний шифратора

Из полученной таблицы истинности и временной диаграммы следует, что информационный вход «Х6» обладает большим приоритетом, так как на выходах кода Y0, Y1, Y2 формируется инверсный код номера активной входной линии, соответствующий 6.

4.2 Дешифратор

Сформировать таблицу истинности дешифратора (см. рисунок 4.5). Полученные данные представлены в таблице 4.4.

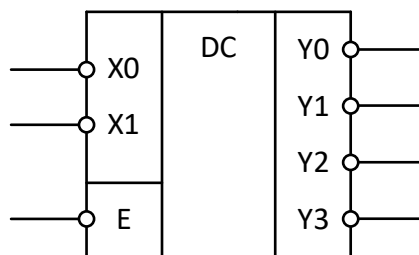


Рисунок 4.5 – Условное обозначение дешифратора 2×4

Таблица 4.4 – Таблица истинности дешифратора

	E	X1	X0	Y3	Y2	Y1	Y0
Шаг 1	0	0	0	1	1	1	0
Шаг 2	0	0	1	1	1	0	1
Шаг 3	0	1	0	1	0	1	1
Шаг 4	0	1	1	0	1	1	1
Шаг 5	1	0	0	1	1	1	1
Шаг 6	1	0	1	1	1	1	1
Шаг 7	1	1	0	1	1	1	1
Шаг 8	1	1	1	1	1	1	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.6.

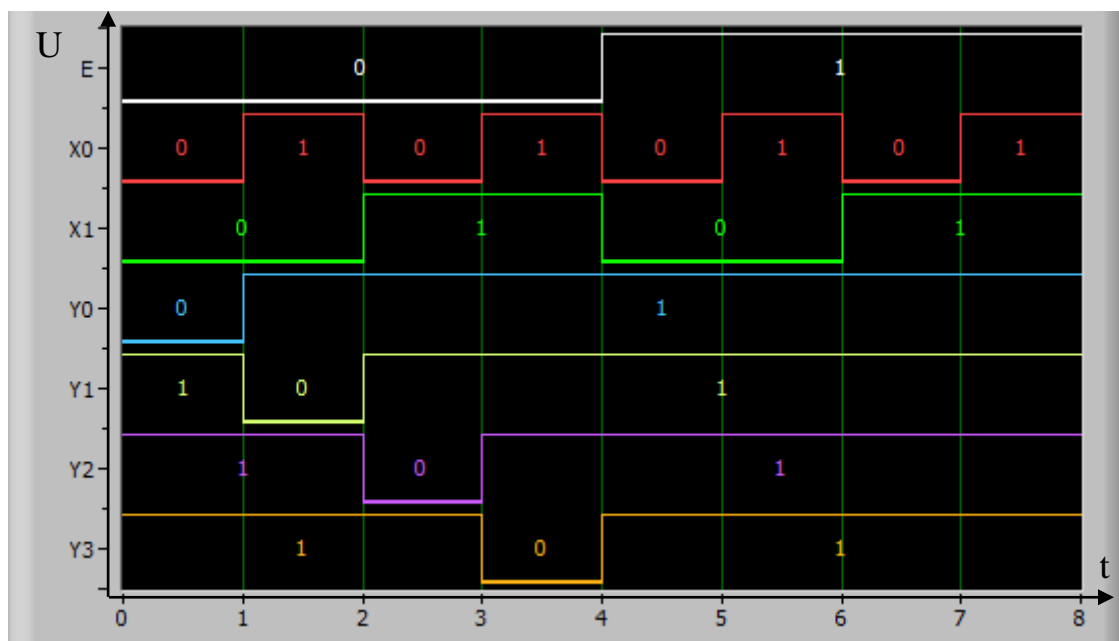


Рисунок 4.6 – Диаграмма состояний дешифратора

По таблице истинности и временной диаграмме было определено, что логический сигнал «0» является активным, так как на выходах устанавливаются не только единичные сигналы.

4.3 Мультиплексор

Сформировать таблицу истинности мультиплексора (см. рисунок 4.7).
Полученные данные представлены в таблице 4.5.

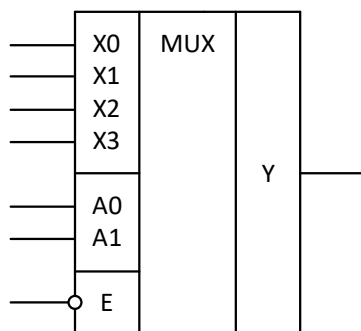


Рисунок 4.7 – Условное графическое обозначение мультиплексора 4×1

Таблица 4.5 – Таблица истинности мультиплексора

	E	A1	A0	X3	X2	X1	X0	Y
Шаг 1	0	0	0	0	0	0	1	= X0
Шаг 2	0	0	1	0	0	1	0	= X1
Шаг 3	0	1	0	0	1	0	0	= X2
Шаг 4	0	1	1	1	0	0	0	= X3
Шаг 5	1	0	0	0	0	0	1	--
Шаг 6	1	0	1	0	0	1	0	--
Шаг 7	1	1	0	0	1	0	0	--
Шаг 8	1	1	1	1	0	0	0	--

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.8.

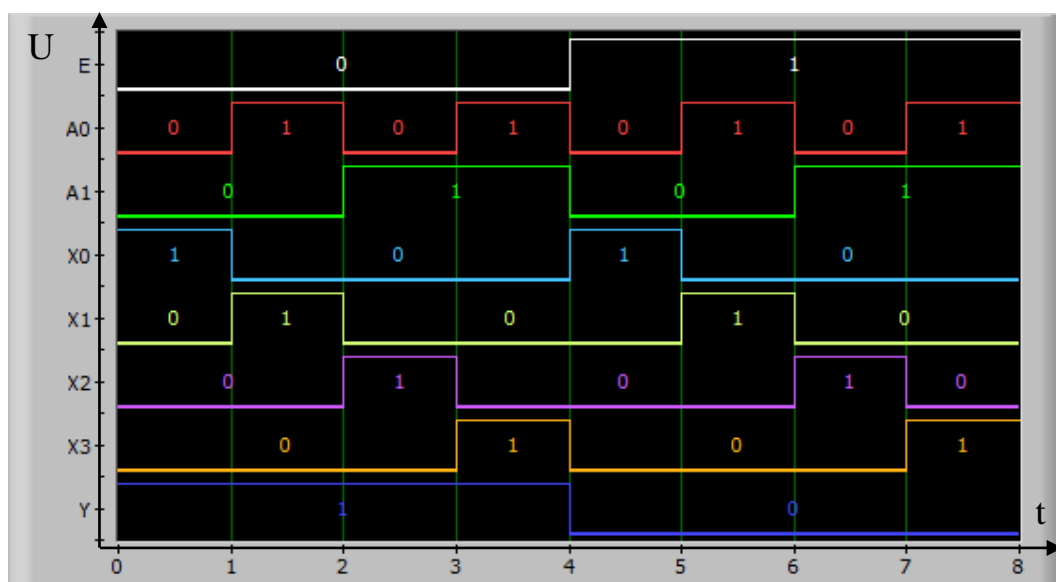


Рисунок 4.8 – Диаграмма состояний мультиплексора

По таблице истинности и временной диаграмме было определено, что логический сигнал «0» является активным.

4.4 Сумматор

Сформировать таблицу истинности сумматора (см. рисунок 4.9). Полученные данные представлены в таблице 4.6.

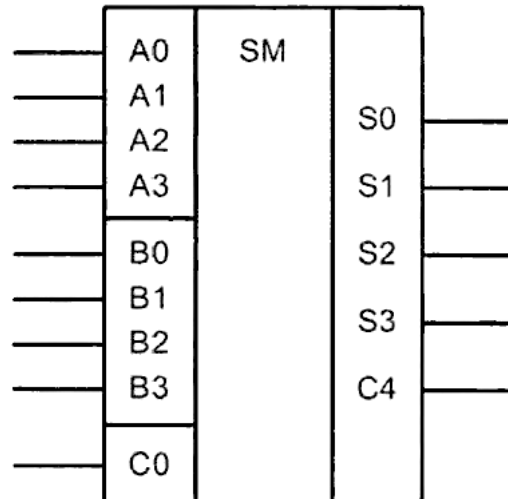


Рисунок 4.9 – Условное графическое обозначение четырехразрядного сумматора

Таблица 4.6 – Таблица истинности сумматора

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
Шар 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
Шар 2	0	1	0	0	1	1	1	0	1	0	1	1	0	1
Шар 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
Шар 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шар 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
Шар 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
Шар 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
Шар 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
Шар 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
Шар 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.10.

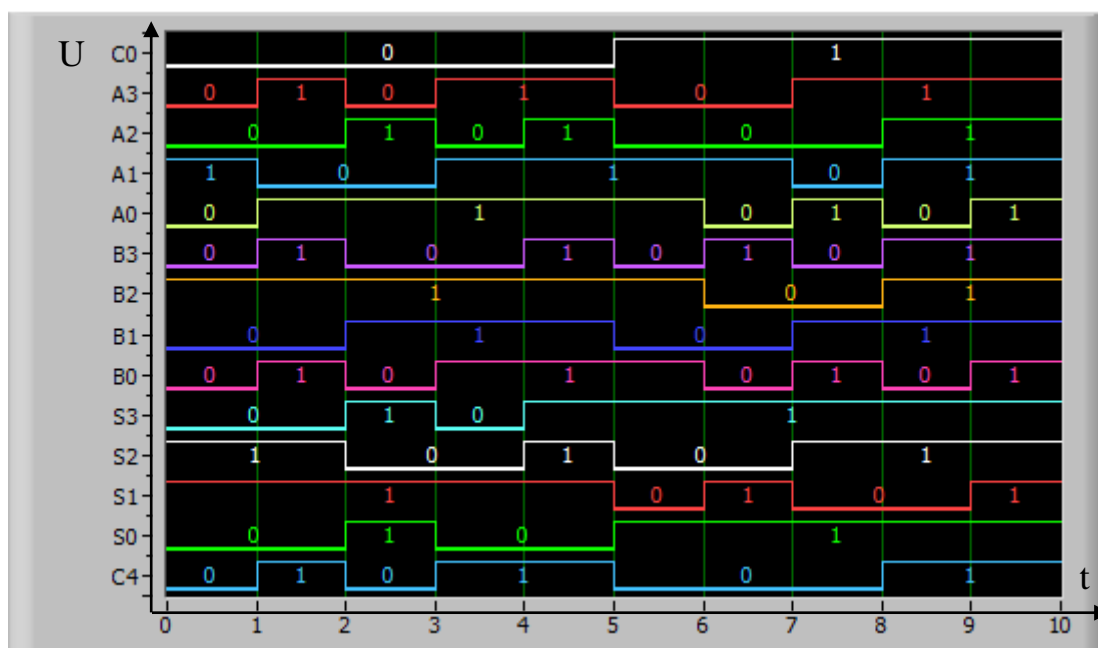


Рисунок 4.10 – Диаграмма состояний сумматора

Проверить полученные результаты сложения двоичных чисел с помощью уравнений:

$$C0 + 2^0(A0 + B0) + 2^1(A1 + B1) + 2^2(A2 + B2) + 2^3(A3 + B3) = 2^0S0 + 2^1S1 + 2^2S2 + 2^3S3 + 2^4C4 \quad (4.1)$$

Результаты проверки:

$$\begin{aligned} 0 + 0110 &= 00110 \\ 0 + 10110 &= 10110 \\ 0 + 1011 &= 01011 \\ 0 + 10010 &= 10010 \\ 0 + 11110 &= 11110 \\ 1 + 1000 &= 01001 \\ 1 + 1010 &= 01011 \\ 1 + 1100 &= 01101 \\ 1 + 11100 &= 11101 \\ 1 + 11110 &= 11111 \end{aligned}$$

4.5 Компаратор

Сформировать таблицу истинности компаратора (см. рисунок 4.11). Полученные данные представлены в таблице 4.7.

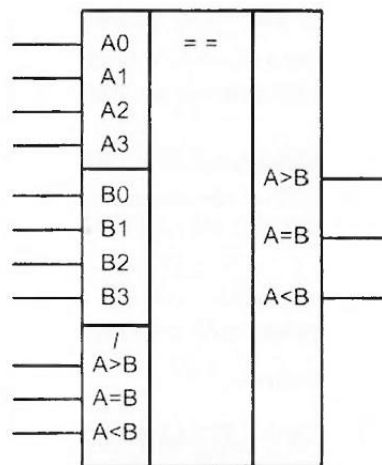


Рисунок 4.11 – Условное графическое обозначение компаратора

Таблица 4.7 – Таблица истинности компаратора

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шар 1	1	0	0	0	0	0	0	0	1	1	1	1	0	0
Шар 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1
Шар 3	0	1	0	0	0	0	0	0	1	1	1	1	0	0
Шар 4	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Шар 5	0	0	1	0	0	0	0	0	1	1	1	1	0	0
Шар 6	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Шар 7	0	0	0	1	0	0	0	0	1	1	1	1	0	0
Шар 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Шар 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Шар 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Шар 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Шар 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
Шар 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
Шар 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

Получить диаграмму состояний коммутационного элемента. Диаграмма приведена на рисунке 4.12.

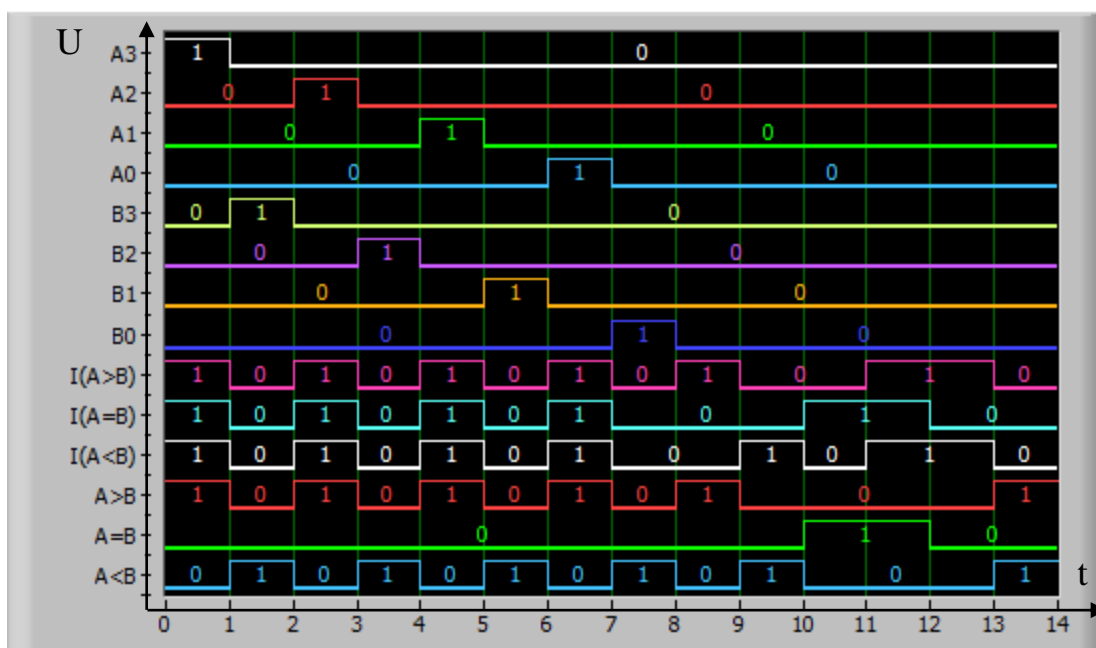


Рисунок 4.12 – Диаграмма состояний компаратора

По таблице истинности определили, что для сравнения пятиразрядных двоичных слов следует использовать выходы цифрового компаратора К555СП1 младших разрядов для подключения к одноименным входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов в таком случае являются выходы компаратора самых старших сравниваемых разрядов.

5 ВЫВОДЫ

В процессе выполнения лабораторной работы были изучены такие комбинационные устройства, как шифратор, дешифратор, мультиплексор, четырехразрядный сумматор, компаратор. Для каждого из них были сформированы таблицы истинности и диаграммы состояний. Также, были определены активные сигналы для шифратора («0»), дешифратора («0») и мультиплексора («0»).