

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 4
Тема: «Считывание, декодирование и выполнение
Команд. Способ адресации операндов в
командах»
Вариант №36

Выполнил:
студент группы 150502 Альхимович Н.Г.

Проверил:
Стракович А.И.

Минск
2023

1 ЗАДАНИЕ

Разработать архитектуру системы команд (АСК) для команд, выданных по варианту: `mov` из регистра в память RAM (неявная адресация) и `js` (непосредственная адресация).

Ввести шину адреса (ША) – по варианту 9 бит, шину данных (ШД) – по варианту 7 бит – и шину управления (ШУ).

Разделить память на память данных (блок RAM) и память команд (блок ROM). На адресные входы завести ША. Ввод и вывод данных осуществлять через ШД.

Ввести блок регистров общего назначения (РОН) и управляющую логику для него. Количество регистров – 8.

Написать микропрограмму (5 вызовов команд), в которой указать конкретные адреса памяти или регистров.

Записать микропрограмму в память команд (ROM) (в файл *.hex или *.mif)

Записать необходимые данные для микропрограммы в память данных (RAM) (в файл *.hex или *.mif).

Разработать устройство управления (УУ), которое будет считывать, декодировать и выдавать управляющие сигналы для выполнения полученной команды. Ввести специальные регистры, разрядность которых определяется разрядностью ШД. Физически разместить их в блоке управления.

Промоделировать работу схемы.

2 АРХИТЕКТУРА СИСТЕМЫ КОМАНД

Команда состоит из двух основных частей: кода операции и адресного поля. Их формат и представление для написанного для реализации схемы кода приведен на рисунке 2.1.

Микропрограмма	1	2	3	4	5	6	7	8	9	10	11	12	13	14	Ячейка 1		Ячейка 2	
	Резерв.	КОП					Адресная часть								Нех	Нех	Дес	Дес
<code>mov0, \$21</code>	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	21	
<code>js 8</code>	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	8	32	8
<code>mov1, \$22</code>	0	0	0	0	1	0	0	0	0	0	1	0	1	1	0	4	16	4
<code>mov7, \$23</code>	0	0	1	1	1	0	0	0	0	1	0	1	1	1	1	1C	17	28
<code>mov6, \$25</code>	0	0	1	1	0	0	0	0	0	1	1	0	0	0	0	18	19	24

Рисунок 2.1 – Архитектура системы команд

3 КОД ПРОГРАММЫ

Код программы в символьном и числовом виде приведен на рисунке 2.1 (см. раздел 2).

4 СОДЕРЖАНИЕ ПАМЯТИ ДО МОДЕЛИРОВАНИЯ И ПОСЛЕ

Содержание памяти ROM и RAM до моделирования приведено на рисунках 4.1а и 4.1б.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	00	15	20	08	00	00	00	00
08	04	16	1C	17	18	19	00	00
10	00	00	00	00	00	00	00	00
18	00	00	00	00	00	00	00	00
20	00	00	00	00	00	00	00	00
28	00	00	00	00	00	00	00	00
30	00	00	00	00	00	00	00	00
38	00	00	00	00	00	00	00	00
40	00	00	00	00	00	00	00	00
48	00	00	00	00	00	00	00	00
50	00	00	00	00	00	00	00	00
58	00	00	00	00	00	00	00	00
60	00	00	00	00	00	00	00	00
68	00	00	00	00	00	00	00	00
70	00	00	00	00	00	00	00	00
78	00	00	00	00	00	00	00	00
80	00	00	00	00	00	00	00	00
88	00	00	00	00	00	00	00	00
90	00	00	00	00	00	00	00	00
98	00	00	00	00	00	00	00	00
a0	00	00	00	00	00	00	00	00
a8	00	00	00	00	00	00	00	00
b0	00	00	00	00	00	00	00	00
b8	00	00	00	00	00	00	00	00
c0	00	00	00	00	00	00	00	00
c8	00	00	00	00	00	00	00	00
d0	00	00	00	00	00	00	00	00
d8	00	00	00	00	00	00	00	00
e0	00	00	00	00	00	00	00	00
e8	00	00	00	00	00	00	00	00
f0	00	00	00	00	00	00	00	00
f8	00	00	00	00	00	00	00	00

а)

Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	00	00	00	00	00	00	00	00
08	00	00	00	00	00	00	00	00
10	00	00	00	00	00	00	00	00
18	00	00	00	00	00	00	00	00
20	00	00	00	00	00	00	00	00
28	00	00	00	00	00	00	00	00
30	00	00	00	00	00	00	00	00
38	00	00	00	00	00	00	00	00
40	00	00	00	00	00	00	00	00
48	00	00	00	00	00	00	00	00
50	00	00	00	00	00	00	00	00
58	00	00	00	00	00	00	00	00
60	00	00	00	00	00	00	00	00
68	00	00	00	00	00	00	00	00
70	00	00	00	00	00	00	00	00
78	00	00	00	00	00	00	00	00
80	00	00	00	00	00	00	00	00
88	00	00	00	00	00	00	00	00
90	00	00	00	00	00	00	00	00
98	00	00	00	00	00	00	00	00
a0	00	00	00	00	00	00	00	00
a8	00	00	00	00	00	00	00	00
b0	00	00	00	00	00	00	00	00
b8	00	00	00	00	00	00	00	00
c0	00	00	00	00	00	00	00	00
c8	00	00	00	00	00	00	00	00
d0	00	00	00	00	00	00	00	00
d8	00	00	00	00	00	00	00	00
e0	00	00	00	00	00	00	00	00
e8	00	00	00	00	00	00	00	00
f0	00	00	00	00	00	00	00	00
f8	00	00	00	00	00	00	00	00

б)

Рисунок 4.1 – Содержание памяти ROM и RAM

Содержание памяти ROM после моделирование представлено на рисунке 4.2.

main ROM:inst1 lpm_rom0:inst altsyncram:altsync								
Addr	+0	+1	+2	+3	+4	+5	+6	+7
000	00	15	20	08	00	00	00	00
008	04	16	1C	17	18	19	00	00
010	00	00	00	00	00	00	00	00
018	00	00	00	00	00	00	00	00
020	00	00	00	00	00	00	00	00
028	00	00	00	00	00	00	00	00
030	00	00	00	00	00	00	00	00
038	00	00	00	00	00	00	00	00
040	00	00	00	00	00	00	00	00
048	00	00	00	00	00	00	00	00
050	00	00	00	00	00	00	00	00
058	00	00	00	00	00	00	00	00
060	00	00	00	00	00	00	00	00

Рисунок 4.2 – Содержание ROM после моделирования

Содержание памяти RAM после моделирование представлено на рисунке 4.3.

<ul style="list-style-type: none"> tion Report gal Notice w Summary w Settings ulator Summary Settings Simulation Waveforms Logical Memories main ROM:inst1 lpm. main RAM:inst4 lpm. Simulation Coverage INI Usage Messages 	main RAM:inst4 lpm_ram_dq0:inst4 altsyncram:alt								
	Addr	+0	+1	+2	+3	+4	+5	+6	+7
	000	03	00	00	00	00	00	00	00
	008	00	00	00	00	00	00	00	00
	010	00	00	00	00	00	03	0B	3B
	018	00	33	00	00	00	00	00	00
	020	00	00	00	00	00	00	00	00
	028	00	00	00	00	00	00	00	00
	030	00	00	00	00	00	00	00	00
	038	00	00	00	00	00	00	00	00
	040	00	00	00	00	00	00	00	00
	048	00	00	00	00	00	00	00	00
	050	00	00	00	00	00	00	00	00
	058	00	00	00	00	00	00	00	00
	060	00	00	00	00	00	00	00	00
	068	00	00	00	00	00	00	00	00

Рисунок 4.3 – Содержание RAM после моделирования

5 ОСНОВНЫЕ СХЕМЫ

Таблица 5.1 – Используемые сигналы

Сигнал	Предназначение сигнала
address[8..0]	Шина адреса
clk	Сигнал Clock (синхросигнал)
data[6..0]	Шина данных
control[11..0]	Шина управления

В разработанной схеме (см. рисунок 5.1) можно выделить следующие основные блоки:

- блок управления (см. рисунок 5.2): считывание, декодирование и выдача управляющих сигналов для выполнения полученной команды;
- блок РОН (см. рисунок 5.3): регистры общего назначения и логика для считывания данных из них;
- блок ROM (см. рисунок 5.4): содержит команды выполняемой микропрограммы;
- блок RAM (см. рисунок 5.5): память данных, записываемых в соответствии с командами.

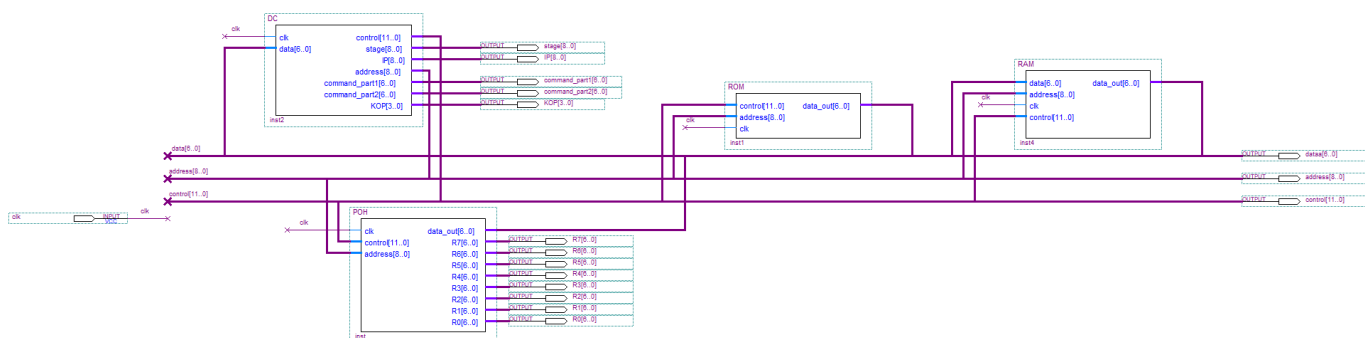


Рисунок 5.1 – Структурная схема (общая)

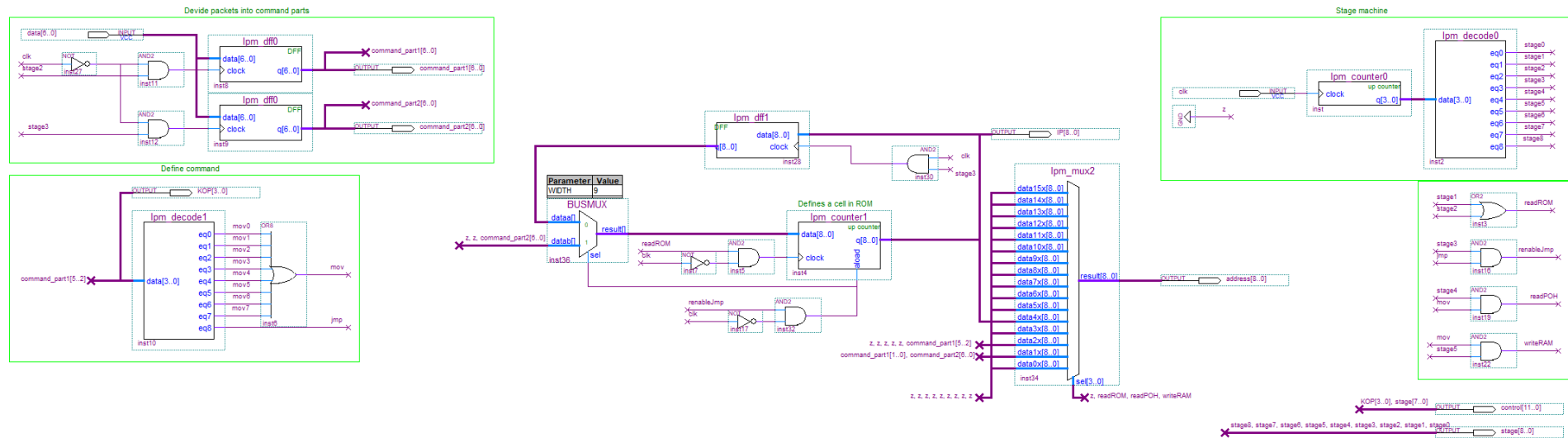


Рисунок 5.2 – Блок управления (DeviceControl)

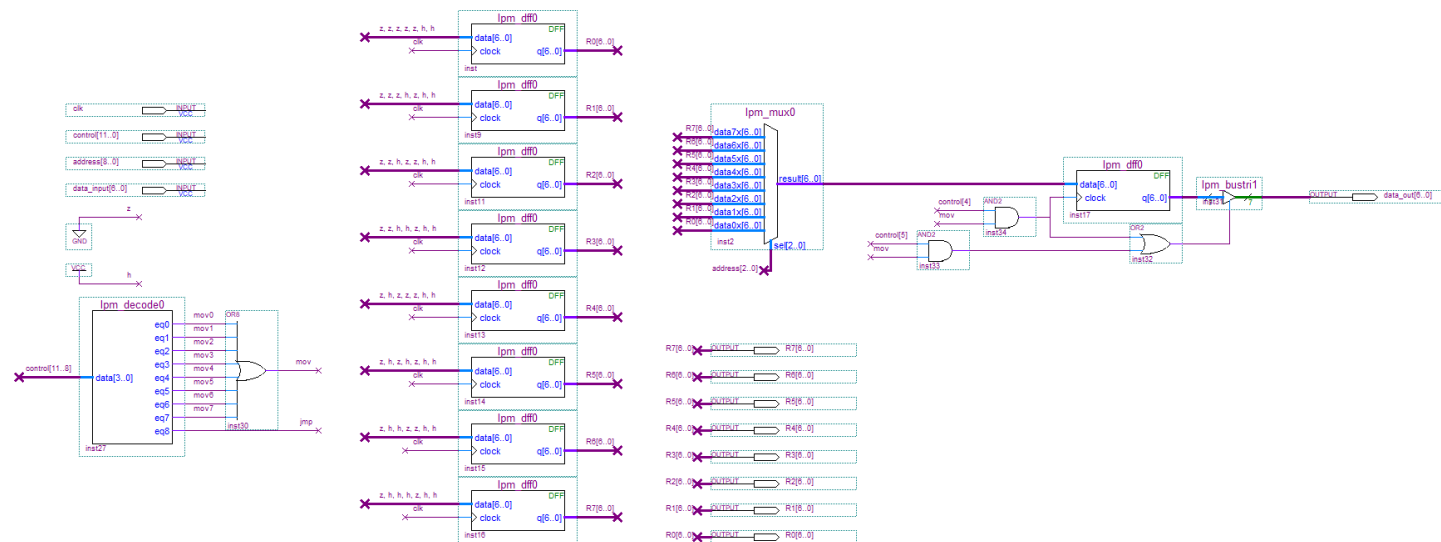


Рисунок 5.3 – Блок РОН

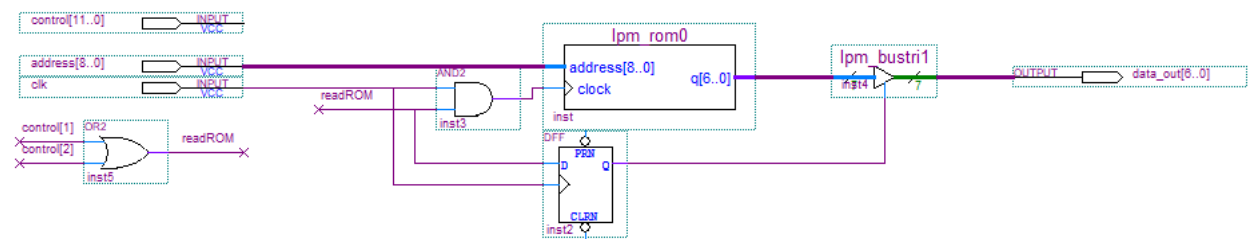


Рисунок 5.4 – Блок ROM

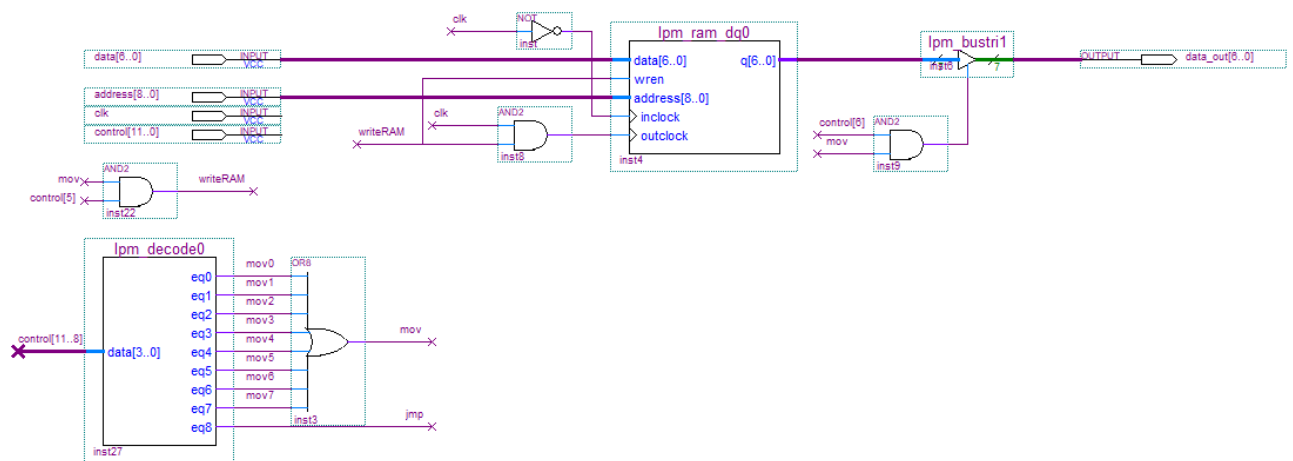


Рисунок 5.5 – Блок RAM

6 МОДЕЛИРОВАНИЕ СХЕМЫ

Результат моделирования схемы представлен на рисунках 6.1, 6.2 и 6.3.

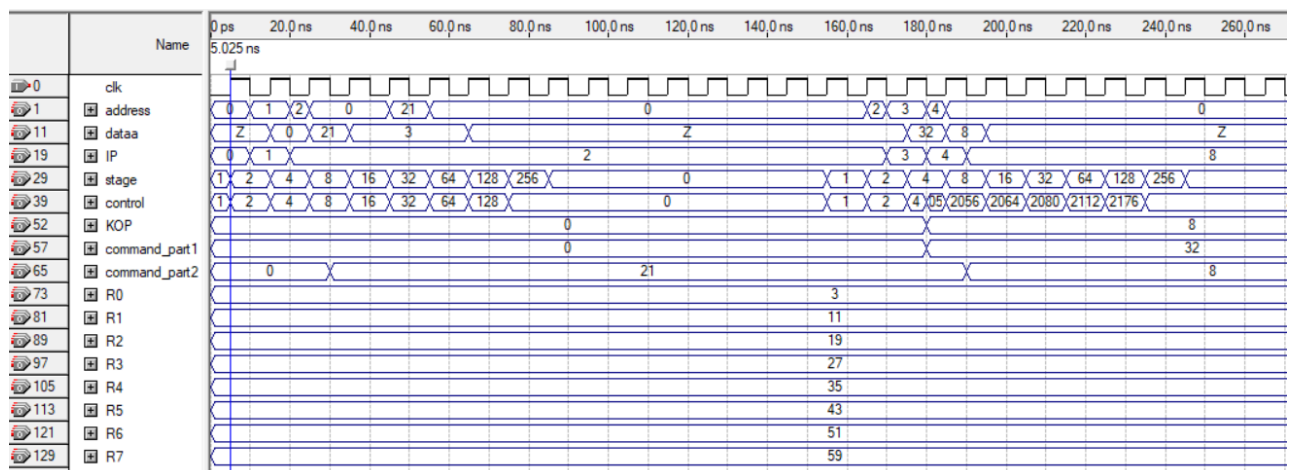


Рисунок 6.1 – Моделирование схемы

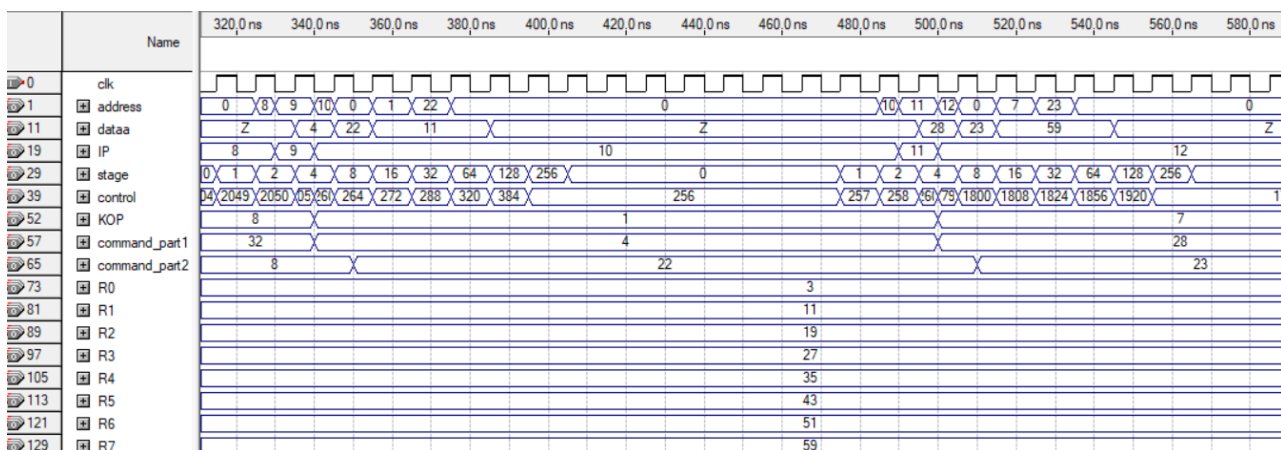


Рисунок 6.2 – Моделирование схемы

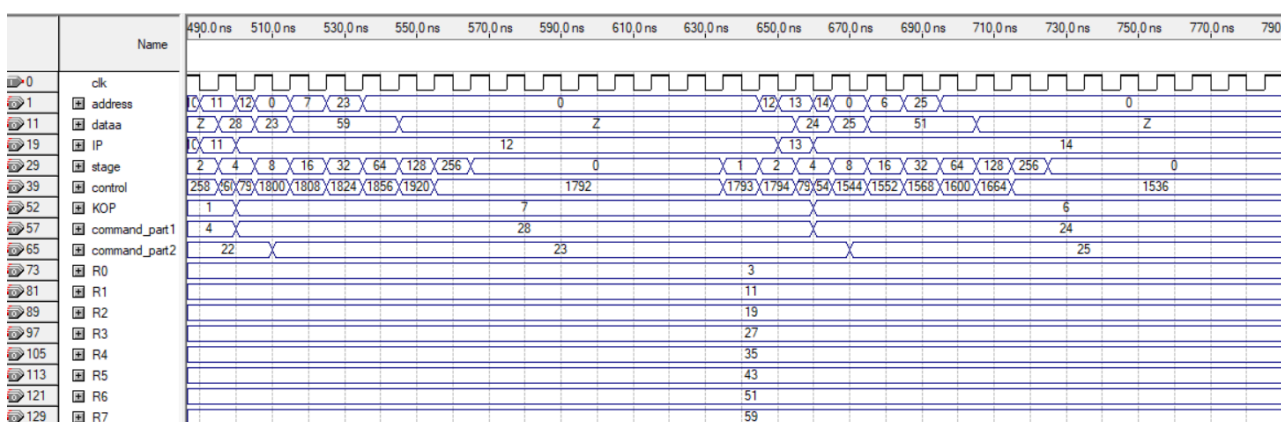


Рисунок 6.3 – Моделирование схемы