

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 3
Тема: «Использование модулей памяти»
Вариант №6

Выполнил:
студент группы 150502 Альхимович Н.Г.

Проверил:
Стракович А.И.

Минск
2023

1 ЗАДАНИЕ

Разработать схему, включающую в себя буфер данных, модули ROM и RAM, подключенные к общей шине данных.

Прочитать 4 последовательных байта из ROM\RAM в буфер (заполнить буфер полностью). После выжидания 4 тактов clk этот блок данных передается из буфера в RAM. Повторить данные действия для другого источника памяти:

- ROM -> буфер (4 байт) - (подождать 4 тактов clk) -> RAM;
- RAM -> буфер (4 байт) - (подождать 4 тактов clk) -> RAM.

2 ОСНОВНАЯ СХЕМА

В разработанной схеме (см. рисунок 2.1) можно выделить следующие составные части:

- набор входных сигналов: clk, ROM_RAM, Read, Write, а также шина адреса;
- выходная шина данных;
- логика управления выбором вида памяти и осуществлением задержки, реализованная при помощи дешифратора и логических элементов;
- память ROM;
- память RAM;
- буфер, реализованный на серии регистров.

3 МОДЕЛИРОВАНИЕ СХЕМЫ

Результат моделирования схемы представлен на рисунках 3.1 и 3.2.

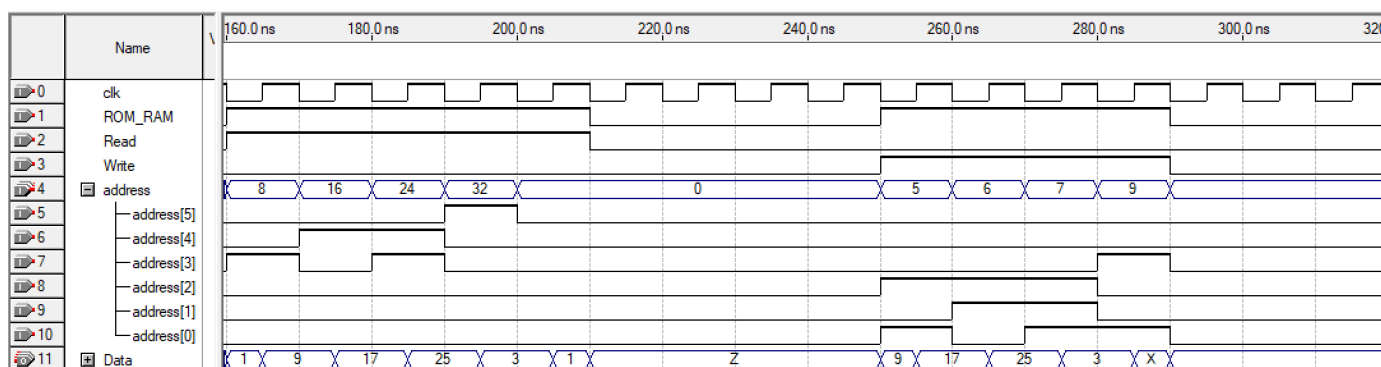


Рисунок 3.1 – Моделирование схемы (чтение из ROM, задержка, запись в RAM)

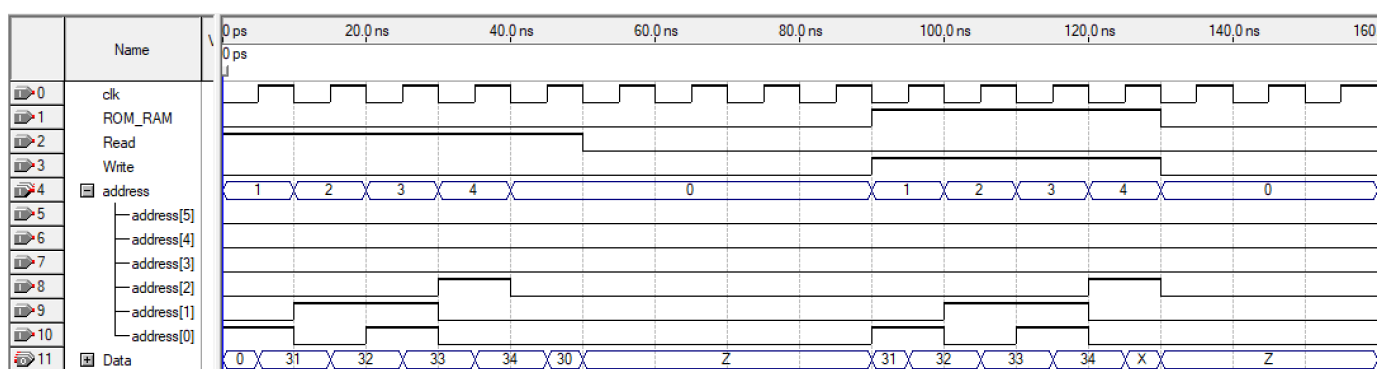


Рисунок 3.2 – Моделирование схемы (чтение из RAM, задержка, запись в RAM)

4 СОДЕРЖАНИЕ ПАМЯТИ ДО И ПОСЛЕ МОДЕЛИРОВАНИЯ

Содержание памяти ROM приведено на рисунке 4.1.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	30	31	32	33	34	35	36	37
8	38	39	40	41	42	43	44	45
16	46	47	48	49	50	51	52	53
24	54	55	56	57	58	59	60	61
32	62	63	30	31	32	33	34	35
40	36	37	38	39	40	41	42	43
48	44	45	46	47	48	49	50	51
56	52	53	54	55	56	57	58	59

Рисунок 4.1 – Содержание памяти ROM

Содержание памяти RAM до моделирования приведено на рисунке 4.2.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	1	2	3	4	5	6	7	8
8	9	10	11	12	13	14	15	16
16	17	18	19	20	21	22	23	24
24	25	26	27	28	29	0	1	2
32	3	4	5	6	7	8	9	10
40	11	12	13	14	15	16	17	18
48	19	20	21	22	23	24	25	26
56	27	28	29	0	1	2	3	4

Рисунок 4.2 – Содержание памяти RAM до моделирования

В результате работы схемы из ROM были записаны 4 байта в ячейки с адресами 1, 2, 3, 4 согласно первой части задания, а затем из RAM были записаны значения в ячейки, находящиеся по адресам 5, 6, 7, 9 в соответствии со второй частью. Произошедшие изменения в структуре RAM отражены на рисунке 4.3.

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	1	31	32	33	34	9	17	25
8	9	3	11	12	13	14	15	16
16	17	18	19	20	21	22	23	24
24	25	26	27	28	29	0	1	2
32	3	4	5	6	7	8	9	10
40	11	12	13	14	15	16	17	18
48	19	20	21	22	23	24	25	26
56	27	28	29	0	1	2	3	4

Рисунок 4.3 – Содержание памяти RAM после моделирования

5 ВЫВОДЫ

Таким образом, в ходе выполнения лабораторной работы была разработана схема, позволяющая осуществить цикл чтения и записи данных. Происходит чтение данных из памяти ROM, в результате чего они помещаются в буфер до заполнения последнего. По прошествии установленной задержки происходит запись данных, хранящихся в буфере, в память RAM. Затем повторяется та же последовательность действий, но источником данных уже является RAM.