

Вопросы к экзамену СиФО ВМ

1. Что относится к понятию «архитектура системы команд»?
2. В чём состоит проблема семантического разрыва?
3. Аккумуляторная архитектура системы команд, достоинства и недостатки.
4. Стековая архитектура системы команд, достоинства и недостатки.
5. Регистровая архитектура системы команд, достоинства и недостатки.
6. Архитектура системы команд с выделенным доступом к памяти.
7. Принципы CISC архитектуры.
8. Принципы RISC архитектуры.
9. Типы команд.
10. Способы адресации. Непосредственная и регистровая адресация.
11. Способы адресации. Прямая и косвенная регистровая адресация.
12. Способы адресации. Косвенная, автоинкрементная и автодекрементная адресация
13. Способы адресации. Адресация со смещением (3 типа).
14. Способы адресации. Страничная и блочная адресации.
15. Способы адресации. Стековая адресация.
16. Транзакция. Целевое назначение шин.
17. Иерархия шин.
18. Распределение линий шины управления.
19. Алгоритмы смены приоритетов при арбитраже шин.
20. Разновидности централизованного арбитража.
21. Разновидности децентрализованного арбитража.
22. Понятие протокола шины.
23. Последовательность действий в процедуре квитирования установления связи.
24. Синхронные и асинхронные шины, достоинства и недостатки.
25. Методы повышения эффективности шин.
26. Чем характеризуются ЗУ?
27. Основная проблема памяти и способ её решения.
28. Система ввода-вывода, понятие и задачи.
29. Совмещенное адресное пространство СВВ, достоинства и недостатки.
30. Конфликты в конвейере команд. Типы рисков.
31. Риск по данным, типы конфликтов по данным.
32. Предсказание переходов – статический и динамический.
33. Стратегии статического перехода.

34. Классификация архитектур системы команды (АСК)
35. Принципы концепции ВМ фон Неймана. Какой из принципов можно назвать наиболее существенным?
36. Принципы EPC архитектуры (IA-64).
37. Какие факторы влияют на длину команды? Возможные пути сокращения длины команды.
38. В чём суть и достоинства конвейеризации транзакций?
39. Способы ускорения транзакций.
40. Методы доступа к ЗУ?
41. Иерархия запоминающих устройств.
42. Статические и динамические ОЗУ?
43. Блочная схема расслоения памяти.
44. Циклическая схема расслоения памяти.
45. Блочно-циклическая схема расслоения памяти.
46. Последовательный и конвейерный режим доступа к микросхеме ЗУ.
47. Регистровый и страничный режим доступа к микросхеме ЗУ.
48. Микросхемы SDRAM, отличия от асинхронных DRAM.
49. Энергонезависимые ОЗУ.
50. Специализированные ОЗУ.
51. Типы микросхем ПЗУ.
52. «Flash» ПЗУ.
53. Производительность иерархии памяти.
54. Ассоциативная память.
55. Кэш с полностью ассоциативным отображением.
56. Кэш с прямым отображением.
57. Кэш с множественно-ассоциативным отображением.
58. Эффективность множественно-ассоциативного отображения. Размеры строки кэш.
59. Синхронизация данных. Метод сквозной записи.
60. Синхронизация данных. Метод обратной записи.
61. Гарвардская архитектура организации кэш. Преимущества.
62. Выделенное (изолированное) адресное пространство СВВ, достоинства и недостатки.
63. Структура ПУ. Модули ввода-вывода.
64. Структура и функции модуля ввода/вывода.
65. Программно управляемый ВВ.
66. Ввод/вывод по прерываниям.

- 67.Динамические схемы предсказания: А1.
- 68.Динамические схемы предсказания: А2.
- 69.Динамические схемы предсказания: А3.
- 70.Адрес команды условного перехода в качестве шаблона доступа к таблице предыстории переходов (РНТ).
- 71.Регистр глобальной истории в качестве шаблона доступа к таблице предыстории переходов (РНТ).
- 72.Регистр локальной истории в качестве шаблона доступа к таблице предыстории переходов (РНТ).
- 73.Комбинационный шаблон доступа к таблице предыстории переходов (РНТ).
- 74.Параллелизм. Уровни параллелизма.
- 75.Классификация Флинна.
- 76.Конвейеризация вычислений. Линейные и нелинейные конвейеры. Основные ступени конвейеров команд.
- 77.Программное и аппаратное устранение конфликтов по данным.
- 78.Риски по управлению. Потери производительности на переходах. Способы сокращения издержек на переходы.
- 79.Способы решения проблемы условного перехода
- 80.Переименование регистров.
- 81.Идентификация устройств при вводе/выводе по прерываниям.
- 82.Прямой доступ к памяти. Понятие и задачи КПДП.
- 83.Переупорядочивание команд с использованием технологии «шелвинга»
- 84.Типы прерываний. Контроллеры прерываний ПК.
- 85.Типы регенерации динамических ЗУ.
- 86.Микросхемы DDR SDRAM.
- 87.Суперконвейерные процессоры.
- 88.Суперскалярные процессоры.
- 89.Операционные автоматы. Структура М- автомата и S- автоматов.
- 90.Операционные автоматы. Структура I-автомата.
- 91.Управляющие автоматы с жёсткой логикой. Автоматы Мили и Мура.
- 92.Управляющие автоматы с программируемой логикой.
- 93.Кодирование микрокоманд. Горизонтальный, вертикальный способы кодирования.
- 94.Кодирование микрокоманд. Смешанный способ кодирования команд.
- 95.Последовательность выполнения микропрограмм.

- 96. Организация памяти микропрограмм.
- 97. Закон Амдала.
- 98. Закон Густафсона.
- 99. Организация памяти вычислительных систем.
- 100. Модели архитектур распределённой памяти.
- 101. Мультипроцессорная когерентность кэш-памяти.
- 102. Протокол MESI.
- 103. Организация виртуальной памяти.
- 104. Построение управляющих автоматов.
- 105. Способы кодирования микропрограмм.
- 106. Команды арифметической и логической обработки.
- 107. Команды управления потоком команд.
- 108. В чём состоит особенность SIMD-команд и в каком формате должны быть представлены операнды? Что такое «арифметика с насыщением» и где она применяется?
- 109. Особенности архитектуры ARM процессоров.
- 110. Организация виртуальной памяти. Многоуровневые таблицы трансляции адресов.
- 111. Архитектура ARM Cortex процессоров