

БГУИР

Кафедра ЭВМ

Отчет по лабораторной работе № 4
Тема: «Исследование работы регистров»

Выполнил:
студент группы 150502 Альхимович Н.Г.

Проверил:
к.т.н., доцент Селезнёв И.Л.

Минск
2023

1 ЦЕЛЬ РАБОТЫ

Изучить работу регистров.

2 ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ

Работа выполняется с использованием базового стенда и лабораторных модулей dLab10, dLab11.

Для достижения поставленной цели необходимо реализовать ряд задач. Изучить работу параллельного регистра.

1. В режиме параллельной загрузки и хранения:

- сформировать таблицу истинности и получить диаграмму состояний;
- по таблице истинности и диаграмме состояний определить, при каких значениях сигналов P1 и P2 происходит параллельная загрузка регистра, а при каких значениях этих сигналов состояние выхода регистра не изменяется;

2. В режиме управления выходом регистра:

- сформировать таблицу истинности и получить диаграмму состояний;
- по таблице истинности и диаграмме состояний определить, при каких значениях сигналов E1 и E2 разрешено считывание состояния регистра с его выходов Q0, Q1, Q2 и Q3;

3. Изучить работу параллельного регистра в динамическом режиме:

- получить временную диаграмму, отражающую его работу в режимах параллельной загрузки, хранения, сброса и управления выходом;
- по полученной диаграмме определить, по какому перепаду на тактовом входе C, а также при каких значениях управляющих сигналов на входах R, P1, P2, E1 и E2 происходят изменения состояния регистра в режимах параллельной загрузки и сброса.

Изучить работу регистра сдвига в статическом режиме.

1. В режиме сдвига вправо:

- сформировать таблицу истинности и получить диаграмму состояний;
- по таблице истинности и диаграмме состояний определить, в каком направлении (от Q0 к Q3 или от Q3 к Q0) смещается логическая единица, записанная в регистр на первом такте;

2. В режиме сдвига влево:

- сформировать таблицу истинности и получить диаграмму состояний;

- по таблице истинности и диаграмме состояний определить, в каком направлении (от Q0 к Q3 или от Q3 к Q0) смещается логическая единица, записанная в регистр на первом такте;
- 3. В режиме параллельной загрузки:
 - сформировать таблицу истинности и получить диаграмму состояний;
 - по таблице истинности и диаграмме состояний проверить соответствие выходных сигналов регистра Q0, Q1, Q2 и Q3 сигналам на входах параллельной загрузки D0, D1, D2 и D3.
- 4. В режиме хранения:
 - сформировать таблицу истинности и получить диаграмму состояний;
 - по таблице истинности и диаграмме состояний проверить, что при значениях сигналов S0=0, S1=0 и подаче импульсов на тактовый вход «С» регистр сдвига сохраняет на выходе первоначально занесенный в него цифровой код;
 - по результатам исследования в статическом режиме составить сводную таблицу истинности регистра сдвига;
- 5. Изучить работу регистра сдвига в динамическом режиме:
 - получить временную диаграмму, отражающую его работу в режимах сдвига вправо, сдвига влево, параллельной загрузки, сброса;
 - по полученным диаграммам определить, по какому перепаду на тактовом входе «С» регистра сдвига происходят изменения состояния счетчика в режимах сдвига вправо, сдвига влево, параллельной загрузки и сброса.

3 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

3.1 Параллельный регистр

Параллельные регистры – это устройства, предназначенные для записи, хранения и выдачи информации, представленной в виде двоичных кодов.

Для хранения каждого двоичного разряда в регистре используется одна триггерная ячейка. Для запоминания многоразрядных слов необходимое число триггеров объединяют вместе и рассматривают как единый функциональный узел – регистр. Если регистр построен на триггерах-защелках, то его называют регистр-защелка.

Типовыми внешними связями регистра являются информационные входы D₀-D_n, вход сигнала записи (или загрузки) С, вход сброса R и выходы триггеров: прямые Q₀-Q_n и инверсные $\overline{Q_0}$ - $\overline{Q_n}$. В упрощенном варианте регистр может не иметь входа сброса и инверсных выходов. Схема четырехразрядного регистра, выполненного на D-триггерах и логических элементах 2И представлена на рисунке 3.1.

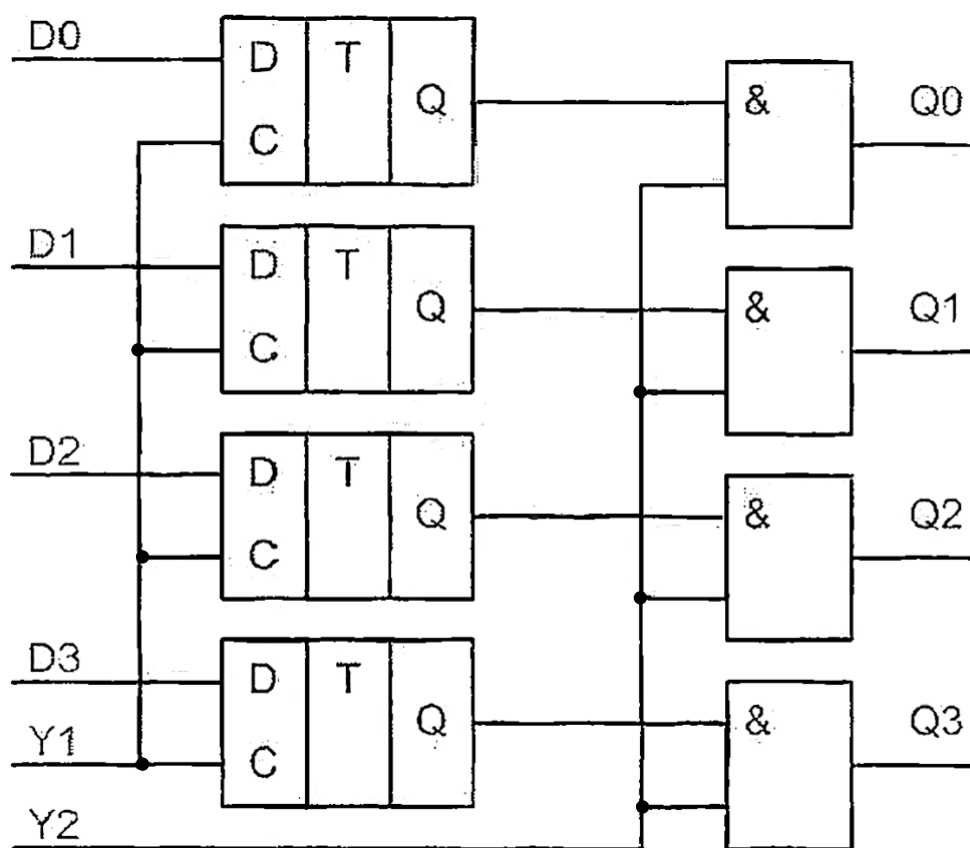


Рисунок 3.1 – Схема четырехразрядного регистра, выполненного на D-триггерах и логических элементах 2И

При подаче управляющего сигнала $Y1=1$ цифровой код, установленный на информационных входах D0-D3, записывается в соответствующие разряды четырех D-триггеров. При $Y1=Y2=0$ цифровой код хранится в регистре, а при $Y2=1$ происходит параллельное считывание кода, т.е. передача его на выходы Q0-Q3.

Выпускаемые промышленностью регистры иногда объединяются на кристалле микросхемы с другими узлами, совместно с которыми регистры обычно используются в схемах цифровой аппаратуры. Такой интегральной микросхемой является 4-разрядный параллельный регистр K155IP15, условное графическое обозначение которого приведено на рисунке 3.2.

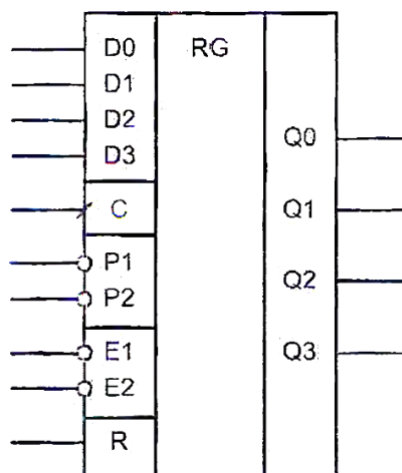


Рисунок 3.2 – Условное графическое обозначение 4-разрядного параллельного регистра K155ИР15

Микросхема имеет следующие входы: тактовый C, информационные D0-D3, управления загрузкой P1 и P2, сброса R и считывания выходных данных E1 и E2.

Операция загрузки происходит синхронно с фронтом тактового импульса на входе C, если на входах P1 и P2 одновременно присутствует сигнал логического «0».

Хранящийся в регистре цифровой код может быть считан с выходов Q0-Q3, если на входы управления считыванием E1 и E2 одновременно подан сигнал логического «0».

Выходными каскадами данной микросхемы являются буферные логические элементы с тремя логическими состояниями. Если хотя бы на одном из входов присутствует сигнал логической «1», выходы находятся в высокоимпедансном состоянии (Z-состояние) и считывание информации запрещено. Это позволяет подключать выходы регистра непосредственно к шине данных микропроцессорных устройств.

Режимы работы регистра K155ИР15 при различных значениях входных сигналов приведены в таблице 3.1. Символ «х» обозначает безразличное состояние входа, а символ «↑» обозначает фронт тактового сигнала.

Таблица 3.1 – Режимы работы регистра K155ИР15

<i>Режим работы</i>	<i>Вход</i>							<i>Выход</i>
	<i>E1</i>	<i>E2</i>	<i>R</i>	<i>C</i>	<i>P1</i>	<i>P2</i>	<i>Dn</i>	<i>Qn</i>
Сброс	0	0	1	х	х	х	х	0
Параллельная загрузка	0	0	0	↑	0	0	0	0
	0	0	0	↑	0	0	1	0
Хранение	0	0	0	х	1	0	х	q _n
	0	0	0	х	0	1	х	q _n

Продолжение таблицы 3.1

Запрет считывания	1	0	x	x	x	x	x	Z
	0	1	x	x	x	x	x	Z

3.2 Регистр сдвига

Регистр сдвига (shift register) – это регистр, содержимое которого при подаче управляющего сигнала на тактовый вход С может сдвигаться в сторону старших или младших разрядов. Схема сдвигающего регистра из цепочки JK-триггеров показана на рисунке 3.3.

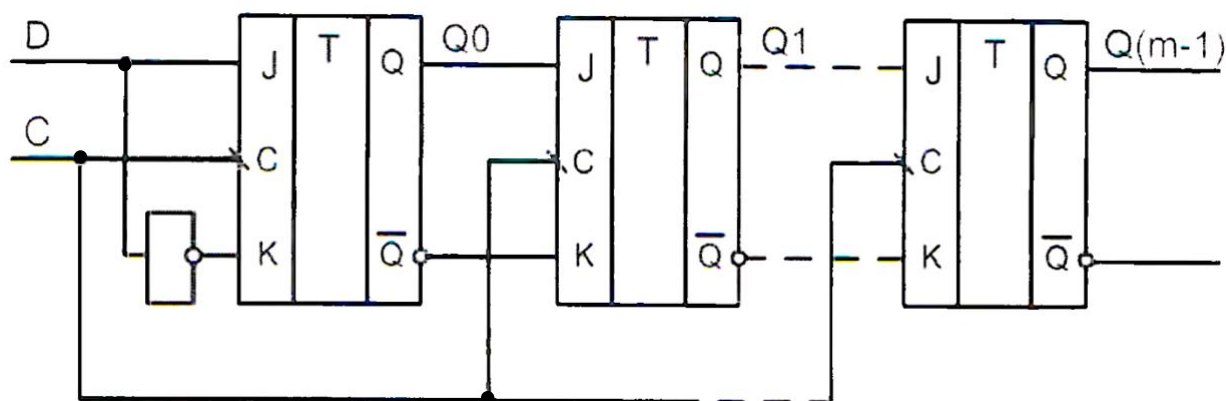


Рисунок 3.3 – Схема регистра сдвига

Пусть левый по схеме триггер соответствует младшему разряду регистра, а правый триггер – старшему разряду. Тогда вход каждого триггера (кроме левого) подключен к выходу соседнего младшего триггера. Когда на все входы С триггеров поступает срез входного тактового импульса, выход каждого триггера Q_i принимает состояние предыдущего каскада и, таким образом, информация, содержащаяся в регистре, сдвигается на один разряд в сторону старших разрядов. Триггер младшего разряда принимает при этом состояние последовательного входа D. Информация, поступившая на вход D схемы, появится на ее выходе $Q(m-1)$ через m тактов.

Важно отметить, что схема построена на двухступенчатых триггерах. Если использовать триггеры с потенциальным управлением, то при активном уровне сигнала С все триггеры будут открыты для записи, и сигнал D успеет пройти столько триггеров, сколько позволит длительность сигнала С.

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, с параллельно-последовательной записью. Такие регистры называются универсальными.

Примером универсального регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рисунке 3.4.

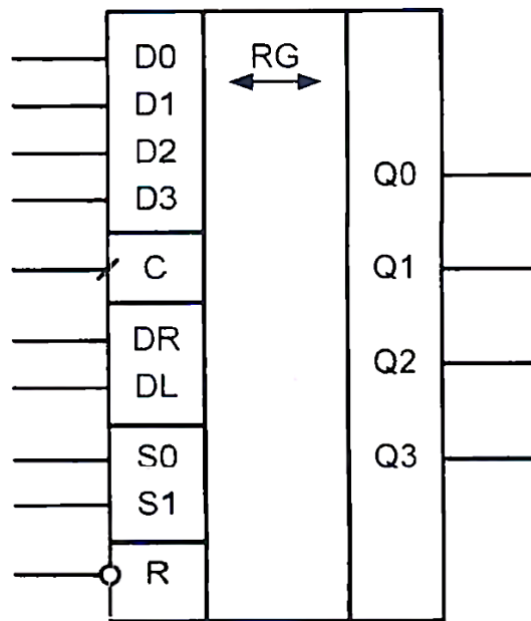


Рисунок 3.4 – Условное графическое обозначение универсального регистра

Микросхема имеет входы: тактовый (C), параллельной загрузки (D0-D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0-Q3.

Регистр K555ИР11 может работать в следующих режимах (см. таблицу 3.2) сброс, хранение данных, сдвиг влево, сдвиг вправо, и параллельная загрузка.

Таблица 3.2 – Режимы работы регистра K555ИР11

<i>Режим работы</i>	<i>Вход</i>							<i>Выход</i>			
	<i>R</i>	<i>C</i>	<i>S1</i>	<i>S0</i>	<i>DR</i>	<i>DL</i>	<i>Dn</i>	<i>Q0</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>
Сброс	0	x	x	x	x	x	x	0	0	0	0
Хранение	1	x	0	0	x	x	x	q ₀	q ₁	q ₂	q ₃
Сдвиг влево	1	↑	1	0	x	0	x	q ₁	q ₂	q ₃	0
	1	↑	1	0	x	1	x	q ₁	q ₂	q ₃	1
Сдвиг вправо	1	↑	0	1	0	x	x	0	q ₀	q ₁	q ₂
	1	↑	0	1	1	x	x	1	q ₀	q ₁	q ₂
Параллельная загрузка	1	↑	1	1	x	x	d _n	d ₀	d ₁	d ₂	d ₃

Области применения сдвиговых регистров весьма разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо – делению пополам.

В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно. Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

4 ВЫПОЛНЕНИЕ РАБОТЫ

4.1 Параллельный регистр

4.1.1 Режим параллельной загрузки и хранения

Сформировать таблицу истинности параллельного регистра (см. рисунок 4.1). Полученные данные представлены в таблице 4.1.

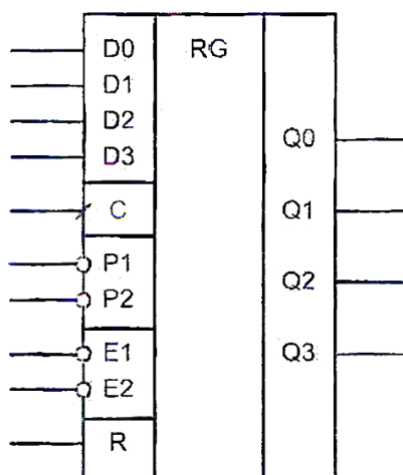


Рисунок 4.1 – Условное графическое обозначение параллельного регистра

Таблица 4.1 – Таблица истинности параллельного регистра

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 2	0	0	0	1	0	0	1	1	0	ЛГ	0	1	1	0
Шаг 3	0	0	0	0	1	0	1	1	0	ЛГ	0	1	1	0
Шаг 4	0	0	0	1	1	0	1	1	0	ЛГ	0	1	1	0

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.2.

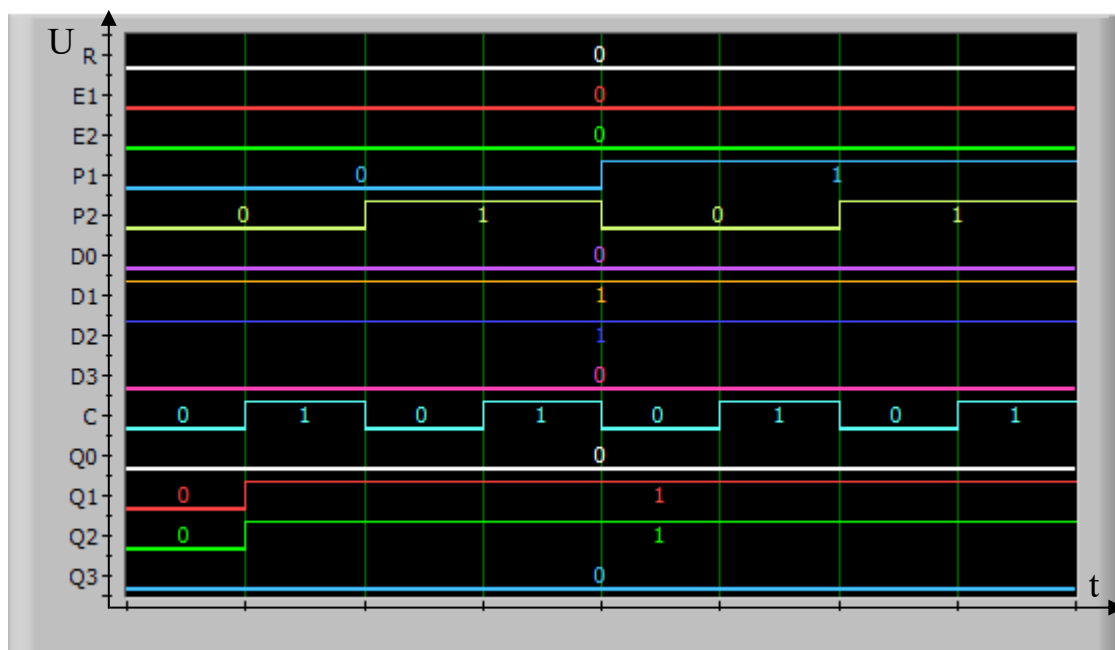


Рисунок 4.2 – Диаграмма состояний параллельного регистра

По таблице истинности и диаграмме состояний можно определить, что при $P1=0$ $P2=0$ происходит параллельная загрузка регистра, а при остальных комбинациях – состояния выходных сигналов не изменяются, что соответствует режиму хранения информации.

4.1.2 Режим управления выходом регистра

Сформировать таблицу истинности параллельного регистра. Полученные данные представлены в таблице 4.2.

Таблица 4.2 – Таблица истинности параллельного регистра

	R	E2	E1	P2	P1	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шар 1	0	0	0	0	0	0	1	1	0	ЛГ	0	1	1	0
Шар 2	0	1	0	0	0	0	1	1	0	ЛГ	0	0	0	0
Шар 3	0	0	1	0	0	0	1	1	0	ЛГ	0	0	0	0
Шар 4	0	1	1	0	0	0	1	1	0	ЛГ	0	0	0	0

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.3.

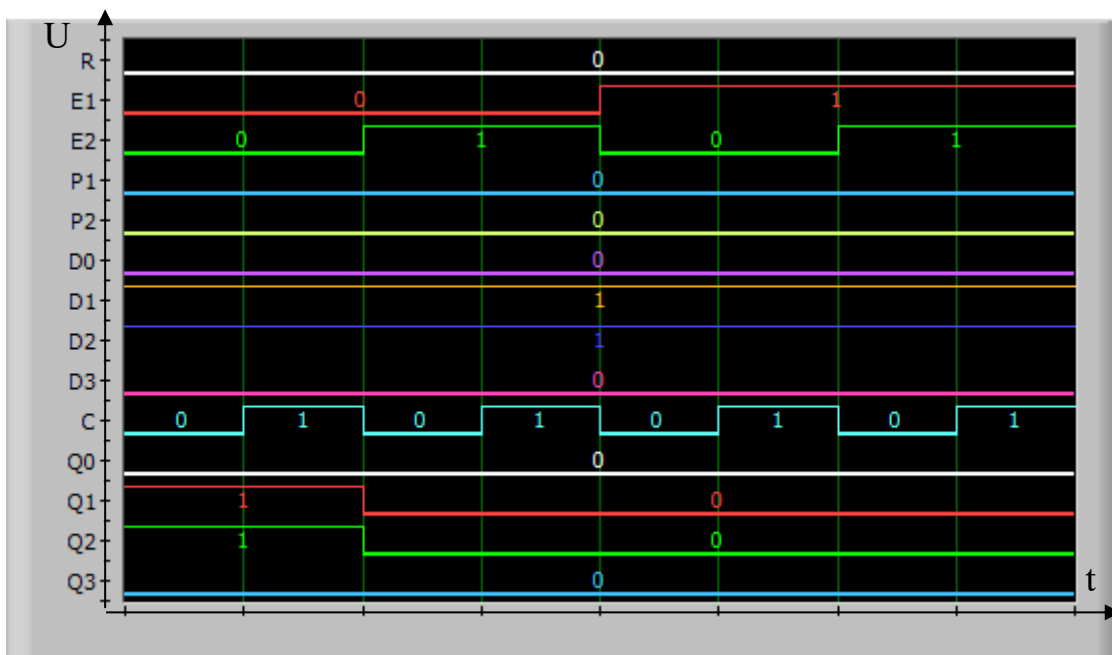


Рисунок 4.3 – Диаграмма состояний параллельного регистра

По таблице истинности и диаграмме состояний можно определить, что при значениях сигналов $E1=0$ и $E2=0$ разрешено считывание состояния регистра с его выходов «Q0», «Q1», «Q2» и «Q3».

4.1.3 Изучение работы параллельного регистра в динамическом режиме

Получить диаграмму состояний регистра, отражающую его работу в режимах параллельной загрузки, управления выходом (разрешение или запрет считывания состояния), хранения, сброса. Диаграмма приведена на рисунке 4.4.

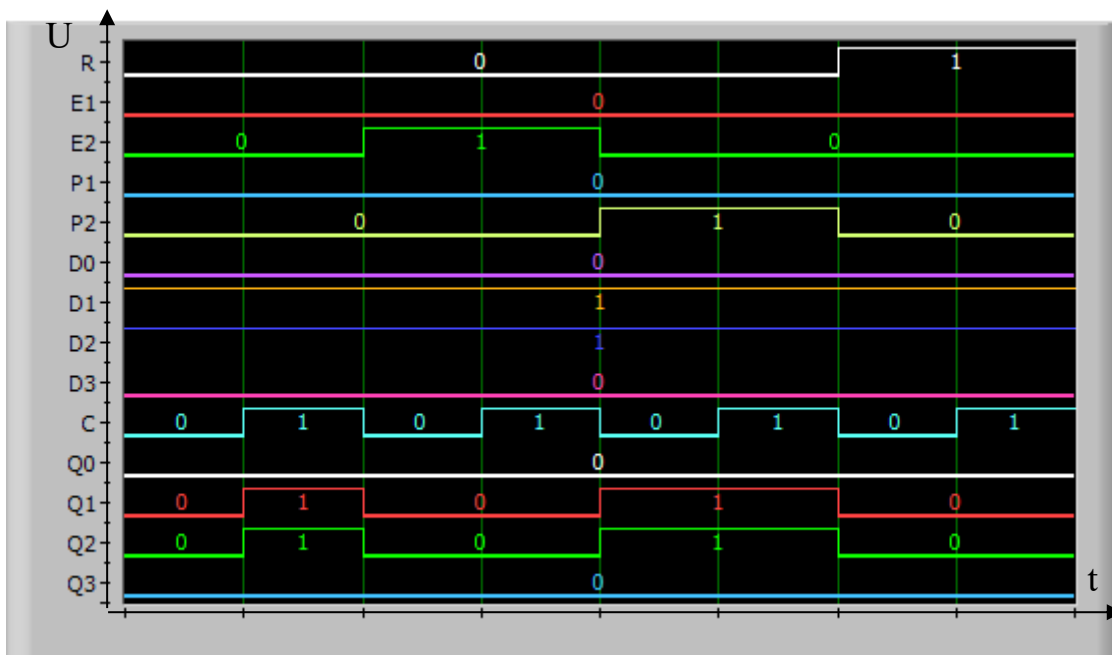


Рисунок 4.4 – Диаграмма состояний параллельного регистра в динамическом режиме

По полученной диаграмме можно определить, что состояния регистра изменяются по перепаду на тактовом входе С из 0 в 1. Это происходит в режиме параллельной загрузки при значениях управляющих сигналов на входах R, P1, P2, E1 и E2, равных логическому сигналу «0», а в режиме сброса – при P1=P2=E1=E2=0 и R=1.

4.2 Регистр сдвига

4.2.1 Режим сдвига вправо

Сформировать таблицу истинности регистра сдвига (см. рисунок 4.5). Полученные данные представлены в таблице 4.3.

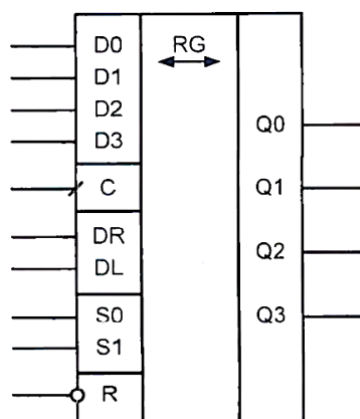


Рисунок 4.5 – Условное графическое обозначение регистра сдвига

Таблица 4.3 – Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	0	1	1	0	0	0	0	0	ЛГ	0	0	0	1
Шаг 2	1	0	1	0	0	0	0	0	0	ЛГ	0	0	1	0
Шаг 3	1	0	1	0	0	0	0	0	0	ЛГ	0	1	0	0
Шаг 4	1	0	1	0	0	0	0	0	0	ЛГ	1	0	0	0

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.6.

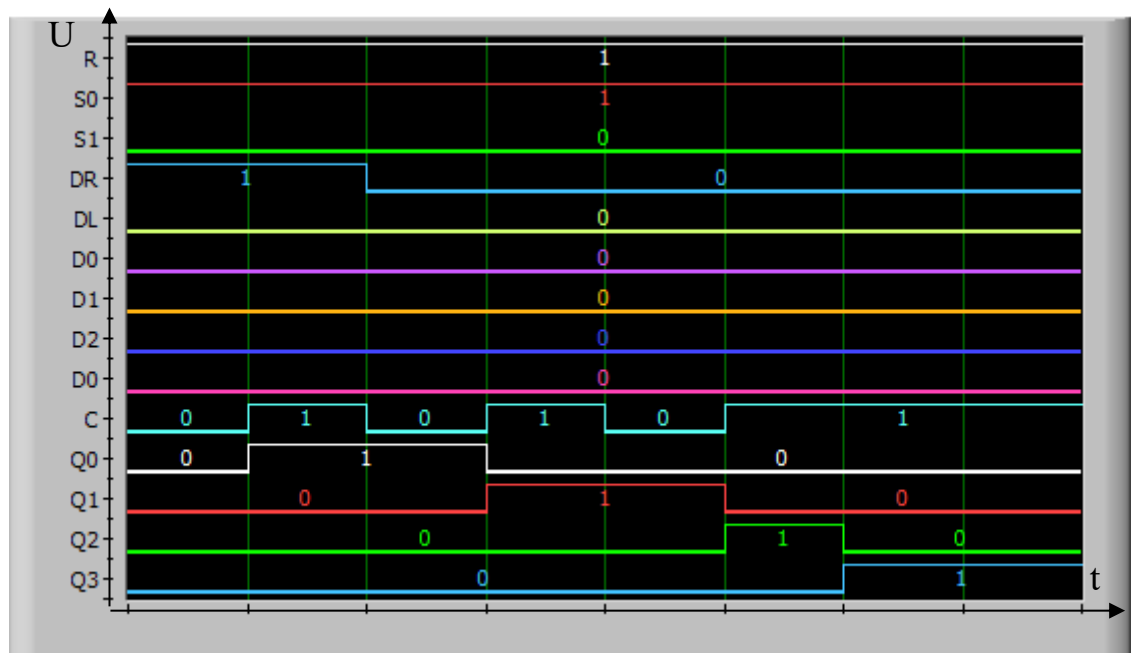


Рисунок 4.6 – Диаграмма состояний регистра сдвига в режиме сдвига вправо

По таблице истинности и диаграмме состояний можно определить, что логическая единица, записанная в регистр на первом такте смещается в направлении от Q0 к Q3.

4.2.2 Режим сдвига влево

Сформировать таблицу истинности регистра сдвига. Полученные данные представлены в таблице 4.4.

Таблица 4.4 – Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	0	0	1	0	0	0	0	ЛГ	1	0	0	0
Шаг 2	1	1	0	0	0	0	0	0	0	ЛГ	0	1	0	0
Шаг 3	1	1	0	0	0	0	0	0	0	ЛГ	0	0	1	0
Шаг 4	1	1	0	0	0	0	0	0	0	ЛГ	0	0	0	1

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.7.

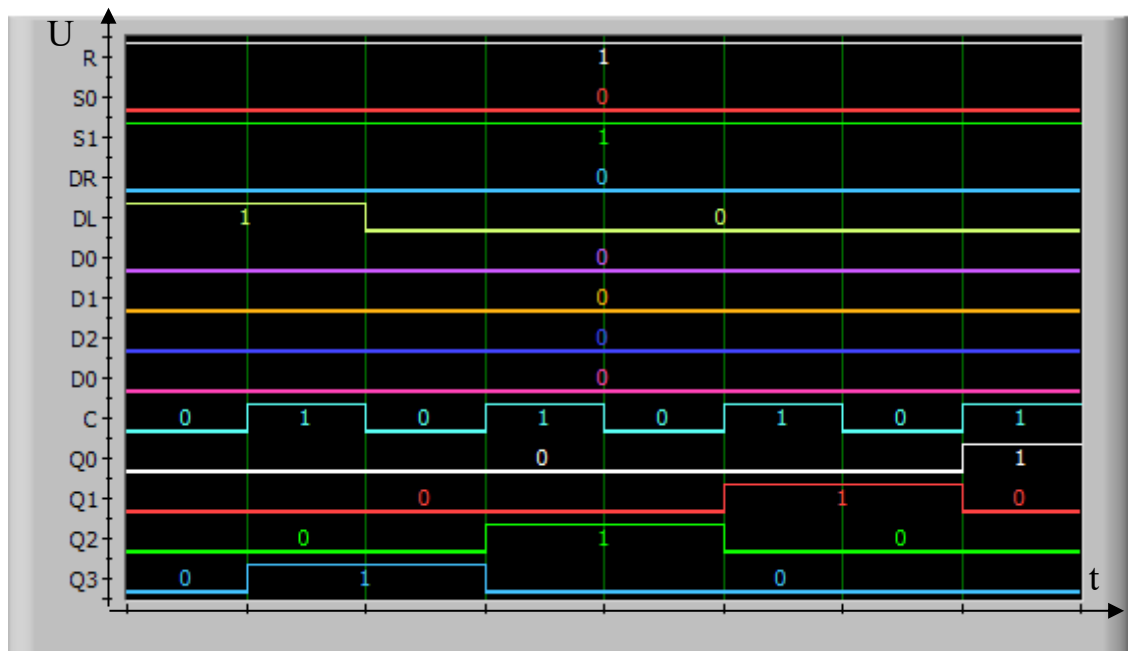


Рисунок 4.7 – Диаграмма состояний регистра сдвига в режиме сдвига влево

По таблице истинности и диаграмме состояний можно определить, что логическая единица, записанная в регистр на первом такте смещается в направлении от Q3 к Q0.

4.2.3 Режим параллельной загрузки

Сформировать таблицу истинности регистра сдвига. Полученные данные представлены в таблице 4.5.

Таблица 4.5 – Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	1	1	0	0	0	1	0	1	ЛГ	0	1	0	1
Шаг 2	1	1	1	0	0	1	1	1	1	ЛГ	1	1	1	1
Шаг 3	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0
Шаг 4	1	1	1	0	0	0	0	1	0	ЛГ	0	0	1	0

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.8.

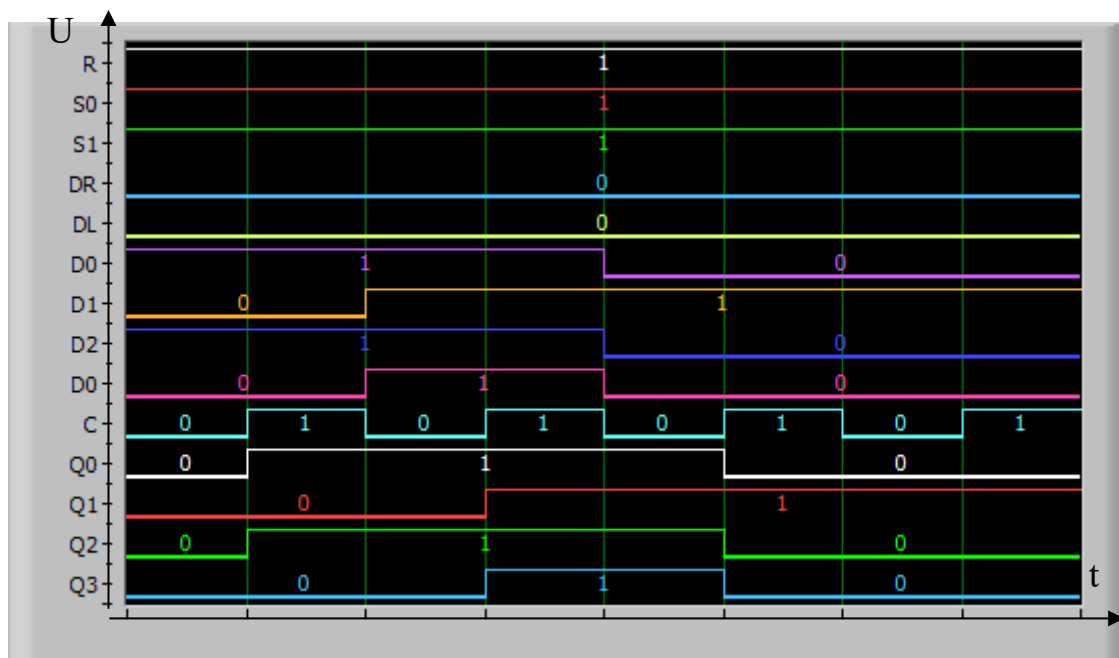


Рисунок 4.8 – Диаграмма состояний регистра сдвига в режиме параллельной загрузки

По таблице истинности и диаграмме состояний было проверено соответствие выходных сигналов регистра Q0, Q1, Q2, Q3 сигналам на входах параллельной загрузки D0, D1, D2, D3: сигналы совпадают.

4.2.4 Режим хранения

Сформировать таблицу истинности регистра сдвига. Полученные данные представлены в таблице 4.6.

Таблица 4.6 – Таблица истинности регистра сдвига

	R	S1	S0	DR	DL	D3	D2	D1	D0	C	Q3	Q2	Q1	Q0
Шаг 1	1	0	0	1	1	0	1	0	1	ЛГ	1	0	1	0
Шаг 2	1	0	0	1	1	1	1	1	1	ЛГ	1	0	1	0
Шаг 3	1	0	0	1	1	0	0	1	0	ЛГ	1	0	1	0
Шаг 4	1	0	0	1	1	0	0	1	0	ЛГ	1	0	1	0

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.9.

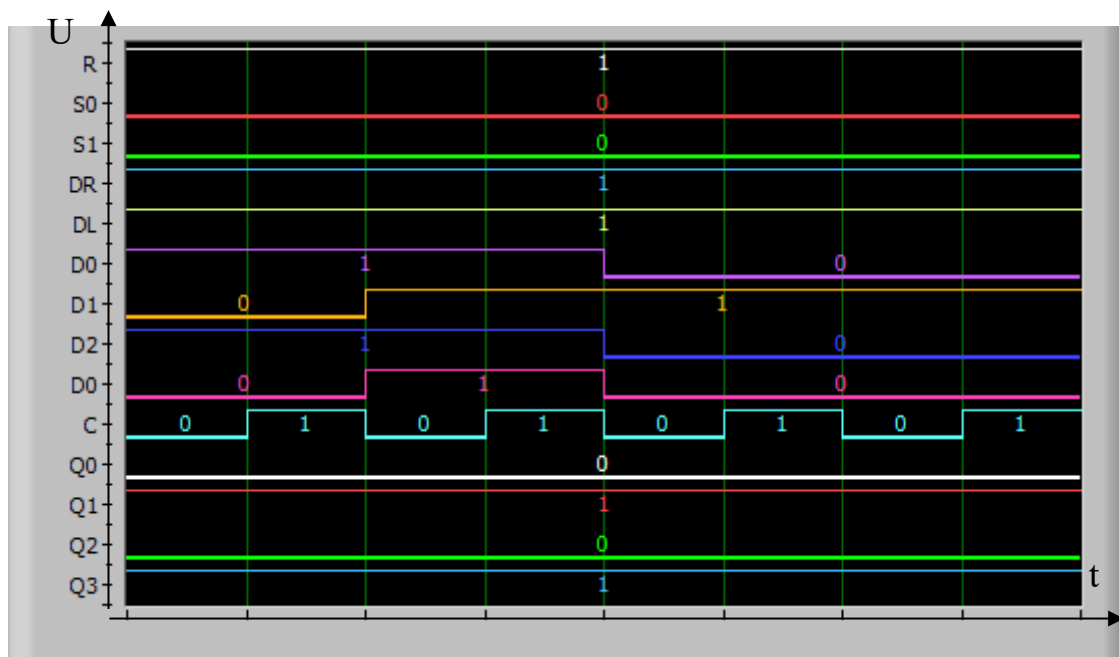


Рисунок 4.9 – Диаграмма состояний регистра сдвига в режиме хранения

По таблице истинности и диаграмме состояний можно определить, что при значениях сигналов $S0=0$, $S1=0$ и подаче импульсов на тактовый вход C регистр сдвига сохраняет на выходе первоначально занесенный в него цифровой код.

По результатам исследования работы регистра сдвига в статическом режиме была составлена сводная таблица истинности регистра сдвига. Результаты представлены в таблице 4.7.

Таблица 4.7 – Сводная таблица истинности регистра сдвига

<i>№ такта</i>	<i>R</i>	<i>S1</i>	<i>S0</i>	<i>C</i>	$Q3_{n+1}$	$Q2_{n+1}$	$Q1_{n+1}$	$Q0_{n+1}$	<i>Режим работы</i>
1	1	1	1	0-1	D3	D2	D1	D0	Загрузка
2	1	1	0	0-1	DL	$Q3_n$	$Q2_n$	$Q1_n$	Сдвиг влево
3	1	0	1	0-1	$Q2_n$	$Q1_n$	$Q0_n$	DR	Сдвиг вправо
4	0	-	-	-	0	0	0	0	Сброс

4.2.5 Изучение работы регистра сдвига в динамическом режиме

Получить диаграмму состояний регистра. Диаграмма приведена на рисунке 4.10.

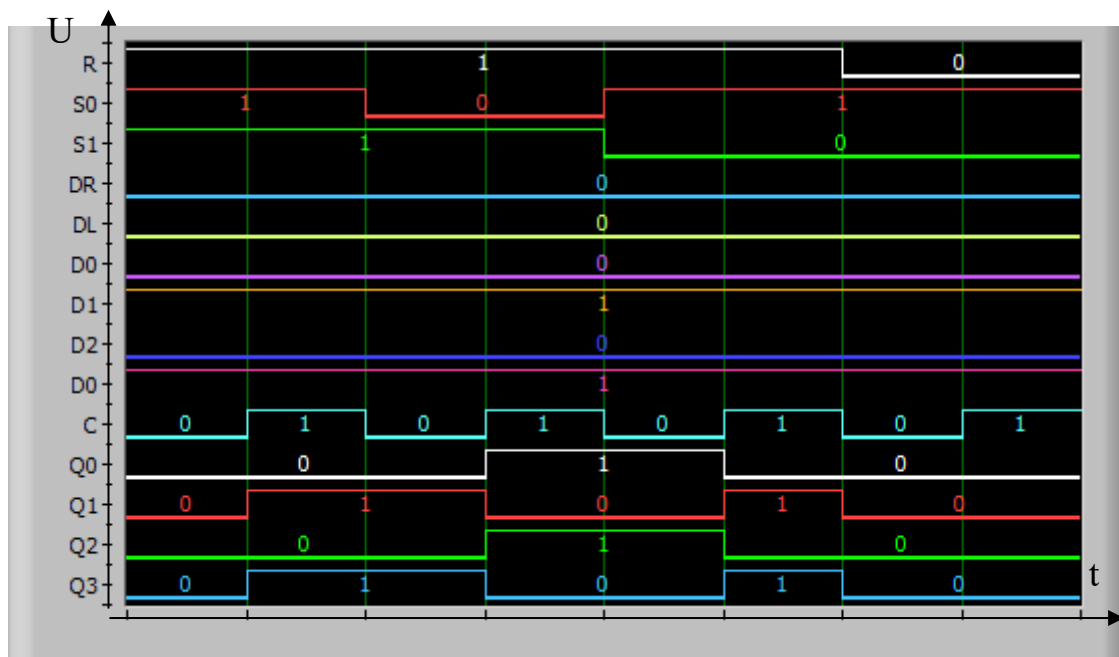


Рисунок 4.10 – Диаграмма состояний регистра сдвига в динамическом режиме

По полученной диаграмме можно определить, что изменения состояния счетчика в режимах сдвига влево, сдвига вправо, параллельной загрузки и сброса происходят по перепаду из нуля в единицу на тактовом входе С регистра сдвига.

5 ВЫВОДЫ

В процессе выполнения лабораторной работы было изучено функционирование параллельного регистра и регистра сдвига. Для каждого из них были сформированы таблицы истинности и диаграммы состояний.

В ходе изучения работы параллельного регистра в режиме загрузки и хранения было определено, что при $P1=0$ и $P2=0$ происходит параллельная загрузка регистра, а при остальных комбинациях – состояния выходных сигналов не изменяются, что соответствует режиму хранения информации.

При изучении работы режима управления выходом параллельного регистра по таблице истинности и диаграмме состояний было определено, что при значениях сигналов $E1=0$ и $E2=0$ разрешено считывание состояния регистра с его выходов $Q0$, $Q1$, $Q2$ и $Q3$.

Изучение работы параллельного регистра в динамическом режиме показало, что состояния регистра изменяются по перепаду на тактовом входе С из 0 в 1. Это происходит в режиме параллельной загрузки при значениях управляющих сигналов на входах R, P1, P2, E1 и E2, равных логическому сигналу «0», а в режиме сброса – при $P1=P2=E1=E2=0$ и $R=1$.

Было определено, что логическая единица, записанная в регистр сдвига, на первом такте смещается в направлении от Q0 к Q3 в режиме сдвига влево и от Q3 к Q0 – в режиме сдвига вправо.

В режиме параллельной загрузки выходные сигналы регистра сдвига Q0, Q1, Q2, Q3 совпадают с сигналами на входах D0, D1, D2, D3.

В процессе изучения работы режима хранения регистра сдвига было определено, что регистр сохраняет на выходе первоначально занесенный в него цифровой вход при значениях сигналов $S0=0$, $S1=0$.

Также по результатам исследования работы регистра сдвига в статическом режиме была составлена сводная таблица истинности регистра.

В ходе изучения работы регистра сдвига в динамическом режиме было определено, что изменения состояния счетчика в режимах сдвига влево, сдвига вправо, параллельной загрузки и сброса происходят по перепаду из нуля в единицу на тактовом входе C.