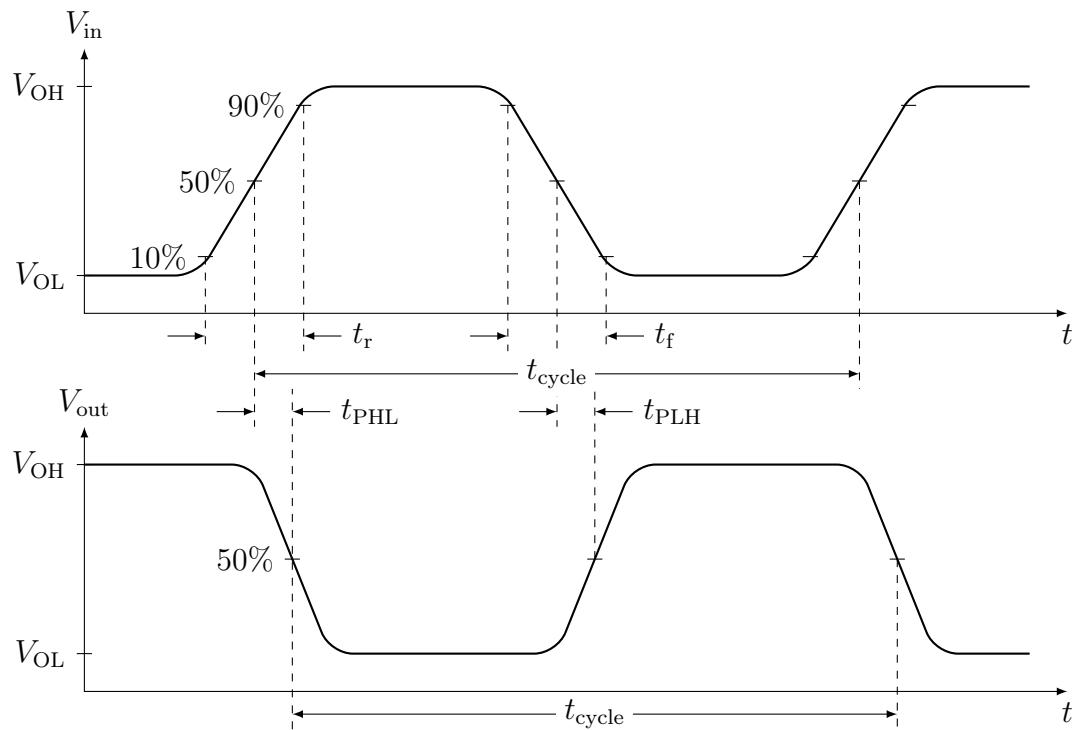


Lösung 2.1:**Abbildung 2.2:** Definition des Inverter Delay

Das Zeitintervall zwischen den 50%-Werten aufeinanderfolgender Spannungen ergibt die Verzögerungszeiten (Delay) t_{PHL} und t_{PLH} am Ausgang des Inverters für steigende bzw. fallende Flanke am Eingang des Inverters. Die durchschnittliche Verzögerungszeit beträgt $t_P = (t_{PHL} + t_{PLH})/2$. Für symmetrische Inverter gilt $t_{PHL} = t_{PLH}$. Pro Inverter wird also ein Signal um t_P verzögert.

a) Verzögerung von A nach B:

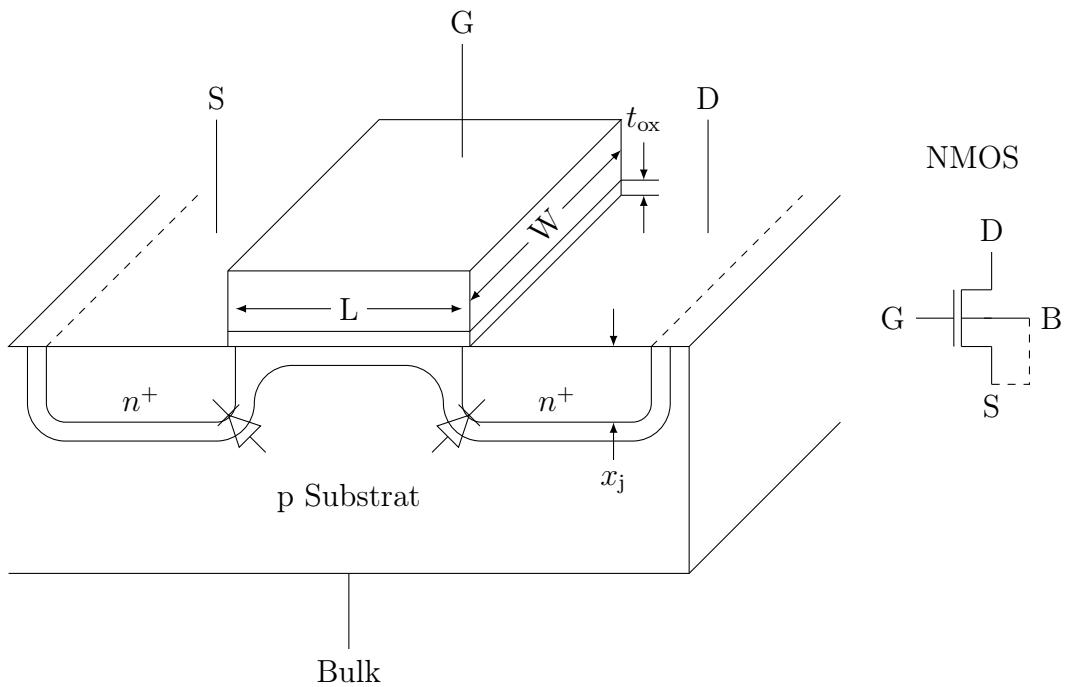
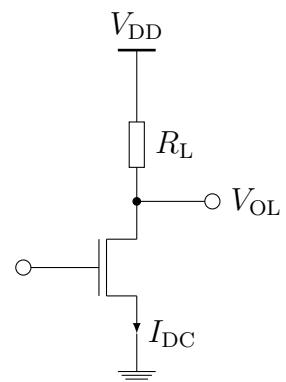
$$t_P = n \cdot t_0 = 5 \cdot 2\text{ns} = 10\text{ns}$$

b) Periode des Ringoszillators:

$$T = 2 \cdot n \cdot t_0 = 2 \cdot 5 \cdot 2\text{ns} = 20\text{ns}$$

Frequenz des Ringoszillators:

$$f = 1/T = 1/20\text{ns} = 50\text{MHz}$$

Lösung 2.2:**Abbildung 2.3:** Aufbau und Symbol eines NMOS-Transistors**Abbildung 2.4:** Querstrom $I_{DC} = (V_{DD} - V_{OL})/R_L$

Lösung 2.3:

a) $\Phi_F < 0$ für p-typ Halbleiter, > 0 für n-typ Halbleiter:

$$2|\Phi_{Fp}| = \frac{2kT}{q} \left| \ln \frac{n_i}{p} \right| = 2(0,026V) \left| \ln \frac{1,45 \cdot 10^{10} \text{cm}^{-3}}{3 \cdot 10^{17} \text{cm}^{-3}} \right| = 0,88V$$

b) Breite X_d und negative Ladung Q_{B0} der Raumladungszone:

$$X_d = \left(\frac{2\epsilon_{si}|\Phi_s - \Phi_F|}{qN_A} \right)^{1/2} = \sqrt{\frac{2(11,7)8,85 \cdot 10^{-14} \text{AsV}^{-1} \text{cm}^{-1}(0,88V)}{(1,6 \cdot 10^{-19} \text{As})(3 \cdot 10^{17} \text{cm}^{-3})}} = 60 \text{nm}$$

$$\begin{aligned} Q_{B0} &= -\sqrt{(2qN_A\epsilon_{si})| - 2\Phi_F|} \\ &= -\sqrt{2(1,6 \cdot 10^{-19} \text{As})(3 \cdot 10^{17} \text{cm}^{-3})(1,0 \cdot 10^{-12} \text{AsV}^{-1} \text{cm}^{-1})| - 0,88V|} \\ &\approx -3 \cdot 10^{-7} \text{C/cm}^2 \end{aligned}$$

c) Oxidkapazität C_{ox} und Body Factor γ :

$$\begin{aligned} C_{ox} &= \frac{4\epsilon_o}{t_{ox}} = \frac{4(8,85 \cdot 10^{-14} \text{AsV}^{-1} \text{cm}^{-1})}{22 \text{\AA}} = 1,6 \cdot 10^{-6} \text{F/cm}^2 \\ \gamma &= \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}N_A} \\ &= \frac{\sqrt{2(1,6 \cdot 10^{-19} \text{As})11,7(8,85 \cdot 10^{-14} \text{AsV}^{-1} \text{cm}^{-1})(3 \cdot 10^{17} \text{cm}^{-3})}}{1,6 \cdot 10^{-6} \text{F/cm}^2} \\ &\approx 0,2 \text{V}^{1/2} \end{aligned}$$

d) Schwellspannung V_{T0} :

$$\Phi_{GC} = \Phi_{Fp} - \Phi_{G(Gate)} = -0,44V - 0,55V = -0,99V$$

$$\frac{Q_{B0}}{C_{ox}} = \frac{-3 \cdot 10^{-7} \text{C/cm}^2}{1,6 \cdot 10^{-6} \text{F/cm}^2} = -0,188V$$

$$\frac{Q_{ox}}{C_{ox}} = \frac{(2 \cdot 10^{10} \text{cm}^{-2})(1,6 \cdot 10^{-19} \text{As})}{1,6 \cdot 10^{-6} \text{F/cm}^2} = 0,002V$$

$$\begin{aligned} V_{T0} &= \Phi_{GC} - 2\Phi_{FP} - \frac{Q_{B0}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} \\ &= -0,99V - (-0,88V) - (-0,188V) - 0,002V \\ &= 0,08V \end{aligned}$$

In der obigen Lösung nehmen wir an, dass die Dotierung des n^+ -Gate derart hoch ist, dass das Fermi-Niveau im Gate mit dem Leitungsband übereinstimmt (koinzidiert). Ein elektrostatisches Potential von $\Phi_{G(Gate)} = 0,55V$ wird impliziert. Wenn das Gate p^+ -dotiert wäre, dann wäre der Wert von V_{T0} gleich 1,18V. Dieser Wert ist aber leider oberhalb des gewünschten Zielniveaus. Deswegen muss die Dotierung des Poly-Gates n^+ sein, um den Wert unterhalb der Zielniveaus zu halten. Aus demselben Grund ist das Poly-Gate für p-Kanal Transistoren mit p^+ dotiert. Natürlich sind die oben gerechneten Werte nicht wirklich zutreffend für NMOS Bauelemente, sondern nur ein Näherungsmodell, das den Trend abbilden soll. Wir brauchen einen Wert näher bei $V_{T0} = 0,4V$.

- e) V_T wird durch $\frac{Q_I}{C_{ox}} = \frac{qN_I}{C_{ox}}$ verschoben.

$$N_I = \frac{Q_I}{q} = \frac{C_{ox}\Delta V}{q} = \frac{1,6 \cdot 10^{-6} \text{F/cm}^2 (0,4\text{V} - (0,08\text{V}))}{1,6 \cdot 10^{-19} \text{As}} = 3,2 \cdot 10^{12} \frac{\text{Ionen}}{\text{cm}^2}$$