

Aufgabe 3.1:

	Symbol	NMOS	PMOS
n-Dotierung des Gate [cm^{-3}]	N_D	$3 \cdot 10^{20}$	-
p-Dotierung des Gate [cm^{-3}]	N_A	-	$3 \cdot 10^{20}$
p-Dotierung des Substrats [cm^{-3}]	N_A	$3 \cdot 10^{17}$	-
n-Dotierung der Wanne [cm^{-3}]	N_D	-	$3 \cdot 10^{17}$
Anzahl der Oberflächenladungen [cm^{-2}]	N_{SS}	$6 \cdot 10^{11}$	$6 \cdot 10^{11}$

Tabelle 3.1: Prozessparameter in $0,13\mu\text{m}$ Technologie

In Tabelle 3.1 sind Prozessparameter einer $0,13\mu\text{m}$ Technologie gegeben.

- Berechnen Sie die nichtimplantierten und nicht substratvorgespannten Schwellspannungen für NMOS- und PMOS-Transistoren. Die Dicke des Oxid beträgt $t_{\text{ox}} = 22\text{\AA}$ und die Oberflächenladungsdichte an der Grenzschicht Si-SiO₂ qN_{SS} .
- Normalerweise wird ein NMOS-Gate mit Donatoren und ein PMOS-Gate mit Akzeptoren dotiert. Wie ändert sich V_{T0} , wenn ein PMOS-Gate mit Donatoren anstatt mit Akzeptoren dotiert wird? Berechnen Sie das neue V_{T0} .
- Die Schwellspannung eines NMOS-Transistors und eines PMOS-Transistors wird nun so eingestellt, dass $V_{T0p} = 0,4\text{V}$ und $V_{T0n} = -0,4\text{V}$ gilt. Berechnen Sie das implantierte Schwellspannungsniveau für die beiden Fälle in a) und den Fall in b).
- Warum haben moderne Technologien ein n^+ -Gate für NMOS-Transistoren und ein p^+ -Gate für PMOS-Transistoren?
- Berechnen Sie die effektive Mobilität μ_e eines PMOS-Transistors aufgrund seines vertikalen Feldes. Es gilt $\mu_0 = 130 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, $\theta = 4 \cdot 10^6 \text{ Vcm}^{-1}$ und $\eta = 1,85$.

Aufgabe 3.2:

- Berechnen Sie die Spannung $V_{D\text{sat}}$ für NMOS- und PMOS-Transistoren in $0,18\mu\text{m}$ Technologie ($V_{DD} = 1,8\text{V}$, $L = 200\text{nm}$, $V_{TN} = 0,5\text{V}$, $V_{TP} = -0,5\text{V}$).
- Berechnen Sie $V_{D\text{sat}}$ für die beiden Transistoren in $0,13\mu\text{m}$ Technologie ($E_{cn}L_n = 0,6\text{V}$, $E_{cp}L_p = 2,4\text{V}$, $V_{DD} = 1,2\text{V}$, $L = 100\text{nm}$, $V_{TN} = 0,4\text{V}$, $V_{TP} = -0,4\text{V}$).
- Berechnen Sie das Verhältnis der Sättigungsströme für NMOS- und PMOS-Transistoren in $0,13\mu\text{m}$ Technologie ($T = 400\text{K}$).

Aufgabe 3.3:

Diese Aufgabe betrifft I-V Kennlinien von NMOS- und PMOS-Transistoren in $0,13\mu\text{m}$ Technologie. Gegeben sei die Versorgungsspannung $V_{DD} = 1,2\text{V}$ und die Einheitsabmessungen $W = 100\text{nm}$ und $L = 100\text{nm}$.

- a) Tragen Sie sowohl für NMOS- als auch für PMOS-Transistoren I_{DS} über V_{DS} als Funktion von $V_{GS} = 1,2V$ und $V_{SG} = 0,4V, 0,8V$ und $1,2V$ auf.
- b) Tragen Sie für NMOS-Transistoren I_{DS} über V_{GS} mit $V_{DS} = 1,2V$ auf. Hat das quadratische Modell für $0,13\mu m$ Technologien noch Gültigkeit?

Aufgabe 3.4:

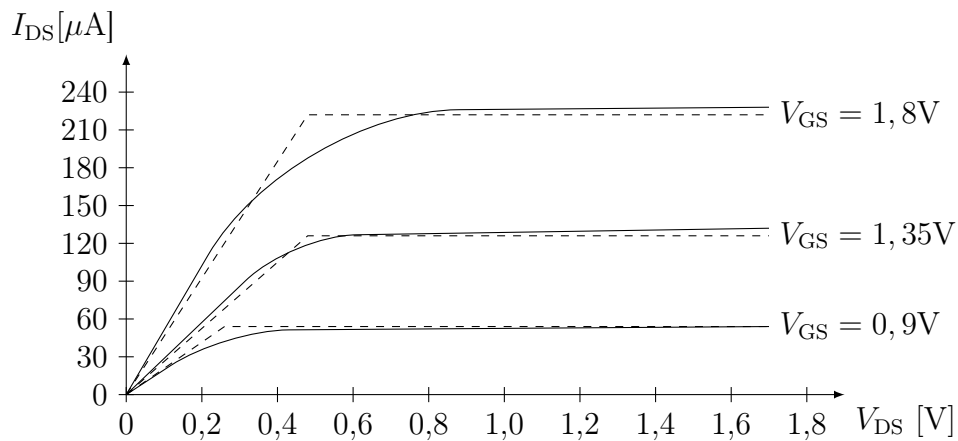


Abbildung 3.1: I_{DS} versus V_{DS} for NMOS

Geben Sie die Parameter (K_s , α) des Alpha-Power-Law Modells für den NMOS-Transistor in Abb. 3.1 im Sättigungsbereich an. Annahme: $W/L = 1$ und $V_T = 0,5V$.

$$I_{DS} = K_s \frac{W}{L} (V_{GS} - V_T)^\alpha \quad (\text{Stromgleichung im Sättigungsbereich}).$$