

Lösung 3.1:

Mit den Prozessparametern der $0,13\mu\text{m}$ Technologie folgt:

$$\text{a) } V_{T0} = \Phi_{GC} - 2\Phi_F - Q_{B0}/C_{ox} - Q_{ox}/C_{ox}$$

$$\text{NMOS: } V_{T0p} = -0,99V - (-0,88V) - (-0,188V) - 0,06V = 0,02V$$

$$\text{PMOS: } V_{T0n} = 0,99V - (0,88V) - (0,188V) - 0,06V = -0,14V$$

$$\text{b) } \Phi_{GC} = \Phi_F - \Phi_G(\text{Gate})$$

$$\Phi_{GC}|_{\text{NMOS}}(\text{n-gate}) = \Phi_{Fp} - 0,55, (\phi_{Fp} < 0)$$

$$\Phi_{GC}|_{\text{PMOS}}(\text{p-gate}) = \Phi_{Fn} + 0,55, (\phi_{Fn} > 0)$$

$$\Phi_{GC}|_{\text{PMOS}}(\text{n-gate}) = \Phi_{Fn} - 0,55, (\phi_{Fn} > 0)$$

Mit dem intrinsischen Ferminiveau als Bezugspunkt wird die Arbeitsfunktion abgeschätzt. Für die Schwellspannung des PMOS Transistors (mit p^+ -Dotierung) ergibt sich damit $V_{T0n} = (-0,11V) - (0,88V) - (0,188V) - 0,06V = -1,24V$

$$\text{c) } N_I = (C_{ox}/q)\Delta V$$

$$\text{NMOS: } N_I = (10^{+13}\text{V}^{-1}\text{cm}^{-2})(0,4V - (0,02V)) = 3,8 \cdot 10^{12}\text{cm}^{-2}$$

$$\text{PMOS: } N_I = (10^{+13}\text{V}^{-1}\text{cm}^{-2})(-0,4V - (-0,14V)) = -2,6 \cdot 10^{12}\text{cm}^{-2}$$

$$\text{PMOS: } N_I = (10^{+13}\text{V}^{-1}\text{cm}^{-2})(-0,4V - (-1,24V)) = 8,4 \cdot 10^{12}\text{cm}^{-2}$$

$$\text{d) } |V_{T0}| < V_{DD}, |V_{T0}| \text{ kann nicht größer als } V_{DD} \text{ sein.}$$

e)

$$\begin{aligned} \mu_e &= \frac{\mu_0}{1 + \left(\frac{V_{GS} - V_T}{\theta \cdot t_{ox}} \right)^\eta} \\ &= \frac{130\text{cm}^2\text{V}^{-1}\text{s}^{-1}}{1 + \left(\frac{0,8V}{4 \cdot 10^6\text{Vcm}^{-1} \cdot 22 \cdot 10^8\text{cm}} \right)^{1,85}} \\ &= 71\text{cm}^2\text{V}^{-1}\text{s}^{-1} \end{aligned}$$

Lösung 3.2:

a) $E_{cn}L_n = 6 \cdot 10^4 \text{Vcm}^{-1}(0, 2\mu\text{m}) \approx 1,2\text{V}$ und $E_{cp}L_p = 24 \cdot 10^4 \text{Vcm}^{-1}(0, 2\mu\text{m}) \approx 4,8\text{V}$

$$\begin{aligned}\text{NMOS : } V_{Dsat} &= \frac{(V_{GS} - V_{TN})(E_{cn}L)}{(V_{GS} - V_{TN} + E_{cn}L)} \\ &= \frac{(1,8\text{V} - 0,5\text{V})(1,2\text{V})}{(1,8\text{V} - 0,5\text{V} + 1,2\text{V})} \approx 0,6\text{V}\end{aligned}$$

$$\begin{aligned}\text{PMOS : } V_{Dsat} &= \frac{(V_{SG} - |V_{TP}|)(E_{cp}L)}{(V_{SG} - |V_{TP}| + E_{cp}L)} \\ &= \frac{(1,8\text{V} - 0,5\text{V})(4,8\text{V})}{(1,8\text{V} - 0,5\text{V} + 4,8\text{V})} \approx 1,0\text{V}\end{aligned}$$

b) $E_{cn}L_n = 6 \cdot 10^4 \text{Vcm}^{-1}(0, 1\mu\text{m}) \approx 0,6\text{V}$ und $E_{cp}L_p = 24 \cdot 10^4 \text{Vcm}^{-1}(0, 1\mu\text{m}) \approx 2,4\text{V}$

$$\begin{aligned}\text{NMOS : } V_{Dsat} &= \frac{(V_{GS} - V_{TN})(E_{cn}L)}{(V_{GS} - V_{TN} + E_{cn}L)} \\ &= \frac{(1,2\text{V} - 0,4\text{V})(0,6\text{V})}{(1,2\text{V} - 0,4\text{V} + 0,6\text{V})} = 0,34\text{V}\end{aligned}$$

$$\begin{aligned}\text{PMOS : } V_{Dsat} &= \frac{(V_{SG} - |V_{TP}|)(E_{cp}L)}{(V_{SG} - |V_{TP}| + E_{cp}L)} \\ &= \frac{(1,2\text{V} - 0,4\text{V})(2,4\text{V})}{(1,2\text{V} - 0,4\text{V} + 2,4\text{V})} = 0,6\text{V}\end{aligned}$$

c)

$$\begin{aligned}\text{NMOS : } \frac{I_{DS}}{W} &= v_{sat}C_{ox} \cdot \frac{(V_{GS} - V_{TN})^2}{(V_{GS} - V_{TN}) + E_{cn}L} \\ &= 12,8\text{A(Vcm)}^{-1} \frac{(1,2\text{V} - 0,4\text{V})^2}{(1,2\text{V} - 0,4\text{V}) + 0,6\text{V}} = 585\mu\text{A}/\mu\text{m}\end{aligned}$$

$$\begin{aligned}\text{PMOS : } \frac{I_{DS}}{W} &= v_{sat}C_{ox} \cdot \frac{(V_{SG} - |V_{TP}|)^2}{(V_{SG} - |V_{TP}|) + E_{cp}L} \\ &= 12,8\text{A(Vcm)}^{-1} \frac{(1,2\text{V} - 0,4\text{V})^2}{(1,2\text{V} - 0,4\text{V}) + 2,4\text{V}} = 256\mu\text{A}/\mu\text{m}\end{aligned}$$

$$\frac{I_{DsatN}}{I_{DsatP}} = \frac{W_N v_{sat} C_{ox} (V_{GS} - V_{TN})^2 / (V_{GS} - V_{TN} + E_{cn}L_n)}{W_P v_{sat} C_{ox} (V_{SG} - |V_{TP}|)^2 / (V_{SG} - |V_{TP}| + E_{cp}L_p)} = 2,3$$

Lösung 3.3:

$V_{DD}=1,2V$, $1X = W/L$ (Device Size Ratio), $W = 100\text{nm}$, $L = 100\text{nm}$

a) $I_{DS} = f(V_{DS})$

Wir kennen bereits das Verhältnis zwischen 1X Devices für NMOS- und PMOS-Transistoren:

$$\frac{I_{DsatN}}{I_{DsatP}} = 2,3$$

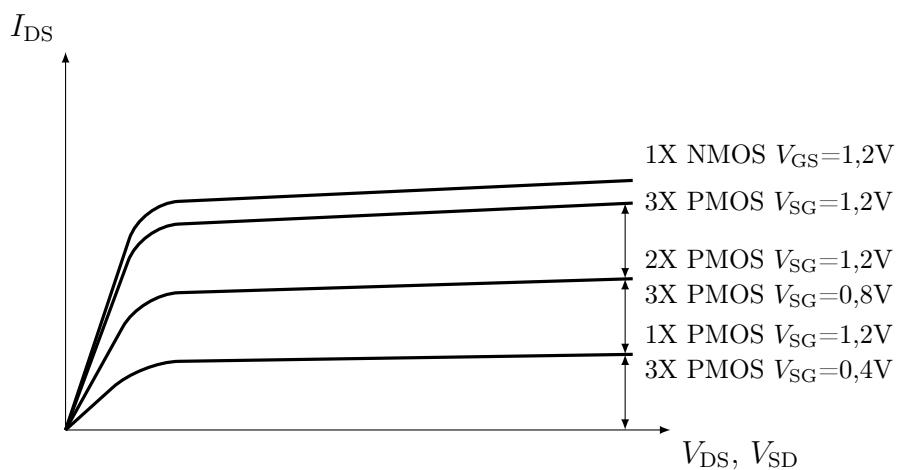


Abbildung 3.2: Ausgangskennlinien von MOS-Transistoren

b) $I_{DS} = f(V_{GS})$

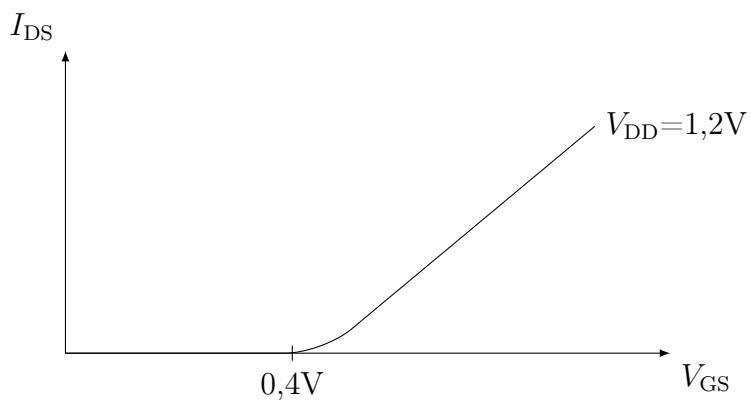
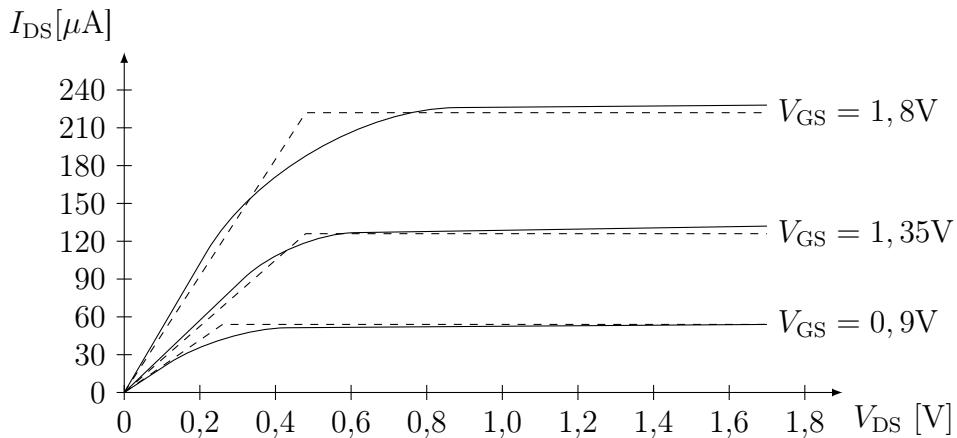


Abbildung 3.3: Diodenkennlinie von MOS-Transistoren

Lösung 3.4:**Abbildung 3.4:** I_{DS} versus V_{DS} for NMOS

Mit Hilfe von Abb. 3.4 schätzen wir den Sättigungswert von I_{DS} bei $V_{GS} = 1,35\text{V}$ auf $130\mu\text{A}$ und bei $V_{GS} = 1,8\text{V}$ auf $220\mu\text{A}$.

Die Stromgleichung für jede Messung wird angenähert durch

$$I_{DS} = K_S \frac{W}{L} (V_{GS} - V_T)^\alpha \quad (\text{Stromgleichung im Sättigungsbereich}).$$

Es gilt:

$$\frac{220\mu\text{A}}{130\mu\text{A}} = \frac{K_S(1,8\text{V} - 0,5\text{V})^\alpha}{K_S(1,35\text{V} - 0,5\text{V})^\alpha}$$

$$1,69 = 1,53^\alpha$$

$$\log 1,69 = \log 1,53^\alpha$$

$$\log 1,69 = \alpha \cdot \log 1,53$$

$$\alpha = \frac{\log 1,69}{\log 1,53} = 1,25$$

Einsetzen von $\alpha = 1,25$ in die Strom-Gleichung ergibt

$$130\mu\text{A} = K_S(1,35\text{V} - 0,5\text{V})^{1,25} \Rightarrow K_S = 159 \frac{\mu\text{A}}{\text{V}^{1,25}}$$

$$220\mu\text{A} = K_S(1,8\text{V} - 0,5\text{V})^{1,25} \Rightarrow K_S = 158 \frac{\mu\text{A}}{\text{V}^{1,25}}$$

$$K_S = 160\mu\text{A}/\text{V}^{1,25}$$

Es ist zu beachten, dass der Exponent nahe 1 ist. Für Long-Channel-Transistoren ist der Exponent eher 2, für Short-Channel-Transistoren eher 1. Zur Überprüfung berechnen wir den Strom

$$I_{DS} = 160 \frac{\mu\text{A}}{\text{V}^{1,25}} (0,9\text{V} - 0,5\text{V})^{1,25} \approx 50\mu\text{A}$$

Dieser Wert liegt in der Nähe des zu erwartenden Wertes in Abb. 3.4.