8/16ﾋﾞｯﾄ Atmel AVR XMEGA E ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ

XMEGA E 手引書

本資料はAtmel® AVR® XMEGA® Eﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列に含まれる全ての部署の完全且つ詳細な記述を含ます。XMEGA EはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。この手引書で記載されるXMEGA E部署は次の通りです。

- Atmel AVR CPU
- ﾒﾓﾘ
- EDMA – 強化型直接ﾒﾓﾘ入出力(Enhanced direct memory access)
- 事象ｼｽﾃﾑ
- ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択
- 電力管理と休止形態動作
- ﾘｾｯﾄ体系
- WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(Watchdog timer)
- 割り込みと設定可能な多段割り込み制御器
- PORT – 入出力ﾎﾟｰﾄ
- TC4/5 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- WeX – 波形生成拡張
- Hi-Res – 高分解能拡張
- Fault – 障害拡張
- RTC – 実時間計数器(Real-time counter)
- TWI – 2線直列ｲﾝﾀｰﾌｪｰｽ(Two wire serial interface)
- SPI – 設定可能な直列ｲﾝﾀｰﾌｪｰｽ(Serial programmable interface)
- USART – 同期/非同期万能送受信機
  (Universal synchronous and asynchronous serial receiver and transmitter)
- IRCOM – 赤外線通信部(Infrared communication module)
- XCL – XMEGA注文論理回路(XMEGA custom logic)
- CRC – 巡回冗長検査部(Cyclic redundancy check)
- ADC – A/D変換器(Analog to digital converter)
- DAC – D/A変換器(Digital to analog converter)
- AC – ｱﾅﾛｸﾞ比較器(Analog comparator)
- PDI – ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ
- ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 周辺機能ｱﾄﾞﾚｽ割り当て
- 命令一式要約
- 手引書改訂履歴
- 目次

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 42005E-11/2014, 42005EJ0-11/2014

1. 手引書について

本資料はAtmel AVR XMEGA Eﾃﾞﾊﾞｲｽ系列で利用可能な全部署の徹底的な資料化を含みます。全ての特性は機能的段階で資料化され、一般的な意味で記述されています。この手引書で記述された全ての周辺機能や部署が全てのXMEGA Eﾃﾞﾊﾞｲｽに存在しないかもしれません。

特性ﾃﾞｰﾀ、ﾒﾓﾘ容量、利用可能な周辺機能のようなﾃﾞﾊﾞｲｽ特有情報の全てとそれらのﾒﾓﾘ絶対ｱﾄﾞﾚｽついてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。1つのﾃﾞﾊﾞｲｽに周辺機能が多数存在する場合、各部は一意の名前を持ちます。例えば各ﾎﾟｰﾄ部署(PORT)はPORTAやPORTBなどのような一意の名前を持ちます。ﾚｼﾞｽﾀ名、ﾋﾞｯﾄ名はその部署内で一意です。

周辺機能と部署に対して用いられる使用とｺｰﾄﾞ例のより多くの詳細については、http://www.atmel.com/avrで利用可能なAtmel AVR XMEGA固有応用記述を参照してください。

1.1. 手引書の読み方

本手引書の主項目は様々な部署と周辺機能を記述します。各項目は簡単な機能一覧と簡単な部署概要記述を含みます。項の残りは特性と機能をもっと詳細に記述します。

ﾚｼﾞｽﾀ記述項は全ﾚｼﾞｽﾀを一覧にし、それらの機能と共に各ﾋﾞｯﾄとﾌﾗｸﾞを記述します。これは部署の各種機能の設定と許可の方法の詳細を含みます。形態設定に複数ﾋﾞｯﾄが必要な場合、それらはﾋﾞｯﾄ群で共に分類されます。可能なﾋﾞｯﾄ群形態設定はそれらが関連する群形態設定と簡単な記述と共に全てのﾋﾞｯﾄ群に関して一覧にされます。群形態設定はAtmel AVR XMEGAで使用される定義済み形態設定名、ｱｾﾝﾌﾞﾗ ﾍｯﾀﾞ ﾌｧｲﾙ、応用記述ｿｰｽ ｺｰﾄﾞを参照してください。

ﾚｼﾞｽﾀ要約項は各部署形式に対する内部ﾚｼﾞｽﾀ配置を一覧にします。

割り込みﾍﾞｸﾀ要約項は割り込みﾍﾞｸﾀと各部署形式に対する差分ｱﾄﾞﾚｽを一覧にします。

1.2. 資料

開発ﾂｰﾙ、応用記述、ﾃﾞｰﾀｼｰﾄの包括的な1式はhttp://www.atmel.com/avrからのﾀﾞｳﾝﾛｰﾄﾞで利用できます。

1.3. 推奨読物

- XMEGA E ﾃﾞﾊﾞｲｽ ﾃﾞｰﾀｼｰﾄ
- AVR XMEGA応用記述

本手引書は一般的な部署と周辺機能記述を含みます。AVR XMEGA Eﾃﾞﾊﾞｲｽのﾃﾞｰﾄｼｰﾄはﾃﾞﾊﾞｲｽ固有情報を含みます。XMEGA応用記述とAtmelｿﾌﾄｳｪｱ枠組み(ASF)はｺｰﾄﾞ例を含み、部署と周辺機能を適用する使い方を示します。

新規の使用者は「**AVR1000 - Atmel XMEGAに対してCｺｰﾄﾞを書く前に**」応用記述を読むことが推奨されます。

2. 概要

AVR XMEGA EはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。単一ｸﾛｯｸ周期で実行する強力な命令によって、XMEGA Eﾃﾞﾊﾞｲｽはｼｽﾃﾑ設計者に対して電力消費対処理速度の最適化を可能にする、MHz当たり100万命令(MIPS:Million Instructions Per Second)に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業ﾚｼﾞｽﾀを豊富な命令一式に結合します。32個全てのﾚｼﾞｽﾀが算術論理演算器(ALU)へ直接接続され、単一命令でのｱｸｾｽを2つの独立したﾚｼﾞｽﾀに許し、単一ｸﾛｯｸ周期で実行されます。この構造はより大きなｺｰﾄﾞ効率と同時に、伝統的な単一累積器やCISCに基くﾏｲｸﾛ ｺﾝﾄﾛｰﾗよりも何倍も速い単位時間処理能力達成に帰着します。

XMEGA Eﾃﾞﾊﾞｲｽは次の機能、実装書き込み可能なﾌﾗｯｼｭ ﾒﾓﾘ、内部のEEPROMとSRAM、4ﾁｬﾈﾙの強化型DMA制御器(EDMA)、非同期事象支援を持つ8ﾁｬﾈﾙの事象ｼｽﾃﾑ、設定可能な多段割り込み制御器、最大26本の汎用入出力線、ﾃﾞｼﾞﾀﾙ補正を持つ16ﾋﾞｯﾄ実時間計数器(RTC)、比較とPWMの動作形態付きの3つまでの柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ、2つまでのUSART、I^2CとSMBus適合の1つの2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)、1つの直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)、ﾀｲﾏ/ｶｳﾝﾀと論理回路機能を持つ1つのXMEGA注文論理回路(XCL)、CRC部署、設定可能な利得、変位(ｵﾌｾｯﾄ)と利得の補正、平均、過採取、間引きを持つ1つの16ﾁｬﾈﾙ12ﾋﾞｯﾄA/D変換器(ADC)、1つの2ﾁｬﾈﾙ12ﾋﾞｯﾄD/A変換器(DAC)、窓動作を持つ2つのｱﾅﾛｸﾞ比較器、独立した内部発振器を持つ設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の高速2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ(PDI)が利用可能です。

Atmel AVR XMEGAﾃﾞﾊﾞｲｽはｿﾌﾄｳｪｱで選択可能な5つの節電動作を持ちます。ｱｲﾄﾞﾙ動作はCPUを停止する一方で、SRAM、EDMA制御器、事象ｼｽﾃﾑ、割り込み制御器、全ての周辺機能に機能継続を許します。ﾊﾟﾜｰﾀﾞｳﾝ動作はSRAMとﾚｼﾞｽﾀの内容を保存しますが、発振器を停止し、次のTWIまたはﾋﾟﾝ変化の割り込み、またはﾘｾｯﾄまで他の全ての機能を禁止します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、ﾃﾞﾊﾞｲｽの残りは休止します。ｽﾀﾝﾊﾞｲ動作では外部ｸﾘｽﾀﾙ用発振器が走行を保つ一方、ﾃﾞﾊﾞｲｽの残りは休止します。これは低電力消費と組み合わせた外部発振器からの非常に速い始動を可能にします。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺ｸﾛｯｸは活動動作とｱｲﾄﾞﾙ動作に於いて任意で停止することができます。低電力内部8MHz発振器は低電力動作形態と組み合わせた非常に速い始動時間を許します。

ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使用して製造されています。ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘはPDIｲﾝﾀｰﾌｪｰｽを通して実装書き換えすることができます。ﾃﾞﾊﾞｲｽ内で走行するﾌﾞｰﾄﾛｰﾀﾞはﾌﾗｯｼｭ ﾒﾓﾘに応用ﾌﾟﾛｸﾞﾗﾑを取得格納するのにどのｲﾝﾀｰ ﾌｪｰｽをも用いることができます。実装自己書き換え可能なﾌﾗｯｼｭと8/16ﾋﾞｯﾄRISC CPUの結合により、Atmel AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。

XMEGA EﾃﾞﾊﾞｲｽはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾌﾟﾛｸﾞﾗﾑ ﾃﾞﾊﾞｯｶﾞ/ｼﾐｭﾚｰﾀ、書き込み器、評価ｷｯﾄを含む、ﾌﾟﾛｸﾞﾗﾑとｼｽﾃﾑ開発ﾂｰﾙの完全な揃えで支援されます。

2.1. 構成図

図2-1. XMEGA E構成図

注: AVCCは以下の入出力とアナログ機能にだけ給電します。
PA0～PA7、AREF、A/D変換器(ADC)、D/A変換器(DAC)、アナログ比較器(AC0:1),電源監視、温度基準、ウォッチドッグ発振器
VCCは他の全ての機能と入出力に給電します。

表2-1.に於いてXMEGA E系に関する機能要約が示され、各副系亜種に対して1つの機能要約列に分けます。各副系は同じ機能の組を持ちますが、異なるﾒﾓﾘ選択を持ち、注文符号とﾒﾓﾘ選択についてはそれらのﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表2-1. XMEGA E機能要約概要

機能	詳細　副系	E5
ﾋﾟﾝ、I/O	合計	32
	設定可能なI/Oﾋﾟﾝ	26
ﾒﾓﾘ	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ (Kﾊﾞｲﾄ)	8～32
	ﾌﾞｰﾄ ﾒﾓﾘ (Kﾊﾞｲﾄ)	2～4
	SRAM (Kﾊﾞｲﾄ)	1～4
	EEPROM (ﾊﾞｲﾄ)	512
	汎用ﾚｼﾞｽﾀ	4
外囲器	TQFP	32A
	QFN/VQFN	32Z
QTouch®	ﾁｬﾈﾙ	56
EDMA制御器	ﾁｬﾈﾙ	4
事象ｼｽﾃﾑ	ﾁｬﾈﾙ	8
	QDEC	1
	回転	1
ｸﾘｽﾀﾙ用発振器	0.4～16MHz XOSC	○
	32.768kHz TOSC	○
内部発振器	校正付き8MHz	○
	校正付き32MHz	○
	128MHz PLL	○
	校正付き32.768kHz	○
	32kHz ULP	○
ﾀｲﾏ/ｶｳﾝﾀ	TC4 - 16ﾋﾞｯﾄ,4CC	4
	TC5 - 16ﾋﾞｯﾄ,2CC	1
	Hi-Res	1
	WeX	1
	FAULT	2
	RTC	1
XMEGA注文論理回路	BTC0 - 8ﾋﾞｯﾄ,1CC	1
	BTC1 - 8ﾋﾞｯﾄ,1CC	1
	LUT,2入力、1出力	2
直列通信	USART	2
	SPI	1
	TWI	1
CRC	CRC-16	○
	CRC-32	○
A/D変換器 (ADC)	ADC部署数	1
	分解能 (ﾋﾞｯﾄ)	12
	過採取追加分解能 (ﾋﾞｯﾄ)	4
	採取速度 (kbps)	300
	ADC当たりの入力ﾁｬﾈﾙ	16
	変換ﾁｬﾈﾙ	1
	変位(ｵﾌｾｯﾄ)/利得補正	16
	平均化(採取数)	1～1024
D/A変換器 (DAC)	DAC部署数	1
	分解能 (ﾋﾞｯﾄ)	12
	採取速度 (kbps)	1000
	DAC当たりの出力ﾁｬﾈﾙ	2
ｱﾅﾛｸﾞ比較器 (AC)	-	2
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ	PDI	○

3. Atmel AVR CPU

3.1. 要点

- 8/16ﾋﾞｯﾄ高性能Atmel AVR RISC CPU
  - 141命令
  - ﾊｰﾄﾞｳｪｱ乗算器
- ALUに直結された32個の8ﾋﾞｯﾄ ﾚｼﾞｽﾀ
- RAM内のｽﾀｯｸ
- I/Oﾒﾓﾘ空間内をｱｸｾｽ可能なｽﾀｯｸ ﾎﾟｲﾝﾀ
- 16Mﾊﾞｲﾄまでのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘと16Mﾊﾞｲﾄのﾃﾞｰﾀ ﾒﾓﾘを直接ｱﾄﾞﾚｽ指定
- 16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀへの真の16/24ﾋﾞｯﾄ入出力
- 8、16、32演算に対する効率的な支援
- ｼｽﾃﾑ重要特性の形態設定変更保護

3.2. 概要

全てのAtmel AVR XMEGAﾃﾞﾊﾞｲｽは8/16ﾋﾞｯﾄAVR CPUを使用しています。CPUの主な機能はｺｰﾄﾞを実行して全ての計算を実行することです。CPUはﾒﾓﾘ入出力、計算実行、周辺制御、そしてﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑの実行が行えます。割り込みの扱いは独立した項、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されます。

3.3. 構造概要

最大性能と並列化のためにAVR CPUはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対して独立したﾒﾓﾘとﾊﾞｽを持つﾊｰﾊﾞｰﾄﾞ構造を使用します。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1つの命令が実行されつつあると同時に、次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから予め取得されます。これは毎ｸﾛｯｸ周期で実行される命令を可能にします。全AVR命令の要約については315頁の「**命令一式要約**」を参照してください。

全AVR命令の詳細については http://www.atmel. com/avr を参照してください。

論理演算部(ALU)はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単独ﾚｼﾞｽﾀ操作もALUで実行できます。演算操作後、操作結果に関する情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

ALUは高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙへ直結されます。32個の8ﾋﾞｯﾄ汎用作業ﾚｼﾞｽﾀの全てはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと即値間での単一ｸﾛｯｸ論理演算操作を許す単一ｸﾛｯｸ周期ｱｸｾｽです。32個のﾚｼﾞｽﾀ内の6つはﾃﾞｰﾀ空間に対して効率的なｱﾄﾞﾚｽ計算を可能とするｱﾄﾞﾚｽ指定用の3つの16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとして使用することできます。これらのｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ内の1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭﾒﾓﾘ内の表を調べるためのｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使用することができます。

ﾒﾓﾘ空間は直線的です。ﾃﾞｰﾀ ﾒﾓﾘ空間とﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間は2つの別なﾒﾓﾘ空間です。

ﾃﾞｰﾀ ﾒﾓﾘ空間はI/Oﾚｼﾞｽﾀ、SRAM、外部RAMに分けられます。加えてEEPROMがﾃﾞｰﾀ ﾒﾓﾘ内にﾒﾓﾘ割り当てされ得ます。

図3-1. AVR CPU構造の構成図

全I/Oの状態と制御のﾚｼﾞｽﾀはﾃﾞｰﾀ ﾒﾓﾘの最下位4Kﾊﾞｲﾄ位置に属します。これはI/Oﾒﾓﾘ空間として参照されます。最下位64位置は直接的、または$0000～$003Fのﾃﾞｰﾀ空間位置としてｱｸｾｽできます。残りは$0040～$1FFFに連なる拡張I/Oﾒﾓﾘ空間です。I/Oﾚｼﾞｽﾀはここで取得(LD/LDS/LDD)と格納(ST/STS/STD)命令を使用してﾃﾞｰﾀ空間位置としてｱｸｾｽされなければなりません。

SRAMはﾃﾞｰﾀを保持します。SRAMからのｺｰﾄﾞ実行は支援されません。AVR構造で支援される5つの異なる位置指定種別を通してこれは容易にｱｸｾｽできます。SRAM先頭ｱﾄﾞﾚｽは$2000です。

$1000～$1FFFのﾃﾞｰﾀ位置はEEPROMのﾒﾓﾘ割り当て用に予約されています。

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは、応用ﾌﾟﾛｸﾞﾗﾑ領域とﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護用の専用施錠ﾋﾞｯﾄを持ちます。応用ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使用されるSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域に属さなければなりません。応用領域は書き込みと読み書きの保護用の独立した施錠ﾋﾞｯﾄを持つ応用表領域を含みます。応用表領域はﾌﾟﾛｸﾞﾗﾑ用ﾒﾓﾘ内での不揮発性ﾃﾞｰﾀ保存格納に使用することができます。

3.4. 算術論理演算器(ALU)

算術論理演算器はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単一ﾚｼﾞｽﾀ操作も実行できます。ALUは32個全ての汎用ﾚｼﾞｽﾀと直結で動作します。単一ｸﾛｯｸ周期で、汎用ﾚｼﾞｽﾀ間または、ﾚｼﾞｽﾀと即値間の演算操作が実行されて結果がﾚｼﾞｽﾀ ﾌｧｲﾙに格納されます。演算または論理操作後、ｽﾃｰﾀｽ ﾚｼﾞｽﾀが操作結果を反映するために更新されます。

ALU操作は、演算、論理、ﾋﾞｯﾄ操作の、3つの主な分野に分けられます。

8ﾋﾞｯﾄと16ﾋﾞｯﾄの両方の演算が支援され、命令一式は効率的な32ﾋﾞｯﾄ演算の実装を許します。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの乗算そして固定小数点形式を支援します。

3.4.1. ﾊｰﾄﾞｳｪｱ乗算器

乗算器は2つの8ﾋﾞｯﾄ数値を16ﾋﾞｯﾄの結果に乗算する能力です。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付きと符号なしの整数乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2CPUｸﾛｯｸ周期かかります。

3.5. ﾌﾟﾛｸﾞﾗﾑの流れ

ﾘｾｯﾄ後、CPUはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の最下位ｱﾄﾞﾚｽ'0'から命令の実行を開始します。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は取得されるべき次の命令の位置を示します。

ﾌﾟﾛｸﾞﾗﾑの流れはｱﾄﾞﾚｽ空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どの命令は16ﾋﾞｯﾄ語形式を用い、一方特別ないくつかは32ﾋﾞｯﾄ形式を用います。

割り込みとｻﾌﾞﾙｰﾁﾝ呼び出しの間、復帰ｱﾄﾞﾚｽのPC(値)がｽﾀｯｸに格納されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAMに配置され、必然的にｽﾀｯｸ容量は総SRAM容量とSRAMの使用法によってのみ制限されます。ﾘｾｯﾄ後、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)は内部SRAMの最上位ｱﾄﾞﾚｽを指し示します。SPはI/Oﾒﾓﾘ空間で読み書きｱｸｾｽ可能で、多数のｽﾀｯｸまたはｽﾀｯｸ領域の容易な実装を許します。ﾃﾞｰﾀ用SRAMはAVR CPUで支援される5つの異なるｱﾄﾞﾚｽ指定形態を通して容易にｱｸｾｽすることができます。

3.6. 命令実行ﾀｲﾐﾝｸﾞ

AVR CPUはCPUｸﾛｯｸ(clk_{CPU})によってｸﾛｯｸ駆動されます。内部ｸﾛｯｸ分周は使用されません。

図3-2.はﾊｰﾊﾞｰﾄﾞ構造と高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙの概念によって可能にされる命令取得と命令実行の並列化を示します。これは高い電力効率と共にMHz当たり1MIPSの性能を得るのに使用される基本的なﾊﾟｲﾌﾟﾗｲﾝの概念です。

図3-3.はﾚｼﾞｽﾀ ﾌｧｲﾙに関する内部ﾀｲﾐﾝｸﾞの概念を示します。単一ｸﾛｯｸ周期で2つのﾚｼﾞｽﾀ ｵﾍﾟﾗﾝﾄﾞを使用するALU操作が実行され、その結果が転送先ﾚｼﾞｽﾀへ書き戻されます。

図3-2. 命令の取得と実行の並列動作

図3-3. 1周期ALU命令

3.7. ステータス レジスタ

ステータス レジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使用できます。ステータス レジスタは315頁の「命令一式要約」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータス レジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータス レジスタはI/Oメモリ空間でアクセスできます。

3.8. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使用されます。一時データの格納にも使用できます。スタック ポインタ(SP)レジスタは常にスタックの先頭(**訳注**:次に使用されるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビット レジスタとして実装されます。データはPUSH命令とPOP命令を使用してスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されています。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/−2されます。128Kバイトを越えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/−3されます。復帰アドレスはRETI命令を使用して割り込みから、またはRET命令を使用してサブルーチン呼び出しから戻る時にスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは−1され、POP命令を使用してスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

3.9. レジスタ ファイル

レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレス レジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

レジスタ ファイルは独立したアドレス空間に配置され、故にレジスタはデータ メモリとしてアクセスできません。

図3-4. AVR CPU 汎用作業レジスタ

3.9.1. X,Y,Z レジスタ

R26～R31レジスタにはそれらの汎用使用に属する付加機能があります。

これらのレジスタはデータ メモリ位置指示用の16ビット アドレス ポインタ形式にできます。これら3つのアドレス レジスタはX,Y,Zレジスタと呼ばれます。Zレジスタはプログラム用フラッシュ メモリ、識票列、ヒューズと施錠ビットに対する読み書きのためのアドレス ポインタとしても使用できます。

図3-5. X,Y,Zレジスタ

下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。様々な位置指示種別で、これらのアドレス レジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式参考書**」をご覧ください)。

3.10. RAMPと間接拡張レジスタ

64Kバイトを越えるプログラム メモリやデータ メモリをアクセスするために、アドレス ポインタは16ビットより多くなければなりません。これはX,Y,またはZレジスタの1つに1つのレジスタを連結することによって行われます。そのレジスタは24ビットのアドレスまたはアドレス ポインタ内の最上位バイト(MSB)を保持します。

これらのレジスタは外部バス インターフェースまたは64Kバイトを越えるプログラムかデータのメモリ空間を持つデバイスでだけ利用できます。これらのデバイスついてはデバイス内のプログラムとデータのメモリ空間全体をアドレス指定するのに必要なビット数だけがレジスタ内に実装されます。

3.10.1. RAMPX,RAMPY,RAMPZ レジスタ

RAMPX,RAMPY,RAMPZレジスタは64Kバイトを越え16Mバイトまでのデータ メモリ空間全体の間接位置指示を可能とするために各々X,Y,Zレジスタと連結されます。

図3-6. RAMPX+X,RAMPY+Y,RAMPZ+Zレジスタの組み合わせ

	23		16	15		8	7		0
Xポインタ	7	RAMPX	0	7	XH	0	7	XL	0
Yポインタ	7	RAMPY	0	7	YH	0	7	YL	0
Zポインタ	7	RAMPZ	0	7	ZH	0	7	ZL	0

プログラム メモリの最初の128Kバイトを越えるプログラム メモリ位置の読み込み(ELPM)と書き込み(SPM)時、RAMPZは24ビット アドレス形式のためにZレジスタと連結されます。LPMはRAMPZ設定によって影響を及ぼされません。

3.10.2. RAMPD レジスタ

このレジスタは64Kバイトを越えるデータ メモリ空間全体の直接位置指示を可能とするためにオペランドと連結されます。RAMPDとオペランドと共に24ビット アドレス形式になるでしょう。

図3-7. RAMPD+kの組み合わせ

	23		16	15		8	7		0
直接位置指示	7	RAMPD	0	15		k			0

3.10.3. EIND レジスタ

EINDはプログラム メモリの最初の128Kバイト(64K語)を越える位置に対して間接の分岐や呼び出しを可能とするためにZポインタと連結されます。

図3-8. EIND+Zレジスタの組み合わせ

	23		16	15		8	7		0
間接位置指示	7	EIND	0	7	ZH	0	7	ZL	0

3.11. 16ビット レジスタのアクセス

AVRのデータ バスは8ビット幅で、故に16ビット レジスタのアクセスは非分断(atomic)操作が必要です。これらのレジスタは2つの読みまたは書き操作を用いてバイト入出力されなければなりません。16ビット レジスタは8ビット バスと16ビット バスを使用する一時レジスタに接続されています。

書き込み操作については上位バイトの前に16ビット レジスタの下位バイトが書かれなければなりません。そして下位バイトは一時レジスタに書かれます。16ビット レジスタの上位バイトが書かれる時に、同じクロック周期で一時レジスタが16ビット レジスタの下位バイトに複写されます。

読み込み操作については上位バイトの前に16ビット レジスタの下位バイトが読まれなければなりません。下位バイト レジスタがCPUによって読まれるとき、下位バイトが読まれるのと同じクロック周期で16ビット レジスタの上位バイトが一時レジスタに複写されます。上位バイトが読まれると、それは一時レジスタから読まれます。

これはレジスタの読み書き時に16ビット レジスタの上位バイトと下位バイトがいつも同時にアクセスされることを保証します。

非分断16ビット読み/書き操作間に割り込みが起動されて同じ16ビット レジスタのアクセスを試みる場合、割り込みは時間手順を不正にし得ます。これを防ぐために、16ビット レジスタの読み書き時に割り込みを禁止できます。

一時レジスタは使用者ソフトウェアから直接読み書きできます。

3.11.1. 24及び32ビット レジスタのアクセス

24と32ビットのレジスタに対する読み書きアクセスは、24ビット レジスタについては2つ、32ビット レジスタについては3つの一時レジスタがあるのを除いて、16ビット レジスタに関して記述されたのと同じ方法で行われます。最下位バイトは書き込みを行う時に先に書かれ、読み込みを行う時に先に読まれなければなりません。

3.12. 形態設定変更保護

ｼｽﾃﾑの重要なI/Oﾚｼﾞｽﾀ設定は予期せぬ変更から保護されます。SPM命令が予期せぬ実行から保護され、LPM命令はﾋｭｰｽﾞと識票列読み込み時に保護されます。これは形態設定変更保護(CCP)ﾚｼﾞｽﾀによって全体的に取り扱われます。保護されたI/Oﾚｼﾞｽﾀまたはﾋﾞｯﾄへの変更や、保護された命令の実行は、CPUがCCPﾚｼﾞｽﾀへ識票を書いた後でだけ可能です。各識票はﾚｼﾞｽﾀ説明で記述されます。

I/Oﾚｼﾞｽﾀ保護に対する1つとLPM/SPM命令保護に対する2つの動作種別があります。

3.12.1. 保護されたI/Oﾚｼﾞｽﾀへの書き込み操作手順

1. 応用ｺｰﾄﾞはCCPﾚｼﾞｽﾀに保護されたI/Oﾚｼﾞｽﾀの変更許可用識票を書きます。
2. 4命令周期内に応用ｺｰﾄﾞは保護されたﾚｼﾞｽﾀへ適切なﾃﾞｰﾀを書かなければなりません。殆どの保護されたﾚｼﾞｽﾀは書き込み許可/変更許可のﾋﾞｯﾄも含みます。このﾋﾞｯﾄはﾃﾞｰﾀが書かれるのと同じ操作内で1を書かれなければなりません。保護された変更はCPUがI/Oﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾒﾓﾘに書き込み操作を実行する場合、またはSPM,LPM.SLEEP命令が実行される場合、直ちに禁止されます。

3.12.2. 保護されたLPM/SPMの実行手順

1. 応用ｺｰﾄﾞはCCPﾚｼﾞｽﾀに保護されたLPM/SPMの実行用識票を書きます。
2. 4命令周期内に応用ｺｰﾄﾞは適切な命令を実行しなければなりません。保護された変更はCPUがﾃﾞｰﾀ ﾒﾓﾘに書き込み操作を実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは形態設定変更許可期間中について無視されるでしょう。CCP期間の間の(遮蔽不可割り込みを含む)どんな割り込み要求も通常様に対応する割り込み要求ﾌﾗｸﾞを設定(1)し、そしてその要求は保留を維持されるでしょう。CCP期間完了後に何れかの保留割り込みがそれらのﾚﾍﾞﾙと優先権に従って実行されます。EDMA要求が未だ取り扱われていますが、保護された形態設定変更許可期間に影響しません。EDMAによって書かれた識票は無視されます。

3.13. 施錠ﾋｭｰｽﾞ

ｼｽﾃﾑで重要ないくつかの機能について関連するI/O制御ﾚｼﾞｽﾀ内の全ての変更を禁止するためのﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)にできます。これが行われた場合、使用者ｿﾌﾄｳｪｱからﾚｼﾞｽﾀを変更することが不可能になり、このﾋｭｰｽﾞは外部書き込み器を使用する書き換えだけができます。これの詳細はこの機能が利用可能な部署のﾃﾞｰﾀｰｼｰﾄで記述されます。

3.14. ﾚｼﾞｽﾀ説明

3.14.1. CCP – 形態設定変更保護ﾚｼﾞｽﾀ (Configuration Change Protection register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CCP7~0								CCP
Read/Write	W	W	W	W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCP7~0 : 形態設定変更保護** (Configuration Change Protection bits)

CCPﾚｼﾞｽﾀは保護されたI/Oﾚｼﾞｽﾀの変更または保護された命令の実行を許可するための正しい識票を最大4CPU命令周期内に書かれなければなりません。これらの周期の間は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらのﾚﾍﾞﾙと優先権に従って実行されるでしょう。保護されたI/Oﾚｼﾞｽﾀの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。同様に保護されたLPM/SPMの識票が書かれると、CCP1は保護機能が許可されている限り1として読めます。CCP7～2は常に0として読めます。**表3-1.**は各種別用の識票を示します。

表3-1. CPU変更保護種別

識票	形態群種別	内容
$9D	SPM	保護されたLPM/SPM
$D8	IOREG	保護されたI/Oﾚｼﾞｽﾀ

3.14.2. RAMPD – 直接位置指示拡張ﾚｼﾞｽﾀ (Extended Direct Addressing register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の直接位置指示(LDS/STS)のために、このﾚｼﾞｽﾀはｵﾍﾟﾗﾝﾄﾞと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	RAMPD7~0								RAMPD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPD7~0 : 直接位置指示拡張ﾋﾞｯﾄ** (Extended Direct Addressing bits)

これらのﾋﾞｯﾄはRAMPDと16ﾋﾞｯﾄ ｵﾍﾟﾗﾝﾄﾞによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.3. RAMPX – Xﾎﾟｲﾝﾀ拡張ﾚｼﾞｽﾀ (Extended X-Pointer register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このﾚｼﾞｽﾀはXﾚｼﾞｽﾀと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	RAMPX7~0								RAMPX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPX7~0 : Xﾎﾟｲﾝﾀ拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended X-pointer Address bits)

これらのﾋﾞｯﾄはRAMPXと16ﾋﾞｯﾄ Xﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.4. RAMPY – Yﾎﾟｲﾝﾀ拡張ﾚｼﾞｽﾀ (Extended Y-Pointer register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このﾚｼﾞｽﾀはYﾚｼﾞｽﾀと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	RAMPY7~0								RAMPY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPY7~0 : Yﾎﾟｲﾝﾀ拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended Y-pointer Address bits)

これらのﾋﾞｯﾄはRAMPYと16ﾋﾞｯﾄ Yﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.5. RAMPZ – Zポインタ拡張レジスタ (Extended Z-Pointer register)

64Kバイトを越えるデータ メモリを持つデバイスでデータ メモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと連結されます。先頭の64Kバイトを越えるプログラム メモリ位置を読む(ELPM)時と、先頭の128Kバイトを越えるプログラム メモリ位置に書く(SPM)時に、RAMPZはZレジスタと連結されます。

外部メモリを含むデータ メモリが64Kバイト以下と、デバイス内のプログラム メモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+$0B	RAMPZ7~0								RAMPZ
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – RAMPZ7~0 : Zポインタ拡張アドレス ビット** (Extended Z-pointer Address bits)

これらのビットはRAMPZと16ビット Zレジスタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータとプログラムのメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.6. EIND – 間接拡張レジスタ (Extended Indirect register)

128Kバイトを越えるプログラム メモリを持つデバイスでプログラム メモリ空間全体の拡張間接の分岐(EIJMP)と呼び出し(EICALL)のために、このレジスタはZレジスタと連結されます。128Kバイト以下のアドレスへの分岐に対してEICALL/EIJMPが使用される場合、このレジスタが使用されるべきで、ICALLとIJMP命令が使用される場合にそれは使用されません。128Kバイト以下のアドレスへの分岐と呼び出しに関しては、このレジスタが使用されません。デバイス内のプログラム メモリが128Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+$0C	EIND7~0								EIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – EIND7~0 : 間接拡張アドレス ビット** (Extended Indirect Address bits)

これらのビットはEINDと16ビット Zレジスタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なプログラム メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.7. SPL – スタック ポインタ レジスタ下位 (Stack Pointer register Low)

SPHとSPLレジスタ対は16ビット値SPを表します。SPはスタックの先頭を指示するスタック ポインタを保持します。リセット後、スタック ポインタは内部SRAM最高アドレスを指示します。ソフトウェアからスタック ポインタを更新する時の不正(化け)を防ぐため、SPLへの書き込みは次の4命令間、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

各デバイスについては外部メモリを含み64Kバイトまでで利用可能なデータ メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

ビット	7	6	5	4	3	2	1	0	
+$0D	SP7~0								SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● **ビット7~0 – SP7~0 : スタック ポインタ下位ビット** (Stack Pointer Low Byte)

これらのビットは16ビット スタック ポインタ(SP)のLSB(最下位バイト)を保持します。

3.14.8. SPH – スタック ポインタ レジスタ上位 (Stack Pointer register High)

ビット	7	6	5	4	3	2	1	0	
+$0E	SP15~8								SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● **ビット7~0 – SP15~8 : スタック ポインタ上位ビット** (Stack Pointer High Byte)

これらのビットは16ビット スタック ポインタ(SP)のMSB(最上位バイト)を保持します。

3.14.9. SREG – ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status register)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は最も直前に実行された演算または論理命令の結果についての情報を含みます。このﾚｼﾞｽﾀ内のﾋﾞｯﾄについての詳細な情報とそれらが各種命令によってどう影響をオヨ簿あれるかについては315頁の「**命令一式要約**」をご覧ください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – I : 全体割り込み許可** (Global Interrupt Enable)

全体割り込み許可ﾋﾞｯﾄは許可されるべき割り込みに関して設定(1)されなければなりません。全体割り込み許可ﾋﾞｯﾄが解除(0)された場合、個別割り込み許可設定に拘らず、どの割り込みも許可されません。このﾋﾞｯﾄは割り込みが起きた後でﾊｰﾄﾞｳｪｱによって解除(0)されません。このﾋﾞｯﾄは315頁の「**命令一式要約**」で記述されるようにSEIとCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)によって設定(1)と解除(0)ができます。I/Oﾚｼﾞｽﾀを通したIﾋﾞｯﾄの変更はそのｱｸｾｽでの1周期の待ち状態に帰着します。

● **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ複写変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、ﾋﾞｯﾄ取得(BLD:Bit LoaD)とﾋﾞｯﾄ格納(BST:Bit STore)は操作するﾋﾞｯﾄの転送元または転送先として、このﾋﾞｯﾄを使用します。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄがBST命令によってこのﾋﾞｯﾄに複写でき、このﾋﾞｯﾄはBLD命令によってﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

● **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。

● **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞ間の排他的論理和です。

● **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。

● **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。

● **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。

● **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。

3.15. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	SREG	I	T	H	S	V	N	Z	C	13
+$0E	SPH	SP15~8								13
+$0D	SPL	SP7~0								12
+$0C	EIND	EIND7~0								12
+$0B	RAMPZ	RAMPZ7~0								12
+$0A	RAMPY	RAMPY7~0								12
+$09	RAMPX	RAMPX7~0								11
+$08	RAMPD	RAMPD7~0								11
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CCP	CCP7~0								11
+$03	予約	–	–	–	–	–	–	–	–	
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	予約	–	–	–	–	–	–	–	–	

4. メモリ

4.1. 要点

- フラッシュ プログラム メモリ
  - 1つの直線的なアドレス空間
  - 実装書き換え可能(In-System Programmable)
  - 自己プログラミングとブートローダ支援
  - 応用コード用応用領域
  - 応用コードまたはデータ記憶用応用表領域
  - 応用コードまたはブートローダ コード用ブート領域
  - 全領域に対する独立した施錠ビット
  - 選択可能なプログラム用フラッシュ メモリ領域の組み込み高速CRC検査
- データ メモリ
  - 1つの直線的なアドレス空間
  - CPUからの単一周期アクセス
  - SRAM
  - EEPROM
    - バイトとページでのアクセスが可能
    - 直接の取得と格納に対するメモリ配置割り当て
  - I/Oメモリ
    - 全ての部署と周辺機能に対する形態設定と状態のレジスタ
    - 全体変数またはフラグ用のビット アクセス可能な4個の汎用I/Oレジスタ
  - バス調停
    - CPU、EDMA制御器、他のバス所有者間の優先順を扱う決定法
  - SRAM、EPROM、I/Oメモリのアクセスに関する独立バス
    - CPUとEDMA制御器に対する同時アクセス
- 工場書き込みデータ用製品識票列メモリ
  - 各マイクロ コントローラ型式に対するID
  - 各デバイスに対する通番
  - 工場較正された周辺機能用の較正バイト
- 使用者識票列
  - 1つのフラッシュ ページ容量
  - ソフトウェアから読み書き可能
  - チップ消去後の内容保持

4.2. 概要

本項は各種メモリ領域を記述します。AVRの構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能なコードはプログラム メモリにだけ属せ、一方データはプログラム メモリとデータ メモリの両方に格納できます。データ メモリは内部SRAMと、不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り替えを必要としません。不揮発性メモリ(NV M:Non-Volatile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠できます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域はヒューズ ビットを含みます。これらは重要なシステム機能の形態設定に使用され、外部書き込み器によってだけ書き込むことができます。

4.3. フラッシュ プログラム メモリ

全てのXMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各位置は16ビット幅です。図4-1.で示されるようにXMEGAのフラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されています。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使用されるSPM(Store Program Memory)命令はブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶に使用できます。

図4-1. フラッシュ メモリ領域

4.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用ｺｰﾄﾞを格納するのに使用されるﾌﾗｯｼｭの領域です。応用領域に対する保護段階はこの領域用のﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなﾌﾞｰﾄﾛｰﾀﾞ ｺｰﾄﾞも格納できません。

4.3.2. 応用表領域 (Application Table Section)

応用表領域はﾃﾞｰﾀの格納に使用できるﾌﾗｯｼｭの応用領域の一部です。容量はﾌﾞｰﾄﾛｰﾀﾞ領域と同じです。応用表に対する保護段階はこの領域用のﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘの安全なﾊﾟﾗﾒｰﾀ記憶を可能にします。この領域がﾃﾞｰﾀ用に使用されないなら、ここに応用ｺｰﾄﾞが存在できます。

4.3.3. ﾌﾞｰﾄﾛｰﾀﾞ領域 (Boot Loader Section)

応用領域が応用ｺｰﾄﾞの格納に使用される一方、SPM命令がこの領域から実行する時にﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾌﾞｰﾄﾛｰﾀﾞ領域に配置されなければなりません。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時、CPUは停止されﾌﾗｯｼｭ操作の完了を待ちます。SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域それ自身を含むﾌﾗｯｼｭ全体をｱｸｾｽできます。ﾌﾞｰﾄﾛｰﾀﾞ領域に対する保護段階はﾌﾞｰﾄﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄB)によって選択できます。この領域がﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱ用に使用されないなら、ここに応用ｺｰﾄﾞを格納することができます。

4.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みﾃﾞｰﾀ用の独立したﾒﾓﾘ領域です。これは発振器やｱﾅﾛｸﾞ部のような機能用の構成ﾃﾞｰﾀを含みます。いくつかの校正値はﾘｾｯﾄ中に対応する部署または周辺機能部へ自動的に格納されます。その他の値はｿﾌﾄｳｪｱで識票列から取得されて対応する周辺機能ﾚｼﾞｽﾀに書かれなければなりません。温度、基準電圧などのような校正条件の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

製品識票列は各ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ型式を識別するIDと製造された各ﾃﾞﾊﾞｲｽに対する通番も含みます。通番はそのﾃﾞﾊﾞｲｽに対する製品ﾛｯﾄ番号、ｳｪﾊｰ番号、ｳｪﾊｰ座標から成ります。

製品識票列は消去や書き込みができませんが、応用ｿﾌﾄｳｪｱと外部書き込み器から読むことができます。

製品識票列のｱｸｾｽについては303頁の「**NVMﾌﾗｯｼｭ指令**」を参照してください(**訳注**:共通性から本行追加)。

4.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ｿﾌﾄｳｪｱと外部の書き込み器から完全にｱｸｾｽ(読み書き)可能な独立したﾒﾓﾘ領域です。これは1つのﾌﾗｯｼｭﾍﾟｰｼﾞ容量で、校正ﾃﾞｰﾀ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者ﾊﾟﾗﾒｰﾀ記憶を予定されています。この領域はﾌﾗｯｼｭ ﾒﾓﾘを消去するﾁｯﾌﾟ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ作業中のﾊﾟﾗﾒｰﾀ記憶を保証します。

4.4. ﾋｭｰｽﾞと施錠(Lock)ﾋﾞｯﾄ

ﾋｭｰｽﾞは重要なｼｽﾃﾑ機能を形態設定するのに使用され、外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽから書くことができます。応用ｿﾌﾄｳｪｱはﾋｭｰｽﾞを読むことができます。ﾋｭｰｽﾞは低電圧検出器(BOD:Brown-out Detector)やｳｫｯﾁﾄﾞｯｸﾞのような始動形態設定やﾘｾｯﾄ元の形態設定に使用されます。

施錠ﾋﾞｯﾄは各種ﾌﾗｯｼｭ領域の保護段階設定に使用されます(換言すると、読み(と/または)書きのｱｸｾｽが防止されるべき場合に)。施錠ﾋﾞｯﾄは外部書き込み器と応用ｿﾌﾄｪｱから書けますが、より厳しい保護へだけです。ﾁｯﾌﾟ消去が施錠ﾋﾞｯﾄを消去する唯一の方法です。例えﾁｯﾌﾟ消去中でもﾌﾗｯｼｭ内容が保護されることを保証するため、施錠ﾋﾞｯﾄはﾌﾗｯｼｭ ﾒﾓﾘの残りの部分が(完全に)消去された後に消去されます。

非ﾌﾟﾛｸﾞﾗﾑにされたﾋｭｰｽﾞと施錠のﾋﾞｯﾄは値1を持ち、一方ﾌﾟﾛｸﾞﾗﾑにされたﾋｭｰｽﾞと施錠のﾋﾞｯﾄは値0を持ちます。

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄの両方はﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘのように書き換え可能です。

4.5. ﾃﾞｰﾀ ﾒﾓﾘ

ﾃﾞｰﾀ ﾒﾓﾘはI/Oﾒﾓﾘ、内部SRAM、EEPROM、利用可能ならば外部ﾒﾓﾘを含みます。**図4-2.**で示されるように、ﾃﾞｰﾀ ﾒﾓﾘは1つの続いたﾒﾓﾘ領域として構成されます。

I/Oﾒﾓﾘ、EEPROM、SRAMは全てのXMEGAﾃﾞﾊﾞｲｽに関して常に同じ開始ｱﾄﾞﾚｽを持ちます。

図4-2. ﾃﾞｰﾀ ﾒﾓﾘ配置

4.6. 内部SRAM

内部SRAMは常に16進ｱﾄﾞﾚｽ位置$2000で始まります。SRAMは取得(LD/LDD/LDS)と格納(ST/STD/STS)命令を使用することでCPUによってｱｸｾｽされます。

4.7. EEPROM

全てのXMEGAﾃﾞﾊﾞｲｽは不揮発性ﾃﾞｰﾀ記憶用にEEPROMを持ちます。それは独立したﾃﾞｰﾀ空間でｱﾄﾞﾚｽ指定でき通常のﾃﾞｰﾀ空間でｱｸｾｽされます。EEPROMはﾊﾞｲﾄとﾍﾟｰｼﾞの両ｱｸｾｽを支援します。EEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許す取得と格納の命令を使用してｱｸｾｽできます。EEPROMは常に16進ｱﾄﾞﾚｽ$1000で始まります。

4.8. I/Oﾒﾓﾘ

CPUを含む部署と周辺機能に関する状態と形態設定のﾚｼﾞｽﾀはI/Oﾒﾓﾘ位置を通してｱﾄﾞﾚｽ指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってｱｸｾｽでき、そしてそれはﾚｼﾞｽﾀ ﾌｧｲﾙ内の32個のﾚｼﾞｽﾀとI/Oﾒﾓﾘ間でﾃﾞｰﾀを転送するのに使用されます。IN命令とOUT命令は$0000～$003F範囲のI/Oﾒﾓﾘ位置を直接ｱﾄﾞﾚｽ指定できます。ｱﾄﾞﾚｽ範囲$0000～$001Fでは個別ﾋﾞｯﾄの操作と検査の命令が利用できます。

4.8.1. 汎用I/Oﾚｼﾞｽﾀ

最下位4個のI/Oﾒﾓﾘ ｱﾄﾞﾚｽは汎用I/Oﾚｼﾞｽﾀ用に予約されています。これらのﾚｼﾞｽﾀは、それらがSBI,CBI, SBIS,SBIC命令を使用して直接ﾋﾞｯﾄ ｱｸｾｽが可能なため、全体変数とﾌﾗｸﾞの格納に使用することができます。

4.9. ﾃﾞｰﾀ ﾒﾓﾘとﾊﾞｽ調停

ﾃﾞｰﾀ ﾒﾓﾘが3つの独立したﾒﾓﾘの組として構成されるため、異なるﾊﾞｽ主権部(CPU、EDMA制御器読み、EDMA制御器書き、など)が同時に異なるﾒﾓﾘをｱｸｾｽし得ます。図4-3.をご覧ください。

図4-3. ﾊﾞｽ ｱｸｾｽ

4.9.1. ﾊﾞｽ優先権

多数の主権部が同じﾊﾞｽへのｱｸｾｽを要求するとき、ﾊﾞｽ優先権は以下の順です(高位から低位の優先順)。

1. ｱｸｾｽ実行中のﾊﾞｽ主権部
2. 集中転送実行中のﾊﾞｽ主権部
   - 同じﾃﾞｰﾀ ﾒﾓﾘ領域ｱｸｾｽ時のEDMA制御器読み込みとEDMA制御器書き込みの切り換え
3. 集中転送ｱｸｾｽを要求するﾊﾞｽ主権部
   - CPU優先
4. ﾊﾞｽ ｱｸｾｽを要求するﾊﾞｽ主権部
   - CPU優先

4.10. ﾒﾓﾘ ﾀｲﾐﾝｸﾞ

I/Oﾒﾓﾘへの読み書きｱｸｾｽは1CPUｸﾛｯｸ周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(EDMA)集中読み込みについては新しいﾃﾞｰﾀが毎周期で利用可能です。EEPROMﾍﾟｰｼﾞ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいﾃﾞｰﾀが毎2周期で利用可能です。命令と命令ﾀｲﾐﾝｸﾞのより多くの詳細については命令要約を参照してください。

4.11. ﾃﾞﾊﾞｲｽIDと改訂

各々のﾃﾞﾊﾞｲｽは3ﾊﾞｲﾄのﾃﾞﾊﾞｲｽIDを持ちます。このIDはﾃﾞﾊﾞｲｽの製造業者としてのAtmelとﾃﾞﾊﾞｲｽ型式を明らかにします。独立した改訂版ID(REVID)ﾚｼﾞｽﾀはﾃﾞﾊﾞｲｽの改訂版番号を含みます。

4.12. I/Oﾒﾓﾘ保護

ﾃﾞﾊﾞｲｽ内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、ｸﾛｯｸ系、事象ｼｽﾃﾑ、波形拡張に関連するI/Oﾚｼﾞｽﾀの施錠が可能です。施錠が許可されている限り、全ての関連I/Oﾚｼﾞｽﾀが施錠され、それらは応用ｿﾌﾄｳｪｱから書くことができません。それら自身の施錠ﾚｼﾞｽﾀは形態設定変更保護機構によって保護されます。詳細については10頁の「**形態設定変更保護**」を参照してください。

4.13. ﾚｼﾞｽﾀ説明 – 不揮発性ﾒﾓﾘ(NVM)制御器

4.13.1. ADDR0 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ0 (Address register 0)

ADDR2,ADDR1,ADDR0ﾚｼﾞｽﾀは24ﾋﾞｯﾄ値ADDRを表します。これは全てのNVM領域の読み、書き、CRC操作のｱﾄﾞﾚｽ指定に使用されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ADDR7~0								ADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR7~0 : ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ** (Address byte 0)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ下位ﾊﾞｲﾄを与えます。

4.13.2. ADDR1 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ1 (Address register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	ADDR15~8								ADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR15~8 : ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ** (Address byte 1)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ上位ﾊﾞｲﾄを与えます。

4.13.3. ADDR2 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ2 (Address register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	ADDR23~16								ADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR23~16 : ｱﾄﾞﾚｽ拡張ﾊﾞｲﾄ** (Address byte 2)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ拡張ﾊﾞｲﾄを与えます。

4.13.4. DATA0 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ0 (Data register 0)

DATA2,DATA1,DATA0ﾚｼﾞｽﾀは24ﾋﾞｯﾄ値DATAを表します。これはNVM読み、書き、CRCｱｸｾｽ中のﾃﾞｰﾀを保持します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	DATA7~0								DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA7~0 : ﾃﾞｰﾀ下位ﾊﾞｲﾄ** (Data byte 0)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第1ﾊﾞｲﾄを与えます。

4.13.5. DATA1 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ1 (Data register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	DATA15~8								DATA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA15~8 : ﾃﾞｰﾀ上位ﾊﾞｲﾄ** (Data byte 1)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第2ﾊﾞｲﾄを与えます。

4.13.6. DATA2 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ2 (Data register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	DATA23~16								DATA2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA23~16 : ﾃﾞｰﾀ第3ﾊﾞｲﾄ** (Data byte 2)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第3ﾊﾞｲﾄを与えます。

4.13.7. CMD – 指令ﾚｼﾞｽﾀ (Command register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	–	CMD6~0							CMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~0 – CMD6~0 : 指令** (Command)

これらのﾋﾞｯﾄはﾌﾗｯｼｭに対するﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令を定義します。ﾋﾞｯﾄ6は外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令に対してだけ設定(1)されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令については299頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」をご覧ください。

4.13.8. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	–	–	–	–	–	–	–	CMDEX	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W(S)	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – CMDEX : 指令実行** (Command Execute)

このﾋﾞｯﾄを設定(1)することが不揮発性ﾒﾓﾘ指令(CMD)ﾚｼﾞｽﾀ内の指令を実行します。このﾋﾞｯﾄは形態設定変更保護(CCP)機構によって保護されています。CCPの詳細については10頁の「**形態設定変更保護**」を参照してください。

4.13.9. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	–	–	–	–	–	–	EPRM	SPMLOCK	CTRLB
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – EPRM : EEPROM電力削減動作** (EEPROM Power Reduction Mode)

このﾋﾞｯﾄを設定(1)することがEEPROMに対する節電を許可します。その後、EEPROMは休止形態動作移行に等しい規則でOFFにされます。ｱｸｾｽが必要とされる場合、ﾊﾞｽ主権部はｱｲﾄﾞﾙ休止形態動作からの起動時間と等しい時間停止されます。

● **ﾋﾞｯﾄ0 – SPMLOCK : SPM施錠** (SPM Locked)

このﾋﾞｯﾄは更なる自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを防止するために1を書くことができます。このﾋﾞｯﾄはﾘｾｯﾄで解除(0)され、ｿﾌﾄｳｪｱから解除(0)することはできません。このﾋﾞｯﾄは形態設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「**形態設定変更保護**」を参照してください。

4.13.10. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	–	–	–	–	SPMLVL1,0		EELVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – SPMLVL1,0 : SPM操作可割り込みﾚﾍﾞﾙ** (SPM Ready Interrupt Level)

これらのﾋﾞｯﾄは割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。これは状態(STATUS)ﾚｼﾞｽﾀの不揮発性ﾒﾓﾘ多忙(NVMBUSY)ﾌﾗｸﾞが0に設定される時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM命令が起動される前にはNVMBUSYﾌﾗｸﾞが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ﾙｰﾁﾝで禁止されるべきです。

● **ﾋﾞｯﾄ1,0 – EELVL1,0 : EEPROM操作可割り込みﾚﾍﾞﾙ** (EEPROM Ready Interrupt Level)

これらのﾋﾞｯﾄはEEPROM操作可割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。これは状態(STATUS)ﾚｼﾞｽﾀの不揮発性ﾒﾓﾘ多忙(NVMBUSY)ﾌﾗｸﾞが0に設定される時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM命令が起動される前にはNVMBUSYﾌﾗｸﾞが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ﾙｰﾁﾝで禁止されるべきです。

4.13.11. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – NVMBUSY : 不揮発性ﾒﾓﾘ多忙ﾌﾗｸﾞ** (Non-Volatile Memory Busy)

NVMBUSYﾌﾗｸﾞはNVM(ﾌﾗｯｼｭ、EEPROM、施錠ﾋﾞｯﾄ)がﾌﾟﾛｸﾞﾗﾐﾝｸﾞされつつあるかどうかを示します。一旦操作が開始されると、このﾌﾗｸﾞが設定(1)され、操作が完了されるまで設定(1)に留まります。NVMBUSYﾌﾗｸﾞは操作完了時に、自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – FBUSY : ﾌﾗｯｼｭ多忙ﾌﾗｸﾞ** (Flash Busy)

FBUSYﾌﾗｸﾞはﾌﾗｯｼｭのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作が始められたかどうかを示します。一旦操作が開始されると、FBUSYﾌﾗｸﾞが設定(1)され、応用領域がｱｸｾｽできなくなります。FBUSYﾌﾗｸﾞは操作完了時、自動的に解除(0)されます。

● **ﾋﾞｯﾄ5~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来の使用に予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – EELOAD : EEPROMﾍﾟｰｼﾞ緩衝部設定中ﾌﾗｸﾞ** (EEPROM Page Buffer Active Loading)

EELOADﾌﾗｸﾞはEEPROMﾍﾟｰｼﾞ一時緩衝部が1ﾊﾞｲﾄ以上格納されていることを示します。これはEEPROMﾍﾟｰｼﾞ書き込みまたはﾍﾟｰｼﾞ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については、244頁の「**ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順**」をご覧ください。

● **ﾋﾞｯﾄ0 – FLOAD : ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部設定中ﾌﾗｸﾞ** (Flash Page Buffer Active Loading)

FLOADﾌﾗｸﾞはﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部が1ﾊﾞｲﾄ以上格納されていることを示します。これは応用ﾍﾟｰｼﾞ書き込み、ﾌﾞｰﾄ ﾍﾟｰｼﾞ書き込み、またはﾍﾟｰｼﾞ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については301頁の「**ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順**」をご覧ください。

4.13.12. LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ (Lock Bit register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	

このﾚｼﾞｽﾀはI/Oﾒﾓﾘ空間内へのNVM施錠ﾋﾞｯﾄ割り当てで、応用ｿﾌﾄｳｪｱからの直接読み込みｱｸｾｽを許します。記述については24頁の「**LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ**」を参照してください。

4.14. ﾚｼﾞｽﾀ説明 – ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ

4.14.1. FUSEBYTE1 – ﾋｭｰｽﾞ ﾊﾞｲﾄ1 (Fuse Byte 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	WDWPER3~0				WDPER3~0				FUSEBYTE1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – WDWPER3~0 : ｳｫｯﾁﾄﾞｯｸﾞ窓周期** (Watchdog Window Timeout Period)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄは窓動作でのｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏに対する窓閉鎖初期値を設定するのに使用されます。ﾘｾｯﾄの間にこれらのﾋｭｰｽﾞ ﾋﾞｯﾄが自動的にｳｫｯﾁﾄﾞｯｸﾞ窓動作制御ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ窓動作周期(WPER)ﾋﾞｯﾄに書かれます。詳細については92頁の「**WINCTRL – 窓動作制御ﾚｼﾞｽﾀ**」を参照してください。

● **ﾋﾞｯﾄ3~0 – WDPER3~0 : ｳｫｯﾁﾄﾞｯｸﾞ周期** (Watchdog Timeout Period)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ周期初期値を設定するために使用されます。ﾘｾｯﾄの間にこれらのﾋｭｰｽﾞ ﾋﾞｯﾄが自動的にｳｫｯﾁﾄﾞｯｸﾞ制御ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ周期(PER)ﾋﾞｯﾄに書かれます。詳細については92頁の「**CTRL – 制御ﾚｼﾞｽﾀ**」を参照してください。

4.14.2. FUSEBYTE2 – ﾋｭｰｽﾞ ﾊﾞｲﾄ2 (Fuse Byte 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	BOOTRST	–	–	–	–	BODPD1,0		FUSEBYTE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● **ﾋﾞｯﾄ6 – BOOTRST : ﾌﾞｰﾄﾛｰﾀﾞ領域ﾘｾｯﾄ ﾍﾞｸﾀ** (Boot Loader Section Reset Vector)

このﾋｭｰｽﾞはﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽを指示するようにﾌﾟﾛｸﾞﾗﾑ(0)にできます。ﾃﾞﾊﾞｲｽはﾘｾｯﾄ後にﾌﾞｰﾄﾛｰﾀﾞ ﾌﾗｯｼｭ領域から実行を開始します。

表4-1. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ

BOOTRST	ﾘｾｯﾄ ﾍﾞｸﾀ(ｱﾄﾞﾚｽ)
0	ﾌﾞｰﾄﾛｰﾀﾞ ﾘｾｯﾄ
1	応用ﾘｾｯﾄ($000000)

● **ﾋﾞｯﾄ5~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● **ﾋﾞｯﾄ1,0 – BODPD1,0 : 低電力保持動作でのBOD動作** (BOD operation in power-down mode)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはﾃﾞﾊﾞｲｽがｱｲﾄﾞﾙ動作を除く全ての休止形態動作でのBOD動作種別を設定します。

BODとBOD動作種別の詳細については87頁の「**低電圧検出(Brown-out Detection)**」を参照してください。

表4-2. 休止形態動作でのBOD動作種別

BODPD1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

4.14.3. FUSEBYTE4 – ﾋｭｰｽﾞ ﾊﾞｲﾄ4 (Fuse Byte 4)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	RSTDISBL	STARTUPTIME1,0		WDLOCK	–	FUSEBYTE4
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約さてれいます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● **ﾋﾞｯﾄ4 – RSTDISBL : 外部ﾘｾｯﾄ禁止** (External Reset Disable)

このﾋｭｰｽﾞは外部ﾘｾｯﾄ ﾋﾟﾝ機能を禁止するためにﾌﾟﾛｸﾞﾗﾑ(0)にできます。これが行われると、このﾋﾟﾝのLow引き込みは外部ﾘｾｯﾄを引き起こしません。このﾋﾞｯﾄが変更された後でそれが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

● ﾋﾞｯﾄ3,2 – STARTUPTIME1,0 : 始動時間 (Start-up time)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄは全てのﾘｾｯﾄ元が開放された時から内部ﾘｾｯﾄが遅延計数器から開放されるまでの設定可能な時間間隔を設定するのに使用できます。これらのﾋﾞｯﾄが変更された後でそれらが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

この遅延は超低電力(ULP)発振器の1kHz出力で計時されます。詳細については86頁の「**ﾘｾｯﾄの流れ**」を参照してください。

表4-3. 始動時間

STARTUPTIME1,0	1kHz ULP発振器周期数
0 0	64
0 1	4
1 0	(予約)
1 1	0

● ﾋﾞｯﾄ1 – WDLOCK : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ施錠 (Watchdog Timer lock)

WDLOCKﾋｭｰｽﾞはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ形態設定を施錠するためにﾌﾟﾛｸﾞﾗﾑ(0)にすることができます。このﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ形態設定を変更できなくなり、ﾘｾｯﾄでｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御(CTRL)ﾚｼﾞｽﾀのｳｫｯﾁ ﾄﾞｯｸﾞ許可(ENABLE)ﾋﾞｯﾄが自動的に設定(1)され、応用ｿﾌﾄｳｪｱから解除(0)できなくなります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ窓制御(WINCTRL)ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ窓動作許可(WEN)ﾋﾞｯﾄは自動的に設定(1)されず、ｿﾌﾄｳｪｱからの設定(1)を必要とします。このﾋﾞｯﾄが変更された後でそれが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

表4-4. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ施錠

WDLOCK	内容
0	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは変更に対して閉ざされます。
1	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは施錠されません。

● ﾋﾞｯﾄ0 – 予約 (Reserved)

このﾋﾞｯﾄは将来用に予約さてれいます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

4.14.4. FUSEBYTE5 – ﾋｭｰｽﾞ ﾊﾞｲﾄ5 (Fuse Byte 5)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	BODACT1,0		EESAVE	BODLEVEL2~0			FUSEBYTE5
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	–	–	–	–	–	–	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● ﾋﾞｯﾄ5,4 – BODACT1,0 : 活動中のBOD動作 (BOD operation in active mode)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはﾃﾞﾊﾞｲｽが活動(標準)またはｱｲﾄﾞﾙ動作の時のBOD動作種別を設定します。

BODとBOD動作種別の詳細については87頁の「**低電圧検出(Brown-out Detection)**」を参照してください。

表4-5. 活動とｱｲﾄﾞﾙ動作でのBOD動作種別

BODACT1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

● ﾋﾞｯﾄ3 – EESAVE : ﾁｯﾌﾟ消去からEEPROM保護 (EEPROM is preserved through the Chip Erase)

ﾁｯﾌﾟ消去命令は標準的にﾌﾗｯｼｭ、EEPROM、内部SRAMを消去します。このﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、ﾁｯﾌﾟ消去の間にEEPROMは消去されません。これはEEPROMがｿﾌﾄｳｪｱ改訂版に無関係なﾃﾞｰﾀの格納に使用される場合に有用です。

EESAVEﾋｭｰｽﾞ ﾋﾞｯﾄ変更は書き込み時間経過後直ちに効力を発揮します。従って、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作の抜け出しと再移行なしにEESAVE更新とEESAVEの新しい設定に応じたﾁｯﾌﾟ消去の実行が可能です。

表4-6. ﾁｯﾌﾟ消去を通したEEPROM保護

EESAVE	内容
0	EEPROMはﾁｯﾌﾟ消去の間、保護されます。
1	EEPROMはﾁｯﾌﾟ消去の間に消去されます。

● ﾋﾞｯﾄ2~0 – BODLEVEL2~0 : 低電圧検出(BOD)電圧 (Brown-ut detection voltage level)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはBOD電圧値を設定します。電源投入時、ﾃﾞﾊﾞｲｽはVCCが設定されたBOD電圧に達するまでﾘｾｯﾄを維持します。このため、BOD電圧は常にVCCよりも低く設定されることを保証してください。通常動作の間にBODが許可され且つ使用されない場合、詳細については87頁の「**ﾘｾｯﾄ元**」を参照してください。BOD電圧の公称値については87頁の**表9-2.**をご覧ください。

4.14.5. FUSEBYTE6 – ﾋｭｰｽﾞ ﾊﾞｲﾄ6 (Fuse Byte 6)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	FDACT5	FDACT4	VALUE5~0						FUSEBYTE6
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7 – FDACT5 : ﾀｲﾏ/ｶｳﾝﾀ5障害検出活動** (Fault Detection Action Timer/Counter 5)

このﾋｭｰｽﾞはﾘｾｯﾄ状態中にﾀｲﾏ/ｶｳﾝﾀ5比較出力ﾁｬﾈﾙに対する既定出力ﾋﾟﾝであるPx4とPx5のﾎﾟｰﾄ ﾋﾟﾝでの障害検出活動を設定します。表4-7.は可能な設定を示します。

● **ﾋﾞｯﾄ6 – FDACT4 : ﾀｲﾏ/ｶｳﾝﾀ4障害検出活動** (Fault Detection Action Timer/Counter 4)

このﾋｭｰｽﾞはﾘｾｯﾄ状態中にﾀｲﾏ/ｶｳﾝﾀ4比較出力ﾁｬﾈﾙに対する既定出力ﾋﾟﾝであるPx0～Px3のﾎﾟｰﾄ ﾋﾟﾝでの障害検出活動を設定します。表4-7.は可能な設定を示します。

表4-7. 障害検出活動

FDACTn	内容
0	ﾘｾｯﾄ状態でとﾀｲﾏ/ｶｳﾝﾀ比較出力ﾁｬﾈﾙが許可されるまで、ﾎﾟｰﾄ ﾋﾟﾝは対応するVALUEnﾋｭｰｽﾞで設定された値に強制されます。
1	既定入出力ﾋﾟﾝ形態設定

● **ﾋﾞｯﾄ5~0 – VALUE5~0 : ﾎﾟｰﾄ ﾋﾟﾝ n値** (Port Pin n Value)

これらのﾋｭｰｽﾞは緊急障害発生時と、対応するFDACTﾋｭｰｽﾞが設定されている場合に、対応するﾎﾟｰﾄ ﾋﾟﾝで出力される値を選択します。

表4-8. ﾎﾟｰﾄ ﾋﾟﾝ値

VALUEn	内容
0	対応するﾎﾟｰﾄ ﾋﾟﾝの出力値が1(Highﾚﾍﾞﾙ)に設定されます。
1	対応するﾎﾟｰﾄ ﾋﾟﾝの出力値が0(Lowﾚﾍﾞﾙ)に設定されます。

4.14.6. LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ (Lock Bit register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7,6 – BLBB1,0 : ﾌﾞｰﾄ領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0** (Boot Lock Bit Boot Section)

これらの施錠ﾋﾞｯﾄはﾌﾞｰﾄﾛｰﾀﾞ領域のｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBBﾋﾞｯﾄはより厳しい施錠へだけ書くことができます。BLBBﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-9. ﾌﾞｰﾄﾛｰﾀﾞ領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBB1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、ﾌﾞｰﾄﾛｰﾀﾞ領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、応用領域で実行する(E)LPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域からの読み込みを許されません。 割り込みﾍﾞｸﾀが応用領域に配置されている場合、ﾌﾞｰﾄﾛｰﾀﾞ領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域への書き込みを許されず、応用領域で実行する(E)LPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域からの読み込みを許されません。 割り込みﾍﾞｸﾀが応用領域に配置されている場合、ﾌﾞｰﾄﾛｰﾀﾞ領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ5,4 – BLBA1,0 : 応用領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0 (Boot Lock Bit Application Section)

これらのﾋﾞｯﾄは応用領域のｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBAﾋﾞｯﾄはより厳しい施錠へだけ書くことができます。BLBAﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-10. 応用領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBA1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、応用領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用領域への書き込みを許されず、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ3,2 – BLBAT1,0 : 応用表領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0 (Boot Lock Bit Application Table Section)

これらのﾋﾞｯﾄは応用表領域のｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBATﾋﾞｯﾄはより厳しい施錠へだけ、書くことができます。BLBATﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-11. 応用表領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBAT1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、応用表領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用表領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用表領域への書き込みを許されず、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ1,0 – LB1,0 : 施錠ﾋﾞｯﾄ1,0 (Lock Bit) (注)

これらのﾋﾞｯﾄは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭとEEPROMに対する保護ﾚﾍﾞﾙを制御します。これらのﾋﾞｯﾄは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽを通してのみ書き込み可能です。施錠ﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。TIFとOCDを使用する他の全てのｱｸｾｽはこの施錠ﾋﾞｯﾄの何れかが0に書かれる場合に防がれます。これらのﾋﾞｯﾄはﾒﾓﾘへのどのｿﾌﾄｳｪｱ ｱｸｾｽも妨げません。

表4-12. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用施錠ﾋﾞｯﾄ

LB1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、ﾒﾓﾘ施錠は許可されません。
1 0	WLOCK	書き込み施錠、ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽに対して禁止されます。ﾋｭｰｽﾞ ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽからの書き込みに対して施錠されます。
0 0	RWLOCK	読み書き施錠、ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)と読み込み/検証はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽに対して禁止されます。施錠ﾋﾞｯﾄとﾋｭｰｽﾞ ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽからの読み書きに対して施錠されます。

注: 施錠ﾋﾞｯﾄを設定する前にﾋｭｰｽﾞ ﾋﾞｯﾄとﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定してください。

4.15. ﾚｼﾞｽﾀ説明 – 製品識票列

注: これらのﾚｼﾞｽﾀに対する初期値は製造校正が行われない場合に$FFFFとして読みます。

4.15.1. RCOSC8M – 8MHz内部発振器校正ﾚｼﾞｽﾀ (Internal 8MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$00	RCOSC8M7~0								RCOSC8M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – OCOSC8M7~0 : 8MHz内部発振器校正値** (Internal 8MHz Oscillator Calibration Value)

このﾊﾞｲﾄは8MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が8MHz発振器用の校正ﾚｼﾞｽﾀ内へ自動的に格納されます。より多くの詳細については77頁の「RC8MCAL – 8MHz内部発振器校正ﾚｼﾞｽﾀ」を参照してください。

4.15.2. RCOSC32K – 32.768kHz内部発振器校正ﾚｼﾞｽﾀ (Internal 32.768kHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$02	RCOSC32K7~0								RCOSC32K
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – OCOSC32K7~0 : 32.768kHz内部発振器校正値** (Internal 32.768kHz Oscillator Calibration Value)

このﾊﾞｲﾄは32.768kHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32kHz発振器用の校正ﾚｼﾞｽﾀ内へ自動的に格納されます。より多くの詳細については76頁の「RC32KCAL – 32kHz内部発振器校正ﾚｼﾞｽﾀ」を参照してください。

4.15.3. RCOSC32M – 32MHz内部発振器校正ﾚｼﾞｽﾀ (Internal 32MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$03	RCOSC32M7~0								RCOSC32M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – OCOSC32M7~0 : 32MHz内部発振器校正値** (Internal 32MHz Oscillator Calibration Value)

このﾊﾞｲﾄは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32MHz DFLL用の校正ﾚｼﾞｽﾀB内へ自動的に格納されます。より多くの詳細については78頁の「CALB – 校正ﾚｼﾞｽﾀB」を参照してください。

4.15.4. RCOSC32MA – 32MHz内部発振器校正ﾚｼﾞｽﾀA (Internal 32MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$04	RCOSC32MA7~0								RCOSC32MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – OCOSC32MA7~0 : 32MHz内部発振器校正値** (Internal 32MHz Oscillator Calibration Value)

このﾊﾞｲﾄは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32MHz DFLL用の校正ﾚｼﾞｽﾀA内へ自動的に格納されます。より多くの詳細については78頁の「CALA – 校正ﾚｼﾞｽﾀA」を参照してください。

4.15.5. LOTNUM0 – ﾛｯﾄ番号ﾚｼﾞｽﾀ0 (Lot Number register 0)

LOTNUM0,LOTNUM1,LOTNUM2,LOTNUM3,LOTNUM4,LOTNUM5は各々のﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号を含みます。ｳｪﾊｰ番号とｳｪﾊｰ座標と共に、これはﾃﾞﾊﾞｲｽに対する通番を与えます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$08	LOTNUM07~0								LOTNUM0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM07~0 : ﾛｯﾄ番号ﾊﾞｲﾄ0** (LOT Number Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ0を含みます。

4.15.6. LOTNUM1 – ﾛｯﾄ番号ﾚｼﾞｽﾀ1 (Lot Number register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$09	LOTNUM17~0								LOTNUM1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – LOTNUM17~0 : ﾛｯﾄ番号ﾊﾞｲﾄ1 (LOT Number Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ1を含みます。

4.15.7. LOTNUM2 – ﾛｯﾄ番号ﾚｼﾞｽﾀ2 (Lot Number register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0A	LOTNUM27~0								LOTNUM2
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – LOTNUM27~0 : ﾛｯﾄ番号ﾊﾞｲﾄ2 (LOT Number Byte 2)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ2を含みます。

4.15.8. LOTNUM3 – ﾛｯﾄ番号ﾚｼﾞｽﾀ3 (Lot Number register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0B	LOTNUM37~0								LOTNUM3
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – LOTNUM37~0 : ﾛｯﾄ番号ﾊﾞｲﾄ3 (LOT Number Byte 3)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ3を含みます。

4.15.9. LOTNUM4 – ﾛｯﾄ番号ﾚｼﾞｽﾀ4 (Lot Number register 4)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0C	LOTNUM47~0								LOTNUM4
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – LOTNUM47~0 : ﾛｯﾄ番号ﾊﾞｲﾄ4 (LOT Number Byte 4)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ4を含みます。

4.15.10. LOTNUM5 – ﾛｯﾄ番号ﾚｼﾞｽﾀ5 (Lot Number register 5)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0D	LOTNUM57~0								LOTNUM5
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – LOTNUM57~0 : ﾛｯﾄ番号ﾊﾞｲﾄ5 (LOT Number Byte 5)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ5を含みます。

4.15.11. WAFNUM – ｳｪﾊｰ番号ﾚｼﾞｽﾀ (Wafer Number register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$10	WAFNUM7~0								WAFNUM
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – WAFNUM7~0 : ｳｪﾊｰ番号 (Wafer Number)

このﾊﾞｲﾄは各々のﾃﾞﾊﾞｲｽに対するｳｪﾊｰ番号を含みます。ﾛｯﾄ番号とｳｪﾊｰ座標と共に、これはﾃﾞﾊﾞｲｽに対する通番を与えます。

4.15.12. COORDX0 – ｳｪﾊｰX座標ﾚｼﾞｽﾀ0 (Wafer Coordinate X register 0)

COORDX0,COORDX1,COORDY0,COORDY1は各々のﾃﾞﾊﾞｲｽに対するｳｪﾊｰのX座標とY座標を含みます。ﾛｯﾄ番号とｳｪﾊｰ番号と共に、これは各々のﾃﾞﾊﾞｲｽに対する通番を与えます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$12	COORDX07~0								COORDX0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDX07~0 : ｳｪﾊｰX座標ﾊﾞｲﾄ0** (Wafer Coordinate X Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰX座標のﾊﾞｲﾄ0を含みます。

4.15.13. COORDX1 – ｳｪﾊｰX座標ﾚｼﾞｽﾀ1 (Wafer Coordinate X register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$13	COORDX17~0								COORDX1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDX17~0 : ｳｪﾊｰX座標ﾊﾞｲﾄ1** (Wafer Coordinate X Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰX座標のﾊﾞｲﾄ1を含みます。

4.15.14. COORDY0 – ｳｪﾊｰY座標ﾚｼﾞｽﾀ0 (Wafer Coordinate Y register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$14	COORDY07~0								COORDY0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDY07~0 : ｳｪﾊｰY座標ﾊﾞｲﾄ0** (Wafer Coordinate Y Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰY座標のﾊﾞｲﾄ0を含みます。

4.15.15. COORDY1 – ｳｪﾊｰY座標ﾚｼﾞｽﾀ1 (Wafer Coordinate Y register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15	COORDY17~0								COORDY1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDY17~0 : ｳｪﾊｰY座標ﾊﾞｲﾄ1** (Wafer Coordinate Y Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰY座標のﾊﾞｲﾄ1を含みます。

4.15.16. ROOMTEMP – 室温ﾚｼﾞｽﾀ (Room Temperature register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1E	ROOMTEMP7~0								ROOMTEMP
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ROOMTEMP7~0 : 室温値** (Room Temperature Value)

このﾊﾞｲﾄは室温値を含みます。

4.15.17. HOTTEMP – 高温ﾚｼﾞｽﾀ (Hot Temperature register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1F	HOTTEMP7~0								HOTTEMP
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – HOTTEMP7~0 : 高温値** (Hot Temperature Value)

このﾊﾞｲﾄは高温値を含みます。

4.15.18. ADCACAL0 – ADCA校正ﾚｼﾞｽﾀ0 (ADCA Calibration register 0)

ADCACAL0とADCACAL1はA/D変換器A(ADCA)に対する校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはA/D変換器校正ﾚｼﾞｽﾀ内へ自動的に格納されず、故にｿﾌﾄｳｪｱで行われなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$20	ADCACAL07~0								ADCACAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCACAL07~0 : A/D変換器A校正ﾊﾞｲﾄ0** (ADCA Calibration Byte 0)

このﾊﾞｲﾄはA/D変換器A校正ﾃﾞｰﾀのﾊﾞｲﾄ0を含み、これはADCAの校正下位(CALL)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.15.19. ADCACAL1 – ADCA校正ﾚｼﾞｽﾀ1 (ADCA Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$21	ADCACAL17~0								ADCACAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCACAL17~0 : A/D変換器A校正ﾊﾞｲﾄ1** (ADCA Calibration Byte 1)

このﾊﾞｲﾄはA/D変換器A校正ﾃﾞｰﾀのﾊﾞｲﾄ1を含みます。

4.15.20. ACACURRCAL – ACA電流校正ﾚｼﾞｽﾀ (ACA Current Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$28	ACACURRCAL7~0								ACACURRCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ACACURRCAL7~0 : ｱﾅﾛｸﾞ比較器A電流校正ﾊﾞｲﾄ** (ACA Current Calibration Byte)

このﾊﾞｲﾄはｱﾅﾛｸﾞ比較器A電流源較正値を含み、ｱﾅﾛｸﾞ比較器A(ACA)電流校正(CURRCALIB)ﾚｼﾞｽﾀに格納されなけれななりません。

4.15.21. TEMPSENSE2 – 温度感知器校正ﾚｼﾞｽﾀ2 (Temperature Sensor Calibration register 2)

TEMPSENSE2とTEMPSENSE3は内部温度感知器で行われた温度測定からの12ﾋﾞｯﾄADCA変換値を含みます。この測定は製造検査に於いて室温で行われ、単点または多点温度感知器校正に使用することができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2C	TEMPSENSE27~0								TEMPSENSE2
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE27~0 : 温度感知器校正ﾊﾞｲﾄ2** (Temperature Sensor Calibration Byte 2)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ2を含みます。

4.15.22. TEMPSENSE3 – 温度感知器校正ﾚｼﾞｽﾀ3 (Temperature Sensor Calibration register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2D	TEMPSENSE37~0								TEMPSENSE3
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE37~0 : 温度感知器校正ﾊﾞｲﾄ3** (Temperature Sensor Calibration Byte 3)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ3を含みます。

4.15.23. TEMPSENSE0 – 温度感知器校正ﾚｼﾞｽﾀ0 (Temperature Sensor Calibration register 0)

TEMPSENSE0とTEMPSENSE1は内部温度感知器で行われた温度測定からの12ﾋﾞｯﾄADCA変換値を含みます。この測定は製造検査に於いて85℃で行われ、単点または多点温度感知器校正に使用することができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2E	TEMPSENSE07~0								TEMPSENSE0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE07~0 : 温度感知器校正ﾊﾞｲﾄ0** (Temperature Sensor Calibration Byte 0)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ0(下位8ﾋﾞｯﾄ)を含みます。

4.15.24. TEMPSENSE1 – 温度感知器校正ﾚｼﾞｽﾀ1 (Temperature Sensor Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2F	TEMPSENSE17~0								TEMPSENSE1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE17~0 : 温度感知器校正ﾊﾞｲﾄ1** (Temperature Sensor Calibration Byte 1)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ1を含みます。

4.15.25. DACA0OFFCAL – DACAﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACA Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$30	DACA0OFFCAL7~0								DACA0OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA0OFFCAL7~0 : D/A変換器Aﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACA Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ0に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ0変位校正(CH0OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.15.26. DACA0GAINCAL – DACAﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ (DACA Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$31	DACA0GAINCAL7~0								DACA0GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA0GAINCAL7~0 : D/A変換器Aﾁｬﾈﾙ0利得校正ﾊﾞｲﾄ** (DACA Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ0に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ0利得校正(CH0GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.15.27. DACA1OFFCAL – DACAﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACA Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$34	DACA1OFFCAL7~0								DACA1OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA1OFFCAL7~0 : D/A変換器Aﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACA Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ1に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ1変位校正(CH1OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.15.28. DACA1GAINCAL – DACAﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ (DACA Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35	DACA1GAINCAL7~0								DACA1GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA1GAINCAL7~0 : D/A変換器Aﾁｬﾈﾙ1利得校正ﾊﾞｲﾄ** (DACA Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ1に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ1利得校正(CH1GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.16. ﾚｼﾞｽﾀ説明 – 汎用I/Oﾒﾓﾘ

4.16.1. GPIORn – 汎用I/Oﾚｼﾞｽﾀn (General Purpose I/O register n)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+n	GPIORn7~0								GPIORn
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

これらはﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間でのﾌﾗｸﾞや全体変数のようなﾃﾞｰﾀの格納に使用できる汎用ﾚｼﾞｽﾀです。

4.17. ﾚｼﾞｽﾀ説明 – MCU制御

4.17.1. DEVID0 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ0 (Device ID register 0)

DEVID0,DEVID1,DEVID2ﾚｼﾞｽﾀは各ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾃﾞﾊﾞｲｽ形式を識別するﾊﾞｲﾄ識別を含みます。実際のIDの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DEVID7~0								DEVID0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	1	1	1	1	0	

● **ﾋﾞｯﾄ7~0 – DEVID7~0 : ﾃﾞﾊﾞｲｽID第1ﾊﾞｲﾄ** (Device ID Byte 0)

ﾃﾞﾊﾞｲｽIDの第1ﾊﾞｲﾄ。このﾊﾞｲﾄは常に$1Eとして読めます。これはAtmelによって製造されたことを示します。

4.17.2. DEVID1 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ1 (Device ID register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	DEVID15~8								DEVID1
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● **ﾋﾞｯﾄ7~0 – DEVID15~8 : ﾃﾞﾊﾞｲｽID第2ﾊﾞｲﾄ** (Device ID Byte 1)

ﾃﾞﾊﾞｲｽIDの第2ﾊﾞｲﾄはﾃﾞﾊﾞｲｽのﾌﾗｯｼｭ容量を示します。

4.17.3. DEVID2 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ2 (Device ID register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DEVID23~16								DEVID2
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● **ﾋﾞｯﾄ7~0 – DEVID23~16 : ﾃﾞﾊﾞｲｽID第3ﾊﾞｲﾄ** (Device ID Byte 2)

ﾃﾞﾊﾞｲｽIDの第3ﾊﾞｲﾄはﾃﾞﾊﾞｲｽ番号を示します。

4.17.4. REVID – 改訂ID (Revision ID)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	REVID3~0				REVID
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1/0	1/0	1/0	1/0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。

● **ﾋﾞｯﾄ3~0 – REVID3~0 : 改訂版ID** (Revision ID)

これらのﾋﾞｯﾄはﾃﾞﾊﾞｲｽ改訂版番号を含みます。0=A,1=B,以下同様です。

4.17.5. ANAINIT – ｱﾅﾛｸﾞ初期化ﾚｼﾞｽﾀ (Analog Initialization register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	–	–	–	–	STARTUPDLYD1,0		STARTUPDLYA1,0		ANAINIT
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2/1,0 – STARTUPDLYx : 始動遅延** (Analog Start-up Delay)

これらのﾋﾞｯﾄ設定はそれらのﾎﾟｰﾄに接続された主な入出力と共にA/D変換器(ADC)、D/A変換器(DAC)、ｱﾅﾛｸﾞ比較器(AC)に使用される内部部分の連続的な(時間差での)開始を許可します。これが行われると、基準電圧やﾊﾞｲｱｽ電流のような内部部分はその部署が許可された時に連続的に開始されます。これは部署の始動中の尖頭消費電流を減らします。最大効果のため、始動遅延は0.5 μsよりも大きくなるように設定されるべきです。

表4-13. ｱﾅﾛｸﾞ始動遅延

STARTUPDLYx1～0	群形態設定	内容
0 0	NONE	直始動
0 1	2CLK	2×clk_{PER}
1 0	8CLK	8×clk_{PER}
1 1	32CLK	32×clk_{PER}

4.17.6. EVSYSLOCK – 事象ｼｽﾃﾑ施錠ﾚｼﾞｽﾀ (Event System Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	–	–	–	EVSYS1LOCK	–	–	–	EVSYS0LOCK	EVSYSLOCK
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – EVSYS1LOCK : 事象1群施錠**

このﾋﾞｯﾄの設定(1)は更なる変更に対して事象ﾁｬﾈﾙ4～7に関連する事象ｼｽﾃﾑ内の全てのﾚｼﾞｽﾀを施錠します。事象ｼｽﾃﾑ内の次のﾚｼﾞｽﾀ、CH4MUX,CH4CTRL,CH5MUX,CH5CTRL,CH6MUX,CH6CTRL,CH7MUX,CH7CTRLが施錠されます。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ3~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – EVSYS0LOCK : 事象0群施錠**

このﾋﾞｯﾄの設定(1)は更なる変更に対して事象ﾁｬﾈﾙ0～3に関連する事象ｼｽﾃﾑ内の全てのﾚｼﾞｽﾀを施錠します。事象ｼｽﾃﾑ内の次のﾚｼﾞｽﾀ、CH0MUX,CH0CTRL,CH1MUX,CH1CTRL,CH2MUX,CH2CTRL,CH3MUX,CH3CTRLが施錠されます。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

4.17.7. WEXLOCK – 波形拡張施錠ﾚｼﾞｽﾀ (Waveform Extension Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	–	–	–	WEXCLOCK	WEXLOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – WEXCLOCK : ﾎﾟｰﾄC波形拡張施錠** (Waveform Extension Port C Lock)

このﾋﾞｯﾄの設定(1)は更なる変更に対してﾎﾟｰﾄC上の波形拡張(WeX)部(WEXC)内の保護される全ﾚｼﾞｽﾀを施錠します。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

4.17.8. FAULTLOCK – 障害拡張施錠ﾚｼﾞｽﾀ (Fault Extension Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	–	–	–	–	–	–	FAULT5LOCK	FAULT4LOCK	FAULTLOCK
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – FAULT5LOCK : ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ5用障害拡張施錠** (Fault Lock for Timer/Counter 5 onPort C)

このﾋﾞｯﾄの設定(1)は更なる変更に対してﾎﾟｰﾄC上のﾀｲﾏ/ｶｳﾝﾀ5の障害(FAULT)拡張部内の保護される全ﾚｼﾞｽﾀを施錠します。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ0 – FAULT4LOCK : ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ4用障害拡張施錠** (Fault Lock for Timer/Counter 4 onPort C)

このﾋﾞｯﾄの設定(1)は更なる変更に対してﾎﾟｰﾄC上のﾀｲﾏ/ｶｳﾝﾀ4の障害(FAULT)拡張部内の保護される全ﾚｼﾞｽﾀを施錠します。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

4.18. ﾚｼﾞｽﾀ要約 – NVM制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$10	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		21
+$0F	STATUS	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	21
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	INTCTRL	–	–	–	–	SPMLVL1,0		EELVL1,0		20
+$0C	CTRLB	–	–	–	–	–	–	EPRM	SPMLOCK	20
+$0B	CTRLA	–	–	–	–	–	–	–	CMDEX	20
+$0A	CMD	–	CMD6~0							20
+$09	予約	–	–	–	–	–	–	–	–	
+$08	予約	–	–	–	–	–	–	–	–	
+$07	予約	–	–	–	–	–	–	–	–	
+$06	DATA2	DATA23~16 (ﾃﾞｰﾀ ﾊﾞｲﾄ2)								19
+$05	DATA1	DATA15~8 (ﾃﾞｰﾀ ﾊﾞｲﾄ1)								19
+$04	DATA0	DATA7~0 (ﾃﾞｰﾀ ﾊﾞｲﾄ0)								19
+$03	予約	–	–	–	–	–	–	–	–	
+$02	ADDR2	ADDR23~16 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ2)								19
+$01	ADDR1	ADDR15~8 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ1)								19
+$00	ADDR0	ADDR7~0 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ0)								19

4.19. ﾚｼﾞｽﾀ要約 – ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		24
+$06	FUSEBYTE6	FDACT5	FDACR4	VALUE5~0						24
+$05	FUSEBYTE5	–	–	BODACT1,0		EESAVE	BODLEVEL2~0			23
+$04	FUSEBYTE4	–	–	–	RSTDISBL	STARTUPTIME1,0		WDLOCK	–	22
+$03	予約	–	–	–	–	–	–	–	–	
+$02	FUSEBYTE2	–	BOOTRST	–	–	–	–	BODPD1,0		22
+$01	FUSEBYTE1	WDWPER3~0				WDPER3~0				22
+$00	予約	–	–	–	–	–	–	–	–	

4.20. ﾚｼﾞｽﾀ要約 – 製品識票列

ｱﾄﾞﾚｽ	自動設定	略称	ﾋﾞｯﾄ7～0	頁	ｱﾄﾞﾚｽ	自動設定	略称	ﾋﾞｯﾄ7～0	頁
$00	○	RCOSC8M	RCOSC8M7~0	26	$20	×	ADCACAL0	ADCACAL07~0	29
$01		予約			$21	×	ADCACAL1	ADCACAL17~0	29
$02	○	RCOSC32K	RCOSC32K7~0	26	$22		予約		
$03	○	RCOSC32M	RCOSC32M7~0	26	$23		予約		
$04	○	RCOSC32MA	RCOSC32MA7~0	26	$24		予約		
$05		予約			$25		予約		
$06		予約			$26		予約		
$07		予約			$27		予約		
$08	×	LOTNUM0	LOTNUM07~0	26	$28	×	ACACURRCAL	ACACURRCAL7~0	29
$09	×	LOTNUM1	LOTNUM17~0	27	$29		予約		
$0A	×	LOTNUM2	LOTNUM27~0	27	$2A		予約		
$0B	×	LOTNUM3	LOTNUM37~0	27	$2B		予約		
$0C	×	LOTNUM4	LOTNUM47~0	27	$2C	×	TEMPSENSE2	TEMPSENSE27~0	29
$0D	×	LOTNUM5	LOTNUM57~0	27	$2D	×	TEMPSENSE3	TEMPSENSE311~8	29
$0E		予約			$2E	×	TEMPSENSE0	TEMPSENSE07~0	30
$0F		予約			$2F	×	TEMPSENSE1	TEMPSENSE111~8	30
$10	×	WAFNUM	WAFNUM7~0	27	$30	×	DACA0OFFCAL	DACA0OFFCAL7~0	30
$11		予約			$31	×	DACA0GAINCAL	DACA0GAINCAL7~0	30
$12	×	COORDX0	COORDX07~0	28	$32		予約		
$13	×	COORDX1	COORDX17~0	28	$33		予約		
$14	×	COORDY0	COORDY07~0	28	$34	×	DACA1OFFCAL	DACA0OFFCAL7~0	30
$15	×	COORDY1	COORDY17~0	28	$35	×	DACA1GAINCAL	DACA0GAINCAL7~0	31
$16		予約			$36		予約		
$17		予約			$37		予約		
$18		予約			$38		予約		
$19		予約			$39		予約		
$1A		予約			$3A		予約		
$1B		予約			$3B		予約		
$1C		予約			$3C		予約		
$1D		予約			$3D		予約		
$1E	×	ROOMTEMP	ROOMTEMP7~0	28	$3E		予約		
$1F	×	HOTTEMP	HOTTEMP7~0	28	$3F		予約		

4.21. ﾚｼﾞｽﾀ要約 – 汎用I/Oﾚｼﾞｽﾀ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約									
+$0E	予約									
+$0D	予約									
+$0C	予約									
+$0B	予約									
+$0A	予約									
+$09	予約									
+$08	予約									
+$07	予約									
+$06	予約									
+$05	予約									
+$04	予約									
+$03	GPIOR3	GPIOR37～0								31
+$02	GPIOR2	GPIOR27～0								31
+$01	GPIOR1	GPIOR17～0								31
+$00	GPIOR0	GPIOR07～0								31

4.22. ﾚｼﾞｽﾀ要約 – MCU制御

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	FAULTLOCK	–	–	–	–	–	–	FAULTC5LOCK	FAULTC4LOCK	33
+$09	WEXLOCK	–	–	–	–	–	–	–	WEXCLOCK	33
+$08	EVSYSLOCK	–	–	–	EVSYS1LOCK	–	–	–	EVSYS0LOCK	32
+$07	ANAINIT	–	–	–	–	STARTUPDLYD1,0		STARTUPDLYA1,0		32
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	予約	–	–	–	–	–	–	–	–	
+$03	REVID	–	–	–	–	REVID3~0				32
+$02	DEVID2	DEVID23～16								31
+$01	DEVID1	DEVID15～8								31
+$00	DEVID0	DEVID7～0								31

4.23. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	EE_vect	不揮発性ﾒﾓﾘEEPROM割り込みﾍﾞｸﾀ
$02	SPM_vect	不揮発性ﾒﾓﾘSPM割り込みﾍﾞｸﾀ

5. EDMA – 強化型直接ﾒﾓﾘ入出力 (Enhanched Direct Memory Access)

5.1. 要点

- EDMA制御器は最小CPU介在での高速転送を許容
  - ﾃﾞｰﾀ ﾒﾓﾘからﾃﾞｰﾀ ﾒﾓﾘへ
  - ﾃﾞｰﾀ ﾒﾓﾘから周辺機能へ
  - 周辺機能からﾃﾞｰﾀ ﾒﾓﾘへ
  - 周辺機能から周辺機能へ
- 独立した4つの周辺機能EDMAﾁｬﾈﾙ
  - 転送起動元
  - 割り込みﾍﾞｸﾀ
  - ｱﾄﾞﾚｽ指示種別
  - ﾃﾞｰﾀ一致
- 独立した2つの標準EDMA
  - 転送起動元
  - 割り込みﾍﾞｸﾀ
  - ｱﾄﾞﾚｽ指示種別
  - ﾃﾞｰﾀ検索
- 設定可能なﾁｬﾈﾙ優先順
- 単一転送処理で1ﾊﾞｲﾄから128Kﾊﾞｲﾄまでのﾃﾞｰﾀ
  - 繰り返し付き、64Kﾊﾞｲﾄまでの塊転送
  - 1または2ﾊﾞｲﾄの集中転送
- 複数のｱﾄﾞﾚｽ指示種別
  - 静止
  - 増加
- 各終了での転送元と転送先の再設定任意選択
  - 集中
  - 塊
  - 単位処理
- 転送終了での任意選択割り込み
- EDMAﾃﾞｰﾀでのCRCに対するCRC発生器への接続任意選択

5.2. 概要

強化型直接ﾒﾓﾘ入出力(EDMA)制御器はﾒﾓﾘと周辺機能間でﾃﾞｰﾀを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いﾃﾞｰﾀ転送速度を許し、CPU時間を自由にします。4つのEDMAﾁｬﾈﾙは4つまでの独立した平行転送を許します。

EDMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能ﾚｼﾞｽﾀ間のﾃﾞｰﾀを直接移動することができます。全ての周辺機能へのｱｸｾｽとで、EDMA制御器は通信部署との自動的なﾃﾞｰﾀ転送を扱うことができます。EDMA制御器はﾒﾓﾘ配置割り当てEEPROMから読むこともできます。

ﾃﾞｰﾀ転送は1または2ﾊﾞｲﾄの継続集中で行われます。それらは1ﾊﾞｲﾄから64Kﾊﾞｲﾄまでの形態設定可能な量の塊転送を構築します。繰り返し任意選択は128Kﾊﾞｲﾄまでの単一転送処理のために各塊転送をもう一度繰り返すのに使用することができます。転送元と転送先のｱﾄﾞﾚｽ指示は静止または増加にすることができます。転送元と/または転送先のｱﾄﾞﾚｽの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ｿﾌﾄｳｪｱ、周辺機能と事象がEDMA転送を起動することができます。

EDMAﾁｬﾈﾙは個別の形態設定と制御設定を持ちます。これには転送元や転送先のﾎﾟｲﾝﾀ、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはEDMA制御器がEDMAﾁｬﾈﾙで異常を検出した時に生成することができます。

転送での柔軟性を持つため、ﾁｬﾈﾙは1つ目が終了された時に2つ目が転送を引き継ぐように相互接続することができます。

EDMA制御器は2重緩衝、周辺機能に対するﾃﾞｰﾀ一致、SRAMやEEPROMに対するﾃﾞｰﾀ検索のような拡張機能を支援します。

EDMA制御器は2つのﾁｬﾈﾙ形式を支援します。各ﾁｬﾈﾙ形式は個別に選択することができます。

5.2.1. 周辺機能ﾁｬﾈﾙ

周辺機能ﾁｬﾈﾙ形態設定に於いて、ﾁｬﾈﾙは特定周辺機能ｱﾄﾞﾚｽからﾒﾓﾘ位置へ、またはﾒﾓﾘ位置から特定周辺機能ｱﾄﾞﾚｽへの転送を許します。特定周辺機能ｱﾄﾞﾚｽは選択した起動元によって提供されます。この形態設定では、最大4つの個別と平行転送が支援されます。塊転送の大きさは各周辺機能ﾁｬﾈﾙに対して256ﾊﾞｲﾄに制限されます。繰り返し機能は512ﾊﾞｲﾄまでの転送を許します。2つのﾁｬﾈﾙは1つ目が終了された時に2つ目が転送を引き継ぐように相互接続することができます。

ﾃﾞｰﾀ一致形態設定で、EDMAは設定可能な供給元からのﾃﾞｰﾀをEDMAﾚｼﾞｽﾀに含まれる模様型と比較します。例として、この動作形態は特定文字/ﾌﾚｰﾑが受信された場合にだけ転送を許可するために直列周辺機能で使用することができます。任意選択で、窓内での認証を許すために転送計数器を許可することができます。

図5-1. EDMA – 全周辺機能ﾁｬﾈﾙ動作形態概要

5.2.2. 標準ﾁｬﾈﾙ

標準ﾁｬﾈﾙを作成するために、EDMA制御器は2つの周辺機能ﾁｬﾈﾙの資源を使用します。ﾚｼﾞｽﾀ ｱﾄﾞﾚｽは再配置され、周辺機能ﾁｬﾈﾙの0と1で得られる資源で標準ﾁｬﾈﾙ0が形態設定され、周辺機能ﾁｬﾈﾙの2と3で得られる資源で標準ﾁｬﾈﾙ2が形態設定されます。

標準ﾁｬﾈﾙ形態設定では、どの転送形式も許可することができます。起動元、供給元ｱﾄﾞﾚｽ、供給先ｱﾄﾞﾚｽは別々で独立して設定可能です。塊転送の量は各標準ﾁｬﾈﾙに対して65536(64K)ﾊﾞｲﾄまで設定することができます。繰り返し任意選択は131072(128K)ﾊﾞｲﾄまでの転送を許します。2つのﾁｬﾈﾙは1つ目が終了された時に2つ目が転送を引き継ぐように相互接続することができます。

ﾃﾞｰﾀ検索形態設定で、EDMAはﾒﾓﾘ緩衝部でEDMAﾚｼﾞｽﾀに含まれる(8ﾋﾞｯﾄまたは16ﾋﾞｯﾄ)ﾃﾞｰﾀに対して検索します。一致で、供給元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは期待されるﾃﾞｰﾀ ﾎﾟｲﾝﾀを使用者に提供するでしょう。

図5-2. EDMA – 全標準ﾁｬﾈﾙ動作形態概要

5.2.3. ﾁｬﾈﾙの組み合わせ

EDMAは周辺機能ﾁｬﾈﾙと標準ﾁｬﾈﾙを混合して4つの異なる動作形態(「**CTRL – 制御ﾚｼﾞｽﾀ**」のﾁｬﾈﾙ動作形態(CHMODE)ﾋﾞｯﾄ)で形態設定することができます。

図5-3. EDMA – ﾁｬﾈﾙ動作形態

5.3. EDMA単位処理 (EDMA Transaction)

図5-4. EDMA単位処理

ﾒﾓﾘや周辺機能間の完全なEDMA読み書き操作はEDMA単位処理と呼ばれます。EDMA単位処理はﾃﾞｰﾀの塊(Block)で行われ、単位処理の量(転送ﾊﾞｲﾄ数)はｿﾌﾄｳｪｱから設定可能で、塊の量と繰り返し(REPEAT)ﾋﾞｯﾄ設定によって制御されます。各塊転送(Block transfer)は集中転送(Burst transfer)に分割されます。

5.3.1. 塊転送(Block Transfer)と繰り返し(Repeat)塊転送

塊転送量は塊転送計数(TRFCNTH,TRFCNTL)ﾚｼﾞｽﾀによって設定され、1ﾊﾞｲﾄ～64Kﾊﾞｲﾄまでを設定することができます。2重緩衝が使用されないなら、繰り返し任意選択は転送が完了する前にもう一度の塊転送繰り返しを許可することができます。

5.3.2. 集中転送 (Burst transfer)

AVR CPUとEDMA制御器が同じﾃﾞｰﾀ ﾊﾞｽを使用するため、塊転送はより小さな集中転送に分割されます。集中転送は1または2ﾊﾞｲﾄが選択可能です。これは転送要求が保留中でEDMAがﾃﾞｰﾀ ﾊﾞｽを獲得する場合に、集中転送内の全ﾊﾞｲﾄが転送されるまでﾊﾞｽを占有することを意味します。

ﾊﾞｽ調停器はEDMA制御器とAVR CPUがﾊﾞｽを使用する時を制御します。CPUが常に優先権を持ち、故にCPUがﾊﾞｽへのｱｸｾｽを要求する限り、どの保留集中転送も待たなければなりません。SRAM、I/Oﾒﾓﾘ、EEPROMのﾃﾞｰﾀを読み書きする命令を実行する時に、CPUはﾊﾞｽ ｱｸｾｽを要求します。ﾒﾓﾘ入出力でのﾊﾞｽ調停のより多くの詳細については16頁の「ﾃﾞｰﾀ ﾒﾓﾘ」を参照してください。

5.4. 転送起動元

EDMA転送はEDMA転送起動が検出される時にだけ開始することができます。転送起動はｿﾌﾄｳｪｱによって外部起動元(周辺機能)または事象からに構成設定することができます。各EDMAﾁｬﾈﾙには専用の起動元選択があります。利用可能な起動元はﾃﾞﾊﾞｲｽ毎に変わり得て、そのﾃﾞﾊﾞｲｽに存在する部署や周辺機能に依存します。存在しない部署や周辺機能に対する転送起動の使用は無効です。周辺機能ﾁｬﾈﾙの全ての転送起動元の一覧については47頁の表5-8.を、標準ﾁｬﾈﾙに対しては52頁の表5-18.を参照してください。

既定により、起動は塊転送動作を始動します。塊転送完了時にﾁｬﾈﾙが自動的に禁止されます。再び許可されると、ﾁｬﾈﾙは次の塊転送起動を待ちます。

塊転送の代わりに集中転送を始める起動を選択することが可能です。これは単発転送と呼ばれ、各起動に対して1つの集中転送だけを転送します。この形態設定では、(2重緩衝動作ではなく、且つ)塊繰り返し転送動作が許可されると、次の塊転送は転送起動が必要ありません。それは直前の塊が行われてしまうと直ぐに始まります。

進行中の転送中に起動元が転送起動を生成した場合、それは保留を維持され、その転送は実行中の転送が行われてしまった時に開始され得ます。1つの保留転送が保持され、従って既に留保されている時に起動元が更に転送起動を生成した場合、それらは失われます。

周辺機能ﾁｬﾈﾙ形態設定では、起動元設定が周辺機能ﾚｼﾞｽﾀ ｱﾄﾞﾚｽとﾃﾞｰﾀ転送方向を自動的に決めます。

5.5. ｱﾄﾞﾚｽ指定と転送計数

5.5.1. 周辺機能ﾁｬﾈﾙ形態設定でのｱﾄﾞﾚｽ指定

周辺機能ﾁｬﾈﾙ形態設定に於いて、EDMA転送用のﾒﾓﾘ ｱﾄﾞﾚｽは静止または自動増加のどちらかにでき、2ﾊﾞｲﾄ集中転送が設定された場合に16ﾋﾞｯﾄ周辺機能ｱﾄﾞﾚｽが自動的に増加されます。ﾒﾓﾘ ｱﾄﾞﾚｽ増加使用時、既定の動きは各ｱｸｾｽ後にﾒﾓﾘ ｱﾄﾞﾚｽを更新することです。元(基準)のﾒﾓﾘ ｱﾄﾞﾚｽはEDMA制御器によって保存され、以下の点で再設定するように個別に形態設定できます。

- 各集中転送の最後
- 各塊転送の最後
- 単位転送処理の最後
- 再設定なし

16ﾋﾞｯﾄ周辺機能のｱﾄﾞﾚｽに2ﾊﾞｲﾄ集中転送任意選択が使用される時に、集中転送の最初のﾊﾞｲﾄ ｱｸｾｽは16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(例:ADCA.CH0RESL)、2つ目は上位ﾊﾞｲﾄ(例:ADCA.CH0RESH)に対してです。1ﾊﾞｲﾄ集中転送任意選択は8ﾋﾞｯﾄ周辺機能用に予約されています。

5.5.2. 標準ﾁｬﾈﾙ形態設定でのｱﾄﾞﾚｽ指定

標準ﾁｬﾈﾙ形態設定に於いて、EDMA転送に対する転送元と転送先のｱﾄﾞﾚｽは転送元と転送先に対する個別選択で、静止または自動増加のどちらかにできます。ｱﾄﾞﾚｽ増加使用時、既定の動きは各ｱｸｾｽ後にｱﾄﾞﾚｽを更新することです。元(基準)の転送元と転送先のｱﾄﾞﾚｽはEDMA制御器によって保存され、故に転送元と転送先のｱﾄﾞﾚｽは以下の点で再設定するように個別に形態設定できます。

- 各集中転送の最後
- 各塊転送の最後
- 単位転送処理の最後
- 再設定なし

5.5.3. 転送数再設定

ﾁｬﾈﾙ単位転送完了割り込み要求ﾌﾗｸﾞ(CHnTRNIF)が設定(1)される時に転送計数器が再設定されます。ﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(CHnERRIF)が設定(1)される時に転送計数器は再設定されません。

5.6. ﾁｬﾈﾙ間の優先権

多くのﾁｬﾈﾙが同時にﾃﾞｰﾀ転送を要求した場合、どのﾁｬﾈﾙにﾃﾞｰﾀ転送を許すのかを決めるのに優先権の仕組みが利用できます。応用ｿﾌﾄｳｪｱは1つ以上のﾁｬﾈﾙが固定優先順を持つべきなのか、またはﾗｳﾝﾄﾞ ﾛﾋﾞﾝの仕組みが使用されるべきなのかの何れかに決めることができます。ﾗｳﾝﾄﾞ ﾛﾋﾞﾝの仕組みは最後に転送したﾁｬﾈﾙが(次に)最低優先権を持つことを意味します。

5.7. 2重緩衝

2つの異なるEDMA単位転送は1つ目が終了した時に2つ目が転送を引き継ぐ直列化ができるように2つのﾁｬﾈﾙを相互接続することができます。

- これは2つ目のﾁｬﾈﾙが動いている間に、1つ目のﾁｬﾈﾙによって転送されたﾃﾞｰﾀを処理し、新しいﾃﾞｰﾀ緩衝部を準備して再びﾁｬﾈﾙ ﾚｼﾞｽﾀを構成設定するための時間を応用に残します。
- これは直列周辺機能上でのﾃﾞｰﾀ一致と、一旦一致する(例:ｱﾄﾞﾚｽ認証)と有効ﾃﾞｰﾀの転送が許可されるように2つの異なる処理を繋ぐことができます。

これは2重緩衝または連結転送として参照されます。1つ目のﾁｬﾈﾙは連結ﾁｬﾈﾙ対で初期ｿﾌﾄｳｪｱ許可ﾁｬﾈﾙとして参照されます。

制御(CTRL)ﾚｼﾞｽﾀの2重緩衝動作種別(DBUFMODE)ﾋﾞｯﾄ(CTRL.DBUFMODE)は2重緩衝動作を形態設定します。ﾁｬﾈﾙ ﾚﾍﾞﾙに於いて、2つ目のﾁｬﾈﾙの繰り返し許可(REPEAT)ﾋﾞｯﾄ(CTRLA.REPEAT)が連結を許可します。

2重緩衝が繰り返し塊転送と矛盾することに注意してください。

図5-5. EDMA – 2重緩衝動作 対 ﾁｬﾈﾙ動作形態

5.8. データ処理

5.8.1. データ一致

この機能は周辺機能からメモリ位置へ転送を行う周辺機能チャネルに対してだけ利用可能です。

周辺機能とデータ メモリ間での不要なデータ転送を避けるため、EDMA制御器は組み込みデータ一致機能を持ちます。この動作形態では一致操作中に使用されるデータを格納するようにメモリ アドレス レジスタが設定されます。この動作はデータ一致または転送計数器が0に達した場合に停止します。塊転送計数器が0に設定される場合、データ一致は自由走行動作形態で、一致発生時に停止されます。一致なしの場合は中断が必要になり得ます。

データ一致が起こる場合、対応する周辺機能チャネルは禁止され、任意で単位転送完了割り込みが生成されます。遮蔽一致やOR一致設定での真の一致データを知るために、一致したデータは対応するEDMAレジスタで更新されます。一致しないデータが失われることに注意してください。

塊転送計数器が使用され、データ一致が検出されない場合、チャネルは禁止されて、転送計数器が再設定され、任意で異常割り込みが生成されます。

繰り返し塊転送動作はデータ一致動作で利用できません。

図5-6. EDMA – データ一致

5.8.2. データ検索

この機能は標準チャネルに対してだけ利用可能です。

CPUの負荷を軽くするため、EDMA制御器は組み込みデータ検索機能を持ちます。この動作形態では転送先アドレス レジスタが検索中に使用されるデータを格納するように設定され、一方転送元アドレス レジスタは走査するためのメモリ緩衝部の最初のアドレスを格納するように設定されます。データ検索任意選択は一致または転送計数器が0に達した場合に停止します。塊転送計数器が0に設定される場合、データ検索は自由走行動作形態で、一致発生時に停止されます。一致なしの場合は中断が必要になり得ます。

データ一致が起こる場合、対応する標準チャネルは禁止され、任意で単位転送完了割り込みが生成されます。遮蔽一致やOR一致設定での真の一致データを知るために、一致したデータは対応するEDMAレジスタで更新されます。データ ポインタを計算するのに転送元アドレス レジスタを使用することができます。

塊転送計数器が使用され、データ一致が検出されない場合、チャネルは禁止されて、転送計数器が再設定され、任意で異常割り込みが生成されます。

繰り返し塊転送動作はデータ検索動作で利用できません。

この動作形態では、転送元アドレスに対して増加動作と再設定動作なしに形態設定することが推奨されます。

図5-7. EDMA – ﾃﾞｰﾀ検索

5.9. 異常検出

EDMA制御器は不正な操作を検知できます。異常条件は各EDMAﾁｬﾈﾙに対して個別に検出され、その異常条件は次の通りです。

- EEPROM位置への書き込み
- EEPROMがOFFの(休止形態動作移行)時のEEPROM読み込み
- 転送中のｿﾌﾄｳｪｱによるEDMA制御器または稼動中ﾁｬﾈﾙの禁止

5.10. ｿﾌﾄｳｪｱ ﾘｾｯﾄ

EDMA制御器とEDMAﾁｬﾈﾙは使用者ｿﾌﾄｳｪｱからﾘｾｯﾄできます。EDMA制御器がﾘｾｯﾄされると、ﾁｬﾈﾙを含み、EDMA制御器に関係する全てのﾚｼﾞｽﾀが解除(=0)されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄはEDMA制御器が禁止されている時にだけ行えます。

EDMAﾁｬﾈﾙがﾘｾｯﾄされると、そのEDMAﾁｬﾈﾙ関係する全てのﾚｼﾞｽﾀが解除(=0)されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄはそのEDMAﾁｬﾈﾙが禁止されている時にだけ行えます。

5.11. 保護

安全な動作を保証するため、

- ﾁｬﾈﾙ動作種別(CTRL.CHMODE)ﾋﾞｯﾄはEDMA制御器が許可(ENABLE=1)されている時に使用者変更に逆らって保護されます。
- いくつかのﾚｼﾞｽﾀ ﾋﾞｯﾄとﾚｼﾞｽﾀは単位処理(CTRL.ENABLE=1)中、使用者変更に逆らって保護されます。
  - EDMAﾁｬﾈﾙ制御ﾚｼﾞｽﾀA(CTRLA)内の繰り返し許可(REPEAT)と単発ﾃﾞｰﾀ転送(SINGLE)のﾋﾞｯﾄ
  - ｱﾄﾞﾚｽ制御(ADDCTRL)/転送元ｱﾄﾞﾚｽ制御(SRCADDCTRL)と転送先ｱﾄﾞﾚｽ制御(DESTADDCTRL)のﾚｼﾞｽﾀ
  - ﾒﾓﾘ ｱﾄﾞﾚｽ(ADDR)/転送元ｱﾄﾞﾚｽ(SRCADDR)と転送先ｱﾄﾞﾚｽ(DESTADDR)の16ﾋﾞｯﾄ ﾚｼﾞｽﾀ
  - 塊転送数(TRFCNT)/塊転送数下位(TRFCNTL)と塊転送数上位(TRFCNTH)のﾚｼﾞｽﾀ

CTRLAﾚｼﾞｽﾀ内の転送要求(TRFREQ)ﾋﾞｯﾄと起動元(TRIGSRC)ﾚｼﾞｽﾀが保護されないことに注意してください。

5.12. 割り込み

EDMAﾁｬﾈﾙで異常が検出された時またはEDMAﾁｬﾈﾙに対して単位処理が完了した時に、EDMA制御器は割り込みを生成することができます。各EDMAﾁｬﾈﾙは独立した割り込みﾍﾞｸﾀを持ち、異常と単位処理完了に対して異なる割り込み要求ﾌﾗｸﾞがあります。

5.13. ﾚｼﾞｽﾀ説明 – EDMA制御器

5.13.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	RESET	CHMODE1,0		DBUFMODE1,0		PRIMODE1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がEDMA制御器を許可します。EDMA制御器が許可されていて且つこのﾋﾞｯﾄが0を書かれた場合、内部転送緩衝部が空でEDMAﾃﾞｰﾀ転送が中止される前に、ENABLEﾋﾞｯﾄは解除(0)されません。

● **ﾋﾞｯﾄ6 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

RESETﾋﾞｯﾄへの1書き込みはEDMAが許可(ENABLE=1)されている限り無視されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄは制御器とﾁｬﾈﾙ ﾚｼﾞｽﾀを再初期化します。このﾋﾞｯﾄはEDMA制御器が禁止(ENABLE=0)されている時にだけ設定(1)することができます。

● **ﾋﾞｯﾄ5,4 – CHMODE : ﾁｬﾈﾙ動作種別** (Channel Mode)

これらのﾋﾞｯﾄは**表5-1.**に従ってﾁｬﾈﾙを標準動作または周辺機能動作に設定します。

表5-1. ﾁｬﾈﾙ形態設定

CHMODE1,0	群形態設定	内容	ﾁｬﾈﾙ番号
0 0	PER0123	周辺機能ﾁｬﾈﾙ×4	0,1,2,3
0 1	STD0	標準ﾁｬﾈﾙ×1	0
		周辺機能ﾁｬﾈﾙ×2	2,3
1 0	STD2	周辺機能ﾁｬﾈﾙ×2	0,1
		標準ﾁｬﾈﾙ×1	2
1 1	STD02	標準ﾁｬﾈﾙ×2	0,2

この領域はEDMA制御器が禁止(ENABLE=0)されている時にだけ設定することができます。

● **ﾋﾞｯﾄ3,2 – DBUFMODE1,0 : 2重緩衝動作種別** (Double Buffer Mode)

これらのﾋﾞｯﾄは**表5-2.**に従って各種ﾁｬﾈﾙでの2重緩衝を許可します。

表5-2. EDMA 2重緩衝設定

DBUFMODE1,0	群形態設定	内容
0 0	DISABLED	2重緩衝許可なし
0 1	BUF01	(存在するなら)周辺機能ﾁｬﾈﾙ0と1で2重緩衝許可
1 0	BUF23	(存在するなら)周辺機能ﾁｬﾈﾙ2と3で2重緩衝許可
1 1	BUF0123	・ﾁｬﾈﾙ動作種別(CHMODE)＝00の場合、 周辺機能ﾁｬﾈﾙ0と1と周辺機能ﾁｬﾈﾙ2と3でも2重緩衝許可 ・ﾁｬﾈﾙ動作種別(CHMODE)≠00の場合、 (ﾁｬﾈﾙ形態設定に拘らず)ﾁｬﾈﾙ0と2で2重緩衝許可

● **ﾋﾞｯﾄ1,0 – PRIMODE1～0 : ﾁｬﾈﾙ優先権種別** (Channel Priority Mode)

これらのﾋﾞｯﾄは**表5-2.**に従って内部ﾁｬﾈﾙ優先権を決定します。

表5-2. EDMAﾁｬﾈﾙ優先権設定

PRIMODE1,0	群形態設定	内容
0 0	RR0123	ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ
0 1	RR123	ﾁｬﾈﾙ0 > ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ(ﾁｬﾈﾙ1,2,3)
1 0	RR23	ﾁｬﾈﾙ0 > ﾁｬﾈﾙ1 > ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ(ﾁｬﾈﾙ2,3)
1 1	CH0123	ﾁｬﾈﾙ0 > ﾁｬﾈﾙ1 > ﾁｬﾈﾙ2 > ﾁｬﾈﾙ3

5.13.2. INTFLAGS – 割り込み状態ﾚｼﾞｽﾀ (Interrupt Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNIF	CH2TRNIF	CH1TRNIF	CH0TRNIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – CHnERRIF : ﾁｬﾈﾙn 異常割り込み要求ﾌﾗｸﾞ** (Channel n Error Interrupt Flag)

EDMAﾁｬﾈﾙnで異常条件が検出された場合、CHnERRIFﾌﾗｸﾞが設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。

これらのﾌﾗｸﾞは各EDMAﾁｬﾈﾙ制御B(CTRLB)ﾚｼﾞｽﾀで2重化されます。

● **ﾋﾞｯﾄ3～0 – CHnTRNIF : ﾁｬﾈﾙn 転送完了割り込み要求ﾌﾗｸﾞ** (Channel n Transaction Complete Interrupt Flag)

ﾁｬﾈﾙnでの単位転送処理が完了すると、CHnTRNIFﾌﾗｸﾞが設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。

これらのﾌﾗｸﾞは各EDMAﾁｬﾈﾙ制御B(CTRLB)ﾚｼﾞｽﾀで2重化されます。

5.13.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CH3BUSY	CH2BUSY	CH1BUSY	CH0BUSY	CH3PEND	CH2PEND	CH1PEND	CH0PEND	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – CHnBUSY : ﾁｬﾈﾙn 稼動中ﾌﾗｸﾞ** (Channel n Busy)

ﾁｬﾈﾙnがEDMA単位転送処理を開始すると、CHnBUSYﾌﾗｸﾞが1として読めます。このﾌﾗｸﾞはEDMAﾁｬﾈﾙnが禁止された時、ﾁｬﾈﾙn転送完了割り込み要求ﾌﾗｸﾞが設定(1)された時、またはEDMAﾁｬﾈﾙn異常割り込み要求ﾌﾗｸﾞが設定(1)された場合、自動的に解除(0)されます。

● **ﾋﾞｯﾄ3～0 – CHnPEND : ﾁｬﾈﾙn 保留中ﾌﾗｸﾞ** (Channel n Pending)

EDMA周辺機能ﾁｬﾈﾙnの上位で塊転送が保留中の場合、CHnPENDﾌﾗｸﾞが1として読めます。このﾌﾗｸﾞは塊転送開始時、または転送が中止された場合、自動的に解除(0)されます。

5.13.4. TEMP – 一時ﾚｼﾞｽﾀ (Temporary register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	TEMP7～0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～0 – TEMP7~0 : 一時値** (Temporary bits)

このﾚｼﾞｽﾀはEDMA制御器内の16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込み時に使用されます。CPUによって下位ﾊﾞｲﾄが読まれる時に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄがここに格納されます。このﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱから読み書きすることもできます。

詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

5.14. ﾚｼﾞｽﾀ説明 – 周辺機能ﾁｬﾈﾙ

5.14.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	–	BURSTLEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : ﾁｬﾈﾙn許可** (Channel Enable)

このﾋﾞｯﾄの設定(1)が周辺機能ﾁｬﾈﾙを許可します。このﾋﾞｯﾄは単位転送処理が完了される時に自動的に解除(0)されます。周辺機能ﾁｬﾈﾙが許可され、このﾋﾞｯﾄが0を書かれた場合、ﾁｬﾈﾙは集中転送間で禁止され、転送が中断されます。

● **ﾋﾞｯﾄ6 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄの設定(1)は周辺機能ﾁｬﾈﾙをﾘｾｯﾄします。このﾋﾞｯﾄは周辺機能ﾁｬﾈﾙが禁止(CTRLA.ENBALE=0)されている時にだけ設定(1)できます。このﾋﾞｯﾄへの1書き込みは周辺機能ﾁｬﾈﾙが許可(CTRLA.ENABLE=1)されている限り無視されます。このﾋﾞｯﾄはﾘｾｯﾄが完了される時に自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – REPEAT : 繰り返し許可** (Repeat Mode)

このﾋﾞｯﾄの解除(1)が繰り返し動作を許可します。繰り返し動作は2重緩衝動作でなければ”繰り返し塊転送”を許可します。さもなければこのﾋﾞｯﾄは緩衝動作用の接続を許可して最初の塊転送の最後でﾊｰﾄﾞｳｪｱによって解除(0)されます。ﾁｬﾈﾙが許可されている間のこのﾋﾞｯﾄへの書き込みは無視されます。

● **ﾋﾞｯﾄ4 – TRFREQ : 転送要求** (Transfer Request)

このﾋﾞｯﾄの設定(1)が周辺機能ﾁｬﾈﾙでのﾃﾞｰﾀ転送を要求し、ｿﾌﾄｳｪｱ起動として働きます。このﾋﾞｯﾄはﾃﾞｰﾀ転送の開始で自動的に解除(0)されます。このﾋﾞｯﾄの書き込みは周辺機能ﾁｬﾈﾙが許可されていなければ無効です。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – SINGLE : 単発ﾃﾞｰﾀ転送** (Single Shot Data Transfer)

このﾋﾞｯﾄの設定(1)が単発動作を許可します。その後に周辺機能ﾁｬﾈﾙは転送起動でBURSTLENﾊﾞｲﾄの集中転送を行います。ﾁｬﾈﾙが許可されている間、このﾋﾞｯﾄへの書き込みは無視されます。

● **ﾋﾞｯﾄ1 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – BURSTLEN : 集中転送長** (Burst Length)

このﾋﾞｯﾄは表5-4.に従って周辺機能ﾁｬﾈﾙの集中転送長を定義します。このﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-4. 周辺機能ﾁｬﾈﾙ集中転送長

BURSTLEN	群形態設定	内容
0	1BYTE	1ﾊﾞｲﾄ集中転送
1	2BYTE	2ﾊﾞｲﾄ集中転送

5.14.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CHBUSY : ﾁｬﾈﾙn稼動中** (Channel Busy)

周辺機能ﾁｬﾈﾙがEDMA単位転送処理を開始すると、CHBUSYﾌﾗｸﾞが1として読めます。EDMAﾁｬﾈﾙが禁止される時、ﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時、またはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – CHPEND : ﾁｬﾈﾙn保留中** (Channel Pending)

周辺機能ﾁｬﾈﾙで塊転送が保留中の場合、CHPENDが1として読めます。転送開始時、または転送が中止された場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● ﾋﾞｯﾄ5 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ (Error Interrupt Flag)

周辺機能ﾁｬﾈﾙで異常条件が検出された場合、ERRIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。周辺機能ﾁｬﾈﾙ異常割り込みは周辺機能ﾁｬﾈﾙ転送完了割り込みと割り込みｱﾄﾞﾚｽを共用しているため、ERRIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ4 – TRNIF : 転送完了割り込み要求ﾌﾗｸﾞ (Transaction Complete Interrupt Flag)

周辺機能ﾁｬﾈﾙでの単位転送処理が完了されると、TRANIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。繰り返し塊転送が許可されていなくて単位転送処理が完了すると、塊転送後にTRANIFが設定(1)されます。さもなくば、TRNIFは最後の塊転送後にも設定(1)されます。

周辺機能ﾁｬﾈﾙ転送完了割り込みが周辺機能ﾁｬﾈﾙ異常割り込みと割り込みｱﾄﾞﾚｽを共用しているので、TRNIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : ﾁｬﾈﾙn異常割り込みﾚﾍﾞﾙ (Channel Error Interrupt Level)

これらのﾋﾞｯﾄはEDMAﾁｬﾈﾙ転送異常に対する割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多ﾚﾍﾞﾙ割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される時の条件に対して起動します。

● ﾋﾞｯﾄ1,0 – TRNINTLVL1,0 : ﾁｬﾈﾙn転送完了割り込みﾚﾍﾞﾙ (Channel Transaction Complete Interrupt Level)

これらのﾋﾞｯﾄはEDMAﾁｬﾈﾙ単位転送処理完了に対する割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時の条件に対して起動します。

5.14.3. ADDRCTRL – ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ (Address Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	RELOAD1,0		–	DIR2~0			ADDRCTRL
Read/Write	R	R	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5,4 – RELOAD1,0 : ﾒﾓﾘ ｱﾄﾞﾚｽ再格納 (Memory Address Reload)

これらのﾋﾞｯﾄは**表5-5.**に従ってﾒﾓﾘ ｱﾄﾞﾚｽの再格納を決めます。ﾁｬﾈﾙが稼動中、これらのﾋﾞｯﾄへの書き込みは無視されます。

表5-5. ﾒﾓﾘ ｱﾄﾞﾚｽ再格納設定

RELOAD1,0	群形態設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	ﾒﾓﾘ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各塊転送の最後で初期値が再格納されます。
1 0	BURST	ﾒﾓﾘ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	ﾒﾓﾘ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各単位転送処理の最後で初期値が再格納されます。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – DIR2~0 : ﾒﾓﾘ ｱﾄﾞﾚｽ動作種別 (Memory Address Mode)

これらのﾋﾞｯﾄは**表5-6.**と**表5-7.**に従ってﾒﾓﾘ ｱﾄﾞﾚｽ動作種別を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-6. ﾒﾓﾘ ｱﾄﾞﾚｽ動作種別設定 – ﾒﾓﾘ⇒周辺機能転送

DIR2~0	群形態設定	内容
0 0 0	FIXED	固定
0 0 1	INC	増加
0 1 0	–	(予約)
0 1 1	–	(予約)
1 x x	–	(予約)

表5-7. ﾒﾓﾘ ｱﾄﾞﾚｽ動作種別設定 – 周辺機能⇒ﾒﾓﾘ転送

DIR2~0	群形態設定	内容
0 0 0	FIXED	固定
0 0 1	INC	増加
0 1 0	–	(予約)
0 1 1	–	(予約)
1 0 0	DP1	"遮蔽一致" (1ﾊﾞｲﾄ) ・ﾃﾞｰﾀ : ADDRLﾚｼﾞｽﾀ ・遮蔽 : ADDRHﾚｼﾞｽﾀ (有効ﾋﾞｯﾄ遮蔽=1) 注: 1ﾊﾞｲﾄ集中長動作でだけ利用可能
1 0 1	DP2	"OR一致" (1ﾊﾞｲﾄ) ・ﾃﾞｰﾀ1 : ADDRLﾚｼﾞｽﾀ ・ﾃﾞｰﾀ2 : ADDRHﾚｼﾞｽﾀ 注: 1ﾊﾞｲﾄ集中長動作でだけ利用可能
1 1 0	DP3	"2ﾊﾞｲﾄ一致" (2連続ﾊﾞｲﾄ) ・ﾃﾞｰﾀ1 : ADDRLﾚｼﾞｽﾀ (先頭ﾃﾞｰﾀまたは下位ﾊﾞｲﾄ) ・ﾃﾞｰﾀ2 : ADDRHﾚｼﾞｽﾀ (第2ﾃﾞｰﾀまたは上位ﾊﾞｲﾄ)
1 1 1	–	(予約)

5.14.4. TRIGSRC – 起動元ﾚｼﾞｽﾀ (Trigger Source register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	TRIGSRC7~0								TRIGSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TRIGSRC7~0 : 周辺機能ﾁｬﾈﾙn起動元選択** (Peripheral Channel Trigger Source Select)

これらのﾋﾞｯﾄはEDMA周辺機能ﾁｬﾈﾙでの転送を起動するのにどの起動元が使用されるかを選びます。EDMA周辺機能ﾁｬﾈﾙに対する起動元としていくつかの部署または周辺機能が利用できません。表5-8.以外の他の符号は無効です。

起動元と関連する割り込み要求ﾌﾗｸﾞが解除される、または割り込みが起動されるように割り込みﾚﾍﾞﾙを許可した場合、EDMA要求が失われます。EDMA要求が割り込み要求ﾌﾗｸﾞを解除し得るため、割り込みが失われ得ます。

注: 殆どの起動元に関してその要求は要求での周辺機能に属するﾚｼﾞｽﾀのｱｸｾｽによって解除されます。要求がどう生成されて解除されるかについては各種周辺機能章を参照してください。

表5-8. EDMA周辺機能ﾁｬﾈﾙ用起動元符号基準値

TRIGSRC 基準値	群形態設定	内容	TRIGSRC 基準値	群形態設定	内容
$10	ADCA	ADC A EDMA起動基準値 (注)	$4C	USARTC0	USART C0 EDMA起動基準値
$15	DACA	DAC A EDMA起動基準値 (注)	$6C	USARTD0	USART D0 EDMA起動基準値
$4A	SPIC	SPI C EDMA起動基準値			

注: 16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書き時は2ﾊﾞｲﾄ集中(2BYTE)形態設定を設定することが推奨されます。

表5-9. ADC起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	CH0	ADCﾁｬﾈﾙ0 ・転送方向 : 周辺機能⇒ﾒﾓﾘ ・EDMAはCH0RESﾚｼﾞｽﾀを読む

表5-10. DAC起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	CH0	DACﾁｬﾈﾙ0 ・転送方向 : ﾒﾓﾘ⇒周辺機能 ・EDMAはCH0DATAﾚｼﾞｽﾀを書く
+$01	CH1	DACﾁｬﾈﾙ1 ・転送方向 : ﾒﾓﾘ⇒周辺機能 ・EDMAはCH1DATAﾚｼﾞｽﾀを書く

表5-11. USART起動に対するEDMA起動元差分値

TRIGSRC差分値	群形態設定	内容
+$00	RXC	受信完了 ・転送方向：周辺機能⇒ﾒﾓﾘ ・EDMAはDATAﾚｼﾞｽﾀを読む
+$01	DRE	ﾃﾞｰﾀ ﾚｼﾞｽﾀ空 ・転送方向：ﾒﾓﾘ⇒周辺機能 ・EDMAはDATAﾚｼﾞｽﾀを書く

表5-12. SPI起動に対するEDMA起動元差分値

TRIGSRC差分値	群形態設定	内容
+$00	IFRXC	標準動作での転送完了または2重緩衝動作での受信完了 ・転送方向：周辺機能⇒ﾒﾓﾘ ・EDMAはDATAﾚｼﾞｽﾀを読む
+$01	IFDRE	標準動作での転送完了または2重緩衝動作でのﾃﾞｰﾀ ﾚｼﾞｽﾀ空 ・転送方向：ﾒﾓﾘ⇒周辺機能 ・EDMAはDATAﾚｼﾞｽﾀを書く

5.14.5. TRFCNT – 塊転送数ﾚｼﾞｽﾀ (Block Transfer Count register)

TRFCNTは塊転送でのﾊﾞｲﾄ数を定義します。TRFCNTの値はEDMAﾁｬﾈﾙによって各ﾊﾞｲﾄが読まれた後に減少(-1)されます。TRFCNTが0に達すると、ﾚｼﾞｽﾀは最後に書かれた値を再格納します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	TRFCNT7~0								TRFCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~0 – TRFCNT7~0 : 塊転送数** (Block Transfer Count)

このﾚｼﾞｽﾀの既定値は1です。転送動作に於いて使用者がこのﾚｼﾞｽﾀに0を書いてEDMA起動を始めた場合、EDMAは256回の転送を実行します。ﾃﾞｰﾀ一致動作でこのﾚｼﾞｽﾀが0に設定される場合、動作は計数制限を持たずに一致発生まで進行します。

5.14.6. ADDRL – ﾒﾓﾘ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ下位 (Memory Address register Low)

ADDRHとADDRLは16ﾋﾞｯﾄ値ADDRを表し、そしてこれは周辺機能ﾁｬﾈﾙによって実行される単位転送でのﾒﾓﾘ ｱﾄﾞﾚｽです。ADDHはこのﾚｼﾞｽﾀ内の上位ﾊﾞｲﾄです。ADDRは46頁の「**ADDCTRL – ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ**」内のﾒﾓﾘ ｱﾄﾞﾚｽ動作種別(DIR)ﾋﾞｯﾄでの設定に基いて自動的に増加し得ます。

ﾃﾞｰﾀ一致動作では、ADDRが47頁の**表5-7.**に従って認識するためのﾃﾞｰﾀに使用されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	ADDR7~0								ADDRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR7~0 : ﾒﾓﾘ ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ** (Memory Address Low Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ ﾒﾓﾘ ｱﾄﾞﾚｽの下位ﾊﾞｲﾄを保持します。

5.14.7. ADDRH – ﾒﾓﾘ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ上位 (Memory Address High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	ADDR15~8								ADDRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR15~8 : ﾒﾓﾘ ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ** (Memory Address High Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ ﾒﾓﾘ ｱﾄﾞﾚｽの上位ﾊﾞｲﾄを保持します。

5.15. ﾚｼﾞｽﾀ説明 – 標準ﾁｬﾈﾙ

5.15.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	–	BURSTLEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : ﾁｬﾈﾙn許可** (Channel Enable)

このﾋﾞｯﾄの設定(1)が標準ﾁｬﾈﾙを許可します。このﾋﾞｯﾄは単位転送処理が完了される時に自動的に解除(0)されます。標準ﾁｬﾈﾙが許可され、このﾋﾞｯﾄが0を書かれた場合、ﾁｬﾈﾙは集中転送間で禁止され、転送が中断されます。

● **ﾋﾞｯﾄ6 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄの設定(1)は標準ﾁｬﾈﾙをﾘｾｯﾄします。このﾋﾞｯﾄは標準ﾁｬﾈﾙが禁止(CTRLA.ENBALE=0)されている時にだけ設定(1)できます。このﾋﾞｯﾄへの1書き込みは標準ﾁｬﾈﾙが許可(CTRLA.ENABLE=1)されている限り無視されます。このﾋﾞｯﾄはﾘｾｯﾄが完了される時に自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – REPEAT : 繰り返し許可** (Repeat Mode)

このﾋﾞｯﾄの解除(1)が繰り返し動作を許可します。繰り返し動作は2重緩衝動作でなければ"繰り返し塊転送"を許可します。さもなければこのﾋﾞｯﾄは緩衝動作用の接続を許可して最初の塊転送の最後でﾊｰﾄﾞｳｪｱによって解除(0)されます。ﾁｬﾈﾙが許可されている間のこのﾋﾞｯﾄへの書き込みは無視されます。

● **ﾋﾞｯﾄ4 – TRFREQ : 転送要求** (Transfer Request)

このﾋﾞｯﾄの設定(1)が標準ﾁｬﾈﾙでのﾃﾞｰﾀ転送を要求し、ｿﾌﾄｳｪｱ起動として働きます。このﾋﾞｯﾄはﾃﾞｰﾀ転送の開始で自動的に解除(0)されます。このﾋﾞｯﾄの書き込みは標準ﾁｬﾈﾙが許可されていなければ無効です。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – SINGLE : 単発ﾃﾞｰﾀ転送** (Single Shot Data Transfer)

このﾋﾞｯﾄの設定(1)が単発動作を許可します。その後に標準ﾁｬﾈﾙは転送起動でBURSTLENﾊﾞｲﾄの集中転送を行います。ﾁｬﾈﾙが許可されている間、このﾋﾞｯﾄへの書き込みは無視されます。

● **ﾋﾞｯﾄ1,0 – BURSTLEN : 集中転送長** (Burst Length)

このﾋﾞｯﾄは表5-13.に従って標準ﾁｬﾈﾙの集中転送長を定義します。このﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-13. 標準ﾁｬﾈﾙ集中転送長

BURSTLEN	群形態設定	内容
0	1BYTE	1ﾊﾞｲﾄ集中転送
1	2BYTE	2ﾊﾞｲﾄ集中転送

5.15.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CHBUSY : ﾁｬﾈﾙn稼動中** (Channel Busy)

標準ﾁｬﾈﾙがEDMA単位転送処理を開始すると、CHBUSYﾌﾗｸﾞが1として読めます。EDMAﾁｬﾈﾙが禁止される時、ﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時、またはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – CHPEND : ﾁｬﾈﾙn保留中** (Channel Pending)

標準ﾁｬﾈﾙで塊転送が保留中の場合、CHPENDが1として読めます。転送開始時、または転送が中止された場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ** (Error Interrupt Flag)

標準ﾁｬﾈﾙで異常条件が検出された場合、ERRIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。

標準ﾁｬﾈﾙ異常割り込みは標準ﾁｬﾈﾙ転送完了割り込みと割り込みｱﾄﾞﾚｽを共用しているため、ERRIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ4 – TRNIF : 転送完了割り込み要求ﾌﾗｸﾞ (Transaction Complete Interrupt Flag)

標準ﾁｬﾈﾙでの単位転送処理が完了されると、TRANIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。繰り返し塊転送が許可されていなくて単位転送処理が完了すると、塊転送後にTRANIFが設定(1)されます。さもなくば、TRNIFは最後の塊転送後にも設定(1)されます。

標準ﾁｬﾈﾙ転送完了割り込みが標準ﾁｬﾈﾙ異常割り込みと割り込みｱﾄﾞﾚｽを共用しているので、TRNIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : ﾁｬﾈﾙn異常割り込みﾚﾍﾞﾙ (Channel Error Interrupt Level)

これらのﾋﾞｯﾄはEDMAﾁｬﾈﾙ転送異常に対する割り込みを許可し、94頁の「PMIC – 割り込みと設定可能な多ﾚﾍﾞﾙ割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される時の条件に対して起動します。

● ﾋﾞｯﾄ1,0 – TRNINTLVL1,0 : ﾁｬﾈﾙn転送完了割り込みﾚﾍﾞﾙ (Channel Transaction Complete Interrupt Level)

これらのﾋﾞｯﾄはEDMAﾁｬﾈﾙ単位転送処理完了に対する割り込みを許可し、94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時の条件に対して起動します。

5.15.3. SRCADDCTRL – 転送元ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ (Source Address Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	SRCRELOAD1,0		–	SRCDIR2~0			SRCADDCTRL
Read/Write	R	R	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5,4 – SRCRELOAD1,0 : 転送元ｱﾄﾞﾚｽ再格納 (Source Address Reload)

これらのﾋﾞｯﾄは表5-14.に従って転送元ｱﾄﾞﾚｽの再格納を決めます。ﾁｬﾈﾙが稼動中、これらのﾋﾞｯﾄへの書き込みは無視されます。

表5-14. 転送元ｱﾄﾞﾚｽ再格納設定

SRCRELOAD1,0	群形態設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各塊転送の最後で初期値が再格納されます。
1 0	BURST	転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各単位転送処理の最後で初期値が再格納されます。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – SRCDIR2~0 : 転送元ｱﾄﾞﾚｽ動作種別 (Source Address Mode)

これらのﾋﾞｯﾄは表5-15.に従って転送元ｱﾄﾞﾚｽ動作種別を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-15. 転送元ｱﾄﾞﾚｽ動作種別設定

SRCDIR2~0	群形態設定	内容
0 0 0	FIXED	固定
0 0 1	INC	増加
0 1 0	–	(予約)
0 1 1	–	(予約)
1 x x	–	(予約)

5.15.4. DESTADDCTRL – 転送先ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ (Destination Address Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	DESTRELOAD1,0		–	DESTDIR2~0			DESTADDCTRL
Read/Write	R	R	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5,4 – DESTRELOAD1,0 : 転送先ｱﾄﾞﾚｽ再格納** (Destination Address Reload)

これらのﾋﾞｯﾄは表5-16.に従って転送先ｱﾄﾞﾚｽの再格納を決めます。ﾁｬﾈﾙが稼動中、これらのﾋﾞｯﾄへの書き込みは無視されます。

表5-16. 転送先ｱﾄﾞﾚｽ再格納設定

DESTRELOAD1,0	群形態設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各塊転送の最後で初期値が再格納されます。
1 0	BURST	転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各単位転送処理の最後で初期値が再格納されます。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – DESTDIR2~0 : 転送先ｱﾄﾞﾚｽ動作種別** (Destination Address Mode)

これらのﾋﾞｯﾄは表5-17.に従って転送先ｱﾄﾞﾚｽ動作種別を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-17. 転送先ｱﾄﾞﾚｽ動作種別設定

DESTDIR2~0	群形態設定	内容
0 0 0	FIXED	固定
0 0 1	INC	増加
0 1 0	–	(予約)
0 1 1	–	(予約)
1 0 0	DP1	“遮蔽検索” (1ﾊﾞｲﾄ) ・ﾃﾞｰﾀ : DESTADDRLﾚｼﾞｽﾀ ・遮蔽 : DESTADDRHﾚｼﾞｽﾀ (有効ﾋﾞｯﾄ遮蔽=1) 注: 1ﾊﾞｲﾄ集中長動作でだけ利用可能
1 0 1	DP2	“OR検索” (1ﾊﾞｲﾄ) ・ﾃﾞｰﾀ1 : DESTADDRLﾚｼﾞｽﾀ ・ﾃﾞｰﾀ2 : DESTADDRHﾚｼﾞｽﾀ 注: 1ﾊﾞｲﾄ集中長動作でだけ利用可能
1 1 0	DP3	“2ﾊﾞｲﾄ検索” (2連続ﾊﾞｲﾄ) ・ﾃﾞｰﾀ1 : DESTADDRLﾚｼﾞｽﾀ (先頭ﾃﾞｰﾀまたは下位ﾊﾞｲﾄ) ・ﾃﾞｰﾀ2 : DESTADDRHﾚｼﾞｽﾀ (第2ﾃﾞｰﾀまたは上位ﾊﾞｲﾄ)
1 1 1	–	(予約)

5.15.5. TRIGSRC – 起動元ﾚｼﾞｽﾀ (Trigger Source register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	TRIGSRC7~0								TRIGSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TRIGSRC7~0 : 起動元選択** (Trigger Source Select)

これらのﾋﾞｯﾄはEDMA標準ﾁｬﾈﾙでの転送を起動するのにどの起動元が使用されるかを選びます。0値は起動元が禁止されることを意味します。表5-18.はEDMA標準ﾁｬﾈﾙによって支援される周辺機能と起動を示します。ﾃﾞﾊﾞｲｽに関して存在しない部署または周辺機能については転送起動も存在しません。利用可能な周辺機能の一覧についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

起動元と関連する割り込み要求ﾌﾗｸﾞが解除される、または割り込みが起動されるように割り込みﾚﾍﾞﾙを許可した場合、EDMA要求が失われます。EDMA要求が割り込み要求ﾌﾗｸﾞを解除し得るため、割り込みが失われ得ます。

表5-18. 全部署及び周辺機能に対するEDMA起動元基準値

TRIGSRC 基準値	群形態設定	内容	TRIGSRC 基準値	群形態設定	内容
$00	OFF	ｿﾌﾄｳｪｱ起動のみ (注)	$46	TCC5	ﾀｲﾏ/ｶｳﾝﾀ C5 EDMA起動基準値
$01	SYS	事象ｼｽﾃﾑEDMA起動基準値	$4A	SPIC	SPI C EDMA起動基準値
$10	ADCA	ADC A EDMA起動基準値	$4C	USARTC0	USART C0 EDMA起動基準値
$15	DACA	DAC A EDMA起動基準値	$66	TCD5	ﾀｲﾏ/ｶｳﾝﾀ D5 EDMA起動基準値
$40	TCC4	ﾀｲﾏ/ｶｳﾝﾀ C4 EDMA起動基準値	$6C	USARTD0	USART D0 EDMA起動基準値

注: 49頁の「CTRLA – 制御ﾚｼﾞｽﾀA」の転送要求(TRFREQ)ﾋﾞｯﾄをご覧ください。

表5-19. ADC起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	CH0	ADCﾁｬﾈﾙ0

表5-20. DAC起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	CH0	DACﾁｬﾈﾙ0
+$01	CH1	DACﾁｬﾈﾙ1

表5-21. 事象ｼｽﾃﾑ起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	CH0	事象ﾁｬﾈﾙ0
+$01	CH1	事象ﾁｬﾈﾙ1
+$02	CH2	事象ﾁｬﾈﾙ2

表5-22. ﾀｲﾏ/ｶｳﾝﾀに対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	OVF	上昇溢れ/下降漏れ
+$01	ERR	異常
+$02	CCA	比較または捕獲ﾁｬﾈﾙA
+$03	CCB	比較または捕獲ﾁｬﾈﾙB
+$04	CCC	比較または捕獲ﾁｬﾈﾙC (注1)
+$05	CCD	比較または捕獲ﾁｬﾈﾙD (注1)

注1: CCのCとDﾁｬﾈﾙはﾀｲﾏ/ｶｳﾝﾀ4でだけ利用可能です。

表5-23. USARTに対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	RXC	受信完了
+$01	DRE	ﾃﾞｰﾀ ﾚｼﾞｽﾀ空

表5-24. SPI起動に対するEDMA起動元差分値

TRIGSRC 差分値	群形態設定	内容
+$00	IFRXC	・標準動作での転送完了 ・2重緩衝動作での受信完了
+$01	IFDRE	・標準動作での転送完了 ・2重緩衝動作でのﾃﾞｰﾀ ﾚｼﾞｽﾀ空

群形態設定は基準_差分(base_offset)、例えばﾀｲﾏ/ｶｳﾝﾀC5のCCﾁｬﾈﾙAでの転送起動はTCC5_CCAです。

5.15.6. TRFCNTL – 塊転送数ﾚｼﾞｽﾀ下位 (Block Transfer Count register Low)

TRFCNTHとTRFCNTLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値TRFCNTを表します。TRFCNTは塊転送でのﾊﾞｲﾄ数を定義します。TRFCNTの値はEDMA標準ﾁｬﾈﾙによって各ﾊﾞｲﾄが読まれた後で減少(-1)されます。

この16ﾋﾞｯﾄ ﾚｼﾞｽﾀの既定値は($0001ではなく)$0101です。使用者がこの16ﾋﾞｯﾄ ﾚｼﾞｽﾀに$0000を書いてEDMA起動を始めた場合、EDMAは65536回の転送または検索を実行します。

TRFCNTが0に達すると、ﾚｼﾞｽﾀは最後に書かれた値で再格納されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	TRFCNT7~0								TRFCNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~0 – TRFCNT7~0 : 塊転送数下位ﾊﾞｲﾄ** (Block Transfer Count Low Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ塊転送数の下位ﾊﾞｲﾄを保持します。

5.15.7. TRFCNTH – 塊転送数ﾚｼﾞｽﾀ上位 (Block Transfer Count register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	TRFCNT15~8								TRFCNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~0 – TRFCNT15~8 : 塊転送数上位ﾊﾞｲﾄ** (Block Transfer Count High Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ塊転送数の上位ﾊﾞｲﾄを保持します。

5.15.8. SRCADDRL – 転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ下位 (Source Address register Low)

SRCADDRHとSRCADDRLは16ﾋﾞｯﾄ値SRCADDRを表し、そしてこれは標準ﾁｬﾈﾙによって実行される単位転送での転送元ｱﾄﾞﾚｽです。SRCADDRHはこのﾚｼﾞｽﾀ内の上位ﾊﾞｲﾄです。SRCADDRは50頁の「**SRCADDCTRL – 転送元ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ**」内の転送元ｱﾄﾞﾚｽ動作種別(SRCDIR)ﾋﾞｯﾄの設定に基いて自動的に増加し得ます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	SRCADDR7~0								SRCADDRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – SRCADDR7~0 : 転送元ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ** (Source Address Low Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ転送元ｱﾄﾞﾚｽの下位ﾊﾞｲﾄを保持します。

5.15.9. SRCADDRH – 転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ上位 (Source Address register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	SRCADDR15~8								SRCADDRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – SRCADDR15~8 : 転送元ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ** (Source Address High Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ転送元ｱﾄﾞﾚｽの上位ﾊﾞｲﾄを保持します。

5.15.10. DESTADDRL – 転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ下位 (Destination Address register Low)

DESTADDRHとDESTADDRLは16ﾋﾞｯﾄ値DESTADDRを表し、そしてこれは標準ﾁｬﾈﾙによって実行される単位転送での転送先ｱﾄﾞﾚｽです。DESTADDRHはこのﾚｼﾞｽﾀ内の上位ﾊﾞｲﾄです。DESTADDRは51頁の「**DESTADDCTRL – 転送先ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ**」内の転送先ｱﾄﾞﾚｽ動作種別(DESTDIR)ﾋﾞｯﾄの設定に基いて自動的に増加し得ます。

ﾃﾞｰﾀ一致動作では、DESTADDRが51頁の**表5-17.**に従って認識するためのﾃﾞｰﾀに使用されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	DESTADDR7~0								DESTADDRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DESTADDR7~0 : 転送先ｱﾄﾞﾚｽ0** (Destination Address Low Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ転送先ｱﾄﾞﾚｽの下位ﾊﾞｲﾄを保持します。

5.15.11. DESTADDRH – 転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ上位 (Destination Address register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	DESTADDR15~8								DESTADDRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DESTADDR15~8 : 転送先ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ** (Destnation Address High Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ転送先ｱﾄﾞﾚｽの上位ﾊﾞｲﾄを保持します。

5.16. ﾚｼﾞｽﾀ要約 – PER0123形態設定でのEDMA制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$40	ch3変位	EDMA周辺機能ﾁｬﾈﾙ3に対する変位ｱﾄﾞﾚｽ								
+$30	ch2変位	EDMA周辺機能ﾁｬﾈﾙ2に対する変位ｱﾄﾞﾚｽ								
+$20	ch1変位	EDMA周辺機能ﾁｬﾈﾙ1に対する変位ｱﾄﾞﾚｽ								
+$10	ch0変位	EDMA周辺機能ﾁｬﾈﾙ0に対する変位ｱﾄﾞﾚｽ								
+$07	予約	–	–	–	–	–	–	–	–	
+$06	TEMP	TEMP7~0								44
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	CH3BUSY	CH2BUSY	CH1BUSY	CH0BUSY	CH3PEND	CH2PEND	CH1PEND	CH0PEND	44
+$03	INTFLAGS	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNIF	CH2TRNIF	CH1TRNIF	CH0TRNIF	44
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	ENABLE	RESET	CHMODE1,0		DBUFMODE1,0		PRIMODE1,0		43

5.17. ﾚｼﾞｽﾀ要約 – STD0形態設定でのEDMA制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$40	ch3変位	EDMA周辺機能ﾁｬﾈﾙ3に対する変位ｱﾄﾞﾚｽ								
+$30	ch2変位	EDMA周辺機能ﾁｬﾈﾙ2に対する変位ｱﾄﾞﾚｽ								
+$20	予約	–	–	–	–	–	–	–	–	
+$10	ch0変位	EDMA周辺機能ﾁｬﾈﾙ0に対する変位ｱﾄﾞﾚｽ								
+$07	予約	–	–	–	–	–	–	–	–	
+$06	TEMP	TEMP7~0								44
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	CH3BUSY	CH2BUSY	–	CH0BUSY	CH3PEND	CH2PEND	–	CH0PEND	44
+$03	INTFLAGS	CH3ERRIF	CH2ERRIF	–	CH0ERRIF	CH3TRNIF	CH2TRNIF	–	CH0TRNIF	44
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	ENABLE	RESET	CHMODE1,0		DBUFMODE1,0		PRIMODE1,0		43

5.18. ﾚｼﾞｽﾀ要約 – STD2形態設定でのEDMA制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$40	予約	–	–	–	–	–	–	–	–	
+$30	ch2変位	EDMA周辺機能ﾁｬﾈﾙ2に対する変位ｱﾄﾞﾚｽ								
+$20	ch1変位	EDMA周辺機能ﾁｬﾈﾙ1に対する変位ｱﾄﾞﾚｽ								
+$10	ch0変位	EDMA周辺機能ﾁｬﾈﾙ0に対する変位ｱﾄﾞﾚｽ								
+$07	予約	–	–	–	–	–	–	–	–	
+$06	TEMP	TEMP7~0								44
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	–	CH2BUSY	CH1BUSY	CH0BUSY	–	CH2PEND	CH1PEND	CH0PEND	44
+$03	INTFLAGS	–	CH2ERRIF	CH1ERRIF	CH0ERRIF	–	CH2TRNIF	CH1TRNIF	CH0TRNIF	44
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	ENABLE	RESET	CHMODE1,0		DBUFMODE1,0		PRIMODE1,0		43

5.19. ﾚｼﾞｽﾀ要約 – STD02形態設定でのEDMA制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$40	予約	–	–	–	–	–	–	–	–	
+$30	ch2変位	EDMA周辺機能ﾁｬﾈﾙ2に対する変位ｱﾄﾞﾚｽ								
+$20	予約	–	–	–	–	–	–	–	–	
+$10	ch0変位	EDMA周辺機能ﾁｬﾈﾙ0に対する変位ｱﾄﾞﾚｽ								
+$07	予約	–	–	–	–	–	–	–	–	
+$06	TEMP	TEMP7~0								44
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	–	CH2BUSY	–	CH0BUSY	–	CH2PEND	–	CH0PEND	44
+$03	INTFLAGS	–	CH2ERRIF	–	CH0ERRIF	–	CH2TRNIF	–	CH0TRNIF	44
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	ENABLE	RESET	CHMODE1,0		DBUFMODE1,0		PRIMODE1,0		43

5.20. ﾚｼﾞｽﾀ要約 – EDMA周辺機能ﾁｬﾈﾙ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	ADDRH	ADDR15~8								48
+$08	ADDRL	ADDR7~0								48
+$07	予約	–	–	–	–	–	–	–	–	
+$06	TRFCNT	TRFCNT7~0								48
+$05	予約	–	–	–	–	–	–	–	–	
+$04	TRIGSRC	TRIGSRC7~0								47
+$03	予約	–	–	–	–	–	–	–	–	
+$02	ADDCTRL	–	–	RELOAD1,0		–	DIR1,0			46
+$01	CTRLB	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		45
+$00	CTRLA	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	–	BURSTLEN	45

5.21. ﾚｼﾞｽﾀ要約 – EDMA標準ﾁｬﾈﾙ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	DESTADDRH	DESTADDR15~8								54
+$0C	DESTADDRL	DESTADDR7~0								53
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	SRCADDRH	SRCADDR15~8								53
+$08	SRCADDRL	SRCADDR7~0								53
+$07	TRFCNTH	TRFCNT15~8								53
+$06	TRFCNTL	TRFCNT7~0								53
+$05	予約	–	–	–	–	–	–	–	–	
+$04	TRIGSRC	TRIGSRC7~0								52
+$03	DESTADDCTRL	–	–	DESTRELOAD1,0		–	DESTDIR1,0			51
+$02	SRCADDCTRL	–	–	SRCRELOAD1,0		–	SRCDIR1,0			50
+$01	CTRLB	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		49
+$00	CTRLA	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE		BURSTLEN	49

5.22. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	CH0_vect	EDMA制御器ﾁｬﾈﾙ0割り込みﾍﾞｸﾀ
$02	CH1_vect	EDMA制御器ﾁｬﾈﾙ1割り込みﾍﾞｸﾀ
$04	CH2_vect	EDMA制御器ﾁｬﾈﾙ2割り込みﾍﾞｸﾀ
$06	CH3_vect	EDMA制御器ﾁｬﾈﾙ3割り込みﾍﾞｸﾀ

6. 事象システム

6.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
  - CPUとEDMAの個別動作
  - 100%予測可能な信号タイミング
  - 短く保証された応答時間
- 8つまでの異なる平行信号経路と形態設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使用することが可能
- 以下の付加機能
  - 回転濾波付き直交復号
  - 柔軟な前置分周クロック任意選択を持つ入出力ピン状態のデジタル濾波
  - 周辺機能に提供される同時の同期と非同期の事象
- 全休止動作形態で作動

6.2. 概要

事象システムは周辺機能から周辺機能への直接的な通信と合図を許します。それは或る周辺機能の状態変化から別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するために設計されています。これは割り込み、CPU、またはEDMA制御器の資源なしで、自律の周辺機能制御と相互作用を許し、従ってこれは応用コードの複雑さ、大きさ、実行時間を減らすための強力な道具です。それは多数の周辺機能部署での同期した活動タイミングを許します。事象システムは周辺機能での瞬間活動に対する非同期事象配線も許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能の割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使用されるかはソフトウェアで形態設定されます。

図6-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、IR通信部署(IRCOM)、XMEGA注文論理回路(XCL)と共に直接的に接続することができます。これは単位転送処理起動(EDMA制御器)に使用することもできます。事象はソフトウェアと周辺クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使用されるかを制御する、ソフトウェアで形態設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象形態設定と配線を許します。外部同期事象の最大配線遅れは再同期のために2周辺クロック周期ですが、多くの周辺機能はどんなクロック遅延もなしに非同期事象を直接使用することができます。事象システムは全ての休止動作形態で動きますが、システム クロックが利用不能な休止動作形態では非同期事象だけを配線することができます。

図6-1. 事象システム概要と接続される周辺機能

6.3. 事象

事象システムの関係に於いては周辺機能内で状態変化が起きたことの指示が事象と呼ばれます。これらは3つの主な事象、合図事象、同期データ事象、非同期データ事象です。合図事象は状態変化を指示するだけで、一方データ事象は事象についての付加情報を含みます。

事象原点である周辺機能は事象発生器と呼ばれます。各周辺機能内、例えばタイマ/カウンタにはタイマ比較一致やタイマ上昇溢れのような多くの事象元があります。事象を使用する周辺機能は事象使用者と呼ばれ、起動される動作は事象活動と呼ばれます。

図6-2. 事象元、発生器、使用者、活動の例

事象はソフトウェアに於いて手動で発生することもできます。

6.4. 合図事象

合図事象は最も基本的な事象形式です。合図事象は周辺機能での変化指示を別にして何の情報も含みません。殆どの周辺機能は合図事象を生成して使用ことができるだけです。他に断りが無ければ、語'事象'の全表記はｽﾄﾛｰﾌﾞ(瞬発)である合図事象と理解されるべきです。

6.5. ﾃﾞｰﾀ事象

ﾃﾞｰﾀ事象は事象使用者が受信情報に基いて事象活動を決めるのに復号できる情報をそれらが含むことで合図事象と異なります。ﾃﾞｰﾀ事象は同期と非同期ができます。

事象経路網が全事象を全事象使用者へ経路付けすることができるとは言え、合図事象の使用だけを意図するそれらはﾃﾞｰﾀ事象の利用に必要な復号能力を持ちません。事象使用者がﾃﾞｰﾀ事象をどう復号するかは表6-1.で示されます。

ﾃﾞｰﾀ事象を利用できる事象使用者は合図事象も使用できます。これは設定可能で、各周辺機能に対するﾃﾞｰﾀｼｰﾄ部分で記述されます。

6.6. 周辺ｸﾛｯｸ事象

各事象ﾁｬﾈﾙは1(前置分周なし)～32768の範囲を持つ周辺ｸﾛｯｸ前置分周器を含みます。これは周辺ｸﾛｯｸに基づく、設定可能な周期的事象生成を許します。これは周辺機能での周期的な起動事象または多数の周辺機能での周期的な同期された起動事象が可能です。各事象ﾁｬﾈﾙが前置分周器を含むため、異なる周辺機能は異なる間隔での起動を受け取ることができます。

6.7. ｿﾌﾄｳｪｱ事象

事象は事象ﾃﾞｰﾀ(DATA)と事象発動(STROBE)のﾚｼﾞｽﾀを書くことによってｿﾌﾄｳｪｱから生成することができます。STROBEﾚｼﾞｽﾀ書き込みが動作を起動するので、DATAﾚｼﾞｽﾀが先に書かれなければなりません。DATAとSTROBEのﾚｼﾞｽﾀは各事象ﾁｬﾈﾙに対する1ﾋﾞｯﾄを含みます。ﾋﾞｯﾄnが事象ﾁｬﾈﾙnに対応します。多数のﾋﾞｯﾄ位置を一度に書くことによって同時に多数のﾁｬﾈﾙで事象を生成することが可能です。

ｿﾌﾄｳｪｱ生成事象は1ｸﾛｯｸ周期間持続し、そのｸﾛｯｸ周期間でそのﾁｬﾈﾙ上の他の事象生成器からの事象を上書きします。

表6-1.は各種事象がどう手動生成でき、どう復号されるのかを示します。

表6-1. 手動生成事象と事象の復号

STROBE	DATA	ﾃﾞｰﾀ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	ﾃﾞｰﾀ事象01	事象なし
1	0	ﾃﾞｰﾀ事象02	合図事象
1	1	ﾃﾞｰﾀ事象03	合図事象

6.8. 事象経路網

事象経路網は周辺機能間の事象を経路付けします。これは各々がどの事象元をどの事象使用者へも配線するように形態設定することができる8つの多重器(CHnMUX)から成ります。多重器からの出力は事象チャネルとして参照されます。各周辺機能については、やって来る事象が事象活動を起動すべきかどうかが選択可能です。形態設定の詳細については各周辺機能に関するデータシートで得られます。事象経路網は図6-3.で示されます。

図6-3. 事象経路網

8つの多重器は同時に8つまでの事象の経路付けが可能なことを意味します。1つの事象を沢山の多重器を通して経路付けすることも可能です。

全てのXMEGAデバイスが全ての周辺機能を含む訳ではありません。これはその周辺機能が事象の生成と使用に利用できないことだけを意味します。それ自身の網形態は全デバイス間で一致します。

各チャネルに関する事象選択と事象形式は表6-2.で示されます。

表6-2. 事象選択と事象形式

周辺機能	事象元	事象形式		
		ストローブ(瞬発)事象	同期データ	非同期データ
実時間計数器 (RTC)	RTC_OVF	○		○
	RTC_CMP	○		○
アナログ比較器 (AC)	AC_CH0	○		○
	AC_CH1	○		○
	AC_WIN	○		
A/D変換器 (ADC)	ADC_CH	○		
前置分周器	PRESC_M	○		
ポートn (PORTn)	PORTn_PIN0	○	○	○
	PORTn_PIN1	○	○	○
	PORTn_PIN2	○	○	○
	PORTn_PIN3	○	○	○
	PORTn_PIN4	○	○	○
	PORTn_PIN5	○	○	○
	PORTn_PIN6	○	○	○
	PORTn_PIN7	○	○	○
タイマ/カウンタ4 (TC4)	TC4_OVF	○		
	TC4_ERR	○		
	TC4_CCA	○		
	TC4_CCB	○		
	TC4_CCC	○		
	TC4_CCD	○		
タイマ/カウンタ5 (TC5)	TC5_OVF	○		
	TC5_ERR	○		
	TC5_CCA	○		
	TC5_CCB	○		
XMEGA注文論理回路 (XCL)	XCL_UNF0	○		
	XCL_UNF1	○		
	XCL_CC0	○		
	XCL_CC1	○		
	XCL_PEC0	○		
	XCL_PEC1	○		
	XCL_LUT0	○	○	○
	XCL_LUT1	○	○	○

6.9. 事象タイミング

通常、事象は1周辺クロック周期間持続しますが、I/OピンのLowレベルのようないくつかの事象元は継続的に事象を生成するでしょう。この詳細は各周辺機能に対するデータシートで記述されますが、その他言及がなければ事象は1周辺クロック周期間持続します。

事象が生成される時から他の周辺機能の事象活動が起動されるまでには最大2クロック周期かかります。これはCPUやEDMA制御器の負荷またはソフトウェア改訂と無関係に、短くて100%予測可能な応答時間を保証します。

非同期事象はどの周辺クロック遅延もなく配線され、供給元がこの事象を生成する限り存在します。

6.10. 濾波

各事象ﾁｬﾈﾙはﾃﾞｼﾞﾀﾙ濾波器を含みます。これが許可されると、それが受け入れられる前に形態設定可能なｼｽﾃﾑ ｸﾛｯｸまたは前置分周ｸﾛｯｸ周期数と同じ値分で採取されなければなりません。これは本来ﾋﾟﾝ変化事象用に意図されています。ﾃﾞｼﾞﾀﾙ濾波器用の既定ｸﾛｯｸはｼｽﾃﾑ ｸﾛｯｸです。任意で、ｸﾛｯｸはﾁｬﾈﾙ0～3またはﾁｬﾈﾙ4～5の各々に対する個別設定を持つ前置分周器を使用して分周することができます。

直交復号器拡張を持つ事象ﾁｬﾈﾙは回転濾波器を支援します。**図6-4.**は回転濾波器の出力信号を示します。回転濾波器出力はQDECの上昇、下降、指標操作を制御します。回転符号器(ﾛｰﾀﾘｰ ｴﾝｺｰﾀﾞ)使用時にﾃﾞｼﾞﾀﾙ濾波器を許可することができます。

図6-4. 回転符号器出力信号

6.11. 直交復号器

事象ｼｽﾃﾑはﾃﾞﾊﾞｲｽに、I/Oﾋﾟﾝの直交入力の復号と、ﾀｲﾏ/ｶｳﾝﾀが上昇計数、下降計数、または指標/ﾘｾｯﾄへ復号し得るﾃﾞｰﾀ事象の送出を許す、3つの直交復号器(QDEC)を含みます。表6-3.はどの直交復号器ﾃﾞｰﾀ事象が利用可能か、そしてそれらがﾀｲﾏ/ｶｳﾝﾀによってどう復号されるかと、それらがどう生成され得るかを示します。QDECと関連する機能、制御と状態のﾚｼﾞｽﾀは事象ﾁｬﾈﾙ0,2,4で利用できます。

表6-3. 直交復号器ﾃﾞｰﾀ事象

STROBE	DATA	ﾃﾞｰﾀ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	指標/ﾘｾｯﾄ	事象なし
1	0	下降計数	合図事象
1	1	上昇計数	合図事象

6.11.1. 直交動作

直交信号は互いに90°ｼﾌﾄされた位相関係の2つの方形波を持つことによって特徴付けされます。回転運動は2つの波形の端を計数することによって測定することができます。2つ方形波間の位相関係が回転方向を決めます。

図6-5.は回転符号器からの代表的な直交信号を示します。QDPH0とQDPH90の信号が2つの直交信号です。QDPH90がQDPH0より先行するとき、回転は正または正転として定義されます。QDPH0がQDPH90より先行するとき、回転は負または逆転として定義されます。2相信号の関連は直交状態または位相状態と呼ばれます。

図6-5. 回転符号器からの直交信号

絶対的な回転変位を知るために第3の指標信号(QINDX)が使用できます。これは1回転毎の指示を与えます。

6.11.2. QDEC初期設定

完全なQDEC初期設定については以下が必要とされます。

- 直交信号入力用の2または3つのI/Oﾎﾟｰﾄ ﾋﾟﾝ
- 直交復号用の2つの事象ｼｽﾃﾑ
- 上昇、下降と任意の指標計数用の1つのﾀｲﾏ/ｶｳﾝﾀ

QDEC初期設定に関して次の手順が使用されるべきです。

1. QDEC相入力としてﾎﾟｰﾄの2つの連続するﾋﾟﾝを選択してください。
2. QDPH0とQDPH90に対してﾋﾟﾝ方向を入力として設定してください。
3. QDPH0とQDPH90に対してﾋﾟﾝ形態をLowﾚﾍﾞﾙ感知条件に設定してください。
4. 事象ﾁｬﾈﾙnに対する多重器入力としてQDPH0ﾋﾟﾝを選択してください。
5. 事象ﾁｬﾈﾙで直交復号とﾃﾞｼﾞﾀﾙ濾波を許可してください。
6. 任意選択:
   1. ﾃﾞｼﾞﾀﾙ濾波器制御(DFCTRL)ﾚｼﾞｽﾀ任意選択を設定してください。
   2. QDEC指標(QINDX)を初期設定してください。
   3. QINDX入力用の第3のﾋﾟﾝを選択してください。
   4. QINDXに対してﾋﾟﾝ方向を入力として設定してください。
   5. QINDXに対するﾋﾟﾝ形態を両端感知条件に設定してください。
   6. 事象ﾁｬﾈﾙn+1に対する多重器入力としてQINDXを選択してください。
   7. 事象ﾁｬﾈﾙnで直交復号指標許可(QDIEN)ﾋﾞｯﾄを設定(1)してください。
   8. 事象ﾁｬﾈﾙnで直交復号指標認証動作(QDIRM1,0)を選択してください。
7. ﾀｲﾏ/ｶｳﾝﾀに対して事象活動として直交復号を設定してください。
8. ﾀｲﾏ/ｶｳﾝﾀ事象元として事象ﾁｬﾈﾙnを選択してください。
9. ﾀｲﾏ/ｶｳﾝﾀの定期(PER)ﾚｼﾞｽﾀを(直交符号器の直線計数数×4-1)に設定してください。
10. ｸﾛｯｸ前置分周なしでﾀｲﾏ/ｶｳﾝﾀを許可してください。

QDPH0,QDPH90(とQINDX)へ装着された直交符号器の角度が今やﾀｲﾏ/ｶｳﾝﾀ計数(CNTH:CNTL)ﾚｼﾞｽﾀから直接読めます。指標が認識された時に計数ﾚｼﾞｽﾀがBOTTOMと異なる場合、ﾀｲﾏ/ｶｳﾝﾀ異常ﾌﾗｸﾞ(ERRIF)が設定(1)されます。同様に指標の認識なしに計数器の位置がBOTTOMを通る場合も異常ﾌﾗｸﾞが設定(1)されます。

6.12. ﾚｼﾞｽﾀ説明

6.12.1. CHnMUX – 事象ﾁｬﾈﾙn多重器ﾚｼﾞｽﾀ (Event Channel n Multiplexer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+n	CHnMUX7~0								CHnMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHnMUX7~0 : 事象ﾁｬﾈﾙn多重器選択 (Channel Multiplexer)

これらのﾋﾞｯﾄは表6-4.に従って事象元を選びます。この表は周辺機能が存在するか否かのどちらかに拘らず全てのXMEGAﾃﾞﾊﾞｲｽに対して有効です。存在しない周辺機能からの事象元選択は、このﾚｼﾞｽﾀが0の時と同じ結果を与えます。このﾚｼﾞｽﾀが0の時、その間は経路付けされる事象はありません。手動生成事象はCHnMUXを無視し、例えこのﾚｼﾞｽﾀが0でもその事象ﾁｬﾈﾙへ経路付けします。

表6-5. XCL事象形式E

XCL事象			群形態設定	事象形式
0	0	0	XCL_UNF0	BTC0下溢れ
0	0	1	XCL_UNF1	BTC1下溢れ
0	1	0	XCL_CC0	BTC0捕獲/比較
0	1	1	XCL_CC1	BTC1捕獲/比較
1	0	0	XCL_PEC0	PEC0再始動
1	0	1	XCL_PEC1	PEC1再始動
1	1	0	XCL_LUT0	LUT0出力
1	1	1	XCL_LUT1	LUT1出力

表6-6. ﾀｲﾏ/ｶｳﾝﾀ事象形式E (注)

T/C事象			群形態設定	事象形式
0	0	0	TCxn_OVF	上昇/下降溢れ
0	0	1	TCxn_ERR	異常
0	1	0		(予約)
0	1	1		(予約)
1	0	0	TCxn_CCA	捕獲または比較A
1	0	1	TCxn_CCB	捕獲または比較B
1	1	0	TCxn_CCC	捕獲または比較C
1	1	1	TCxn_CCD	捕獲または比較D

注: x=C,D。n=4,5。

(訳注) 表6-4.の赤文字C,Dと表6-6.の赤文字xは基本的に複数同一周辺機能の個別指定に用いられ、それは各周辺機能がﾎﾟｰﾄ単位で配置されます。従ってこれらの文字はﾎﾟｰﾄ種別を表し、例えば対ﾀｲﾏ/ｶｳﾝﾀC0はﾎﾟｰﾄCに配置されたﾀｲﾏ/ｶｳﾝﾀ0を意味します。

表6-4. CHnMUXﾋﾞｯﾄ設定

CHnMUX7~4	CHnMUX3~0				群形態設定	事象元
0 0 0 0	0	0	0	0		なし(手動生成事象のみ)
0 0 0 0	0	0	0	1		(予約)
0 0 0 0	0	0	1	x		(予約)
0 0 0 0	0	1	x	x		(予約)
0 0 0 0	1	0	0	0	RTC_OVF	RTC上昇溢れ
0 0 0 0	1	0	0	1	RTC_CMP	RTC比較一致
0 0 0 0	1	0	1	x		(予約)
0 0 0 0	1	1	x	x		(予約)
0 0 0 1	0	0	0	0	ACA_CH0	ACAﾁｬﾈﾙ0
0 0 0 1	0	0	0	1	ACA_CH1	ACAﾁｬﾈﾙ1
0 0 0 1	0	0	1	0	ACA_WIN	ACA窓
0 0 0 1	0	0	1	1		(予約)
0 0 0 1	0	1	x	x		(予約)
0 0 0 1	1	x	x	x		(予約)
0 0 1 0	0	0	0	0	ADCA_CH	ADCAﾁｬﾈﾙ
0 0 1 0	0	0	0	1		(予約)
0 0 1 0	0	0	1	x		(予約)
0 0 1 0	0	1	x	x		(予約)
0 0 1 0	1	x	x	x		(予約)
0 0 1 1	x	x	x	x		(予約)
0 1 0 0	x	x	x	x		(予約)
0 1 0 1	0	n			PORTA_PINn	PORTAﾋﾟﾝn(n=0~7) (注)
0 1 0 1	1	x	x	x		(予約)
0 1 1 0	0	n			PORTC_PINn	PORTCﾋﾟﾝn(n=0~7) (注)
0 1 1 0	1	n			PORTD_PINn	PORTDﾋﾟﾝn(n=0~7) (注)
0 1 1 1	x	x	x	x		(予約)
1 0 0 0	M				PRESCALER_M	2^M分周Clk_{PER}(M=1~15)
1 0 0 1	x	x	x	x		(予約)
1 0 1 0	x	x	x	x		(予約)
1 0 1 1	0	E			表6-5.参照	XCL事象形式E
1 0 1 1	1	x	x	x		(予約)
1 1 0 0	0	E			表6-6.参照	ﾀｲﾏ/ｶｳﾝﾀC4事象形式E
1 1 0 0	1	E			表6-6.参照	ﾀｲﾏ/ｶｳﾝﾀC5事象形式E
1 1 0 1	0	x	x	x		(予約)
1 1 0 1	1	E			表6-6.参照	ﾀｲﾏ/ｶｳﾝﾀD5事象形式E
1 1 1 0	0	x	x	x		(予約)
1 1 1 1	1	x	x	x		(予約)

注: ﾎﾟｰﾄの事象生成法の記述は103頁の「ﾎﾟｰﾄ事象」項で記述されます。

6.12.2. CHnCTRL – 事象ﾁｬﾈﾙn制御ﾚｼﾞｽﾀ (Event Channel n Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08+n	ROTARY	QDIRM1,0		QDIEN	QDEN	DIFFILT2~0			CHnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ROTARY : 回転濾波器許可** (Rotary)

このﾋﾞｯﾄの設定(1)は回転濾波器を許可します。このﾋﾞｯﾄはCH0CTRLに対してのみ利用可能です。

● **ﾋﾞｯﾄ6,5 – QDIRM1,0 : 直交復号指標認識動作** (Quadrature Decode Index Recognition Mode)

これらのﾋﾞｯﾄは有効な指標信号が認識される位置に対するQDPH0とQDPH90の直交状態を決め、そして表6-7.に従って計数器指標ﾃﾞｰﾀ事象が与えられます。これらのﾋﾞｯﾄは接続された指標信号と共に直交復号器を用いる時にだけ設定されるべきです。これらのﾋﾞｯﾄはCH0CTRLに対してのみ利用可能です。

表6-7. QDIRMﾋﾞｯﾄ設定

QDIRM1,0	指標認識状態
0 0	{QDPH0,QDPH90}=00
0 1	{QDPH0,QDPH90}=01
1 0	{QDPH0,QDPH90}=10
1 1	{QDPH0,QDPH90}=11

● **ﾋﾞｯﾄ4 – QDIEN : 直交復号指標許可** (Quadrature Decode Index Enable)

このﾋﾞｯﾄが設定(1)されると、事象ﾁｬﾈﾙはQDEC指標元として使用され、指標ﾃﾞｰﾀ事象が許可されます。

このﾋﾞｯﾄはCH0CTRLに対してのみ利用可能です。

● **ﾋﾞｯﾄ3 – QDEN : 直交復号許可** (Quadrature Decode Enable)

このﾋﾞｯﾄの設定(1)がQDEC動作を許可します。このﾋﾞｯﾄは回転符号器(ﾛｰﾀﾘｰ ｴﾝｺｰﾀﾞ)が許可されている場合に無視されます。

このﾋﾞｯﾄはCH0CTRLに対してのみ利用可能です。

● **ﾋﾞｯﾄ2~0 – DIGFILT2~0 : ﾃﾞｼﾞﾀﾙ濾波器係数** (Digital Filter Coefficient)

これらのﾋﾞｯﾄはﾃﾞｼﾞﾀﾙ濾波器で使用する長さを定義します。事象は、事象元がDIGFILTで定義された前置分周周辺ｸﾛｯｸ数間活性(有効)で且つ同じﾚﾍﾞﾙで採取される時にだけ、事象ﾁｬﾈﾙを通じて渡されます。

表6-8. ﾃﾞｼﾞﾀﾙ濾波器係数値

DIGFILT2~0	群形態設定	内容
0 0 0	1SAMPLE	1採取
0 0 1	2SAMPLE	2採取
0 1 0	3SAMPLE	3採取
0 1 1	4SAMPLE	4採取
1 0 0	5SAMPLE	5採取
1 0 1	6SAMPLE	6採取
1 1 0	7SAMPLE	7採取
1 1 1	8SAMPLE	8採取

6.12.3. STROBE – 発動ﾚｼﾞｽﾀ (Strobe register)

STROBEﾚｼﾞｽﾀ位置が書かれると、各事象ﾁｬﾈﾙはSTROBEnと対応するDATAnﾋﾞｯﾄ設定のどれもが0でなければ、それに従って設定されます。

1周辺ｸﾛｯｸ持続する単独事象が生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10	STROBE7~0								STROBE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.12.4. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

このﾚｼﾞｽﾀはﾃﾞｰﾀ事象を手動生成する時のﾃﾞｰﾀ値を含みます。このﾚｼﾞｽﾀは事象発動(STROBE)ﾚｼﾞｽﾀの前に書かれなければなりません。詳細については「STROBE – 事象発動ﾚｼﾞｽﾀ」をご覧ください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$11	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.12.5. DFCTRL – ﾃﾞｼﾞﾀﾙ濾波器制御ﾚｼﾞｽﾀ (Digital Filter Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$12	PRESCFILT3~0				FILTSEL	PRESC2~0			DFCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – PRESCFILT3~0 : 前置分周濾波** (Prescaler Filter)

これらのﾋﾞｯﾄは表6-9.に従って前置分周濾波設定を定義します。

表6-9. 前置分周濾波選択

PRESCFILT3~0	群形態設定	内容
x x x 1	CH04	ﾁｬﾈﾙ0または4のどちらかに対して前置分周濾波を許可
x x 1 x	CH15	ﾁｬﾈﾙ1または5のどちらかに対して前置分周濾波を許可
x 1 x x	CH26	ﾁｬﾈﾙ2または6のどちらかに対して前置分周濾波を許可
1 x x x	CH37	ﾁｬﾈﾙ3または7のどちらかに対して前置分周濾波を許可

● **ﾋﾞｯﾄ3 – FILTSEL : 前置分周濾波選択** (Prescaler Filter Select)

このﾋﾞｯﾄの設定(1)は事象ﾁｬﾈﾙ4から7での前置分周ｸﾛｯｸ任意選択を許可します。このﾋﾞｯﾄの解除(0)は事象ﾁｬﾈﾙ0から3での前置分周ｸﾛｯｸ任意選択を許可します。このﾋﾞｯﾄは前置分周濾波(PRESCFILT)ﾋﾞｯﾄによって定義される設定と共に使用されます。

● **ﾋﾞｯﾄ2~0 – PRESC2~0 : 前置分周** (Prescaler)

これらのﾋﾞｯﾄは表6-10.に従ってﾃﾞｼﾞﾀﾙ濾波器ｸﾛｯｸ前置分周器設定を選択します。

表6-10. 前置分周器任意選択

PRESC2~0	群形態設定	内容
0 0 0	CLKPER_8	2^3分周ClkPER
0 0 1	CLKPER_64	2^6分周ClkPER
0 1 0	CLKPER_512	2^9分周ClkPER
0 1 1	CLKPER_4096	2^{12}分周ClkPER
1 0 0	CLKPER_32768	2^{15}分周ClkPER
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	–	(予約)

6.13. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$12	DFCTRL	PRESCFILT3~0				FILTSEL	PRESC2~0			56
+$11	DATA	DATA7~0								56
+$10	STROBE	STROBE7~0								55
+$0F	CH7CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0E	CH6CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0D	CH5CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0C	CH4CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0B	CH3CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0A	CH2CTRL	–	–	–	–	–	DIGFILT2~0			55
+$09	CH1CTRL	–	–	–	–	–	DIGFILT2~0			55
+$08	CH0CTRL	ROTARY	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			55
+$07	CH7MUX	CH7MUX7~0								54
+$06	CH6MUX	CH6MUX7~0								54
+$05	CH5MUX	CH5MUX7~0								54
+$04	CH4MUX	CH4MUX7~0								54
+$03	CH3MUX	CH3MUX7~0								54
+$02	CH2MUX	CH2MUX7~0								54
+$01	CH1MUX	CH1MUX7~0								54
+$00	CH0MUX	CH0MUX7~0								54

7. システム クロックとクロック選択

7.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
  - 32MHz走行時校正付き発振器
  - 2MHz出力と高速始動を持つ8MHz校正付き発振器
  - 32.768kHz校正付き発振器
  - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
  - 0.4～16MHzクリスタル用発振器
  - 32.768kHzクリスタル用発振器
  - 外部クロック信号
- 20～128MHz出力周波数を持つPLL
  - 内部及び外部クロック任意選択と1～31逓倍
  - 固定化検出器
- 1～2048分周のクロック前置分周器
- CPUクロックの2倍と4倍で走行する高速周辺クロック
- 32MHz内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

7.2. 概要

XMEGAデバイスは多数のクロック元を支援する柔軟なクロック システムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使用できます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使用できます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に8MHz内部発振器の2MHz出力からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図7-1.はXMEGA系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは80頁の「**電力管理と休止形態動作**」で記述されるように、休止形態動作と電力削減レジスタを使用して停止することができます。

図7-1. クロック システム、クロック元とクロック配給

7.3. クロック配給

図7-1.はXMEGAﾃﾞﾊﾞｲｽで使用される原則的なｸﾛｯｸ配給系統を表します。

7.3.1. ｼｽﾃﾑ ｸﾛｯｸ – clk_{SYS}

ｼｽﾃﾑ ｸﾛｯｸは主ｼｽﾃﾑ ｸﾛｯｸ選択からの出力です。これは非同期ｸﾛｯｸを除く全ての内部ｸﾛｯｸを生成するのに使用される前置分周器に供給されます。

7.3.2. CPUｸﾛｯｸ – clk_{CPU}

CPUｸﾛｯｸはCPUと不揮発性ﾒﾓﾘへ送られます。CPUｸﾛｯｸの停止は命令実行からCPUを抑制します。

7.3.3. 周辺ｸﾛｯｸ – clk_{PER}

主要な周辺機能とｼｽﾃﾑ部署がこの周辺ｸﾛｯｸを使用します。これには、EDMA制御器、事象ｼｽﾃﾑ、割り込み制御器とSRAMを含みます。このｸﾛｯｸは常にCPUｸﾛｯｸに同期しますが、例えCPUｸﾛｯｸがOFFされても動作できます。

7.3.4. 周辺2倍/4倍ｸﾛｯｸ – clk_{PER2},clk_{PER4}

CPUｸﾛｯｸ周波数の2または4倍で動作できる部署は2倍周辺ｸﾛｯｸと4倍周辺ｸﾛｯｸを使用できます。

7.3.5. 非同期ｸﾛｯｸ – clk_{RTC}

非同期ｸﾛｯｸは外部32.768kHzｸﾘｽﾀﾙ用発振器、32.768kHz内部発振器からの32分周出力、または超低電力(ULP)発振器からの直接ｸﾛｯｸ駆動を実時間計数器(RTC)に許します。例えﾃﾞﾊﾞｲｽが休止形態動作で残りのｸﾛｯｸが停止されても、専用のｸﾛｯｸ範囲がこの周辺機能の動作を許します。

7.4. クロック元

ｸﾛｯｸ元は2つの主な群、内部発振器と外部ｸﾛｯｸ元に分けられます。ｸﾛｯｸ元の殆どはｿﾌﾄｳｪｱから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。ﾘｾｯﾄ後にﾃﾞﾊﾞｲｽは8MHz内部発振器の2MHz出力からの走行で始動します。既定での他のｸﾛｯｸ元、DFLL、PLLはOFFされます。

7.4.1. 内部発振器

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

7.4.1.1. 32kHz超低電力発振器

この発振器は概ね32kHzのｸﾛｯｸを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のｸﾛｯｸ元で、これは高い精度用に設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使用します。ﾃﾞﾊﾞｲｽのどれかの部分に対するｸﾛｯｸ元として使用される時に、この発振器は自動的に許可/禁止されます。この発振器はRTCに対するｸﾛｯｸ元として選択することができます。

7.4.1.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのｸﾛｯｸを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)ﾚｼﾞｽﾀは発振器周波数の走行時校正のためにｿﾌﾄｳｪｱからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使用します。

7.4.1.3. 32MHz走行時校正付き内部発振器

32MHz走行時校正内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。ﾃﾞｼﾞﾀﾙ固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のめに、発振器の自動走行時校正を許可することができます。この発振器は30～55MHz間の何れかの周波数に調整と較正をすることもできます。

7.4.1.4. 8MHz校正付き内部発振器

8MHz校正内部発振器はﾘｾｯﾄ後の既定ｼｽﾃﾑ ｸﾛｯｸ元です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。

7.4.2. 外部ｸﾛｯｸ元

XTAL1とXTAL2ﾋﾟﾝは水晶ｸﾘｽﾀﾙまたはｾﾗﾐｯｸ振動子のどちらに対しても、外部発振器を駆動するのに使用できます。XTAL1またはﾎﾟｰﾄCの4番ﾋﾟﾝ(PC4)は外部ｸﾛｯｸ信号に対する入力としても使用できます。TSOC1とTOSC2ﾋﾟﾝは32.768kHzｸﾘｽﾀﾙ用発振器駆動専用です。

7.4.2.1. 0.4～16MHzｸﾘｽﾀﾙ用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。図7-2.はｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子の代表的な接続を示します。

C1とC2の2つの容量は接続されたｸﾘｽﾀﾙで必要とされる負荷容量と合わせるために追加することができます。

図7-2. ｸﾘｽﾀﾙ発振子接続

7.4.2.2. 外部ｸﾛｯｸ入力

外部ｸﾛｯｸ元からﾃﾞﾊﾞｲｽを駆動するのに、XTAL1ﾋﾟﾝを使用することができます。XTAL1は図7-3.で示されるように駆動されなければなりません。この動作ではXTAL2を標準I/Oﾋﾟﾝとして使用できます。外部ｸﾛｯｸ入力用の代替位置としてﾎﾟｰﾄCの4番ﾋﾟﾝ(PC4)を使用することができます。

図7-3. 外部ｸﾛｯｸ駆動接続

7.4.2.3. 32.768kHzｸﾘｽﾀﾙ用発振器

32.768kHzｸﾘｽﾀﾙ用発振器は専用の低周波数発振器入力回路を許可することによってTOSC1とTOSC2のﾋﾟﾝ間に接続できます。代表的な接続は図7-4.で示されます。TOSC2での振幅電圧を減らした低電力動作が利用可能です。この発振器はｼｽﾃﾑ ｸﾛｯｸとRTCに対するｸﾛｯｸ元としてと、DFLL基準として使用できます。

C1とC2の2つの容量は接続されたｸﾘｽﾀﾙで必要とされる負荷容量と合わせるために追加することができます。推奨されるTOSC特性と負荷容量の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

図7-4. 32.768kHzｸﾘｽﾀﾙ発振子接続

7.5. ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器

全ての校正付き内部発振器、外部ｸﾛｯｸ元(XOSC)、PLL出力がｼｽﾃﾑ ｸﾛｯｸ元として使用できます。ｼｽﾃﾑ ｸﾛｯｸ元はｿﾌﾄｳｪｱから選択可能で、通常動作の間に変更することができます。組み込みﾊｰﾄﾞｳｪｱ保護が安全でないｸﾛｯｸ切り換えを防ぎます。不活性または禁止されている発振器をｸﾛｯｸ元として選択することと、ｼｽﾃﾑ ｸﾛｯｸとして現在使用している発振器を禁止することは不可能です。発振器の準備可を調べるために各発振器はｿﾌﾄｳｪｱから読むことができる状態ﾌﾗｸﾞを持っています。

ｼｽﾃﾑ ｸﾛｯｸはそれをCPUや周辺機能へ配給する前にｸﾛｯｸ信号を1～2048分周できる前置分周部へ供給されます。前置分周器設定は通常動作の間にｿﾌﾄｳｪｱから変更できます。初段の前置分周器Aは1～512分周できます。そして前置分周器BとCは個別にｸﾛｯｸをそのまま通すか、または合同で1～4分周するかのどちらかに形態設定できます。前置分周器は前置分周器設定変更時に起こる中間の周波数やｸﾞﾘｯﾁのないことと、(正しい)位相を常に保証します。前置分周器設定は最低ｸﾛｯｸの上昇端に従って更新されます。

図7-5. ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器

前置分周器Aはｼｽﾃﾑ ｸﾛｯｸを分周し、その結果のｸﾛｯｸがclkPER4です。CPU ｸﾛｯｸ周波数の2または4倍での動作を周辺機能に許すために、前置分周器BとCはｸﾛｯｸ速度の更なる分周を許すことができます。前置分周器BとCが使用されない場合は、全てのｸﾛｯｸが前置分周器Aからの出力として同じ周波数で動作します。

ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周ﾚｼﾞｽﾀは、ｼｽﾃﾑ ｸﾛｯｸと前置分周器設定の変更に対して時間制限書き込み手順を使用する形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

7.6. 1～31の倍率を持つPLL

組み込み位相固定化閉路(PLL:Phase Locked Loop)は高周波数ｼｽﾃﾑ ｸﾛｯｸを生成するのに使用できます。PLLは使用者が選択可能な1～31の倍率を持ちます。出力周波数f_{OUT}は倍率PLL_FACで乗算された入力周波数f_{IN}によって与えられます。

$$f_{OUT} = f_{IN} \times PLL_FAC$$

PLLへの入力として5つの異なるｸﾛｯｸ元が選択できます。

- 8MHz内部発振器からの2MHz出力
- 8MHz内部発振器
- 4分周された32MHz内部発振器
- 0.4～16MHzｸﾘｽﾀﾙ用発振器
- 外部ｸﾛｯｸ信号

PLLを許可するには次の手順に従わなければなりません。

1. 基準ｸﾛｯｸ元を許可してください。
2. 倍率を設定し、PLLに対する基準ｸﾛｯｸを選択してください。
3. 基準ｸﾛｯｸ元が安定するまで待ってください。
4. PLLを許可してください。

PLLが使用中の時にPLL形態設定が変更できないことをﾊｰﾄﾞｳｪｱが保証します。PLLは新しい形態設定が書かれ得る前に禁止されなければなりません。

選択したｸﾛｯｸ元が安定してPLLが固定化する前にPLLを使用することはできません。

PLLが走行中、基準ｸﾛｯｸ元を禁止することはできません。

7.7. DFLL 32MHz

32MHzの内部発振器の精度を改善するために組み込みﾃﾞｼﾞﾀﾙ周波数固定化閉路(DFLL:Digital Frequency Locked Loop)が使用できます。発振器の走行時自動校正と、温度と電圧の変動の補償を行うために、DFLLは発振器周波数をより高い精度の発振器と比較します。基準ｸﾛｯｸ元に関する選択は次の通りです。

- 32.768kHz校正付き内部発振器
- TOSCﾋﾟﾝに接続された32.768kHzｸﾘｽﾀﾙ用発振器
- 外部ｸﾛｯｸ

DFLLは1.024kHz基準を使用するので発振器基準ｸﾛｯｸを32分周します。図7-6.で示されるように、基準ｸﾛｯｸはDFLLに対して個別に選択されます。

COMPﾚｼﾞｽﾀに書かれるべき値は次式によって与えられます。

$$COMP = hex\left(\frac{f_{OSC}}{f_{RC32MCREF}}\right)$$

図7-6. DFLL基準ｸﾛｯｸ選択

DFLL許可時、それは基準ｸﾛｯｸ周波数と発振器周波数間の比率を制御します。内部発振器が速すぎるまたは遅すぎる動作なら、DFLLは発振器周波数を調節するためにそれの校正ﾚｼﾞｽﾀ値を1つ増加または減少します。誤差が1/2較正段階量よりも大きい時に発振器は速すぎるまたは遅すぎると見做されます。

DFLLは発振器が停止される休止形態動作へ移行する時に停止します。起動後、DFLLは休止形態移行前に得た校正値で(動作を)継続します。DFLL校正ﾚｼﾞｽﾀのﾘｾｯﾄ値は製品識票列から読むことができます。

DFLLが禁止されると、DFLL校正ﾚｼﾞｽﾀは発振器の走行時手動校正用にｿﾌﾄｳｪｱから書くことができます。

図7-7. 走行時自動校正

7.8. PLLと外部クロック元停止監視器

PLLと外部クロック元に対して組み込み停止監視器が利用可能です。PLLや外部クロック元に関して停止監視器が許可され、このクロック元がシステム クロックとして使用されている間に失敗(PLLが固定化を失う、または外部クロック元停止)の場合、デバイスは以下を行います。

- 8MHz内部発振器からの2MHz出力でシステム クロックを走行するように切り替えます。
- 発振器制御(CTRL)レジスタとシステム クロック制御(CTRL)レジスタをそれらの既定値にリセットします。
- 失敗したクロック元(PLLまたは外部クロック)に対する停止検出割り込み要求フラグ(PLLFDIFまたはXOSCFDIF)を設定(1)します。
- 遮蔽不可割り込み(NMI)を発行します。

システム クロック元として使用されていない時にPLLまたは外部発振器が停止した場合、それが自動的に禁止される一方で、システム クロックは通常動作を継続します。NMIは発行されません。停止監視器は32kHz異常の外部クロック元を予定されています。

停止監視器が許可されると、次のリセットまでそれを禁止することはできません。

停止監視器はPLLまたは外部クロック元が停止される全ての休止形態動作で禁止されます。休止形態からの起動の間にそれは自動的に再開されます。

PLLと外部クロック元停止監視器設定は設定を変更するのに時間制限書き込み手順を使用する形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

7.9. レジスタ説明 – クロック

7.9.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	SCLKSEL2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このレジスタは施錠(LOCK)レジスタでクロック システム施錠(LOCK)ビットが設定(1)されている場合に書き込み保護されます。

● **ビット7~3 – 予約** (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット2~0 – SCLKSEL2~0 : システム クロック選択** (System Clock Selection)

これらのビットはシステム クロック用の供給元を選ぶのに使用されます。各種選択については**表7-1.**をご覧ください。システム クロック元変更は旧クロック元で2クロック周期と新クロック元で2クロック周期かかります。これらのビットは形態設置変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

SCLKSELは新しいクロック元が安定でない場合に変更することができません。旧クロックはクロック切り替えが完了されるまで禁止することができません。

表7-1. システム クロック選択

SCLKSEL2~0	群形態設定	内容
0 0 0	RC2MHZ	8MHz内部RC発振器からの2MHz
0 0 1	RC32MHZ	32MHz内部環状発振器
0 1 0	RC32KHZ	32.768kHz内部RC発振器
0 1 1	XOSC	外部発振器またはクロック
1 0 0	PLL	位相固定化閉路(PLL)
1 0 1	RC8MHZ	8MHz内部RC発振器
1 1 0	–	(予約)
1 1 1	–	(予約)

7.9.2. PSCTRL – 前置分周制御レジスタ (Prescaler Control register)

ビット	7	6	5	4	3	2	1	0	
+$01	–	PSADIV4~0					PSBCDIV1,0		PSCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このレジスタは施錠(LOCK)レジスタでクロック システム施錠(LOCK)ビットが設定(1)されている場合に書き込み保護されます。

● **ビット7 – 予約** (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● **ビット6~2 – PSADIV4~0 : 前置分周器A分周係数** (Prescaler A Division Factor)

これらのビットは**表7-2.**に従ったクロック前置分周器Aの分周比を定義します。これらのビットはシステム クロックclk_{SYS}に比例するclk_{PER4}の周波数を変更するので、走行時に書くことができます。

表7-2. 前置分周器Aの分周係数

PSADIV4~0	群形態設定	内容	PSADIV4~0	群形態設定	内容
0 0 0 0 0	1	分周なし			
0 0 0 0 1	2	2分周	1 0 0 0 1	512	512分周
0 0 0 1 1	4	4分周	1 0 0 1 1	6	6分周
0 0 1 0 1	8	8分周	1 0 1 0 1	10	10分周
0 0 1 1 1	16	16分周	1 0 1 1 1	12	12分周
0 1 0 0 1	32	32分周	1 1 0 0 1	24	24分周
0 1 0 1 1	64	64分周	1 1 0 1 1	48	48分周
0 1 1 0 1	128	128分周	1 1 1 0 1	–	(予約)
0 1 1 1 1	256	256分周	1 1 1 1 1	–	(予約)

● **ﾋﾞｯﾄ1,0 – PSBCDIV1,0 : 前置分周器B,C分周係数** (Prescaler B and C Division Factor)

これらのﾋﾞｯﾄは表7-3.に従ってｸﾛｯｸ前置分周器BとCの分周比を定義します。前置分周器Bはclk_{PER4}ｸﾛｯｸに比例するclk_{PER2}ｸﾛｯｸのｸﾛｯｸ周波数を設定します。前置分周器Cはclk_{PER2}に比例するclk_{PER}とclk_{CPU}ｸﾛｯｸのｸﾛｯｸ周波数を設定します。より多くの詳細については57頁の図7-5.を参照してください。

表7-3. 前置分周器BとCの分周係数

PSBCDIV1,0	群形態設定	分周数	
		B	C
0 0	1_1	分周なし	分周なし
0 1	1_2	分周なし	2分周
1 0	4_1	4分周	分周なし
1 1	2_2	2分周	2分周

7.9.3. LOCK – 施錠ﾚｼﾞｽﾀ (Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	–	–	LOCK	LOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – LOCK : ｸﾛｯｸ ｼｽﾃﾑ施錠** (Clock System Lock)

このﾋﾞｯﾄが1を書かれると、ｼｽﾃﾑ ｸﾛｯｸ制御(CTRL)ﾚｼﾞｽﾀとｼｽﾃﾑ ｸﾛｯｸ前置分周器(PSCTRL)ﾚｼﾞｽﾀが変更できなくなり、ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器設定は次のﾘｾｯﾄ後まで全ての更なる更新に対して保護されます。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

LOCKﾋﾞｯﾄはﾘｾｯﾄによってのみ解除(0)されます。

7.9.4. RTCCTRL – 実時間計数器(RTC)制御ﾚｼﾞｽﾀ (RTC Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	RTCSRC2~0			RTCEN	RTCCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3～1 – RTCSRC2~0 : RTCｸﾛｯｸ元選択** (RTC Clock Source)

これらのﾋﾞｯﾄは表7-4.に従って実時間計数器(RTC)に対するｸﾛｯｸ元を選びます。

表7-4. RTCｸﾛｯｸ元選択

RTCSRC2~0	群形態設定	内容
0 0 0	ULP	内部32kHz超低電力(ULP)発振器からの1kHz
0 0 1	TOSC	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器からの1.024kHz
0 1 0	RCOSC	32.768kHz内部RC発振器からの1.024kHz
0 1 1	–	(予約)
1 0 0	–	(予約)
1 0 1	TOSC32	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器からの32.768kHz
1 1 0	RCOSC32	32.768kHz内部RC発振器からの32.768kHz
1 1 1	EXTCLK	TOSC1からの外部ｸﾛｯｸ信号

● **ﾋﾞｯﾄ0 – RTCEN : RTCｸﾛｯｸ元許可** (RTC Clock Source Enable)

RTCENﾋﾞｯﾄの設定(1)が実時間計数器(RTC)に対して選択したｸﾛｯｸ元を許可します。

7.10. ﾚｼﾞｽﾀ説明 – 発振器

7.10.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	RC8MLPM	RC8MEN	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	CTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – RC8MLPM : 8MHz内部発振器低電力動作** (8MHz Internal Rscillator Low Power Mode)

このﾋﾞｯﾄの設定(1)が8MHz内部発振器に対する低電力動作を許可します。この動作形態に於けるこの内部発振器の特性と精度の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

● **ﾋﾞｯﾄ5 – RC8MEN : 8MHz内部発振器許可** (8MHz Internal Rscillator Enable)

このﾋﾞｯﾄの設定(1)が内部発振器の8MHz出力を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ4 – PLLEN : PLL許可** (PLL Enable)

このﾋﾞｯﾄの設定(1)がPLLを許可します。PLLが許可される前に、PLLは望む倍率とｸﾛｯｸ元で形態設定されなければなりません。「**STATUS – 状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ3 – XOSCEN : 外部用発振器許可** (External Oscillator Enable)

このﾋﾞｯﾄの設定(1)が選択した外部ｸﾛｯｸ元を許可します。外部ｸﾛｯｸ元の選択法の詳細については75頁の「**XOSCCTRL – XOSC制御ﾚｼﾞｽﾀ**」を参照してください。外部ｸﾛｯｸ元はそれがｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定させる時間を与えられるべきです。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ2 – RC32KEN : 32.768kHz内部発振器許可** (32.768kHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が32.768kHz内部発振器を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ1 – RC32MEN : 32MHz内部発振器許可** (32MHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が32MHz内部発振器を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ0 – RC2MEN : 2MHz内部発振器許可** (2MHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が8MHz内部発振器の2MHz出力を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

既定により、このﾋﾞｯﾄが設定(1)されて8MHz内部発振器の2MHz出力が許可されます。

7.10.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	RC8MRDY	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – RC8MRDY : 8MHz内部発振器準備可** (8MHz Internal Oscillator Ready)

このﾌﾗｸﾞは8MHz内部発振器からの8MHz出力が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ4 – PLLRDY : PLL準備可** (PLL Ready)

このﾌﾗｸﾞはPLLが選択した周波数に固定化され、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ3 – XOSCRDY : 外部発振器準備可** (External Oscillator Ready)

このﾌﾗｸﾞは外部ｸﾛｯｸ元が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ2 – RC32KRDY : 32.768kHz内部発振器準備可** (32.768kHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは32.768kHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ1 – RC32MRDY : 32MHz内部発振器準備可** (32MHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは32MHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ0 – RC2MRDY : 2MHz内部発振器準備可** (2MHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは2MHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使用する準備が整った時に設定(1)されます。

7.10.3. XOSCCTRL – 外部用発振器制御ﾚｼﾞｽﾀ (XOSC Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	FRQRANGE1,0		X32KLPM	XOSCPWR XOSCSEL4	XOSCSEL3~0				XOSCCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – FRQRANGE1,0 : 0.4～16MHzｸﾘｽﾀﾙ用発振器周波数範囲選択** (Crystal Oscillator Frequency Range Select)

これらのﾋﾞｯﾄは**表7-5.**に従って接続されたｸﾘｽﾀﾙ用発振器に対する周波数範囲を選びます。

表7-5. 発振器周波数範囲選択

FRQRANGE1,0	群形態設定	周波数範囲 (MHz)	推奨容量 (pF)
0 0	04TO2	0.4～2	100～300
0 1	2TO9	2～9	10～40
1 0	9TO12	9～12	10～40
1 1	12TO16	12～16	10～30

注: 与えられた周波数に対して最良の設定を得るために、ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄで電気的特性を参照してください。

● **ﾋﾞｯﾄ5 – X32KLPM : 32.768kHzｸﾘｽﾀﾙ用発振器低電力動作** (Crystal Oscillator 32.768kHz Low Power Mode)

このﾋﾞｯﾄの設定(1)が32.768kHzｸﾘｽﾀﾙ用発振器に対する低電力動作を許可します。これはTOSC2ﾋﾟﾝでの振幅を減らします。

● **ﾋﾞｯﾄ4 – XOSCPWR : ｸﾘｽﾀﾙ用発振器駆動** (Crystal Oscillator Drive)

このﾋﾞｯﾄの設定(1)は0.4～16MHzｸﾘｽﾀﾙ用発振器の電流を増し、XTAL2ﾋﾟﾝの振れを増します。これはｸﾘｽﾀﾙ用発振器周波数範囲選択(FRQRANGE)ﾋﾞｯﾄによって指定されるよりも高い負荷または高い周波数でのｸﾘｽﾀﾙ駆動を許します。

● **ﾋﾞｯﾄ4 – XOSCSEL4 : ｸﾘｽﾀﾙ用発振器選択** (Crystal Oscillator Selection)

このﾋﾞｯﾄは外部ｸﾛｯｸがどちらのﾋﾟﾝ位置から使用されるのかを選びます。解除(0)時、外部ｸﾛｯｸ ﾋﾟﾝはXTAL1ﾋﾟﾝです。設定(1)時、外部ｸﾛｯｸ ﾋﾟﾝはﾎﾟｰﾄCの4番(PC4)ﾋﾟﾝです。この選択はXOSCSEL3～0設定が外部ｸﾛｯｸ任意選択を選ばない場合、無視されます。より多くの詳細については**表7-6.**を参照してください。

● **ﾋﾞｯﾄ3~0 – XOSCSEL3~0 : ｸﾘｽﾀﾙ用発振器選択** (Crystal Oscillator Selection)

これらのﾋﾞｯﾄはXTALまたはTOSCのﾋﾟﾝに接続されるｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子用の形式と始動時間を選びます。ｸﾘｽﾀﾙ選択については**表7-6.**をご覧ください。ｼｽﾃﾑ ｸﾛｯｸの供給元として外部ｸﾛｯｸまたは外部用発振器が選択されている場合(発振器制御(CTRL)ﾚｼﾞｽﾀをご覧ください)に、この形態設定は変更することができません。

表7-6. 外部用発振器選択と始動時間

XOSCSEL3~0	群形態設定	選択ｸﾛｯｸ元	始動時間
0 0 0 0 (注3)	EXTCLK	XTAL1ﾋﾟﾝからの外部ｸﾛｯｸ信号	6×CLK
0 0 1 0 (注3)	32KHZ	32.768kHz TOSC	16k×CLK
0 0 1 1 (注1)	XTAL_256CLK	0.4～16MHz XTAL	256×CLK
0 1 1 1 (注2)	XTAL_1KCLK	0.4～16MHz XTAL	1k×CLK
1 0 1 1	XTAL_16KCLK	0.4～16MHz XTAL	16k×CLK

注1: この任意選択は始動での周波数安定性が応用で重要でない時にだけ使用されるべきです。この任意選択はｸﾘｽﾀﾙ用に適合しません。

注2: この任意選択はｾﾗﾐｯｸ振動子での使用を意図され、始動での周波数安定性を保証するでしょう。また、始動での周波数安定性が応用で重要でない時にも使用できます。

注3: DFLL用の基準として外部発振器が使用される時はEXTCLKと32KHZだけを選択することができます。

7.10.4. XOSCFAIL – 外部用発振器停止検出ﾚｼﾞｽﾀ (XOSC Failure Detection register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	XOSCFAIL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – PLLFDIF : PLL失敗検出割り込み要求ﾌﾗｸﾞ** (PLL Failure Detection Flag)

PLL失敗検出が許可されているなら、PLL固定化が失われた時PLLFDIFが設定(1)されます。この位置への論理1書き込みがPLLFDIFを解除(0)します。

● **ﾋﾞｯﾄ2 – PLLFDEN : PLL失敗検出許可** (PLL Failure Detection Enable)

このﾋﾞｯﾄの設定(1)はPLL失敗検出を許可します。PLL失敗検出割り込み要求ﾌﾗｸﾞ(PLLFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ1 – XOSCFDIF : 外部ｸﾛｯｸ停止検出割り込み要求ﾌﾗｸﾞ** (Failure Detection Flag)

外部ｸﾛｯｸ元発振器停止監視器が許可されているなら、停止が検出された時にXOSCFDIFが設定(1)されます。この位置への論理1書き込みがXOSCFDIFを解除(0)します。

● **ﾋﾞｯﾄ0 – XOSCFDEN : 外部ｸﾛｯｸ停止検出許可** (Failure Detection Enable)

このﾋﾞｯﾄの設定(1)は停止検出を許可し、外部ｸﾛｯｸ停止検出割り込み要求ﾌﾗｸﾞ(XOSCFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。一旦許可されると、停止検出はﾘｾｯﾄだけによって禁止されます。

7.10.5. RC32KCAL – 32.768kHz内部発振器校正ﾚｼﾞｽﾀ (32kHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	RC32KCAL7~0								RC32KCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RC32KCAL7~0 : 32.768kHz内部発振器校正値** (32kHz Internal Oscillator Calibration Bits)

このﾚｼﾞｽﾀは32.768kHz内部発振器の校正に使用されます。ﾘｾｯﾄの間に概ね32.768kHzの発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀへ書かれます。このﾚｼﾞｽﾀは通常動作の間に発振器周波数を校正するためにｿﾌﾄｳｪｱから書くこともできます。

7.10.6. PLLCTRL – PLL制御ﾚｼﾞｽﾀ (PLL Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	PLLSRC1,0		PLLDIV	PLLFAC4~0					PLLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – PLLSRC1,0 : PLLｸﾛｯｸ元選択** (Clock Source)

PLLSRCﾋﾞｯﾄは**表7-7.**に従ってPLLに対する入力元を選びます。

表7-7. PLLｸﾛｯｸ元選択

PLLSRC1,0	群形態設定	PLL入力元
0 0	RC2M	8MHz内部発振器からの2MHz出力
0 1	RC8M	8MHz内部発振器からの8MHz出力
1 0	RC32M	32MHz内部発振器
1 1	XOSC	外部ｸﾛｯｸ元 (注)

注: 32kHz TOSCはPLLへの供給元として選択できません。ｸﾛｯｸ元として使用されるべき外部ｸﾛｯｸは最低0.4MHzでなければなりません。

● **ﾋﾞｯﾄ5 – PLLDIV : PLL分周出力許可** (Multiplication Factor)

このﾋﾞｯﾄの設定(1)はPLLからの出力を2分周します。

● **ﾋﾞｯﾄ4~0 – PLLFAC4~0 : PLL倍率** (Multiplication Factor)

これらのﾋﾞｯﾄはPLLに対する倍率を選びます。倍率は1～31倍の範囲にできます。

7.10.7. DFLLCTRL – DFLL制御ﾚｼﾞｽﾀ (DFLL Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	–	RC32MCREF1,0		–	DFLLCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2,1 – RC32MCREF1,0 : 32MHz校正基準選択** (32MHz Oscillator Calibration Reference)

これらのﾋﾞｯﾄは表7-8.に従って32MHzのDFLLに対する校正元を選ぶのに使用されます。これらのﾋﾞｯﾄはDFL Lに使用する校正元だけを選びます。加えて、選択された実際のｸﾛｯｸ元はこの機能の校正用に許可されて形態設定されなければなりません。

表7-8. 32MHz発振器基準選択

RC32MCREF1,0	群形態設定	内容
0 0	RC32K	32.768kHz内部発振器
0 1	XOSC32	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器
1 x	–	(予約)

● **ﾋﾞｯﾄ0 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

7.10.8. RC8MCAL – 8MHz内部発振器校正ﾚｼﾞｽﾀ (8MHz Internal Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	RC8MCAL7~0								RC8MCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RC8MCAL7~0 : 8MHz内部発振器校正値** (8MHz Internal Oscillator Calibration Bits)

このﾚｼﾞｽﾀは8MHz内部発振器の校正に使用されます。ﾘｾｯﾄの間に8MHzに近い発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀへ書かれます。このﾚｼﾞｽﾀは通常動作の間に発振器周波数を校正するためにｿﾌﾄｳｪｱから書くこともできます。

7.11. ﾚｼﾞｽﾀ説明 – DFLL32M

7.11.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – ENABLE : DFLL許可** (DFLL Enable)

このﾋﾞｯﾄの設定(1)がDFLLと内部発振器の自動校正を許可します。DFLLが許可される前に基準ｸﾛｯｸが許可されて安定でなければなりません。

DFLL禁止後、ENABLEﾋﾞｯﾄが0として読まれる前に基準ｸﾛｯｸは禁止することができません

7.11.2. CALA – DFLL校正ﾚｼﾞｽﾀA (DFLL Calibration register A)

CALBとCALAのﾚｼﾞｽﾀは内部発振器の走行時自動校正に使用される13ﾋﾞｯﾄのDFLL校正値を保持します。DFLLが禁止されている時は発振器の走行時手動校正用にｿﾌﾄｳｪｱによって校正ﾚｼﾞｽﾀに書くことができます。発振器はDFLLが禁止されている時もこれらのﾚｼﾞｽﾀ内の校正値に従って校正されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	CALA6~0							CALA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~0 – CALA6~0 : DFLL校正値6~0** (DFLL Calibration bits)

これらのﾋﾞｯﾄは走行時自動校正に使用される発振器校正値の部分を保持します。ﾘｾｯﾄの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀに書かれます。このﾋﾞｯﾄはDFLLが許可されている時に書くことはできません。

7.11.3. CALB – DFLL校正ﾚｼﾞｽﾀB (DFLL Calibration register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	CALB5~0						CALB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~0 – CALB5~0 : DFLL校正値5~0** (DFLL Calibration bits)

これらのﾋﾞｯﾄは発振器周波数を選択するのに使用される発振器校正値の部分を保持します。ﾘｾｯﾄの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀに書かれます。これらのﾋﾞｯﾄは発振器の走行時自動校正の間、変更されません。このﾋﾞｯﾄはDFLLが許可されている時に書くことはできません。既定と違う周波数に校正する時に、DFLLの範囲を最大にするためにCALAﾋﾞｯﾄは中間値に設定されるべきです。

7.11.4. COMP1 – 比較ﾚｼﾞｽﾀ1 (Compare register 1)

COMP2とCOMP1のﾚｼﾞｽﾀ対は発振器と基準ｸﾛｯｸ間の周波数比を表します。これらのﾚｼﾞｽﾀの初期値は内部発振器周波数と1.024kHz基準ｸﾛｯｸ間の比率です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	COMP7~0								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP7~0 : 発振器比較値7~0** (Compare Value Byte 1)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの第1ﾊﾞｲﾄを保持します。

7.11.5. COMP2 – 比較ﾚｼﾞｽﾀ2 (Compare Register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	COMP15~8								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP15~8 : 発振器比較値15~8** (Compare Value Byte 2)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの第2ﾊﾞｲﾄを保持します。

表7-9. 各種出力周波数の公称DFLL32M COMP値

発振器周波数 (MHz)	30.0	32.0	34.0	36.0	38.0	40.0	42.0	44.0	46.0	48.0	50.0	52.0	54.0
COMP値 ($clk_{RCnCREF}$=1.024kHz)	$7270	$7A12	$81B3	$8954	$90F5	$9896	$A037	$A7D8	$AF79	$B71B	$BEBC	$C65D	$CDFE

7.12. ﾚｼﾞｽﾀ要約 – ｸﾛｯｸ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	予約	–	–	–	–	–	–	–	–	
+$03	RTCCTRL	–	–	–	–	RTCSRC2~0			RTCEN	73
+$02	LOCK	–	–	–	–	–	–	–	LOCK	73
+$01	PSCTRL	–	PSADIV4~0					PSBCDIV1,0		72
+$00	CTRL	–	–	–	–	–	SCLKSEL2~0			72

7.13. ﾚｼﾞｽﾀ要約 – 発振器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	RC8MCAL	RC8MCAL7~0								77
+$06	DFLLCTRL	–	–	–	–	–	RC32MCREF1,0		–	77
+$05	PLLCTRL	PLLSRC1,0		PLLDIV	PLLFAC4~0					76
+$04	RC32KCAL	RC32KCAL7~0								76
+$03	XOSCFAIL	–	–	–	–	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	75
+$02	XOSCCTRL	FRQRANGE1,0		X32KLPM	XOSCPWR XOSCSEL4	XOSCSEL3~0				75
+$01	STATUS	–	–	RC8MRDY	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	74
+$00	CTRL	–	RC8MLPM	RC8MEN	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	74

7.14. ﾚｼﾞｽﾀ要約 – DFLL32M

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	COMP2	COMP15~8								78
+$05	COMP1	COMP7~0								78
+$04	予約	–	–	–	–	–	–	–	–	
+$03	CALB	–	–	CALB5~0						78
+$02	CALA	–	CALA6~0							78
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	–	–	–	–	–	–	–	ENABLE	77

7.15. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	OSCF_vect	PLLと外部発振器停止割り込みﾍﾞｸﾀ (NMI)

8. 電力管理と休止形態動作

8.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
  - ｱｲﾄﾞﾙ
  - ﾊﾟﾜｰﾀﾞｳﾝ
  - ﾊﾟﾜｰｾｰﾌﾞ
  - ｽﾀﾝﾊﾞｲ
  - 拡張ｽﾀﾝﾊﾞｲ
- 活性とｱｲﾄﾞﾙの動作形態でｸﾛｯｸを禁止して未使用周辺機能をOFFにするための電力削減ﾚｼﾞｽﾀ

8.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とｸﾛｯｸ開閉が提供されます。これは節電のための未使用部署の停止をXMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用ｺｰﾄﾞを実行します。ﾃﾞﾊﾞｲｽが休止形態動作に移行すると、ﾌﾟﾛｸﾞﾗﾑ実行が停止され、再びﾃﾞﾊﾞｲｽを起動するのに割り込みまたはﾘｾｯﾄが使用されます。応用ｺｰﾄﾞは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのﾘｾｯﾄ元がﾏｲｸﾛ ｺﾝﾄﾛｰﾗを休止から活動動作に回復することができます。

加えて、電力削減ﾚｼﾞｽﾀはｿﾌﾄｳｪｱから個別周辺機能へのｸﾛｯｸを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とｱｲﾄﾞﾙ動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

8.3. 休止形態動作

休止形態動作は節電のためにﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の部署とｸﾛｯｸ範囲を停止するのに使用されます。XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からﾃﾞﾊﾞｲｽを起動するのに割り込みが使用され、利用可能な割り込み起動元は形態設定された休止形態種別に依存します。許可された割り込みが起こると、ﾃﾞﾊﾞｲｽは起動し、SLEEP命令の後の最初の命令から通常のﾌﾟﾛｸﾞﾗﾑ実行を継続する前に、割り込み処理ﾙｰﾁﾝを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ﾙｰﾁﾝが実行される前に、それらの割り込み処理ﾙｰﾁﾝがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4ｸﾛｯｸ周期停止します。

表8-1.は各種休止形態動作と活動するｸﾛｯｸ範囲、発振器と起動元を示します。

表8-1. 各休止形態動作での活動ｸﾛｯｸ範囲と起動元

休止形態種別	活動ｸﾛｯｸ範囲			発振器		起動元				
	CPU ｸﾛｯｸ	周辺 ｸﾛｯｸ	RTC ｸﾛｯｸ	ｼｽﾃﾑ ｸﾛｯｸ元	RTC ｸﾛｯｸ元	UART ﾌﾚｰﾑ開始	非同期ﾎﾟｰﾄ 割り込み	TWIｱﾄﾞﾚｽ一致 割り込み	RTC 割り込み	その他 割り込み
ｱｲﾄﾞﾙ		○	○	○	○		○	○	○	○
ﾊﾟﾜｰﾀﾞｳﾝ							○	○		
ﾊﾟﾜｰｾｰﾌﾞ			○		○	①	○	○	○	
ｽﾀﾝﾊﾞｲ				○		○	○	○		
拡張ｽﾀﾝﾊﾞｲ			○	○	○	○	○	○	○	

①：低電力動作での8MHz内部発振器からのみ

ﾃﾞﾊﾞｲｽに対する起動時間は休止形態種別と主ｸﾛｯｸ元に依存します。ｼｽﾃﾑ ｸﾛｯｸ元が走行を維持されない休止形態種別に対しては起動時間にｼｽﾃﾑ ｸﾛｯｸ元に対する始動時間が加えられなければなりません。各種発振器任意選択に対する始動時間の詳細については67頁の「ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択」を参照してください。

ﾚｼﾞｽﾀ ﾌｧｲﾙ、SRAM、I/Oﾚｼﾞｽﾀの内容は休止中も維持されます。休止の間にﾘｾｯﾄが起きた場合、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ﾘｾｯﾄ ﾍﾞｸﾀから始動して実行します。

8.3.1. ｱｲﾄﾞﾙ動作

ｱｲﾄﾞﾙ動作ではCPUと不揮発性ﾒﾓﾘが停止されますが(進行中のどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞも完了されることに注意)、割り込み制御器、事象ｼｽﾃﾑとEDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもﾃﾞﾊﾞｲｽを起動します。

8.3.2. ﾊﾟﾜｰﾀﾞｳﾝ動作

ﾊﾟﾜｰﾀﾞｳﾝ動作では実時間計数器ｸﾛｯｸ元を含む全てのｸﾛｯｸ元が停止されます。これは走行しているｸﾛｯｸを必要としない非同期部署だけの動作を許します。MCUを起動できる割り込みは2線ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ一致割り込みと非同期ﾎﾟｰﾄ割り込みだけです。

8.3.3. ﾊﾟﾜｰｾｰﾌﾞ動作

ﾊﾟﾜｰｾｰﾌﾞ動作は(以下の)2つの例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。実時間計数器(RTC)が許可されているなら、それは休止中も動作を維持され、ﾃﾞﾊﾞｲｽはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起こすことができます。

UARTﾌﾚｰﾑ開始検出器が許可される場合、ﾃﾞﾊﾞｲｽはﾌﾚｰﾑ開始割り込みを含む、どのUART割り込みからもﾃﾞﾊﾞｲｽを起こすことができます。UART割り込みでﾃﾞﾊﾞｲｽを起こすには低電力動作での8MHz内部発振器が使用されなければなりません。

8.3.4. ｽﾀﾝﾊﾞｲ動作

ｽﾀﾝﾊﾞｲ動作は(以下の)2つの例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。

起動時間を選らすために、許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPU、周辺機能、RTCのｸﾛｯｸが停止されます。UARTﾌﾚｰﾑ開始検出器が許可される場合、ﾃﾞﾊﾞｲｽはﾌﾚｰﾑ開始割り込みを含む、どのUART割り込みからもﾃﾞﾊﾞｲｽを起こすことができます。

8.3.5. 拡張ｽﾀﾝﾊﾞｲ動作

拡張ｽﾀﾝﾊﾞｲ動作は許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPUと周辺機能のｸﾛｯｸが停止される例外を除いてﾊﾟﾜｰｾｰﾌﾞ動作と同じです。これは起動時間を減らします。

UARTﾌﾚｰﾑ開始検出器が許可される場合、ﾃﾞﾊﾞｲｽはﾌﾚｰﾑ開始割り込みを含む、どのUART割り込みからもﾃﾞﾊﾞｲｽを起こすことができます。

8.4. 電力削減ﾚｼﾞｽﾀ

電力削減(PR)ﾚｼﾞｽﾀは個別周辺機能へのｸﾛｯｸを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、関連するI/Oﾚｼﾞｽﾀが読み書きできなくなります。周辺機能によって使用される資源は占有に留まり、従って殆どの場合で周辺機能はｸﾛｯｸを停止する前に禁止されるべきです。周辺機能へのｸﾛｯｸを再び許可することは、周辺機能を停止前と同じ状態にします。これは総電力消費を減らすためにｱｲﾄﾞﾙ動作と活動動作で使用できます。他の全ての休止形態動作では周辺ｸﾛｯｸが既に停止されています。

全てのﾃﾞﾊﾞｲｽが電力削減ﾚｼﾞｽﾀ内のﾋﾞｯﾄに関連する全ての周辺機能を持つ訳ではありません。利用不能の周辺機能に対する電力削減ﾋﾞｯﾄの設定(1)は無効です。

8.5. 消費電力の最小化

AVR MCUで制御されるｼｽﾃﾑで消費電力の最小化を試みる時に考慮する多数の検討点があります。一般的に応用が動作するのに必要とされる部署だけが保証するように、正しい休止形態が選択されて使用されるべきです。

必要とされない全ての機能は禁止されるべきです。特に以下の部署は可能な最低消費電力の達成を試みる時に特別な考慮を必要とするでしょう。

8.5.1. A/D変換器 - ADC

許可されるなら、A/D変換器は全休止形態で許可されます。節電のため、何れかの休止形態へ入る前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については254頁の「ADC - A/D変換器」を参照してください。

8.5.2. ｱﾅﾛｸﾞ比較器 - AC

ｱｲﾄﾞﾙ動作移行時、ｱﾅﾛｸﾞ比較器は使用されないなら、禁止されるべきです。他の休止形態ではｱﾅﾛｸﾞ比較器が自動的に禁止されます。けれども、ｱﾅﾛｸﾞ比較器が入力として内部基準電圧を使用する構成設定の場合、ｱﾅﾛｸﾞ比較器は全休止形態で禁止されるべきです。さもなければ、内部基準電圧は休止形態と無関係に許可されます。ｱﾅﾛｸﾞ比較器の形態設定法の詳細については284頁の「AC - ｱﾅﾛｸﾞ比較器」を参照してください。

8.5.3. 低電圧検出器(BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器がBODACTとBODPDのﾋｭｰｽﾞによって許可されていると全休止形態で許可され、常に電力を消費します。より深い休止形態では、消費電流を減らすためにOFFにして採取動作形態に設定することができます。低電圧検出器(BOD)の構成設定法の詳細については87頁の「低電圧検出(BOD)」を参照してください。

8.5.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この部署はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの形態設定法の詳細については90頁の「WDT - ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ」を参照してください。

8.5.5. 8MHz内部発振器

応用によって低電力動作が必要とされる場合、この機能はOFFにされるべきです。低電力動作が許可された場合、全休止形態で許可され、常に電力を消費します。低電力動作を許可する方法の詳細については68頁の「8MHz校正付き内部発振器」を参照してください。

8.5.6. UARTﾌﾚｰﾑ開始検出器

ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲ、またはﾊﾟﾜｰｾｰﾌﾞ動作移行時、使用されないなら、UARTﾌﾚｰﾑ開始検出器は禁止されるべきです。ﾊﾟﾜｰﾀﾞｳﾝ休止動作移行時、UARTﾌﾚｰﾑ開始検出器は禁止されなければなりません。他の全ての休止動作でUARTﾌﾚｰﾑ開始検出器は無視されます。ﾌﾚｰﾑ開始検出器を許可する方法の詳細については199頁の「USART」を参照してください。

8.5.7. ﾎﾟｰﾄ ﾋﾟﾝ

休止形態へ移行する時に全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に形態設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。ﾋﾟﾝ入力感知が許可を強制された場合、全休止形態で対応するﾋﾟﾝの入力緩衝部が許可され、常に電力を消費します。周辺ｸﾛｯｸ(clk_{PER})が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。

UARTﾌﾚｰﾑ開始検出器が許可された場合、対応するUARTﾋﾟﾝの入力緩衝部が許可を強制され、休止動作形態移行時、常に電力を消費します。

8.5.8. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ

ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑが許可され、ﾁｯﾌﾟが休止動作形態に移行する場合、主ｸﾛｯｸ元が許可され、従って常に電力を消費します。より深い休止動作形態に於いて、これは総消費電流に対する重要な一因になります。

8.6. ﾚｼﾞｽﾀ説明 – 休止

8.6.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	SMODE2~0			SEN	CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~1 – SMODE2~0 : 休止形態動作種別選択** (Sleep Mode Selection)

これらのﾋﾞｯﾄは表8-2.に従って休止形態動作種別を選びます。

表8-2. 休止形態動作種別

SMODE2~0	群形態設定	内容
0 0 0	IDLE	ｱｲﾄﾞﾙ動作
0 0 1	–	(予約)
0 1 0	PDOWN	ﾊﾟﾜｰﾀﾞｳﾝ動作
0 1 1	PSAVE	ﾊﾟﾜｰｾｰﾌﾞ動作
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	STDBY	ｽﾀﾝﾊﾞｲ動作
1 1 1	ESTDBY	拡張ｽﾀﾝﾊﾞｲ動作

● **ﾋﾞｯﾄ0 – SEN : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを選択した休止形態動作に移行させるために、このﾋﾞｯﾄが設定(1)されなければなりません。休止形態動作の予期せぬ移行を避けるために、SLEEP命令実行直前にSENを書き、起動後直ちに解除(0)することが推奨されます。

8.7. ﾚｼﾞｽﾀ説明 – 電力削減

8.7.1. PRGEN – 一般電力削減ﾚｼﾞｽﾀ (General Power Reduction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	XCL	–	–	–	–	RTC	EVSYS	EDMA	PRGEN
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – XCL : XMEGA注文論理回路電力削減** (XMEGA Custom Logic)

このﾋﾞｯﾄの設定(1)がXMEGA注文論理寒露へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)される時に、正しい動作を保証するために周辺機能は再初期化されるべきです。

● **ﾋﾞｯﾄ6~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – RTC : 実時間計数器電力削減** (Real-Time Counter)

このﾋﾞｯﾄの設定(1)が実時間計数器へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)される時に、正しい動作を保証するために周辺機能は再初期化されるべきです。

● **ﾋﾞｯﾄ1 – EVSYS : 事象ｼｽﾃﾑ電力削減** (Event System)

このﾋﾞｯﾄの設定(1)が事象ｼｽﾃﾑへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、部署は停止前のように継続(動作)します。

● **ﾋﾞｯﾄ0 – EDMA : EDMA制御器電力削減** (EDMA Controller)

このﾋﾞｯﾄの設定(1)がEDMA制御器へのｸﾛｯｸを停止します。このﾋﾞｯﾄはEDMA制御器が禁止されている場合にだけ設定(1)できます。

8.7.2. PRPA – ﾎﾟｰﾄA電力削減ﾚｼﾞｽﾀ (Power Reduction Port A register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	DAC	ADC	AC	PRPA,PRPB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: ｱﾅﾛｸﾞ部署の禁止はｲﾝﾀｰﾌｪｰｽだけでなくｱﾅﾛｸﾞ部署それら自体へのｸﾛｯｸを停止します。

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – DAC : D/A変換器(DAC)電力削減** (Power Reduction DAC)

このﾋﾞｯﾄの設定(1)がD/A変換器(DAC)へのｸﾛｯｸを停止します。停止される前にDACが禁止されるべきです。

● **ﾋﾞｯﾄ1 – ADC : A/D変換器(ADC)電力削減** (Power Reduction ADC)

このﾋﾞｯﾄの設定(1)がA/D変換器(ADC)へのｸﾛｯｸを停止します。停止される前にADCが禁止されるべきです。

● **ﾋﾞｯﾄ0 – AC : ｱﾅﾛｸﾞ比較器(AC)電力削減** (Power Reduction AC)

このﾋﾞｯﾄの設定(1)がｱﾅﾛｸﾞ比較器(AC)へのｸﾛｯｸを停止します。停止される前にACが禁止されるべきです。

8.7.3. PRPC/D – ﾎﾟｰﾄC/D電力削減ﾚｼﾞｽﾀ (Power Reduction Port C/D register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03～$04	–	TWI	–	USART0	SPI	HIRES	TC5	TC4	PRPC/D
Read/Write	R	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 各々のﾎﾟｰﾄとﾋﾞｯﾄの実装は実際のﾃﾞﾊﾞｲｽに依存します。詳細は各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄをご覧ください。

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – TWI : 2線ｲﾝﾀｰﾌｪｰｽ(TWI)電力削減** (Two-Wire Interface)

このﾋﾞｯﾄの設定(1)が2線ｲﾝﾀｰﾌｪｰｽへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ5 – USART1 : USART1電力削減** (USART1)

このﾋﾞｯﾄの設定(1)がUSART1へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ4 – USART0 : USART0電力削減** (USART0)

このﾋﾞｯﾄの設定(1)がUSART0へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ3 – SPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)電力削減** (Serial Peripheral Interface)

このﾋﾞｯﾄの設定(1)がSPIへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ2 – HIRES : 高分解能拡張電力削減** (Hi-Resolusion Extension)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀに対する高分解能拡張へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ1 – TC5 : ﾀｲﾏ/ｶｳﾝﾀ5(TC5)電力削減** (Timer/Counter 5)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀ5へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、周辺機能は停止前のように継続(動作)します。

● **ﾋﾞｯﾄ0 – TC4 : ﾀｲﾏ/ｶｳﾝﾀ4(TC4)電力削減** (Timer/Counter 4)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀ4へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、周辺機能は停止前のように継続(動作)します。

8.8. ﾚｼﾞｽﾀ要約 – 休止

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$00	CTRL	–	–	–	–		SMODE2~0		SEN	83

8.9. ﾚｼﾞｽﾀ要約 – 電力削減

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	PRPD	–	–	–	USART0	–	–	TC5	–	84
+$03	PRPC	–	TWI	–	USART0	SPI	HIRES	TC5	TC4	84
+$02	予約	–	–	–	–	–	–	–	–	
+$01	PRPA	–	–	–	–	–	DAC	ADC	AC	84
+$00	PRGEN	XCL	–	–	–	–	RTC	EVSYS	EDMA	83

9. リセット体系

9.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
  - 電源ONリセット
  - 外部リセット
  - ウォッチドッグ リセット
  - 低電圧(Brown-out)リセット
  - PDIリセット
  - ソフトウェア リセット
- 非同期動作
  - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

9.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

リセット システムの概要は図9-1.で示されます。

図9-1. リセット システム概要

9.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

9.3.1. リセット計数器

リセット計数器は全てのリセット要求が開放された時から設定可能な期間でリセット開放を遅らせることができます。リセット遅延は超低電力(ULP)内部発振器の1kHz出力から計時され、加えて、リセットが開放されるのに先立って24システム クロック(clk_{SYS})周期数が計数されます。リセット遅延はSTARTUPTIMEヒューズ ビットによって設定されます。選択可能な遅延は表9-1.で示されます。

表9-1. リセット遅延

STARTUPTIME1,0	1kHz ULP発振器周期数	推奨使用方法
0 0	64 clk_{ULP} + 24 clk_{SYS}	始動での周波数安定
0 1	4 clk_{ULP} + 24 clk_{SYS}	低速上昇電源
1 0	(予約)	-
1 1	24 clk_{SYS}	高速上昇電源またはBOD許可

リセットが起こると必ず、クロック体系がリセットされ、clk_{SYS}用の供給元として8MHz内部発振器からの2MHz出力が選ばれます。

9.3.2. 発振器始動

リセット遅延後、8MHz内部RC発振器クロックが開始され、それの校正値が製品識票列から校正レジスタへ自動的に設定されます。

9.4. リセット元

9.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。POR特性データについてはデータシートを調べてください。

図9-2. MCU始動 ($\overline{RESET}$はVCCに接続)

図9-3. MCU始動 (外部的に延長された$\overline{RESET}$)

9.4.2. 低電圧検出(BOD:Brown-Out Detection)

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

BODが許可され、VCCが起動レベル以下の値に下降すると(図9-4.のV_{BOT-})、直ちに低電圧リセットが活性にされます。

VCCが起動レベル以上に上昇すると(図9-4.のV_{BOT+})、リセット計数器は時間経過期間(t_{TOUT})経過後にMCUを始動します。

起動レベルはスパイクなしの低電圧検出を保証するためのヒステリシスを持ちます。検出レベルのヒステリシスは$V_{BOT+}=V_{BOT}+V_{HYST}/2$、$V_{BOT-}=V_{BOT}-V_{HYST}/2$と解釈されるべきです。

BOD回路は電圧がt_{BOD}よりも長い間起動レベル以下に留まる場合だけ、VCCでの低下を検出します。

BOD特性データについてはデバイスのデータシートを調べてください。設定可能なBODLEVEL設定は表9-2.で示されます。

図9-4. 低電圧検出(BOD)リセット

表9-2. 設定可能なBODLEVEL設定

BODレベル番号	0	1	2	3	4	5	6	7
BODLEVEL2~0 ヒューズ (注2)	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
公称低電圧検出電圧(VBOD) (注1)	3.0V	2.8V	2.6V	2.4V	2.2V	2.0V	1.8V	1.6V

注1: ここの値は公称値だけです。精度と実際の数値についてはデバイスのデータシートを調べてください。

注2: これらのヒューズ ビット変更はプログラミング動作を抜けるまで無効です。

BOD回路は3つの動作形態を持ちます。

- **禁止**: この動作形態ではVCCﾚﾍﾞﾙの監視が全くありません。
- **許可**: この動作形態ではVCCﾚﾍﾞﾙが継続的に監視され、最低t_{BOD}間のV_{BOT}未満へのVCC低下が低電圧(Brown-out)ﾘｾｯﾄを与えます。
- **採取**: この動作形態ではBOD回路が超低電力(ULP)発振器からの1kHz出力と同じ周期でVCC電圧を採取します。各採取間でBODはOFFされます。この動作種別は許可動作形態に比べて消費電力を減らしますが、1kHz ULP発振器出力の2つの正端間のVCC電圧低下が検出されません。この動作形態で低電圧(Brown-out)が検出された場合、VCCが再びV_{BOT}以上になるまでﾃﾞﾊﾞｲｽがﾘｾｯﾄを維持するのを保証するために、BOD回路が許可動作形態に設定されます。

BODACTﾋｭｰｽﾞが活動動作とｱｲﾄﾞﾙ動作に対するBOD設定を決め、一方BODPDﾋｭｰｽﾞがｱｲﾄﾞﾙ動作を除く全ての休止形態動作に対するBOD設定を決めます。

表9-3. BOD設定ﾋｭｰｽﾞ符号化

BODACT1,0 / BODPD1,0	内容
0 0	(予約)
0 1	採取動作: 採取動作でBOD許可
1 0	許可動作: 継続的にBOD許可
1 1	禁止動作: BOD禁止

8.4.3. 外部ﾘｾｯﾄ

外部ﾘｾｯﾄ回路は外部$\overline{\text{RESET}}$ﾋﾟﾝに接続されています。$\overline{\text{RESET}}$ﾋﾟﾝが最小ﾊﾟﾙｽ時間t_{EXT}より長く$\overline{\text{RESET}}$ﾋﾟﾝ閾値電圧V_{RST}未満に駆動された時に外部ﾘｾｯﾄが起動されます。ﾘｾｯﾄはﾋﾟﾝがLowに保たれる限り保持されます。ﾘｾｯﾄ ﾋﾟﾝは内部ﾌﾟﾙｱｯﾌﾟ抵抗を内包します。

外部ﾘｾｯﾄ特性ﾃﾞｰﾀについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを調べてください。

図9-5. 外部ﾘｾｯﾄ特性

8.4.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は正しいﾌﾟﾛｸﾞﾗﾑ動作を監視するためのｼｽﾃﾑ機能です。WDTが設定された時間経過周期内にｿﾌﾄｳｪｱからﾘｾｯﾄされない場合、ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが起されます。ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄは8MHz内部発振器の2MHz出力で1～2ｸﾛｯｸ周期の間、活性(有効)です。

WDTの形態設定と使用の情報については90頁の「WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ」を参照してください。

図9-6. ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ

8.4.5. ｿﾌﾄｳｪｱ ﾘｾｯﾄ

ｿﾌﾄｳｪｱ ﾘｾｯﾄはﾘｾｯﾄ制御(CTRL)ﾚｼﾞｽﾀのｿﾌﾄｳｪｱ ﾘｾｯﾄ(SWRST)ﾋﾞｯﾄへの書き込みによってｿﾌﾄｳｪｱからｼｽﾃﾑ ﾘｾｯﾄを発行することを可能にします。ﾘｾｯﾄはそのﾋﾞｯﾄ書き込み後、2 CPUｸﾛｯｸ周期内で発行されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄが要求される時からそれが発行されるまではどの命令も実行できません。

図9-7. ｿﾌﾄｳｪｱ ﾘｾｯﾄ

8.4.6. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄ

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄは外部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞの間中のﾃﾞﾊﾞｲｽ ﾘｾｯﾄに使用される独立したﾘｾｯﾄ元を含みます。このﾘｾｯﾄ元はﾃﾞﾊﾞｯｶﾞと書き込み器からだけｱｸｾｽ可能です。

9.5. ﾚｼﾞｽﾀ説明

9.5.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	STATUS
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – SRF : ｿﾌﾄｳｪｱ ﾘｾｯﾄ ﾌﾗｸﾞ** (Software Reset Flag)

このﾌﾗｸﾞはｿﾌﾄｳｪｱ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ4 – PDIRF : ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄ ﾌﾗｸﾞ** (Program and Debug Interface Reset Flag)

このﾌﾗｸﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ3 – WDRF : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ** (Watchdog Reset Flag)

このﾌﾗｸﾞはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – BORF : 低電圧(Brown-out)ﾘｾｯﾄ ﾌﾗｸﾞ** (Brown Out Reset Flag)

このﾌﾗｸﾞは低電圧(Brown Out)ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ1 – EXTRF : 外部ﾘｾｯﾄ ﾌﾗｸﾞ** (External Reset Flag)

このﾌﾗｸﾞは外部ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ0 – PORF : 電源ONﾘｾｯﾄ ﾌﾗｸﾞ** (Power On Reset Flag)

このﾌﾗｸﾞは電源ONﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞへの1書き込みがこのﾋﾞｯﾄ位置を解除(0)します。

9.5.2. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	–	SWRST	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SWRST : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄが設定(1)される時にｿﾌﾄｳｪｱ ﾘｾｯﾄが起こります。このﾋﾞｯﾄはﾘｾｯﾄが発行される時に解除(0)されます。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「**形態設定変更保護**」を参照してください。

9.6. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	CTRL	–	–	–	–	–	–	–	SWRST	89
+$00	STATUS	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	89

10. WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

10.1. 要点

- 計時経過時間前に計時器がﾘｾｯﾄされない場合にﾃﾞﾊﾞｲｽ ﾘｾｯﾄを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための形態設定施錠

10.2. 概要

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は正しいﾌﾟﾛｸﾞﾗﾑ動作を監視するｼｽﾃﾑ機能です。暴走や停滞ｺｰﾄﾞのような異常状況からの回復を可能にします。WDTはﾀｲﾏで、予め定義された時間経過周期に形態設定され、許可された時に定常的に走行します。WDTが時間経過周期内にﾘｾｯﾄされない場合、WDTはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾘｾｯﾄを発行します。WDTは応用ｺｰﾄﾞからのWDR(Watchdog Timer Reset)命令を実行することによってﾘｾｯﾄされます。

窓動作はWDTがﾘｾｯﾄされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でﾘｾｯﾄされると、ｼｽﾃﾑ ﾘｾｯﾄが発行されます。標準動作に比べ、これはｺｰﾄﾞ異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なｸﾛｯｸ元で動作し、例え主ｸﾛｯｸが停止したとしても、ｼｽﾃﾑ ﾘｾｯﾄを発行するための動作を継続します。

形態設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのﾋｭｰｽﾞも利用可能です。

10.3. 標準動作

標準動作では単一時間経過周期がWDTに設定されます。時間経過が起きる前にWDTが応用ｺｰﾄﾞからﾘｾｯﾄされなかった場合、WDTはｼｽﾃﾑ ﾘｾｯﾄを発行します。8msから8sまで選択可能な11種の可能なWDT時間経過周期(TO_{WDT})があり、その時間経過周期の何時でもWDTをﾘｾｯﾄできます。新しい時間経過周期はWDR命令によってWDTがﾘｾｯﾄされる毎に開始されます。既定時間経過周期はﾋｭｰｽﾞによって制御されます。標準動作は図10-1.で図解されます。

図10-1. 標準動作

10.4. 窓動作

窓動作ではWDTが通常時間経過周期(TO_{WDT})と閉鎖窓時間経過周期(TO_{WDTW})の、2つの異なる時間経過周期を使用します。閉鎖窓時間経過周期はWDTをﾘｾｯﾄできない8msから8sまでの幅を定義します。この期間中にWDTがﾘｾｯﾄされた場合、WDTはｼｽﾃﾑ ﾘｾｯﾄを発行します。通常WDT時間経過周期もまた8msから8sでWDTをﾘｾｯﾄできる(すべき)間の開放区間の幅を定義します。開放区間は常に閉鎖区間に続き、故に時間経過周期の総合幅は閉鎖窓と開放窓の時間経過周期の合計です。既定の閉鎖窓時間経過周期はﾋｭｰｽﾞによって制御されます(開放と閉鎖の両方の区間がﾋｭｰｽﾞによって制御されます)。窓動作は図10-2.で図解されます。

図10-2. 窓動作

10.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ｸﾛｯｸ

WDTは32kHz内部超低電力(ULP)発振器からの1kHz出力でｸﾛｯｸ駆動されます。超低電力設計のため、この発振器はかなり正確でなく、故に時間経過周期はﾃﾞﾊﾞｲｽ間で変わるかもしれません。WDTを使用するｿﾌﾄｳｪｱを設計するとき、全てのﾃﾞﾊﾞｲｽに対して使用する時間経過周期が有効なことを保証するためにこのﾃﾞﾊﾞｲｽ間変化が留意されなければなりません。ULP発振器精度のより多くの情報についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを調べてください。

10.6. 形態設定保護と施錠

WDTはWDTの予期せぬ変更を避けるために2つの安全機構で設計されています。

最初の機構はWDT制御(CTRL)ﾚｼﾞｽﾀの変更に対して時間制限手順を使用する形態設定変更保護機構です。加えて、制御ﾚｼﾞｽﾀに書かれる新しい形態設定ついては、そのﾚｼﾞｽﾀの変更許可(CEN)ﾋﾞｯﾄが同時に書かれなければなりません。

2つ目の機構はWDT施錠(WDLOCK)ﾋｭｰｽﾞ設定によって形態設定を施錠します。このﾋｭｰｽﾞが設定(WDLOCK=0)されると、ｳｫｯｸﾄﾞｯｸﾞ タイマ制御ﾚｼﾞｽﾀは変更できず、従ってWDTはｿﾌﾄｳｪｱから禁止できません。ｼｽﾃﾑ ﾘｾｯﾄ後にWDTは形態設定された動作で再び始めます。WDT施錠ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、窓動作時間経過周期は変更できませんが、窓動作自体は未だ許可または禁止が行えます。

10.7. ﾚｼﾞｽﾀ説明

10.7.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	PER3~0				ENABLE	CEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時は書き込みが禁止されます。初期値のxはﾋｭｰｽﾞ設定に依存します。

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5~2 – PER3~0 : 時間経過周期 (Timeout Period)

これらのﾋﾞｯﾄは1kHz超低電力(ULP)発振器周期数としてｳｫｯﾁﾄﾞｯｸﾞ時間経過周期を決めます。窓動作では、これらのﾋﾞｯﾄが開放窓区間を定義します。代表的な各種時間経過周期が**表10-1.**で得られます。これらのﾋﾞｯﾄの初期値は電源ONで格納される、ｳｫｯﾁﾄﾞｯｸﾞ時間経過周期(WDPER)ﾋｭｰｽﾞによって設定されます。

これらのﾋﾞｯﾄを変更するためにｳｫｯﾁﾄﾞｯｸﾞ変更許可(CEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。これらのﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「**形態設定変更保護**」を参照してください。

表10-1. ｳｫｯﾁﾄﾞｯｸﾞ時間経過周期

PER3~0	群形態設定	代表周期	PER3~0	群形態設定	代表周期	PER3~0	群形態設定	代表周期	PER3~0	群形態設定	代表周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● ﾋﾞｯﾄ1 – ENABLE : 許可 (Enable)

このﾋﾞｯﾄの設定(1)がWDTを許可します。このﾋﾞｯﾄの解除(0)はｳｨｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止します。

このﾋﾞｯﾄを変更するには制御(CTRL)ﾚｼﾞｽﾀの変更許可(CEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「**形態設定変更保護**」を参照してください。

● ﾋﾞｯﾄ0 – CEN : 変更許可 (Change Enable)

このﾋﾞｯﾄは制御(CTRL)ﾚｼﾞｽﾀの形態設定変更の可能性を許可します。このﾚｼﾞｽﾀへ新しい値を書く時に、それが実施されるためにその変更と同時に、このﾋﾞｯﾄが1を書かれなければなりません。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「**形態設定変更保護**」を参照してください。

10.7.2. WINCTRL – 窓動作制御ﾚｼﾞｽﾀ (Window Mode Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	WPER3~0				WEN	WCEN	WINCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時はWPER3～0の書き込みが禁止されます。初期値のxはﾋｭｰｽﾞ設定に依存します。

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5~2 – WPER3~0 : 窓動作時間経過周期 (Window Mode Timeout Period)

これらのﾋﾞｯﾄは1kHz超低電力(ULP)発振器周期数として窓動作での閉鎖窓周期を決めます。代表的な各種閉鎖窓周期が**表10-2.**で得られます。これらのﾋﾞｯﾄの初期値はｳｫｯﾁﾄﾞｯｸﾞ窓時間経過周期(WDWPER)ﾋｭｰｽﾞによって設定され、電源ONで格納されます。標準動作ではこれらのﾋﾞｯﾄが使用されません。

これらのﾋﾞｯﾄを変更するにはｳｫｯﾁﾄﾞｯｸﾞ窓動作変更許可(WCEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。これらのﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「**形態設定変更保護**」を参照してください。

表10-2. ｳｫｯﾁﾄﾞｯｸﾞ閉鎖窓周期

WPER 3~0	群形態設定	代表周期	WPER 3~0	群形態設定	代表周期	WPER 3~0	群形態設定	代表周期	WPER 3~0	群形態設定	代表周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● **ﾋﾞｯﾄ1 – WEN : 窓動作許可** (Window Mode Enable)

このﾋﾞｯﾄの設定(1)がｳｫｯﾁﾄﾞｯｸﾞ窓動作を許可します。このﾋﾞｯﾄを変更するには窓動作制御(CTRL)ﾚｼﾞｽﾀの窓動作変更許可(WCEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「**形態設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ0 – WCEN : ｳｫｯﾁﾄﾞｯｸﾞ窓動作変更許可** (Watchdog Window Mode Change Enable)

このﾋﾞｯﾄは窓動作制御(CTRL)ﾚｼﾞｽﾀの形態設定変更の可能性を許可します。このﾚｼﾞｽﾀへ新しい値を書く時に、それが実施されるためにその変更と同時に、このﾋﾞｯﾄが1を書かれなければなりません。このﾋﾞｯﾄは形態設定変更保護機構によって保護されていますが、WDT施錠ﾋｭｰｽﾞによって保護されません。

10.7.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	–	–	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SYNCBUSY : 同期中ﾌﾗｸﾞ** (Synchronization Busy Flag)

このﾌﾗｸﾞは制御(CTRL)ﾚｼﾞｽﾀまたは窓動作制御(WINCTRL)ﾚｼﾞｽﾀ書き込み後に設定(1)され、ﾃﾞｰﾀがｼｽﾃﾑ ｸﾛｯｸからWDTｸﾛｯｸの領域に同期されつつあります。このﾋﾞｯﾄは同期化完了時に自動的に解除(0)されます。この同期化はｳｫｯﾁﾄﾞｯｸﾞ タイマ用の許可(ENABLE)ﾋﾞｯﾄが設定(1)されている時にだけ行われます。

10.8. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$02	STATUS	–	–	–	–	–	–	–	SYNCBUSY	93
+$01	WINCTRL	–	–	WPER7～0				WEN	WCEN	92
+$00	CTRL	–	–	PER7～0				ENABLE	CEN	92

11. PMIC – 割り込みと設定可能な多段割り込み制御器

11.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した形態設定と独立した割り込みﾍﾞｸﾀ
- 設定可能な多段割り込み制御器
  - 段位と割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに従った割り込み優先順化
  - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
  - 低位割り込み内での選択可能なﾗｳﾝﾄﾞ ﾛﾋﾞﾝ優先権の仕組み
  - 重大な機能用の遮蔽不可割り込み
- 応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域に任意選択で配置される割り込みﾍﾞｸﾀ

11.2. 概要

割り込みは周辺機能の状態変化を合図し、これはﾌﾟﾛｸﾞﾗﾑ実行の切り換えに使用できます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、形態設定されます。割り込みが形態設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀを指示するように設定され、割り込み処理ﾙｰﾁﾝを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先ﾚﾍﾞﾙを選択できます。割り込みはそれらの段位とそれらのﾍﾞｸﾀ ｱﾄﾞﾚｽに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各ﾚﾍﾞﾙ内では割り込み優先権が割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽから決められ、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、ｼｽﾃﾑの重大な機能に使用することができます。

11.3. 動作

割り込みは生成されるべき何れかの割り込みに関して全体的に許可されなければなりません。これはCPUの「SREG – ｽﾃｰﾀｽ ﾚｼﾞｽﾀ」の全体割り込み許可(I)ﾋﾞｯﾄの設定(1)によって行われます。Iﾋﾞｯﾄは割り込み応答時に解除(0)されません。各割り込みﾚﾍﾞﾙも対応するﾚﾍﾞﾙでの割り込みが生成され得る前に許可されなければなりません。

割り込みが許可されて割り込み条件が存在すると、PMICは割り込み要求を受け取ります。割り込みﾚﾍﾞﾙと何れかの実行中割り込みの割り込み優先権に基いて、割り込みは応答されるか、またはそれが優先権を持つまで保留を維持されるかのどちらかです。割り込み要求が応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀへの指示に更新されます。割り込みﾍﾞｸﾀは通常、割り込みを扱うｿﾌﾄｳｪｱ ﾙｰﾁﾝである割り込み処理ﾙｰﾁﾝへの無条件分岐命令です。割り込み処理ﾙｰﾁﾝからの復帰後、割り込みが起きた前の場所からﾌﾟﾛｸﾞﾗﾑ実行が継続します。何れかの保留割り込みが扱われる前に、常に1命令が実行されます。

PMIC状態(STATUS)ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝの最後でRETI(割り込みからの復帰)命令が実行される時にPMICが正しい割り込みﾚﾍﾞﾙに戻すのを保証する状態情報を含みます。割り込みからの復帰はPMICを割り込みへ移行する前の状態に戻します。ｽﾃｰﾀｽﾚｼﾞｽﾀ(SREG)は割り込み要求で自動的に保存されません。RET(ｻﾌﾞﾙｰﾁﾝからの復帰)命令は、これがPMICを正しい状態に戻せないため、割り込み処理ﾙｰﾁﾝからの復帰時に使用できません。

図11-1. 割り込み制御器概要

11.4. 割り込み

全ての割り込みとﾘｾｯﾄ ﾍﾞｸﾀの各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽを持っています。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄ ﾍﾞｸﾀです。全ての割り込みは割り込みﾚﾍﾞﾙ設定と許可用の個別の制御ﾋﾞｯﾄを割り当てられ、これは割り込みを生成し得る各周辺機能に対する制御ﾚｼﾞｽﾀで設定されます。各割り込みの詳細は割り込みが利用可能な周辺機能で記述されます。

各割り込みはそれに関連した割り込み要求ﾌﾗｸﾞを持ちます。割り込み条件が存在すると、例え対応する割り込みが許可されていなくても割り込み要求ﾌﾗｸﾞが設定(1)されます。殆どの割り込みについては割り込みﾍﾞｸﾀが実行される時に割り込み要求ﾌﾗｸﾞが自動的に解除(0)されます。割り込み要求ﾌﾗｸﾞへの論理1書き込みもそのﾌﾗｸﾞを解除(0)します。いくつかの割り込み要求ﾌﾗｸﾞは割り込みﾍﾞｸﾀ実行時に解除(0)されず、そのいくつかは関連するﾚｼﾞｽﾀがｱｸｾｽ(読みまたは書き)される時に自動的に解除(0)されます。これは各個別割り込み要求ﾌﾗｸﾞに対して記述されます。

他のより高い優先権の割り込みが実行中または保留中の間に割り込み条件が起きる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが優先権を持つまで記憶されます。対応する割り込みが許可されていない間に割り込み条件が起きる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが許可されるまで記憶されるか、またはｿﾌﾄｳｪｱによってそのﾌﾗｸﾞが解除(0)されます。同様に全体割り込みが禁止(I=0)されている間に1つ以上の割り込み条件が起こる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、全体割り込みが許可されるまで記憶されます。その後、全ての保留割り込みはそれらの優先順に応じて実行されます。

施錠された領域(例えばﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されている時)からｺｰﾄﾞを実行するとき、割り込みが妨げられ得ます。この機能はｿﾌﾄｳｪｱの安全性を改善します。施錠ﾋﾞｯﾄ設定については294頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」を参照してください。

割り込みは正しい識票で形態設定変更保護ﾚｼﾞｽﾀが書かれる時に4CPUｸﾛｯｸ周期間自動的に禁止されます。より多くの詳細については10頁の「形態設定変更保護」を参照してください。

11.4.1. NMI – 遮蔽不可割り込み(Non-Maskable Interrupts)

どの割り込みがNMIを表し、どれが通常の割り込みを表すかは選択できません。遮蔽不可割り込みはそれらが使用され得る前に許可されなければなりません。各ﾃﾞﾊﾞｲｽに存在するNMIについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

NMIはCPUｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全体割り込み許可(I)ﾋﾞｯﾄの設定と無関係に実行され、そしてそれは決してIﾋﾞｯﾄを変更しません。他の割り込みはNMI割り込み処理に割り込めません。複数のNMIが同時に要求された場合、それは最低ｱﾄﾞﾚｽが最高優先権を持つ割り込みﾍﾞｸﾀに従う静的な優先権です。

11.4.2. 割り込み応答時間

許可された全ての割り込みに対する割り込み応答時間は、進行中の命令終了に1周期と、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀをｽﾀｯｸに格納するのに2周期の最小3CPUｸﾛｯｸ周期です。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがｽﾀｯｸに押し込まれた後、その割り込み対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀが実行されます。
割り込み処理部への無条件分岐(JMP)は3ｸﾛｯｸ周期かかります。

複数周期命令の実行の間に割り込みが起きた場合、その割り込みが処理される前にその命令が完了されます。より多くの詳細については図11-2.をご覧ください。

図11-2. 複数周期命令の割り込み実行

ﾃﾞﾊﾞｲｽが休止形態動作の時に割り込みが起きた場合、割り込み応答時間が5ｸﾛｯｸ周期増やされます。加えて応答時間は選択した休止形態動作からの始動時間によって増加されます。

割り込み処理ﾙｰﾁﾝからの復帰はﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの大きさに依存して4～5ｸﾛｯｸ周期かかります。これらのｸﾛｯｸ周期の間にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがｽﾀｯｸから引き出され、ｽﾀｯｸ ﾎﾟｲﾝﾀが増やされます。

11.5. 割り込みﾚﾍﾞﾙ

割り込みﾚﾍﾞﾙは各割り込み元に対して無関係に設定されます。どの割り込み要求についてもPMICがその割り込みに対する割り込みﾚﾍﾞﾙを受け取ります。割り込みﾚﾍﾞﾙと全ての割り込みの割り込みﾚﾍﾞﾙ形態設定に対するそれらの対応するﾋﾞｯﾄ値は表11-1.で示されます。

割り込み要求の割り込みﾚﾍﾞﾙは現在のﾚﾍﾞﾙと割り込み制御器の状態に対して比較されます。より高いﾚﾍﾞﾙの割り込み要求はより低いﾚﾍﾞﾙの割り込みからのどんな実行中の割り込み処理にも割り込みます。高いﾚﾍﾞﾙの割り込み処理からの復帰時、より低いﾚﾍﾞﾙの割り込み処理の実行が継続されます。

表11-1. 割り込みﾚﾍﾞﾙ

割り込みﾚﾍﾞﾙ形態設定	群形態設定	内容
0 0	OFF	割り込み禁止
0 1	LO	低位割り込み
1 0	MED	中位割り込み
1 1	HI	高位割り込み

11.6. 割り込み優先権

各割り込みﾚﾍﾞﾙ内では全ての割り込みが優先権を持っています。多くの割り込み要求が保留中のとき、どの順で割り込みが応答されるかはその割り込み要求のﾚﾍﾞﾙと優先権の両方によって決められます。割り込みは静的または動的(ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)な優先権の仕組みに構成することができます。高位及び中位の割り込みとNMIは常に静的な優先権です。低位割り込みについては静的または動的な優先権計画を選択できます。

11.6.1. 静的優先権

割り込みﾍﾞｸﾀ(IVEC)は固定ｱﾄﾞﾚｽに配置されています。静定優先権については、この割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが或る割り込みﾚﾍﾞﾙ内の優先権を決め、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高優先権を持ちます。割り込み能力を持つ全ての部署と周辺機能に対する基準ｱﾄﾞﾚｽと割り込みﾍﾞｸﾀ表についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。各種の部署と周辺機能内のそれらに対応する差分ｱﾄﾞﾚｽと割り込みの一覧については、本手引書の各部署と周辺機能の割り込みﾍﾞｸﾀ要約を参照してください。

図11-3. 静的優先権

11.6.2. 動的優先権(ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)

いくつかの割り込みが決して処理されないかもしれない、静的優先権を持つ低位割り込みに対する欠落問題の可能性を避けるため、PMICは低位割り込みに対してﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画を提供します。ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が許可されると、最後に応答された低位割り込みに対する割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最低優先権を持ち、次回に低位からの1つ以上の割り込みが要求されます。

図11-4. 動的優先権(ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)

11.7. 割り込みﾍﾞｸﾀ位置

表11-2.はBOOTRSTと割り込みﾍﾞｸﾀ選択(IVSEL)の設定の様々な組み合わせに対するﾘｾｯﾄと割り込みのﾍﾞｸﾀ配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使用されず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞを配置することができます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域で、一方割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でもです。

表11-2. ﾘｾｯﾄと割り込みのﾍﾞｸﾀ配置

BOOTRST	IVSEL	ﾘｾｯﾄ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ(1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ(0)	0	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ＋$0002

11.8. ﾚｼﾞｽﾀ説明

11.8.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – NMIEX : 遮蔽不可割り込み実行中ﾌﾗｸﾞ** (Non-Maskable Interrupt Executing)

このﾌﾗｸﾞは遮蔽不可割り込みが実行中の場合に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に、解除(0)されます。

● **ﾋﾞｯﾄ6~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – HILVLEX : 高位割り込み実行中ﾌﾗｸﾞ** (High Level Interrupt Executing)

このﾌﾗｸﾞは高位割り込みが実行中、または割り込み処理がNMIによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

● **ﾋﾞｯﾄ1 – MEDLVLEX : 中位割り込み実行中ﾌﾗｸﾞ** (Medium Level Interrupt Executing)

このﾌﾗｸﾞは中位割り込みが実行中、または割り込み処理がNMIまたは高位からの割り込みによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

● **ﾋﾞｯﾄ0 – LOLVLEX : 低位割り込み実行中ﾌﾗｸﾞ** (Low Level Interrupt Executing)

このﾌﾗｸﾞは低位割り込みが実行中、または割り込み処理がNMIまたはより高いﾚﾍﾞﾙからの割り込みによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

11.8.2. INTPRI – 割り込み優先権ﾚｼﾞｽﾀ (Interrupt priority register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	INTPRI7~0								INTPRI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INTPRI7~0 : 割り込み優先権** (Interrupt Priority)

ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が許可されている時に、このﾚｼﾞｽﾀは最後に応答された低位割り込みの割り込みﾍﾞｸﾀを格納します。1つ以上の低位割り込みが保留中の次回に、格納された割り込みﾍﾞｸﾀが最低優先権を持ちます。このﾚｼﾞｽﾀは優先順を変更するためにｿﾌﾄｳｪｱからｱｸｾｽ可能です。このﾚｼﾞｽﾀはﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が禁止された場合にその初期値に再初期化されず、故に既定の静的優先権が必要な場合、ﾚｼﾞｽﾀは0を書かれなければなりません。

11.8.3. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – RREN : ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ許可** (Round-robin Scheduling Enable)

RRENﾋﾞｯﾄが設定(1)されると、ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画の仕組みが低位割り込みに対して許可されます。このﾋﾞｯﾄが解除(0)されると、最下位ｱﾄﾞﾚｽが最高優先権を持つ割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに対応した静的優先権です。

● **ﾋﾞｯﾄ6 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭの応用領域の先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭのﾌﾞｰﾄ領域の先頭に移動されます。絶対ｱﾄﾞﾚｽについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

このﾋﾞｯﾄは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

● **ﾋﾞｯﾄ5~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – HILVLEN : 高位割り込み許可** (High Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、高位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、高位割り込み要求は無視されます。

● ﾋﾞｯﾄ1 – MEDLVLEN : 中位割り込み許可 (Medium Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、中位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、中位割り込み要求は無視されます。

● ﾋﾞｯﾄ0 – LOLVLEN : 低位割り込み許可 (Low Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、低位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、低位割り込み要求は無視されます。

注: 割り込み無視はそのﾋﾞｯﾄが解除(0)された後の1周期で実施します。

11.9. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$02	CTRL	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	97
+$01	INTPRI	INTPRI7~0								97
+$00	STATUS	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	97

12. 入出力ﾎﾟｰﾄ

12.1. 要点

- 個別形態設定を持つ汎用入出力ﾋﾟﾝ
- 形態設定可能な駆動部と引き込み設定を持つ出力駆動部
  - ｺﾝﾌﾟﾘﾒﾝﾀﾘ
  - ﾜｲﾔｰﾄﾞAND
  - ﾜｲﾔｰﾄﾞOR
  - ﾊﾞｽ保持
  - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowﾚﾍﾞﾙ感知
- 入力とﾜｲﾔｰﾄﾞOR/AND形態設定での任意選択のﾌﾟﾙｱｯﾌﾟとﾌﾟﾙﾀﾞｳﾝの抵抗
- ﾎﾟｰﾄ毎のｽﾘｭｰﾚｰﾄ制御任意選択
- 全休止形態からﾃﾞﾊﾞｲｽを起動できる非同期ﾋﾟﾝ変化感知
- ﾋﾟﾝ遮蔽を持つﾎﾟｰﾄ割り込み
- ﾎﾟｰﾄ ﾋﾟﾝへの効率的で安全なｱｸｾｽ
  - 専用の切り換え、解除(0)、設定(1)用ﾚｼﾞｽﾀ通すﾊｰﾄﾞｳｪｱ読み-変更-書き
  - 単一操作で複数ﾋﾟﾝの形態設定
  - ﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へﾎﾟｰﾄ ﾚｼﾞｽﾀの割り当て
- ﾎﾟｰﾄ ﾋﾟﾝでの周辺ｸﾛｯｸ出力
- ﾎﾟｰﾄ ﾋﾟﾝでの実時間計数器ｸﾛｯｸ出力
- 事象ﾁｬﾈﾙがﾎﾟｰﾄ ﾋﾟﾝで出力可能
- ﾃﾞｼﾞﾀﾙ周辺機能ﾋﾟﾝの再割り当て
  - 選択可能なUSART、ﾀｲﾏ/ｶｳﾝﾀの入出力ﾋﾟﾝ位置
  - 選択可能なｱﾅﾛｸﾞ比較器出力ﾋﾟﾝ位置

12.2. 概要

AVR XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗは柔軟な汎用I/Oﾎﾟｰﾄを持ちます。1つのﾎﾟｰﾄはﾋﾟﾝ0～7で最大8つのﾎﾟｰﾄ ﾋﾟﾝから成ります。各ﾎﾟｰﾄ ﾋﾟﾝは形態設定可能な駆動部と引き込み設定を持つ入力または出力として形態設定することができます。それらは選択可能なﾋﾟﾝ変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ﾋﾟﾝ変化感知はｸﾛｯｸが全く動かない形態を含む全ての休止形態からﾋﾟﾝ変化がﾃﾞﾊﾞｲｽを起こせることを意味します。

全ての機能はﾋﾟﾝ毎に個別で形態設定可能ですが、単一操作で多数のﾋﾟﾝを形態設定することができます。ﾋﾟﾝは駆動値と/または引き込み抵抗の形態設定の安全で正しい変更のためのﾊｰﾄﾞｳｪｱ読み-変更-書き(RMW)機能を持ちます。1つのﾎﾟｰﾄ ﾋﾟﾝの方向は他のどのﾋﾟﾝの方向をも予期せず変更することなく変えることができます。

ﾎﾟｰﾄ ﾋﾟﾝ形態設定は他のﾃﾞﾊﾞｲｽ機能の入出力選択も制御します。それはﾎﾟｰﾄ ﾋﾟﾝへの周辺ｸﾛｯｸと実時間ｸﾛｯｸの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使用できる、事象ｼｽﾃﾑからの事象に適用されます。応用の必要性に対するﾋﾟﾝ配置の最適化のため、ｱﾅﾛｸﾞ比較器、USART、ﾀｲﾏ/ｶｳﾝﾀのような他の周辺機能は選択可能なﾋﾟﾝ位置に再割り当てすることができます。

図12-1.はI/Oﾋﾟﾝ機能とﾋﾟﾝ制御に対して利用可能なﾚｼﾞｽﾀを示します。

図12-1. 標準I/Oピン機能

12.3. I/Oピンの使い方と形態設定

各ポートはポート ピン制御に使用される1つのデータ方向(DIR)レジスタと1つのデータ出力値(OUT)レジスタを持ちます。データ入力値(IN)レジスタはポート ピンを読むのに使用されます。加えて各ピンは付加的なピン形態用のピン形態設定(PINnCTRL)レジスタを持っています。

ピンの方向はDIRレジスタのDIRnビットによって決められます。DIRnが1を書かれた場合、ピンnは出力ピンとして形態設定されます。DIRnが0を書かれた場合、ピンnは入力ピンとして形態設定されます。

方向が出力として設定されると、OUTレジスタのOUTnビットはピンの値を設定するのに使用されます。OUTnが1を書かれた場合、ピンnはHighに駆動されます。OUTnが0を書かれた場合、ピンnはLowに駆動されます。

INレジスタはピン値を読むのに使用されます。デジタル入力が禁止される場合を除き、ピンが入力または出力のどちらとして形態設定されているかに拘らず、ピン値は常に読むことができます。

I/Oピンは例えクロックが動作していなくてもリセット条件が活性(有効)になるとHi-Zにされます。

ピンn形態設定(PINnCTRL)レジスタは付加的なI/Oピン形態に使用されます。ピンはコンプリメンタリ、ワイヤードAND、ワイヤードOR形態に設定できます。ピンに対して反転入出力を許可することも可能です。

コンプリメンタリ出力は、コンプリメンタリ(プッシュプル)、プルダウン、プルアップ、バス保持の4つの可能な引き込み形態設定を持ちます。バス保持は両方向で活性(有効)です。これは出力禁止時の発振を避けるためです。プルアップとプルダウン付きのコンプリメンタリ形態はピンが入力として設定される時にだけ活性(有効)になる抵抗器を持ちます。この機能は不必要な電力消費を無くします。

ワイヤードANDとワイヤードOR形態については、任意選択のプルアップとプルダウン抵抗が入力と出力の両方向で活性(有効)です。

引き込み形態がピン形態設定レジスタを通して形態設定されるため、ピン方向とピン値の切り換え間のポート中間状態が避けられます。

I/Oピン形態は図12-2.～図12-7.での簡単化した回路図で要約されます。

12.3.1. コンプリメンタリ

コンプリメンタリ(プッシュプル)形態では、ピンが対応するデータ出力値(OUT)レジスタ設定に従ってLowまたはHighに駆動されます。この形態ではそのピンが持つ可能な能力以外に吸い込み(シンク)と吐き出し(ソース)に対して何の制限もありません。ピンが入力に形態設定された場合、外部の引き込み(プルアップ/ダウン)抵抗が接続されないなら、そのピンは浮き状態になります。

図12-2. I/Oピン形態 – コンプリメンタリ(プッシュプル)

12.3.1.1. ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

この形態では入力として設定される時にﾋﾟﾝが内部ﾌﾟﾙﾀﾞｳﾝ抵抗とで形態設定されるのを除いて、ｺﾝﾌﾟﾘﾒﾝﾀﾘと同様です。

図12-3. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

12.3.1.2. ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

この形態では入力として設定される時にﾋﾟﾝが内部ﾌﾟﾙｱｯﾌﾟとで形態設定されるのを除いて、ｺﾝﾌﾟﾘﾒﾝﾀﾘと同様です。

図12-4. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

12.3.2. ﾊﾞｽ保持

ﾊﾞｽ保持形態ではﾋﾟﾝがもはやHighまたはLowに駆動されない時にその論理ﾚﾍﾞﾙでﾋﾟﾝを保持する弱いﾊﾞｽ保持器を提供します。ﾋﾟﾝ/ﾊﾞｽ上の最後のﾚﾍﾞﾙが1だったなら、ﾊﾞｽ保持形態設定はﾊﾞｽをHighに保持するために内部ﾌﾟﾙｱｯﾌﾟ抵抗を使用します。ﾋﾟﾝ/ﾊﾞｽ上の最後のﾚﾍﾞﾙが0だったなら、ﾊﾞｽ保持器はﾊﾞｽをLowに保持するために内部ﾌﾟﾙﾀﾞｳﾝ抵抗を使用します。

図12-5. I/Oﾋﾟﾝ形態 - ﾊﾞｽ保持付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

12.3.3. ﾜｲﾔｰﾄﾞOR

ﾜｲﾔｰﾄﾞOR形態設定ではﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀとﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀで対応するﾋﾞｯﾄが1を書かれる時にﾋﾟﾝがHighに駆動されます。OUTﾚｼﾞｽﾀが0に設定されると、ﾋﾟﾝは開放され、内部または外部のﾌﾟﾙﾀﾞｳﾝ抵抗でLowに引かれることをﾋﾟﾝに許します。内部ﾌﾟﾙﾀﾞｳﾝが使用される場合、ﾋﾟﾝが入力として設定される場合にもこれは活性(有効)です。

図12-6. 出力形態 - 任意選択ﾌﾟﾙﾀﾞｳﾝ付きﾜｲﾔｰﾄﾞOR

12.3.4. ﾜｲﾔｰﾄﾞAND

ﾜｲﾔｰﾄﾞAND形態設定ではﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀとﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀで対応するﾋﾞｯﾄが0を書かれる時にﾋﾟﾝがLowに駆動されます。OUTﾚｼﾞｽﾀが1に設定されると、ﾋﾟﾝは開放され、内部または外部のﾌﾟﾙｱｯﾌﾟ抵抗でHighに引かれることをﾋﾟﾝに許します。内部ﾌﾟﾙｱｯﾌﾟが使用される場合、ﾋﾟﾝが入力として設定される場合にもこれは活性(有効)です。

図12-7. 出力形態 - 任意選択ﾌﾟﾙｱｯﾌﾟ付きﾜｲﾔｰﾄﾞAND

12.4. ﾋﾟﾝ値の読み方

ﾋﾟﾝのﾃﾞｰﾀ方向と無関係に、ﾋﾟﾝ値は100頁の図12-1.で示されるように、ﾃﾞｰﾀ入力値(IN)ﾚｼﾞｽﾀから読むことができます。ﾃﾞｼﾞﾀﾙ入力が禁止される場合、ﾋﾟﾝ値は読めません。INﾚｼﾞｽﾀ ﾋﾞｯﾄと先行するﾌﾘｯﾌﾟ ﾌﾛｯﾌﾟが同期化回路を構成します。同期化回路は内部信号線での遅延を生じます。図12-8.は外部的に印加されたﾋﾟﾝ値を読む時の同期化ﾀｲﾐﾝｸﾞ構成図を示します。最大と最小の伝播遅延は、各々$t_{pd,max}$と$t_{pd,min}$として記されます。

図12-8. 外部的に印加されたﾋﾟﾝ値を読む時の同期化

12.5. 入力感知形態設定

入力感知はI/Oﾋﾟﾝ入力でのｴｯｼﾞまたはﾚﾍﾞﾙの検出に使用されます。各ﾋﾟﾝに対して利用可能な各種検知条件は上昇端、下降端、両端の検出、またはLowﾚﾍﾞﾙの検出です。Highﾚﾍﾞﾙは反転入力形態設定を使用することによって検出することができます。入力感知はﾋﾟﾝでの変化があった時に割り込み要求(IREQ)または事象を起動することができます。

I/Oﾋﾟﾝは同期と非同期の入力感知を支援します。同期感知は周辺ｸﾛｯｸの存在を必要とし、一方非同期感知はどのｸﾛｯｸも必要としません。

図12-9. 入力感知

12.6. ﾎﾟｰﾄ割り込み

各ﾎﾟｰﾄは1つの割り込みﾍﾞｸﾀを持ち、それを起動するﾎﾟｰﾄのﾋﾟﾝを形態設定可能です。ﾎﾟｰﾄ割り込みはそれが使用される前に許可されなければなりません。どの感知形態が割り込み生成に使用できるかは、選択したﾋﾟﾝに対して同期と非同期の入力感知のどちらが利用可能かに依存します。

同期感知については、全ての感知形態が割り込み生成に使用できます。ｴｯｼﾞ検出に対しては、割り込み要求が生成されるために、変更されたﾋﾟﾝ値が周辺ｸﾛｯｸによって1度採取されなければなりません。

非同期感知については、各ﾎﾟｰﾄのﾎﾟｰﾄ ﾋﾟﾝ2だけが完全な非同期感知支援を持ちます。これはｴｯｼﾞ検出に関してﾋﾟﾝ2がどのｴｯｼﾞもﾗｯﾁして検出し、常に割り込み要求を起動することを意味します。他のﾎﾟｰﾄ ﾋﾟﾝは制限された非同期感知支援を持ちます。これはｴｯｼﾞ検出に関して、ﾃﾞﾊﾞｲｽ起動してｸﾛｯｸが存在するまで、変更された値が保持されなければならないことを意味します。ﾃﾞﾊﾞｲｽの起動時間が終わる前にﾋﾟﾝ値が戻る場合、ﾃﾞﾊﾞｲｽは起動したままですが、割り込み要求は生成されません。

Lowﾚﾍﾞﾙは周辺ｸﾛｯｸが存在するか否かに拘らず全てのﾋﾟﾝで常に検出できます。ﾋﾟﾝがLowﾚﾍﾞﾙ感知に形態設定された場合、そのﾋﾟﾝがLowを保持している限り、割り込みを起動します。活動動作に於いては、割り込みを生成するために現在実行中の命令の完了までLowﾚﾍﾞﾙが保たれなければなりません。全ての休止形態動作に於いて、割り込みを生成するためにﾃﾞﾊﾞｲｽ起動時間の終りまでLowﾚﾍﾞﾙが保持されなければなりません。起動時間の終了前にLow ﾚﾍﾞﾙが消滅した場合、ﾃﾞﾊﾞｲｽは起動したままですが、割り込み要求は生成されません。

表12-1.、表12-2.、表12-3.は様々な入力感知形態に対して割り込みが起動され得る時を要約します。

表12-1. 同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

表12-2. 完全な非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

表12-3. 制限された非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	無	-
下降端	無	-
両端	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

12.7. ﾎﾟｰﾄ事象

ﾎﾟｰﾄ ﾋﾟﾝはﾋﾟﾝで変化があった時の同期事象、またはﾋﾟﾝのﾚﾍﾞﾙがどんな遅延もなく内部的に転移される場合の非同期事象を生成できます。感知形態設定は各ﾋﾟﾝに対して同期事象を生成する条件を決めます。同期事象生成は周辺ｸﾛｯｸの存在を必要とし、一方非同期事象生成はどのｸﾛｯｸも必要ありません。ｴｯｼﾞ感知については、生成されるべき同期事象に対して変更されたﾋﾟﾝ値が周辺ｸﾛｯｸによって1度採取されなければなりません。

ﾚﾍﾞﾙ感知に関して、Lowﾚﾍﾞﾙのﾋﾟﾝ値は同期事象を生成せず、Highのﾋﾟﾝ値は継続的に同期事象を生成します。Lowﾚﾍﾞﾙで生成されるべき同期事象については、ﾋﾟﾝ形態設定が反転I/Oに設定されなければなりません。

ｸﾛｯｸが存在しない全休止形態に於ける非同期事象生成については、選択されたﾋﾟﾝのﾃﾞｼﾞﾀﾙ入力緩衝部が強制許可されなければなりません。詳細については表12-6.をご覧ください。

表12-4. 同期事象感知支援

感知設定	合図事象	ﾃﾞｰﾀ事象
上昇端	上昇端	ﾋﾟﾝ値
下降端	下降端	ﾋﾟﾝ値
両端	何れか端	ﾋﾟﾝ値
Lowﾚﾍﾞﾙ	ﾋﾟﾝ値	ﾋﾟﾝ値

12.8. ﾎﾟｰﾄ機能交換

殆どのﾎﾟｰﾄ ﾋﾟﾝは汎用I/Oﾋﾟﾝであることに加えて交換ﾋﾟﾝ機能を持ちます。機能交換が許可されると、それは通常ﾎﾟｰﾄ ﾋﾟﾝ機能またはﾋﾟﾝ値を無効にするかもしれません。これは他の周辺機能で必要とするﾋﾟﾝが許可または使用ﾋﾟﾝに形態設定される時に起きます。周辺機能がどう無効にして、ﾋﾟﾝをどう使用するかはその周辺機能に関する章で記述されます。

ﾎﾟｰﾄ無効化信号と関連する論理回路(暗背景青枠、訳注:原書は灰色)が図12-10.で示されます。この信号はｿﾌﾄｳｪｱからｱｸｾｽ不能で、無効化する周辺機能とﾎﾟｰﾄ ﾋﾟﾝ間の内部信号です。

図12-10. ﾎﾟｰﾄ無効化信号と関連論理回路

12.9. ｽﾘｭｰﾚｰﾄ制御

ｽﾘｭｰﾚｰﾄ制御は各I/Oﾎﾟｰﾄに対して個別に許可できます。ｽﾘｭｰﾚｰﾄ制限器の許可は動作条件と負荷に依存して代表的に50～150%で上昇/下降時間を増加します。ｽﾘｭｰﾚｰﾄ制限器の特性についての情報に関してはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

12.10. ｸﾛｯｸと事象の出力

周辺ｸﾛｯｸと事象ﾁｬﾈﾙ0の事象をﾋﾟﾝに出力することが可能です。これはｸﾛｯｸ、制御、そして外部の機能とﾊｰﾄﾞｳｪｱを内部ﾃﾞﾊﾞｲｽ ﾀｲﾐﾝｸﾞと同期するのに使用することができます。出力ﾎﾟｰﾄ ﾋﾟﾝは選択可能です。事象が起きた場合、その事象が継続する限り、そのﾎﾟｰﾄ ﾋﾟﾝで見ることができ、通常1周辺ｸﾛｯｸ周期です。

12.11. 複数ﾋﾟﾝ形態設定

複数ﾋﾟﾝ形態設定機能は、ﾎﾟｰﾄ ﾋﾟﾝ形態設定ﾚｼﾞｽﾀのの1つだけへの単一書き込み操作を用いて、複数ﾎﾟｰﾄ ﾋﾟﾝの形態設定に使用することができます。複数ﾋﾟﾝ全体形態設定許可(MPCMASK)ﾚｼﾞｽﾀは或るﾎﾟｰﾄ ﾋﾟﾝ ﾚｼﾞｽﾀが書かれる時にどのﾎﾟｰﾄ ﾋﾟﾝが形態設定されるかを決め、同時に同じ書き込み操作中に同じ方法で多数のﾋﾟﾝの書き込みを避けます。

12.12. 仮想ﾎﾟｰﾄ

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀはﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へ仮想的に割り当てられることをﾎﾟｰﾄ ﾚｼﾞｽﾀに許します。これが行われると、仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへの書き込みは現実のﾎﾟｰﾄ ﾚｼﾞｽﾀへの書き込みと同じです。これは通常、拡張I/Oﾒﾓﾘ空間に属するﾎﾟｰﾄ ﾚｼﾞｽﾀで、ﾋﾞｯﾄ操作命令のようなI/Oﾒﾓﾘ特定命令の使用を許します。4つの仮想ﾎﾟｰﾄがあり、故に同時に4ﾎﾟｰﾄを割り当てることができます。

12.13. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ

12.13.1. DIR – ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ (Data Direction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向** (Data Direction)

このﾚｼﾞｽﾀはﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ方向を設定します。DIRnが1を書かれるなら、ﾋﾟﾝnは出力ﾋﾟﾝとして形態設定されます。DIRnが0を書かれるなら、ﾋﾟﾝnは入力ﾋﾟﾝとして形態設定されます。

12.13.2. DIRSET – ﾃﾞｰﾀ方向設定ﾚｼﾞｽﾀ (Data Direction Set register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	DIRSET7~0								DIRSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRSET7~0 : ﾃﾞｰﾀ方向設定** (Port Data Direction Set)

このﾚｼﾞｽﾀは出力として個別ﾋﾟﾝを設定するための読み-変更-書きの代わりに使用できます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを設定(1)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

12.13.3. DIRCLR – ﾃﾞｰﾀ方向解除ﾚｼﾞｽﾀ (Data Direction Clear register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DIRCLR7~0								DIRCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRCLR7~0 : ﾃﾞｰﾀ方向解除** (Port Data Direction Clear)

このﾚｼﾞｽﾀは入力として個別ﾋﾟﾝを設定するための読み-変更-書きの代わりに使用できます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを解除(0)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

12.13.4. DIRTGL – ﾃﾞｰﾀ方向交互切換ﾚｼﾞｽﾀ (Data Direction Toggle register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DIRTGL7~0								DIRTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRTGL7~0 : ﾃﾞｰﾀ方向交互切換** (Port Data Direction Toggle)

このﾚｼﾞｽﾀは個別ﾋﾟﾝの方向を交互切り換えするための読み-変更-書きの代わりに使用できます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを切り換え(反転)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

12.13.5. OUT – ﾃﾞｰﾀ出力値ﾚｼﾞｽﾀ (Data Output Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUT7~0 : ﾃﾞｰﾀ出力値** (Port Data Output Value)

このﾚｼﾞｽﾀはﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ出力値を設定します。OUTnが1を書かれるなら、ﾋﾟﾝnはHighを駆動します。OUTnが0を書かれるなら、ﾋﾟﾝnはLowを駆動します。この設定が何らかの効果を持つにはﾋﾟﾝ方向が出力として設定されなければなりません。

12.13.6. OUTSET – データ出力値設定レジスタ (Data Output Value Set register)

ビット	7	6	5	4	3	2	1	0	
+$05	OUTSET7~0								OUTSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – OUTSET7~0 : データ出力値設定** (Data Output Value Set)

このレジスタは個別ピンの出力値を1に設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを設定(1)します。このレジスタの読み込みはOUTレジスタ値を返します。

12.13.7. OUTCLR – データ出力値解除レジスタ (Data Output Value Clear register)

ビット	7	6	5	4	3	2	1	0	
+$06	OUTCLR7~0								OUTCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – OUTCLR7~0 : データ出力値解除** (Data Output Value Clear)

このレジスタは個別ピンの出力値を0に設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを解除(0)します。このレジスタの読み込みはOUTレジスタ値を返します。

12.13.8. OUTTGL – データ出力値交互切換レジスタ (Data Output Value Toggle register)

ビット	7	6	5	4	3	2	1	0	
+$07	OUTTGL7~0								OUTTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – OUTTGL7~0 : データ出力値交互切換** (Port Data Output Value Toggle)

このレジスタは個別ピンで出力値を交互切り換えするための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはOUTレジスタ値を返します。

12.13.9. IN – データ入力値レジスタ (Data Input Value register)

ビット	7	6	5	4	3	2	1	0	
+$08	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ビット7~0 – IN7~0 : データ入力値** (Data Input Value)

このレジスタはデジタル入力緩衝部が許可されている場合のピンに存在する値を示します。INnはポートのピン値を示します。デジタル入力緩衝部が禁止されている場合、入力が採取されず、読むことができません。

12.13.10. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	–	–	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – 予約** (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット1,0 – INTLVL1,0 : 割り込みレベル** (Interrupt Level)

これらのビットはポート割り込みを許可して、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みレベルを選びます。

12.13.11. INTMASK – 割り込み許可ﾚｼﾞｽﾀ (Interrupt Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	INTMASK7~0								INTMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INTMASK7~0 : 割り込み許可** (Interrput Mask bits)

これらのﾋﾞｯﾄはﾎﾟｰﾄ割り込みに対する供給元としてどのﾋﾟﾝを使用するかの許可/遮蔽に使用されます。INTMASKnが1を書かれるなら、ﾋﾟﾝnはﾎﾟｰﾄ割り込みに対する供給元として使用されます。各ﾋﾟﾝに対する入力感知形態はﾋﾟﾝn形態設定(PINnCTRL)ﾚｼﾞｽﾀによって決められます。

12.13.12. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	INT7IF	INT6IF	INT5IF	INT4IF	INT3IF	INT2IF	INT1IF	INT0IF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INTnIF : 割り込みﾋﾟﾝn要求ﾌﾗｸﾞ** (Interrput Pin n Flag)

ﾋﾟﾝがﾎﾟｰﾄ割り込みに対する供給元として設定され、且つﾋﾟﾝの変化/状態が入力感知形態設定と一致する時にINTnIFﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞのﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。割り込みの許可と実行については割り込みﾚﾍﾞﾙ記述を参照してください。

12.13.13. REMAP – ﾋﾟﾝ再割り当てﾚｼﾞｽﾀ (Pin Remap register)

ﾋﾟﾝ再割り当て機能はﾎﾟｰﾄCとﾎﾟｰﾄDでだけ利用可能です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E	–	–	–	USART0	TC4D	TC4C	TC4B	TC4A	REMAP
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – USART0 : USART0再割り当て** (USART0 Remap)

このﾋﾞｯﾄの1設定はUSART0のﾋﾟﾝ位置をPx3～0からPx7～4に移します。

● **ﾋﾞｯﾄ3 – TC4D : ﾀｲﾏ/ｶｳﾝﾀ4比較出力D再割り当て** (Timer/Counter 4 Output Compare D)

このﾋﾞｯﾄの設定(1)はOC4Dの位置をPx3からPx7に移します。

● **ﾋﾞｯﾄ2 – TC4C : ﾀｲﾏ/ｶｳﾝﾀ4比較出力C再割り当て** (Timer/Counter 4 Output Compare C)

このﾋﾞｯﾄの設定(1)はOC4Cの位置をPx2からPx6に移します。

● **ﾋﾞｯﾄ1 – TC4B : ﾀｲﾏ/ｶｳﾝﾀ4比較出力B再割り当て** (Timer/Counter 4 Output Compare B)

このﾋﾞｯﾄの設定(1)はOC4Bの位置をPx1からPx5に移します。このﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ4とﾀｲﾏ/ｶｳﾝﾀ5の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。

● **ﾋﾞｯﾄ0 – TC4A : ﾀｲﾏ/ｶｳﾝﾀ4比較出力A再割り当て** (Timer/Counter 4 Output Compare B)

このﾋﾞｯﾄの設定(1)はOC4Aの位置をPx0からPx4に移します。このﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ4とﾀｲﾏ/ｶｳﾝﾀ5の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。図12-11.をご覧ください。

図12-11. PWM合成出力

12.13.14. PINnCTRL – ﾋﾟﾝn形態設定ﾚｼﾞｽﾀ (Pin n Configuration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10+n	–	INVEN	OPC2~0			ISC2~0			PINnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – INVEN : 反転I/O許可** (Inverted I/O Enable)

このﾋﾞｯﾄの設定(1)がﾋﾟﾝnの入力ﾃﾞｰﾀと出力ﾃﾞｰﾀの反転を許可します。

● **ﾋﾞｯﾄ5~3 – OPC2~0 : 出力/引き込み形態設定** (Output and Pull Configuration)

これらのﾋﾞｯﾄは表12-5.に従ってﾋﾟﾝnの出力/引き込み形態を設定します。

表12-5. 出力/引き込み形態

OPC2~0	群形態設定	内容	
		出力形態	引き込み形態
0 0 0	TOTEM	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	(なし)
0 0 1	BUSKEEPER	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	ﾊﾞｽ保持
0 1 0	PULLDOWN	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	入力でのﾌﾟﾙﾀﾞｳﾝ
0 1 1	PULLUP	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	入力でのﾌﾟﾙｱｯﾌﾟ
1 0 0	WIREDOR	ﾜｲﾔｰﾄﾞOR	(なし)
1 0 1	WIREDAND	ﾜｲﾔｰﾄﾞAND	(なし)
1 1 0	WIREDORPULL	ﾜｲﾔｰﾄﾞOR	ﾌﾟﾙﾀﾞｳﾝ
1 1 1	WIREDANDPULL	ﾜｲﾔｰﾄﾞAND	ﾌﾟﾙｱｯﾌﾟ

● **ﾋﾞｯﾄ2~0 – ISC2~0 : 入力/感知形態設定** (Input/Sense Configuration)

これらのﾋﾞｯﾄは表12-6.に従ってﾋﾟﾝn入力と感知の形態を設定します。感知形態はﾋﾟﾝがﾎﾟｰﾄ割り込みと事象をどう起動し得るかを決めます。入力緩衝部が禁止されていると、入力は入力値(IN)ﾚｼﾞｽﾀで読むことができません。

表12-6. 入力/感知形態

ISC2~0	群形態設定	内容
0 0 0	BOTHEDGES	両端感知
0 0 1	RISING	上昇端感知
0 1 0	FALLING	下降端感知
0 1 1	LEVEL	Lowﾚﾍﾞﾙ感知 (注1)
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	FORCE_ENABLE	ﾃﾞｼﾞﾀﾙ入力緩衝部強制許可 (注2)
1 1 1	INPUT_DISABLE	ﾃﾞｼﾞﾀﾙ入力緩衝部禁止 (注3)

注1: Lowﾚﾍﾞﾙのﾋﾟﾝ値は事象を生成せず、Highﾚﾍﾞﾙのﾋﾟﾝ値が継続的な事象を生成します。

注2: ﾎﾟｰﾄA～Dだけが入力緩衝部強制許可任意選択を支援します。ﾋﾟﾝが非同期事象生成に使用されない場合、この形態設定を使用しないことが推奨されます。

注3: ﾎﾟｰﾄA～Dだけが入力緩衝部禁止任意選択を支援します。ﾋﾟﾝがA/D変換器(ADC)やｱﾅﾛｸﾞ比較器(AC)のようなｱﾅﾛｸﾞ機能に使用される場合、ﾋﾟﾝをINPUT_DISABLEに形態設定することが推奨されます。

12.14. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ形態設定

12.14.1. MPCMASK – 複数ﾋﾟﾝ形態設定許可ﾚｼﾞｽﾀ (Multi-pin Configuration Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	MPCMASK7~0								MPCMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – MPCMASK7~0 : 複数ﾋﾟﾝ形態設定許可** (Multi-pin Configuration Mask)

MPCMASKﾚｼﾞｽﾀは同時に形態設定されるべきﾎﾟｰﾄの多数のﾋﾟﾝを許可します。ﾋﾞｯﾄへの1書き込みはﾋﾟﾝnを複数ﾋﾟﾝ形態設定の一部にします。MPCMASKﾚｼﾞｽﾀの1つ以上のﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝn形態設定(PINnCTRL)ﾚｼﾞｽﾀの何れかの書き込みはそのﾎﾟｰﾄに対してMPCMASKﾚｼﾞｽﾀ内の遮蔽に一致するPINnCTRLだけを更新します。MPCMASKﾚｼﾞｽﾀはPINnCTRLﾚｼﾞｽﾀのどれかが書かれた後で自動的に解除(=0)されます。

12.14.2. CLKOUT – ｸﾛｯｸ出力ﾚｼﾞｽﾀ (Clock Output register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CLKEVPIN	RTCOUT1,0		–	CLKOUTSEL1,0		CLKOUT1,0		CLKOUT
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CLKEVPIN : ｸﾛｯｸと事象出力ﾋﾟﾝ選択** (Clock and Event Output Pin Select)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄのﾋﾟﾝ7の代わりにﾎﾟｰﾄのﾋﾟﾝ4でのｸﾛｯｸと事象ﾋﾟﾝの出力を許可します。

● **ﾋﾞｯﾄ6,5 – RTCOUT1,0 : RTCｸﾛｯｸ出力許可** (RTC Clock Output Enable)

これらのﾋﾞｯﾄは表12-7.に従って実時間計数器(RTC)ｸﾛｯｸ元がどのﾎﾟｰﾄに出力されるかを決めます。

表12-7. RTCｸﾛｯｸ出力ﾋﾟﾝ選択

RTCOUT1,0	群形態設定	内容
0 0	OFF	RTCｸﾛｯｸ出力禁止
0 1	PC	ﾎﾟｰﾄC(PC6)でRTCｸﾛｯｸ出力
1 0	PD	ﾎﾟｰﾄD(PD6)でRTCｸﾛｯｸ出力
1 1	PR	ﾎﾟｰﾄR(PR0)でRTCｸﾛｯｸ出力

● **ﾋﾞｯﾄ4 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – CLKOUTSEL1,0 : ｸﾛｯｸ出力選択** (Clock Output Select)

これらのﾋﾞｯﾄはｸﾛｯｸ出力ﾎﾟｰﾄ(CLKOUT)が形態設定された場合に、どの周辺ｸﾛｯｸがﾎﾟｰﾄ ﾋﾟﾝへ出力されるかを選ぶのに使用されます。

表12-8. 周辺ｸﾛｯｸ出力選択

CLKOUTSEL1,0	群形態設定	内容
0 0	CLK1X	ﾋﾟﾝへclk_{PER}出力
0 1	CLK2X	ﾋﾟﾝへclk_{PER2}出力
1 0	CLK4X	ﾋﾟﾝへclk_{PER4}出力
1 1	–	(予約)

● **ﾋﾞｯﾄ1,0 – CLKOUT1,0 : ｸﾛｯｸ出力ﾎﾟｰﾄ** (Clock Output Port)

これらのﾋﾞｯﾄは周辺ｸﾛｯｸがどのﾎﾟｰﾄに出力されるかを決めます。選択されたﾎﾟｰﾄのﾋﾟﾝ7が既定で使用されます。CLKOUT設定はEVOUT設定を無効にします。従って、両方が同じﾎﾟｰﾄﾋﾟﾝで許可される場合、周辺ｸﾛｯｸが見えます。ﾋﾟﾝで利用可能にすべきｸﾛｯｸのために、ﾎﾟｰﾄ ﾋﾟﾝは出力ﾋﾟﾝとして形態設定されなければなりません。

表12-9.が可能な形態を示します。

表12-9. ｸﾛｯｸ出力ﾎﾟｰﾄ形態設定

CLKOUT1,0	群形態設定	内容
0 0	OFF	ｸﾛｯｸ出力禁止
0 1	PC	ﾎﾟｰﾄCでのｸﾛｯｸ出力
1 0	PD	ﾎﾟｰﾄDでのｸﾛｯｸ出力
1 1	PR	ﾎﾟｰﾄRでのｸﾛｯｸ出力

(訳注) ﾎﾟｰﾄRはﾋﾞｯﾄ1,0の2ﾋﾞｯﾄしか存在しません。従ってﾎﾟｰﾄRに対しては本文中のﾋﾟﾝ番号がそのまま適用できません。例えば本文での「既定ﾋﾟﾝ7」は「ﾎﾟｰﾄCとﾎﾟｰﾄDのﾋﾟﾝ7、ﾎﾟｰﾄRのﾋﾟﾝ0」のようになるのかもしれませんが実際は不明です。
同様にCLKOUTﾚｼﾞｽﾀのCLKEVPINﾋﾞｯﾄ記述もﾋﾟﾝ番号的に矛盾します。

12.14.3. ACEVOUT – ｱﾅﾛｸﾞ比較器/事象出力ﾚｼﾞｽﾀ (Analog Comparator and Event Output register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	ACOUT1,0		EVOUT1,0		EVASYEN	EVOUTSEL2~0			ACEVOUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – ACEVOUT1,0 : ｱﾅﾛｸﾞ比較器出力ﾎﾟｰﾄ** (Analog Comparator Output Port)

これらのﾋﾞｯﾄは表12-10.に従ってｱﾅﾛｸﾞ比較器がどのﾎﾟｰﾄ出力されるかを決めます。ｱﾅﾛｸﾞ比較器出力は(AC)部署自体で許可されます。

表12-10. ｱﾅﾛｸﾞ比較器出力ﾎﾟｰﾄ選択

ACOUT1,0	群形態設定	内容
0 0	PA	ﾎﾟｰﾄAでｱﾅﾛｸﾞ比較器出力
0 1	PC	ﾎﾟｰﾄCでｱﾅﾛｸﾞ比較器出力
1 0	PD	ﾎﾟｰﾄDでｱﾅﾛｸﾞ比較器出力
1 1	PR	ﾎﾟｰﾄRでｱﾅﾛｸﾞ比較器出力

● **ﾋﾞｯﾄ5,4 – EVOUT1,0 : 事象出力ﾎﾟｰﾄ** (Event Output Port)

これらのﾋﾞｯﾄは表12-11.に従って事象ｼｽﾃﾑからの事象ﾁｬﾈﾙがどのﾎﾟｰﾄに出力されるかを決めます。ﾎﾟｰﾄCとﾎﾟｰﾄDのﾋﾟﾝ7、ﾎﾟｰﾄRのﾋﾟﾝ0が既定で使用され、ｸﾛｯｸ出力ﾎﾟｰﾄ(CLKOUT)ﾋﾞｯﾄはEVOUTのそれらと違うように設定されなければなければなりません。ﾋﾟﾝで利用可能にすべき事象のために、ﾎﾟｰﾄ ﾋﾟﾝは出力として形態設定されなければなりません。

表12-11. 事象出力ﾎﾟｰﾄ選択

EVOUT1,0	群形態設定	内容
0 0	OFF	事象出力禁止
0 1	PC	ﾎﾟｰﾄCでの事象ﾁｬﾈﾙ出力
1 0	PD	ﾎﾟｰﾄDでの事象ﾁｬﾈﾙ出力
1 1	PR	ﾎﾟｰﾄRでの事象ﾁｬﾈﾙ出力

● **ﾋﾞｯﾄ3 – EASYEN : 非同期事象許可** (Asynchronous Event Enabled)

このﾋﾞｯﾄの設定(1)は非同期事象出力を許可します。(EVOUTSEL)ﾋﾞｯﾄによって選択される事象ﾁｬﾈﾙ出力はそれに応じて設定されなければなりません。

● **ﾋﾞｯﾄ2~0 – EVOUTSEL2~0 : 事象ﾁｬﾈﾙ出力選択** (Event Channel Output Selection)

これらのﾋﾞｯﾄは表12-12.に従って事象ｼｽﾃﾑからどの事象ﾁｬﾈﾙがﾎﾟｰﾄ ﾋﾟﾝに出力されるかを定義します。

表12-12. 事象ﾁｬﾈﾙ出力選択

EVOUTSEL1,0	群形態設定	内容
0 0 0	0	ﾋﾟﾝへ事象ﾁｬﾈﾙ0出力
0 0 1	1	ﾋﾟﾝへ事象ﾁｬﾈﾙ1出力
0 1 0	2	ﾋﾟﾝへ事象ﾁｬﾈﾙ2出力
0 1 1	3	ﾋﾟﾝへ事象ﾁｬﾈﾙ3出力
1 0 0	4	ﾋﾟﾝへ事象ﾁｬﾈﾙ4出力
1 0 1	5	ﾋﾟﾝへ事象ﾁｬﾈﾙ5出力
1 1 0	6	ﾋﾟﾝへ事象ﾁｬﾈﾙ6出力
1 1 1	7	ﾋﾟﾝへ事象ﾁｬﾈﾙ7出力

12.14.4. SRLCTRL – ｽﾘｭｰﾚｰﾄ制限制御ﾚｼﾞｽﾀ (Slew Rate Limit Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	SRLENR	–	–	–	SRLEND	SRLENC	–	SRLENA	SRLCTRL
Read/Write	R/W	R	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SRLENR : ﾎﾟｰﾄRのｽﾘｭｰﾚｰﾄ制限許可** (Slew Rate Limit Enable on PORTR)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄRでのｽﾘｭｰﾚｰﾄ制限を許可します。

● **ﾋﾞｯﾄ6~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – SRLEND : ﾎﾟｰﾄDのｽﾘｭｰﾚｰﾄ制限許可** (Slew Rate Limit Enable on PORTD)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄDでのｽﾘｭｰﾚｰﾄ制限を許可します。

● **ﾋﾞｯﾄ2 – SRLENC : ﾎﾟｰﾄCのｽﾘｭｰﾚｰﾄ制限許可** (Slew Rate Limit Enable on PORTC)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄCでのｽﾘｭｰﾚｰﾄ制限を許可します。

● ﾋﾞｯﾄ1 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – SRLENA : ﾎﾟｰﾄAのｽﾘｭｰﾚｰﾄ制限許可 (Slew Rate Limit Enable on PORTA)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄAでのｽﾘｭｰﾚｰﾄ制限を許可します。

12.15. ﾚｼﾞｽﾀ説明 – 仮想ﾎﾟｰﾄ

12.15.1. DIR – ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ (Data Direction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向 (Data Direction)

このﾚｼﾞｽﾀはﾎﾟｰﾄ内の個別ﾋﾟﾝに対するﾃﾞｰﾀ方向を設定します。ﾎﾟｰﾄが仮想として割り当てられた時に、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

12.15.2. OUT – ﾃﾞｰﾀ出力値ﾚｼﾞｽﾀ (Data Output Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – OUT7~0 : ﾃﾞｰﾀ方向設定 (Port Data Output Value)

このﾚｼﾞｽﾀはﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ出力値を設定します。ﾎﾟｰﾄが仮想として割り当てられた時に、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

12.15.3. IN – ﾃﾞｰﾀ入力値ﾚｼﾞｽﾀ (Data Input Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ﾋﾞｯﾄ7~0 – IN7~0 : ﾃﾞｰﾀ入力値 (Data Input Value)

このﾚｼﾞｽﾀはﾃﾞｼﾞﾀﾙ入力緩衝部が許可されている場合のﾋﾟﾝに存在する値を示します。ﾎﾟｰﾄが仮想として割り当てられた時に、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ入力値(IN)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

12.15.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	INT7IF	INT6IF	INT5IF	INT4IF	INT3IF	INT2IF	INT1IF	INT0IF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – INTnIF : 割り込みn要求ﾌﾗｸﾞ (Interrput n Flag)

ﾋﾟﾝがﾎﾟｰﾄ割り込みに対する供給元として設定され、且つﾋﾟﾝの変化/状態が入力感知形態と一致する時にINTnIFﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞのﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。割り込みの許可と実行については割り込みﾚﾍﾞﾙ記述を参照してください。ﾎﾟｰﾄが仮想として割り当てられた時に、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際の割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

12.16. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$1F	予約	–	–	–	–	–	–	–	–	
+$1E	予約	–	–	–	–	–	–	–	–	
+$1D	予約	–	–	–	–	–	–	–	–	
+$1C	予約	–	–	–	–	–	–	–	–	
+$1B	予約	–	–	–	–	–	–	–	–	
+$1A	予約	–	–	–	–	–	–	–	–	
+$19	予約	–	–	–	–	–	–	–	–	
+$18	予約	–	–	–	–	–	–	–	–	
+$17	PIN7CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$16	PIN6CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$15	PIN5CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$14	PIN4CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$13	PIN3CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$12	PIN2CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$11	PIN1CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$10	PIN0CTRL	–	INVEN	OPC2~0			ISC2~0			108
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	REMAP	–	–	–	USART0	TC4D	TC4C	TC4B	TC4A	107
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	INTFLAGS	INT7IF	INT6IF	INT5IF	INT4IF	INT3IF	INT2IF	INT1IF	INT0IF	107
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	INTMASK	INTMASK7~0								107
+$09	INTCTRL	–	–	–	–	–	–	INTLVL1,0		106
+$08	IN	IN7~0								106
+$07	OUTTGL	OUTTGL7~0								106
+$06	OUTCLR	OUTCLR7~0								106
+$05	OUTSET	OUTSET7~0								106
+$04	OUT	OUT7~0								105
+$03	DIRTGL	DIRTGL7~0								105
+$02	DIRCLR	DIRCLR7~0								105
+$01	DIRSET	DIRSET7~0								105
+$00	DIR	DIR7~0								105

12.17. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ形態設定

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	SRLCTRL	SRLENR	–	–	–	SRLEND	SRLENC	–	SRLENA	110
+$06	ACEVOUT	ACOUT1,0		EVOUT1,0		EVASYEN	EVCTRL2~0			110
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CLKOUT	CLKEVPIN	RTCOUT1,0		–	CLKOUTSEL1,0		CLKOUT1,0		109
+$03	予約	–	–	–	–	–	–	–	–	
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	MPCMASK	MPCMASK7~0								109

12.18. ﾚｼﾞｽﾀ要約 – 仮想ﾎﾟｰﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	INTFLAGS	INT7IF	INT6IF	INT5IF	INT4IF	INT3IF	INT2IF	INT1IF	INT0IF	111
+$02	IN	IN7~0								111
+$01	OUT	OUT7~0								111
+$00	DIR	DIR7~0								111

12.19. 割り込みﾍﾞｸﾀ要約 – ﾎﾟｰﾄ

変位	記述例	割り込み内容
$00	INT_vect	ﾎﾟｰﾄ割り込みﾍﾞｸﾀ

13. TC4/5 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ4型と5型

13.1. 要点

- 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 2つﾀｲﾏ/ｶｳﾝﾀの縦列接続によって支援される32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 4つまでの組み合わせた比較と捕獲(CC)ﾁｬﾈﾙ
  - 4型のﾀｲﾏ/ｶｳﾝﾀに対して4つのCCﾁｬﾈﾙ
  - 5型のﾀｲﾏ/ｶｳﾝﾀに対して2つのCCﾁｬﾈﾙ
- 2重緩衝されたﾀｲﾏ定期間設定
- 2重緩衝された比較と捕獲のﾁｬﾈﾙ
- 波形生成:
  - 周波数生成
  - 単一傾斜ﾊﾟﾙｽ幅変調
  - 2傾斜ﾊﾟﾙｽ幅変調
- 捕獲:
  - 雑音消去付き捕獲入力
  - 周波数捕獲
  - ﾊﾟﾙｽ幅捕獲
  - 32ﾋﾞｯﾄ捕獲入力
- ﾀｲﾏ経過溢れとﾀｲﾏ異常の割り込み/事象
- CCﾁｬﾈﾙ当たり1つの比較一致または捕獲の割り込み/事象
- 事象ｼｽﾃﾑと共に以下が使用可能:
  - 直交復号
  - 計数と方向の制御
  - 捕獲
- EDMAと共にEDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
  - 周波数と波形の分解能を2ﾋﾞｯﾄ(×4)または3ﾋﾞｯﾄ(×8)増加
- WeX – 新波形拡張
  - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
- Fault – 障害拡張
  - 駆動部の安全な禁止のための事象制御された障害保護

13.2. 概要

Atmel AVR XMEGAﾃﾞﾊﾞｲｽは柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(TC)の組を持ちます。それらの能力には正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ、周波数と波形の生成、事象管理、ﾃﾞｼﾞﾀﾙ信号の時間と周波数の測定付きの捕獲入力を含みます。2つのﾀｲﾏ/ｶｳﾝﾀは任意選択の32ﾋﾞｯﾄ捕獲を持つ32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを作成するために縦列接続することができます。

ﾀｲﾏ/ｶｳﾝﾀは基本計数器と比較または捕獲(CC)ﾁｬﾈﾙの組から成ります。基本計数器はｸﾛｯｸ周期または事象を計数するのに使用できます。これは方向制御とﾀｲﾐﾝｸﾞに使用することができる定期設定を持ちます。CCﾁｬﾈﾙは基本計数器と共に、比較一致制御、周波数生成、ﾊﾟﾙｽ幅波形変調(PWM)生成は勿論、様々な入力捕獲動作を行うのにも使用することができます。ﾀｲﾏ/ｶｳﾝﾀは比較または捕獲のどちらの機能にも形態設定できますが、同時に両方を実行することはできません。

ﾀｲﾏ/ｶｳﾝﾀは任意選択の前置分周付きの周辺ｸﾛｯｸまたは事象ｼｽﾃﾑからｸﾛｯｸ駆動と計時を行うことができます。事象ｼｽﾃﾑは方向制御と捕獲起動、または動作の同期にも使用することができます。

ﾀｲﾏ/ｶｳﾝﾀの4型と5型間には2つの違いがあります。ﾀｲﾏ/ｶｳﾝﾀ4は4つのCCﾁｬﾈﾙを持ち、ﾀｲﾏ/ｶｳﾝﾀ5は2つのCCﾁｬﾈﾙを持ちます。CCﾁｬﾈﾙCとCCﾁｬﾈﾙDに関連する全ての情報はﾀｲﾏ/ｶｳﾝﾀ4に対してだけ有効です。ﾀｲﾏ/ｶｳﾝﾀ4と5の両方は比較と捕獲のﾁｬﾈﾙを倍にして8ﾋﾞｯﾄ分解能を得ることを応用に許す、8ﾋﾞｯﾄ動作にすることができます。

いくつかのﾀｲﾏ/ｶｳﾝﾀはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。波形拡張(WeX)は電動機制御、安定器、LED、H-ﾌﾞﾘｯｼﾞ、電力変換器や他の電力制御応用を意図されています。それは任意の沈黙時間挿入付きのLow側とHigh側の出力を許します。ﾎﾟｰﾄ ﾋﾟﾝの向こう側への同期したﾋﾞｯﾄ様式を生成することもできます。高分解能(Hi-Res)拡張は周辺ｸﾛｯｸよりも4倍速く走行する内部ｸﾛｯｸ元を使用することによって、波形出力分解能を4または8倍に増すことができます。障害拡張(FAULT)は安全のための障害保護と外部駆動部の決定論的な処理、禁止や活動停止を許します。

密接に関連する(青枠の(訳注:原書は灰色の))周辺機能部署と拡張を伴う16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの構成図が図13-1.で示されます。

図13-1. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと密接に関連する周辺機能

13.2.1. 定義

以下の定義が資料を全体を通して使用されています。

表13-1. ﾀｲﾏ/ｶｳﾝﾀ用語定義

用語	意味
BOTTOM	計数器が底(BOTTOM)に到達し、それが0(単一傾斜上昇計数動作では1)になる時。
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時。
TOP	計数器が頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は定期(PER)ﾚｼﾞｽﾀまたは比較ﾁｬﾈﾙA(CCA)ﾚｼﾞｽﾀの設定に等しくできます。これは波形生成動作種別によって選択されます。
UPDATE	ﾀｲﾏ/ｶｳﾝﾀが更新(UPDATE)を合図し、それが方向設定に依存してBOTTOMまたはTOPに到達する時。

一般的に用語'計時器'はﾀｲﾏ/ｶｳﾝﾀのｸﾛｯｸ制御が内部供給元によって扱われる時に使用され、用語'計数器'はｸﾛｯｸが外部的に扱われる(換言すると、外部事象計数)時に使用されます。CCﾁｬﾈﾙは比較操作に使用される時に'比較ﾁｬﾈﾙ'として参照されます。捕獲操作に使用される時にCCﾁｬﾈﾙは'捕獲ﾁｬﾈﾙ'として参照されます。

13.3. 構成図

図13-2.は拡張(部)を除くﾀｲﾏ/ｶｳﾝﾀの詳細な構成図を示します。

図13-2. ﾀｲﾏ/ｶｳﾝﾀ構成図

計数器(CNT)ﾚｼﾞｽﾀ、定期(PER)ﾚｼﾞｽﾀと定期緩衝(PERBUF)ﾚｼﾞｽﾀ、比較/捕獲(CCx)ﾚｼﾞｽﾀと比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀは16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。全ての緩衝ﾚｼﾞｽﾀは緩衝内容が新しい値の時を示す緩衝有効(BV)ﾌﾗｸﾞを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。

計数器値はCCxﾚｼﾞｽﾀとも比較されます。これらの比較は割り込み要求、EDMA転送単位処理要求、事象ｼｽﾃﾑに対する事象を生成するのに使用できます。波形生成器動作は波形周期またはﾊﾟﾙｽ幅を設定するのに比較器を使用します。

前置分周された周辺ｸﾛｯｸと事象ｼｽﾃﾑからの事象が計数器を制御するのに使用できます。事象ｼｽﾃﾑは捕獲入力への供給元としても使用されます。事象ｼｽﾃﾑQDECの直交復号機能とﾀｲﾏ/ｶｳﾝﾀの組み合わせは高速直交復号に使用できます。

13.4. クロック元と事象元

タイマ/カウンタは周辺クロック(clkPER)または事象システムからクロック駆動でき、図13-3.がクロックと事象の選択論理を示します。

図13-3. クロックと事象の選択

周辺クロックは共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1～1/1024の前置分周器出力はタイマ/カウンタによる選択が直接的に利用可能です。加えて1～2^{15}前置分周範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は計数器(CNT)入力として前置分周器出力の1つを直接的に、または事象チャネルを選びます。これは計数器の標準動作としての参照です。詳細については118頁の「**標準動作**」を参照してください。事象システムの使用により、何れかのI/Oピンの外部クロック信号のようなどの事象元もクロック入力として使用できます。

加えてタイマ/カウンタは事象システムを経由して制御ができます。事象選択(EVSEL)と事象活動(EVACT)の設定は1つ以上の事象から事象活動を起動するのに使用されます。これは計数器の事象活動制御動作として参照されます。詳細については118頁の「**事象活動制御動作**」を参照してください。事象活動制御動作が使用されるとき、クロック選択は計数器入力として事象チャネルの使用に設定されなければなりません。

既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

13.5. 2重緩衝

定期(PER)レジスタと比較/捕獲(CC)レジスタは、比較チャネルAでの循環緩衝任意選択付きで全て2重緩衝されます。各々の緩衝レジスタは緩衝有効(BV)フラグを持ち、これは緩衝が有効、換言すると対応する定期やCCレジスタ内に複写することができる新しい値を含んでいることを示します。定期レジスタとCCチャネルが比較動作に使用される時は、データが緩衝レジスタに書かれる時に緩衝有効フラグが設定(1)され、UPDATE条件で解除(0)されます。

循環緩衝任意選択は比較と波形生成の両動作形態で許可することができます。更新(UPDATE)条件で、定期とCCAレジスタは任意でそれらの対応する緩衝部に格納することができます。同様に、対応する緩衝レジスタ値は同じ更新条件で定期とCCAのレジスタに格納されます。

これは比較レジスタに関して図13-4.で示されます。

図13-4. 定期レジスタと比較レジスタの2重緩衝処理

CCxチャネルが捕獲動作に使用される時には同じ2重緩衝機構が使用されますが、この場合は図13-5.で示されるように緩衝有効フラグが捕獲事象で設定(1)されます。入力捕獲に関しては緩衝レジスタと対応するCCxレジスタがFIFOのように動きます。CCxレジスタが使用、または読まれると、緩衝レジスタのどんな内容もCCxレジスタに渡されます。緩衝有効フラグはCCx割り込み要求フラグ(C CxIF)を設定(1)するために渡されて、任意選択の割り込みを生成します。

CCxとCCxBUFの両レジスタはI/Oレジスタとして利用可能です。これは緩衝レジスタの初期化と迂回そして2重緩衝機能を許します。

図13-5. 捕獲2重緩衝

13.6. 計数器動作

動作種別に依存して計数器は各ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ入力で、0設定、再設定、増加、減少されます。

ﾀｲﾏ/ｶｳﾝﾀは標準、単一傾斜、2傾斜の動作に於いて上昇計数または下降計数で許可することができます。

13.6.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、各ｸﾛｯｸに対して方向(DIR)ﾋﾞｯﾄによって設定された方向で計数します。上昇計数でTOP到達時、計数器は次のｸﾛｯｸが与えられた時に0が設定されます。下降計数時の計数器はBOTTOM到達時に定期(PER)ﾚｼﾞｽﾀで再設定されます。

図13-6.で示されるように、計数器動作時に計数器値変更が可能です。書き込みｱｸｾｽは、計数、0設定、再設定より高い優先権を持ち、直ちに行われます。計数器の方向は標準動作中でも変更できます。

図13-6. 標準動作

入力捕獲に対する基準計時として計数器を使用する時に標準動作が使用されなければなりません。波形生成(WG:Waveform Generation)動作許可時、波形はﾋﾟﾝに出力されます。詳細については120頁の「**波形生成**」を参照してください。

13.6.2. 事象活動制御動作

事象選択(EVSEL)と事象活動設定(EVACT)が事象ｼｽﾃﾑからの計数器制御に使用できます。計数器に関して以下の事象活動を選択することができます。

- 事象ｼｽﾃﾑ制御上昇/下降計数
  - 事象nは計数許可として使用されます。
  - 事象n+1は上昇(1)と下降(0)間の選択に使用されます。ﾋﾟﾝ形態設定はLowﾚﾍﾞﾙ感知に設定されなければなりません。
- 事象ｼｽﾃﾑ制御直交復号計数

13.6.3. 32ﾋﾞｯﾄ動作

32ﾋﾞｯﾄ計数器動作を許可するのに2つのﾀｲﾏ/ｶｳﾝﾀを共に使用することができます。2つのﾀｲﾏ/ｶｳﾝﾀを使用することによって、1つのﾀｲﾏ/ｶｳﾝﾀ(下位計数器)からの上昇溢れ事象は事象ｼｽﾃﾑ経由で経路付けでき、別のﾀｲﾏ/ｶｳﾝﾀ(上位計数器)に対するｸﾛｯｸ入力として使用できます。

13.6.4. 周期変更

計数器の周期は新しいTOP値を定期(PER)ﾚｼﾞｽﾀへ書くことによって変更されます。2重緩衝が使用されない場合、図13-7.で示されるようにどんな周期変更も直ちに行われます。

図13-7. 緩衝なし周期変更

図13-8.で示されるように緩衝なしでの上昇計数時、どの動作形態でも丸められた計数器が起こり得ます。これは計数器(CNT)ﾚｼﾞｽﾀと定期(PER)ﾚｼﾞｽﾀが継続的に比較され、現在のCNTよりも低い新しいTOP値がPERに書かれた場合、比較一致が起こる前に丸められます。

図13-8. 緩衝なし2傾斜動作

2重緩衝使用時、緩衝部は何時でも書け、未だ正しい動作を維持します。図13-9.で示されるように定期ﾚｼﾞｽﾀは常に"更新"条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

図13-9. 緩衝使用周期変更

13.7. 捕獲ﾁｬﾈﾙ

比較/捕獲(CC)ﾁｬﾈﾙは外部事象の捕獲のためのﾁｬﾈﾙとして使用でき、それらに時刻印を与えます。捕獲はどのﾀｲﾏ/ｶｳﾝﾀ動作種別でも許可することができます。

事象が入力捕獲の起動に使用され、換言すると、どのﾋﾟﾝからのﾋﾟﾝ変化も含む事象ｼｽﾃﾑからのどの事象も入力捕獲を起動できます。事象元選択設定はどのCCﾁｬﾈﾙAを起動するか選択します。形態設定されるなら、後続する事象ﾁｬﾈﾙが後続するCCﾁｬﾈﾙでの入力捕獲を起動します。例えば事象ﾁｬﾈﾙ2を選択する事象元設定は事象ﾁｬﾈﾙ2に接続されたCCﾁｬﾈﾙA捕獲、事象ﾁｬﾈﾙ3へのCCﾁｬﾈﾙB、以下同様の結果になります。

図13-10. 捕獲操作用事象元選択

障害拡張を持つﾀｲﾏ/ｶｳﾝﾀについては入力捕獲ﾁｬﾈﾙは障害条件によっても起動することができます。障害拡張部で障害A捕獲(CAPTA)または障害B捕獲(CAPTB)の障害活動が許可された場合、障害はCCﾁｬﾈﾙ捕獲を起動します。

ﾀｲﾏ/ｶｳﾝﾀの事象活動設定(EVSEL)が行われる捕獲形式を決めます。

使用するCCﾁｬﾈﾙは捕獲が行われ得る前に個別に許可されなければなりません。捕獲条件が起こると、ﾀｲﾏ/ｶｳﾝﾀは計数器(CNT H/L)ﾚｼﾞｽﾀの現在のCNT値を許可されたCCﾁｬﾈﾙ(CCxH/L)ﾚｼﾞｽﾀ内に複写することによって事象の時刻印を記します。

入出力ﾋﾟﾝが捕獲に対する事象元として使用されるとき、そのﾋﾟﾝはｴｯｼﾞ感知に形成設定されなければなりません。入出力ﾋﾟﾝの感知形態設定の詳細については102頁の「**入力感知形態設定**」を参照してください。

事象ﾁｬﾈﾙ元選択の詳細については125頁の**表13-10.**を参照してください。

13.7.1. 入力捕獲

入力捕獲事象活動の選択は許可された捕獲ﾁｬﾈﾙに事象での入力捕獲を実行させます。割り込み要求ﾌﾗｸﾞ(CCxIF)が設定(1)され、対応するCCxﾚｼﾞｽﾀの捕獲結果が有効なことを示します。同時に緩衝有効(CCxBV)ﾌﾗｸﾞが緩衝(CCxBUF)ﾚｼﾞｽﾀ内のﾃﾞｰﾀ有効を示します。

捕獲は対応するCCﾁｬﾈﾙを捕獲動作で許可することによって許可されます。捕獲はどのﾀｲﾏ/ｶｳﾝﾀ動作形態でも許可することができます。**図13-11.**はﾀｲﾏ/ｶｳﾝﾀがBOTTOMからTOPへ計数する時の1つの捕獲ﾁｬﾈﾙに対する4つの捕獲事象を示します。

ﾀｲﾏ/ｶｳﾝﾀが2傾斜動作に設定される時に特別な状態が起きます。DSBOTH動作が許可される時に捕獲値の最上位ﾋﾞｯﾄとして計数方向(DIR)が格納されます。他の全ての場合、捕獲値の最上位ﾋﾞｯﾄとしてﾀｲﾏ/ｶｳﾝﾀの最上位ﾋﾞｯﾄが格納されます。

図13-11. 入力捕獲ﾀｲﾐﾝｸﾞ

ﾊﾟﾙｽ幅と周波数の捕獲事象活動選択時、許可されたCCAまたはCCBのﾁｬﾈﾙはCCAﾁｬﾈﾙでの正端事象でとCCBﾁｬﾈﾙでの負端事象で入力捕獲を実行します。ﾀｲﾏ/ｶｳﾝﾀ再始動は正端事象で実行されます。これは信号ﾊﾟﾙｽ幅と周波数の直接的な測定を許します。CCAの捕獲結果は直前のﾀｲﾏ/ｶｳﾝﾀ再始動から事象発生までの時間Tです。これはその信号の周波数(f)を計算するのに使用できます。

$$f = \frac{1}{T}$$

CCBの捕獲結果は信号のﾊﾟﾙｽ幅(tp)です。事象元は入出力ﾋﾟﾝでなければならず、そのﾋﾟﾝに対する感知形態設定は両端で事象を生成するように設定されなければなりません。

図13-12.は外部信号の周期とﾊﾟﾙｽ幅が2度測定される例を示します。

図13-12. 外部信号の周波数とﾊﾟﾙｽ幅の捕獲

13.7.2. 32ﾋﾞｯﾄ入力捕獲

32ﾋﾞｯﾄ入力捕獲を許可するために2つのﾀｲﾏ/ｶｳﾝﾀを共に使用することができます。代表的な32ﾋﾞｯﾄ入力捕獲初期設定では、下位計数器の上昇溢れ事象が事象ｼｽﾃﾑ経由で接続され、上位計数器に対するｸﾛｯｸ入力として使用されます。

上位計数器は下位計数器で上昇溢れが起きた1周辺ｸﾛｯｸ後に更新されます。これを補償するため、上位計数器に対する捕獲事象は、このﾀｲﾏ/ｶｳﾝﾀに対する事象遅延(EVDLY)ﾋﾞｯﾄの設定(1)によって同じ遅延にされなければなりません。

13.7.3. 捕獲緩衝部溢れ

ﾀｲﾏ/ｶｳﾝﾀは入力捕獲ﾁｬﾈﾙの緩衝部溢れを検知できます。緩衝有効(BV)ﾌﾗｸﾞと捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)の両方が設定(1)され、新しい捕獲事象が検知された時に、新しい時刻印を格納する場所が何処にもありません。緩衝部溢れが検出された場合、新しい値は拒否され、異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)されて任意選択の割り込みが生成されます。

13.8. 比較ﾁｬﾈﾙ

CC(比較/捕獲)ﾁｬﾈﾙはCCﾁｬﾈﾙ(CCx)ﾚｼﾞｽﾀ値と計数器値(CNT)値を比較するのに使用することができます。CNTとCCxが等しい場合に比較一致を合図します。この比較一致は次のﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ周期でCCﾁｬﾈﾙの割り込み要求ﾌﾗｸﾞ(CCxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。

比較緩衝(CCxBUF)ﾚｼﾞｽﾀは定期緩衝(PERBUF)のそれと等価な能力を持つ2重緩衝を提供します。2重緩衝はUPDATE条件で緩衝値とCCxﾚｼﾞｽﾀの更新を同期化します。同期化は奇数長の発生、非対称ﾊﾟﾙｽを防ぎ、不具合なし出力を保証します。

13.8.1. 波形生成

比較ﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝでの波形生成に使用できます。接続されたﾎﾟｰﾄ ﾋﾟﾝで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. 波形生成動作(WGMODE)が選択されなければなりません。
2. 事象活動(EVACT)が禁止されなければなりません。
3. 使用されるCCﾁｬﾈﾙが許可(CCxMODE)されなければなりません。これは対応するﾎﾟｰﾄ ﾋﾟﾝ出力(OUT)ﾚｼﾞｽﾀを無効にします。
4. 関連するﾎﾟｰﾄ ﾋﾟﾝに対する方向(DIR)が出力に設定されなければなりません。

反転波形出力はﾎﾟｰﾄ ﾋﾟﾝに対する反転出力(INVEN)ﾋﾞｯﾄを設定(1)することによって達成されます。

障害拡張を持つﾀｲﾏ/ｶｳﾝﾀについては、出力極性(POLx)ﾋﾞｯﾄを設定することによってｴｯｼﾞ整列されたﾊﾟﾙｽ(左または右)が達成されます。より多くの詳細については障害拡張部記述を参照してください。

13.8.2. 周波数(FRQ)波形生成

周波数生成では定期(PER)ﾚｼﾞｽﾀに代わって比較/捕獲A(CCA)ﾚｼﾞｽﾀによって周期(T)が制御されます。波形生成(WG)出力は図13-13.で示されるように計数器(CNT)とCCAﾚｼﾞｽﾀ間の各比較一致で交互されます。

波形周波数(f_{FRQ})は次式によって定義されます。

$$f_{FRQ} = \frac{f_{clkPER}}{2N(CCA+1)}$$

図13-13. 周波数波形生成

ここでNは使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにCCAが0($0000)に設定される時に周辺ｸﾛｯｸ周波数($f_{clkPER}$)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

13.8.3. 単一傾斜PWM生成

単一傾斜PWM生成については、周期(T)が定期(PER)ﾚｼﾞｽﾀによって制御され、一方比較/捕獲(CCx)ﾚｼﾞｽﾀが波形生成(WG)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。図13-14.は計数器がどうBOTTOMからTOPへ計数し、そしてBOTTOMから再始動するかを示します。WG出力は計数器(CNT)とCCxﾚｼﾞｽﾀ間の比較一致で設定(1)され、TOPで解除(0)されます。

PERﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は2ﾋﾞｯﾄ(PER=$0003)で、最大分解能は16ﾋﾞｯﾄ(PER=MAX)です。

図13-14. 単一傾斜ﾊﾟﾙｽ幅変調

次式は単一傾斜PWMに対する正確な分解能(R_{PWM_SS})を計算します。

$$R_{PWM_SS} = \frac{\log(PER+DIR)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$f_{PWM_SS} = \frac{f_{clkPER}}{N(PER+DIR)}$$

ここでNは使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにCCAが0($0000)に設定される時に周辺ｸﾛｯｸ周波数($f_{clkPER}$)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

ﾊﾟﾙｽ幅(P_{PWM_SS})は比較ﾁｬﾈﾙ(CCx)設定、方向(DIR)と周辺ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$P_{PWM_SS} = \frac{(N \times CCx)}{f_{clkPER}}$$

ここでNは使用した前置分周数を表します。上昇計数時、最小ﾊﾟﾙｽ幅は1周辺ｸﾛｯｸです。

13.8.4. 2傾斜PWM生成

2傾斜PWM生成については周期(T)が定期(PER)ﾚｼﾞｽﾀによって制御され、一方比較/捕獲(CCx)ﾚｼﾞｽﾀが波形生成(WG)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。**図13-16.**は2傾斜PWMに関して計数器がBOTTOMからTOPへ、そしてその後にTOPからBOTTOMへどう繰り返し計数するかを示します。波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

2傾斜PWMの使用は単一傾斜PWM動作と比較してより低い最大動作周波数の結果となります。

図13-16. 2傾斜ﾊﾟﾙｽ幅変調

PERﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は2 ﾋﾞｯﾄ(PER=$0003)で、最大分解能は16ﾋﾞｯﾄ(PER=MAX)です。

次式は2傾斜PWMに対する正確な分解能(R_{PWM_DS})を計算します。

$$R_{PWM_DS} = \frac{\log(PER+1)}{\log(2)}$$

PWM周波数(f_{PWM_DS})は周期設定(PER)と周辺ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$f_{PWM_DS} = \frac{f_{clkPER}}{2N \times PER}$$

ここでNは使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにPERが1($0001)に設定される時に周辺ｸﾛｯｸ周波数($f_{clkPER}$)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

ﾊﾟﾙｽ幅(P_{PWM_DS})は比較ﾁｬﾈﾙ(CCx)設定と周辺ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$P_{PWM_DS} = \frac{2N \times (PER - CCx)}{f_{clkPER}}$$

ここでNは使用した前置分周数を表します。この動作形態ではﾊﾟﾙｽを抑制することができます。

13.8.5. 出力極性

単一傾斜と2傾斜の両PWM動作で極性任意選択が利用可能です。これらの動作ではPWM周期の開始または終了でのﾊﾟﾙｽ端整列を反転することが可能です。**表13-2.**はﾀｲﾏ/ｶｳﾝﾀ設定、方向と極性の設定に依存する波形出力設定/解除条件を示します。

表13-2. 波形生成設定/解除条件

波形生成動作種別	方向 DIR	出力極性 POLx	波形生成(WG)出力更新	
			設定	解除
単一傾斜PWM	0	0	ﾀｲﾏ/ｶｳﾝﾀ更新	ﾀｲﾏ/ｶｳﾝﾀ一致
		1	ﾀｲﾏ/ｶｳﾝﾀ一致	ﾀｲﾏ/ｶｳﾝﾀ更新
	1	0	ﾀｲﾏ/ｶｳﾝﾀ一致	ﾀｲﾏ/ｶｳﾝﾀ更新
		1	ﾀｲﾏ/ｶｳﾝﾀ更新	ﾀｲﾏ/ｶｳﾝﾀ一致
2傾斜PWM	x	0	上昇計数時のﾀｲﾏ/ｶｳﾝﾀ一致	下降計数時のﾀｲﾏ/ｶｳﾝﾀ一致
		1	下降計数時のﾀｲﾏ/ｶｳﾝﾀ一致	上昇計数時のﾀｲﾏ/ｶｳﾝﾀ一致

13.8.6. 波形生成に関するﾎﾟｰﾄ無効化

ﾎﾟｰﾄ ﾋﾟﾝで利用可能な波形生成を行うには対応するﾎﾟｰﾄ ﾋﾟﾝの方向が出力として設定されなければなりません。ﾀｲﾏ/ｶｳﾝﾀは比較/捕獲(CC)ﾁｬﾈﾙが許可(CCxMODE)され、波形生成動作種別(WGMODE)が選択されている時にﾎﾟｰﾄ ﾋﾟﾝ値を無効にします。

図13-16.はﾀｲﾏ/ｶｳﾝﾀに関するﾎﾟｰﾄ無効化を示します。ﾀｲﾏ/ｶｳﾝﾀのCCﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝ(Pxn)でﾎﾟｰﾄ ﾋﾟﾝ出力値(OUTxn)を無効にします。ﾎﾟｰﾄ ﾋﾟﾝでの反転I/O許可(INVENxn)は対応するWG出力を反転します。

図13-16. ﾀｲﾏ/ｶｳﾝﾀ4と5に関するﾎﾟｰﾄ無効化

13.9. 割り込みと事象

ﾀｲﾏ/ｶｳﾝﾀは割り込みと事象の両方を生成できます。計数器は上昇溢れ/下降溢れでの割り込みを生成でき、各比較/捕獲(CC)ﾁｬﾈﾙは比較または捕獲に使用される独立した割り込みを持ちます。加えて、CCﾁｬﾈﾙのどれかが捕獲に使用され、捕獲ﾁｬﾈﾙで緩衝部溢れが起きた場合に異常割り込みを生成できます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については58頁の「事象ｼｽﾃﾑ」を参照してください。

13.10. EDMA支援

割り込み要求ﾌﾗｸﾞはEDMA単位処理の起動に使用できます。表13-3.はﾀｲﾏ/ｶｳﾝﾀから利用可能な転送起動元と転送起動を解除するEDMA活動を一覧にします。EDMA使用のより多くの詳細については37頁の「EDMA – 強化型直接ﾒﾓﾘ入出力」を参照してください。

表13-3. EDMA要求元

要求	応答	注釈
OVFIF	CNTへのEDMA制御器書き込み	
	PERへのEDMA制御器書き込み	
	PERBUFへのEDMA制御器書き込み	
ERRIF	利用不可	
CCxIF	CCxのEDMA制御器ｱｸｾｽ	捕獲動作
	CCxBUFのEDMA制御器ｱｸｾｽ	比較動作

13.11. ﾀｲﾏ/ｶｳﾝﾀ指令

部署の状態を直ちに変更するために、ｿﾌﾄｳｪｱによって1組の指令をﾀｲﾏ/ｶｳﾝﾀに与えることができます。これらの指令は更新、再始動、ﾘｾｯﾄの信号の直接制御を行います。

更新指令は更新条件発生時と同じ効果を持ちます。更新指令は更新施錠(LUPD)ﾋﾞｯﾄが設定(1)されている場合に無効とされます。

ｿﾌﾄｳｪｱは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器、方向と全ての比較出力が0に設定されます。

ﾘｾｯﾄ指令は全てのﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀをそれらの初期値に設定します。ﾘｾｯﾄはﾀｲﾏ/ｶｳﾝﾀが非動作(OFF)の時にだけ与えることができます。

13.12. ﾚｼﾞｽﾀ説明 – 標準形態設定

13.12.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	SYNCHEN	EVSTART	UPSTOP	CLKSEL3~0				CTRLA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – SYNCHEN : 同期許可** (Synchronization Enabled)

このﾋﾞｯﾄが設定(1)されると、事象活動とｿﾌﾄｳｪｱ指令は内部ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸで同期されます。このﾋﾞｯﾄが解除(0)されると、事象活動とｿﾌﾄｳｪｱ指令は周辺ｸﾛｯｸ(clk_{PER})で同期されます。

● **ﾋﾞｯﾄ5 – EVSTART : 次の事象で開始** (Start on Next Event)

このﾋﾞｯﾄの設定(1)は事象選択(EVSEL)ﾋﾞｯﾄによって選択された事象線からの次の事象でﾀｲﾏ/ｶｳﾝﾀを許可します。このﾋﾞｯﾄが解除(0)された場合、ﾀｲﾏ/ｶｳﾝﾀはｿﾌﾄｳｪｱまたは制御ﾚｼﾞｽﾀG解除(CTRLGCLR)ﾚｼﾞｽﾀでﾀｲﾏ/ｶｳﾝﾀ停止(STOP)ﾋﾞｯﾄを解除することによってのみ許可されます。

● **ﾋﾞｯﾄ4 – UPSTOP : 次の更新で停止** (Stop on Next Update)

このﾋﾞｯﾄの設定(1)は次の更新条件(上昇/下降溢れまたは再起動)でﾀｲﾏ/ｶｳﾝﾀを禁止します。ｿﾌﾄｳｪｱによってﾀｲﾏ/ｶｳﾝﾀが停止されている場合、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ3~0 – CLKSEL3~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄは表13-4.に従ってﾀｲﾏ/ｶｳﾝﾀに対するｸﾛｯｸ元を選択します。同時に次の事象で開始(EVSTART)ﾋﾞｯﾄが0を書かれる場合、0000以外の値へのCLKSEL設定はﾀｲﾏ/ｶｳﾝﾀを始動します。高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、DIV1形態設定(CLKSEL=0001)が設定されなければなりません。

表13-4. ｸﾛｯｸ任意選択

CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	前置分周器: OFF
0 0 0 1	DIV1	前置分周器: clk_{PER}
0 0 1 0	DIV2	前置分周器: $clk_{PER}/2$
0 0 1 1	DIV4	前置分周器: $clk_{PER}/4$
0 1 0 0	DIV8	前置分周器: $clk_{PER}/8$
0 1 0 1	DIV64	前置分周器: $clk_{PER}/64$
0 1 1 0	DIV256	前置分周器: $clk_{PER}/256$
0 1 1 1	DIV1024	前置分周器: $clk_{PER}/1024$
1 n n n	EVCHn	事象ﾁｬﾈﾙn (n=0～7)

13.12.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	BYTEM1,0		CIRCEN1,0		–	WGMODE2~0			CTRLB
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – BYTEM1,0 : ﾊﾞｲﾄ動作** (Byte Mode)

これらのﾋﾞｯﾄは表13-5.に従ってﾀｲﾏ/ｶｳﾝﾀ形態設定種別を選択します。

表13-5. ﾊﾞｲﾄ動作形態選択

BYTEM1,0	群形態設定	内容
0 0	NORMAL	ﾀｲﾏ/ｶｳﾝﾀは標準形態(ﾀｲﾏ/ｶｳﾝﾀ型式0)に設定されます。
0 1	BYTEMODE	2重化されたCCﾁｬﾈﾙを持つ1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ。計数器の上位ﾊﾞｲﾄ(CNTH)は各ｸﾛｯｸ周期後、0に設定されます。
1 0	–	(予約)
1 1	–	(予約)

● ﾋﾞｯﾄ5,4 – CIRCEN1,0 : 循環緩衝許可 (Circular Buffer Enable)

これらのﾋﾞｯﾄは表13-6.に従って循環緩衝任意選択を許可します。

表13-6. 循環緩衝選択

BYTEM1,0	群形態設定	内容
0 0	DISABLE	循環緩衝禁止
0 1	PER	PER/PERBUFﾚｼﾞｽﾀで循環緩衝許可
1 0	CCA	CCA/CCABUFﾚｼﾞｽﾀで循環緩衝許可
1 1	BOTH	PER/PERBUFとCCA/CCABUFのﾚｼﾞｽﾀで循環緩衝許可

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – WGMODE2~0 : 波形生成動作種別 (Waveform Generation Mode)

これらのﾋﾞｯﾄは波形生成動作種別を選択し、表13-7.に従って計数器の計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。対応する比較/捕獲x許可(CCxMODE)ﾋﾞｯﾄがそれを許可に設定している場合に、波形生成器からの結果をﾎﾟｰﾄ ﾋﾟﾝへ直結することができます。そのﾎﾟｰﾄ ﾋﾟﾝの方向(DIR)は出力として設定されなければなりません。

表13-7. 波形生成動作種別

WGMODE2~0	群形態設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	PER	TOP/BOTTOM (注)	TOP/BOTTOM (注)
0 0 1	FRQ	周波数(FRQ)	CCA	TOP/BOTTOM (注)	TOP/BOTTOM (注)
0 1 0	–	(予約)	–	–	–
0 1 1	SINGLESLOPE	単一傾斜PWM	PER	BOTTOM/TOP (注)	BOTTOM/TOP (注)
1 0 0	–	(予約)	–	–	–
1 0 1	DSTOP	2傾斜PWM	PER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	PER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	PER	BOTTOM	BOTTOM

注: 計数方向(DIR)設定に依存

13.12.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	POLD	POLC	POLB	POLA	CMPD	CMPC	CMPB	CMPA	CTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – POLx : 出力x極性 (Output Polarity x)

これらのﾋﾞｯﾄの設定は出力極性を許します。より多くの詳細については121頁の「出力極性」を参照してください。

● ﾋﾞｯﾄ3~0 – CMPx : 比較x出力値 (Compare Output Value x)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが動作していない時にWG出力値を設定(1)または解除(0)するのに使用されます。

13.12.4. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	EVACT2~0			EVDLY	EVSEL3~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – EVACT2~0 : 事象活動 (Event Action)

これらのﾋﾞｯﾄは表13-8.に従って事象で実行する計時器の事象活動を定義します。その場合に事象選択(EVSEL)設定はどの事象元または供給元が制御を持つかを決定します。

表13-8. 事象活動選択

EVACT2~0	群形態設定	事象活動
0 0 0	OFF	なし
0 0 1	FMODE1(注)	障害動作形態1捕獲
0 1 0	FMODE2(注)	障害動作形態2捕獲
0 1 1	UPDOWN	外部制御された上昇/下降計数
1 0 0	QDEC	直交復号
1 0 1	RESTART	波形生成周期再始動
1 1 0	PWF	ﾊﾟﾙｽ幅と周波数の捕獲
1 1 1	–	(予約)

注: EVACT2～0を000に設定して事象元選択(EVSEL3～0)ﾋﾞｯﾄで事象ﾁｬﾈﾙを選んでください。また、制御ﾚｼﾞｽﾀE(CTRLE)の比較/捕獲x動作種別(CCxMODE)はCAPTに設定されなければなりません。

● ﾋﾞｯﾄ4 – EVDLY : 事象遅延 (Timer Delay Event)

このﾋﾞｯﾄが設定(1)されると、選択した事象元は1周辺ｸﾛｯｸ周期遅延されます。これは32ﾋﾞｯﾄ入力捕獲に対して意図されています。事象ｼｽﾃﾑ経由で2つの計数器を直列にする時にｷｬﾘｰ伝播遅延に対する補償用に事象遅延の追加が必要です。

● ﾋﾞｯﾄ3~0 – EVSEL3~0 : 事象元選択 (Timer Event Source Select)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀに対する事象ﾁｬﾈﾙ元を選びます。選択した事象ﾁｬﾈﾙが効果を表すためには事象活動(EVACT)ﾋﾞｯﾄが表13-9.に従って設定されなければなりません。

既定で、選択した事象ﾁｬﾈﾙnは比較/捕獲(CC)ﾁｬﾈﾙAに対する事象ﾁｬﾈﾙ元になり、事象ﾁｬﾈﾙn+1,n+2,n+3(各々8の剰余(%8))が各々CCﾁｬﾈﾙB,C,Dに対する事象ﾁｬﾈﾙ元になります。

表13-10.は事象活動(EVACT)設定による各CCﾁｬﾈﾙ用の事象ﾁｬﾈﾙ元を示します。

表13-9. 事象元選択

EVSEL3~0	群形態設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 n n n	CHn	事象ﾁｬﾈﾙn (n=0～7)

表13-10. ﾁｬﾈﾙ事象元選択

EVACT2~0	事象ﾁｬﾈﾙ選択				再始動条件
	CCA	CCB	CCC	CCD	
0 0 0	n	(n+1)%8	(n+2)%8	(n+3)%8	ｿﾌﾄｳｪｱ
0 0 1	FAULTA/B	FAULTA/B	(n+2)%8	(n+3)%8	ｿﾌﾄｳｪｱまたは障害
0 1 0	FAULTA	FAULTB	FAULTA	FAULTB	ｿﾌﾄｳｪｱまたは障害
0 1 1	n	(n+1)%8	(n+2)%8	(n+3)%8	ｿﾌﾄｳｪｱ
1 0 0	n	(n+1)%8	(n+2)%8	(n+3)%8	直交復号器
1 0 1	n	(n+1)%8	(n+2)%8	(n+3)%8	事象ﾁｬﾈﾙn
1 1 0	n	n	(n+2)%8	(n+3)%8	事象ﾁｬﾈﾙn
1 1 1	–	–	–	–	(予約)

13.12.5. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CCDMODE1,0		CCCMODE1,0		CCBMODE1,0		CCAMODE1,0		CTRLE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCxMODE1,0 : 比較/捕獲x動作種別** (Compare or Capture x Mode)

これらのﾋﾞｯﾄは**表13-11.**に従って対応するCCxﾁｬﾈﾙで比較と捕獲の動作を許可します。

表13-11. 比較/捕獲(CC)動作選択

CCxMODE1,0	群形態設定	内容
0 0 (注1)	INTERNAL COMP(2)	出力比較と捕獲は禁止
0 1	OUTPUT COMP	出力比較許可
1 0	CAPT	入力捕獲許可
1 1	BOTHCC (注2)	比較と捕獲の両方を許可

注1: CCxMODE1,0=00の場合に内部捕獲動作が許可されます。

注2: この動作形態は障害(FAULT)拡張部が条件捕獲障害動作に設定される場合にだけ利用可能です。150頁の「**障害拡張**」記述を参照してください。

13.12.6. INTCTRLA – 割り込み許可ﾚｼﾞｽﾀA (Interrupt Enable register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	TRGINTLVL1,0		ERRINTLVL1,0		OVFINTLVL1,0		INTCTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5,4 – TRGINTLVL1,0 : 起動再始動割り込みﾚﾍﾞﾙ** (Timer Trigger Restart Interrupt Level)

これらのﾋﾞｯﾄは起動再始動に対する割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは起動再始動割り込み要求ﾌﾗｸﾞ(TRGIF)が設定(1)される時の条件のために起動します。

● **ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : 異常割り込みﾚﾍﾞﾙ** (Timer Error Interrupt Level)

これらのﾋﾞｯﾄは異常割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

● **ﾋﾞｯﾄ1,0 –OVFINTLVL1,0 : 上昇/下降溢れ割り込みﾚﾍﾞﾙ** (Timer Overflow/Underflow Interrupt Level)

これらのﾋﾞｯﾄは上昇/下降溢れ用の割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは上昇/下降溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)される時の条件のために起動します。

13.12.7. INTCTRLB – 割り込み許可ﾚｼﾞｽﾀB (Interrupt Enable register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCxINTLVL1,0 : 比較/捕獲x割り込みﾚﾍﾞﾙ** (Compare or Capture x Interrupt Level)

これらのﾋﾞｯﾄはﾁｬﾈﾙxに対する比較または捕獲の割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

13.12.8. CTRLGCLR,CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定 (Control register G Clear/Set)

このﾚｼﾞｽﾀは2つのI/Oﾒﾓﾘ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両ﾒﾓﾘ位置は読み込み時に同じ結果を与えます。

個別の状態ﾋﾞｯﾄはCTRLxSETのそのﾋﾞｯﾄ位置への1書き込みによって設定(1)でき、CTRLxCLRのそのﾋﾞｯﾄ位置への1書き込みによって解除(0)できます。これは単一ﾚｼﾞｽﾀでの読み-変更-書きの使用なしで設定(1)または解除(0)される各ﾋﾞｯﾄを許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08,+$09	–	–	STOP	–	CMD1,0		LUPD	DIR	CTRLGCLR CTRLGSET
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – STOP : ﾀｲﾏ/ｶｳﾝﾀ停止** (Timer/Counter Stop)

このﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀは自動的に停止され、全ての事象と波形出力が禁止されます。このﾋﾞｯﾄが解除(0)されると、ﾀｲﾏ/ｶｳﾝﾀはｸﾛｯｸ任意選択(CLKSEL)設定がOFF状態(0000)でなければ自動的に再始動されます。

● **ﾋﾞｯﾄ4 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – CMD1,0 : 指令** (Command)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀのﾘｾｯﾄ、再始動、更新のｿﾌﾄｳｪｱ制御に使用できます。指令ﾋﾞｯﾄは常に0として読みます。

表13-12. 指令選択

CMD1,0	群形態設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
1 1	RESET	強制ﾊｰﾄﾞﾘｾｯﾄ (T/CがOFF状態でなければ無視されます。)

● **ﾋﾞｯﾄ1 – LUPD : 更新施錠** (Lock Update)

このﾋﾞｯﾄが設定(1)されていると、例えUPDATE条件が起きても、緩衝されているﾚｼﾞｽﾀの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ0 – DIR : 計数方向** (Counter Direction)

0の時、このﾋﾞｯﾄは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。

通常、このﾋﾞｯﾄは波形生成動作種別または事象活動によってﾊｰﾄﾞｳｪｱで制御されますが、このﾋﾞｯﾄはｿﾌﾄｳｪｱからも変更できます。

13.12.9. CRTLHCLR,CTRLHSET – 制御ﾚｼﾞｽﾀH 解除/設定 (Control register H Clear/Set)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A,+$0B	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	CTRLHCLR CTRLHSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この形式の状態ﾚｼﾞｽﾀのｱｸｾｽ方法の情報については「CTRLGCLR,CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定」を参照してください。

● **ﾋﾞｯﾄ7～5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4～1 – CCxBV : 比較/捕獲緩衝有効** (Compare or Capture x Buffer Valid)

これらのﾋﾞｯﾄは対応する比較/捕獲x緩衝(CCxBUF)ﾚｼﾞｽﾀに新しい値が書かれる時に設定(1)されます。これらのﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このﾋﾞｯﾄが捕獲事象で設定(1)され、対応する比較/捕獲x割り込み要求ﾌﾗｸﾞ(CCxIF)が解除(0)された場合に解除(0)されることに注意してください。

● ﾋﾞｯﾄ0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

これらのﾋﾞｯﾄは新しい値が定期緩衝(PERBUF)ﾚｼﾞｽﾀに書かれる時に設定(1)されます。このﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

13.12.10. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	CCDIF	CCCF	CCBIF	CCAIF	–	TRGIF	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – CCxIF : 比較/捕獲ﾁｬﾈﾙx割り込み要求ﾌﾗｸﾞ (Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)は対応する比較/捕獲(CC)ﾁｬﾈﾙでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、CCxIFは計数器(CNT)ﾚｼﾞｽﾀと対応する比較(CCx)ﾚｼﾞｽﾀ間で比較一致が起きる時に設定(1)されます。CCxIFは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀが有効な値を含む場合(換言すると比較/捕獲緩衝有効(CCxBV)ﾌﾗｸﾞが設定(1)される時)に、CCxIFが設定(1)されます。比較/捕獲(CCx)ﾚｼﾞｽﾀが読まれると、このﾌﾗｸﾞが解除(0)されます。この動作では割り込みﾍﾞｸﾀ実行がﾌﾗｸﾞを解除(0)しません。

このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

CCxIFはEDMA転送要求に使用できます。そしてCCxまたはCCxBUFに対応するEDMA読み書きｱｸｾｽがCCxIFを解除(0)してその要求を解除します。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – TRGIF : 起動再始動割り込み要求ﾌﾗｸﾞ (Trigger Restart Interrupt Flag)

このﾌﾗｸﾞはﾊｰﾄﾞｳｪｱ再始動条件が検出される時に設定(1)されます。任意で割り込みを生成することができます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ1 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ (Error Interrupt Flag)

このﾌﾗｸﾞは動作種別に依存して複数の場合で設定(1)されます。

障害1(FAULT1)または障害2(FAULT2)の動作形態では、再開のためにｿﾌﾄｳｪｱ活動へ要求する障害拡張(FAULT)からの障害状態でERRIFが設定(1)されます。利用可能なFAULT拡張を持たないﾀｲﾏ/ｶｳﾝﾀについては、このﾌﾗｸﾞはFAULT1またはFAULT2の動作形態で決して設定(1)されません。

捕獲動作に関しては、比較/捕獲(CC)ﾁｬﾈﾙのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された直交復号(QDEC)動作については、不正な指標信号が与えられた時に設定(1)されます。

このﾌﾗｸﾞは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ0 – OVFIF : 上昇/下降溢れ割り込み要求ﾌﾗｸﾞ (Overfloaw/Underflow Interrupt Flag)

このﾌﾗｸﾞは波形生成動作種別(WGMODE)設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

OVFIFはEDMA転送を要求するのにも使用できます。そして計数器(CNT)、定期(PER)、定期緩衝(PERBUF)のﾚｼﾞｽﾀへのEDMA書き込みｱｸｾｽがOVFIFﾌﾗｸﾞを解除(0)します。

13.12.11. TEMP – 一時ﾚｼﾞｽﾀ (Temporary bits for 16-bit Access)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値ﾋﾞｯﾄ (Temporaty Bits)

TEMPﾚｼﾞｽﾀはCPUによって16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀへの単一周期16ﾋﾞｯﾄ ｱｸｾｽに使用されます。EDMA制御器は独立した一時記憶ﾚｼﾞｽﾀを持っています。全ての16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀに対して1つの共通TEMPﾚｼﾞｽﾀがあります。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

13.12.12. CNTL – 計数ﾚｼﾞｽﾀ下位 (Counter register Low)

CNTHとCNTLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CNTを表します。CNTはﾀｲﾏ/ｶｳﾝﾀの16ﾋﾞｯﾄ計数器値を含みます。CPUとEDMAの書き込みｱｸｾｽは計数器の0設定、再設定、計数より上の優先権を持ちます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$20	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数器7~0** (Counter low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

13.12.13. CNTH – 計数ﾚｼﾞｽﾀ上位 (Counter register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$21	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – CNT15~8 : 計数器15~8** (Counter high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ(MSB)を保持します。

13.12.14. PERL – 定期ﾚｼﾞｽﾀ下位 (Period register Low)

PERHとPERLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値PERを表します。PERはﾀｲﾏ/ｶｳﾝﾀの16ﾋﾞｯﾄTOP値を含みます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$26	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – PER7~0 : 定期値7~0** (Period low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

13.12.15. PERH – 定期ﾚｼﾞｽﾀ上位 (Period register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$27	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – PER15~8 : 定期値15~8** (Period high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ(MSB)を保持します。

13.12.16. CCxL – 比較/捕獲xﾚｼﾞｽﾀ下位 (Compare or Capture x register Low)

CCxHとCCxLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CCxを表します。これらの16ﾋﾞｯﾄ ﾚｼﾞｽﾀは動作種別に依存して2つの機能を持ちます。

捕獲動作に対しては、これらのﾚｼﾞｽﾀがCPUとEDMAに対するｱｸｾｽ位置と第2緩衝段階を構築します。

比較動作に関しては、これらのﾚｼﾞｽﾀが計数器値と継続的に比較されます。通常、比較器からの出力はその後の波形生成に使用されます。CCxﾚｼﾞｽﾀはUPDATE条件発生時にそれらの対応する比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀからの緩衝値で更新されます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$28,A,C,E	CCx7~0								CCxL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – CCx7~0 : 比較/捕獲値7~0** (Compare or Capture x low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較/捕獲ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

13.12.17. CCxH – 比較/捕獲xレジスタ上位 (Compare or Capture x register H)

ビット	7	6	5	4	3	2	1	0	
+$29,B,D,F	CCx15~8								CCxH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCx15~8 : 比較/捕獲値15~8** (Compare or Capture x high byte)

これらのビットは16ビット比較/捕獲レジスタの上位バイト(MSB)を保持します。

13.12.18. PERBUFL – 定期緩衝レジスタ下位 (Period Buffer register Low)

PERBUFHとPERBUFLレジスタ対は16ビット値PERBUFを表します。この16ビット レジスタは定期(PER)レジスタに対する緩衝部として取り扱います。CPUまたはEDMAを使用するこのレジスタのアクセスは定期緩衝有効(PERBV)フラグに影響を及ぼします。

16ビット レジスタ読み書きのより多くの詳細については9頁の「**16ビット レジスタのアクセス**」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+$36	PERBUF7~0								PERBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – PERBUF7~0 : 定期緩衝値7~0** (Period Buffer low byte)

これらのビットは16ビット定期緩衝レジスタの下位バイト(LSB)を保持します。

13.12.19. PERBUFH – 定期緩衝レジスタ上位 (Period Buffer register High)

ビット	7	6	5	4	3	2	1	0	
+$37	PERBUF15~8								PERBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – PERBUF15~8 : 定期緩衝値15~8** (Period Buffer high byte)

これらのビットは16ビット定期緩衝レジスタの上位バイト(MSB)を保持します。

13.12.20. CCxBUFL – 比較/捕獲x緩衝レジスタ下位 (Compare or Capture x Buffer register L)

CCxBUFHとCCxBUFLレジスタ対は16ビット値CCxBUFを表します。これらの16ビット レジスタは関連する比較/捕獲(CCx)レジスタに対する緩衝部として扱います。CPUまたはEDMAを使用するこれらのどれかのレジスタのアクセスは対応する比較/捕獲緩衝有効(CCxBV)状態フラグに影響を及ぼします。

16ビット レジスタ読み書きのより多くの詳細については9頁の「**16ビット レジスタのアクセス**」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+$38,A,C,E	CCxBUF7~0								CCxBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCxBUF7~0 : 比較/捕獲緩衝値7~0** (Compare or Capture x Buffer low byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの下位バイト(LSB)を保持します。

13.12.21. CCxBUFH – 比較/捕獲x緩衝レジスタ上位 (Compare or Capture x Buffer register H)

ビット	7	6	5	4	3	2	1	0	
+$39,B,D,F	CCxBUF15~8								CCxBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCxBUF15~8 : 比較/捕獲緩衝値15~8** (Compare or Capture x Buffer high byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの上位バイト(MSB)を保持します。

13.13. ﾚｼﾞｽﾀ説明 – ﾊﾞｲﾄ動作形態設定

13.13.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	SYNCHEN	EVSTART	UPSTOP	CLKSEL3~0				CTRLA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – SYNCHEN : 同期許可** (Synchronization Enabled)

このﾋﾞｯﾄが設定(1)されると、事象活動とｿﾌﾄｳｪｱ指令は内部ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸで同期されます。このﾋﾞｯﾄが解除(0)されると、事象活動とｿﾌﾄｳｪｱ指令は周辺ｸﾛｯｸ(clk_{PER})で同期されます。

● **ﾋﾞｯﾄ5 – EVSTART : 次の事象で開始** (Start on Next Event)

このﾋﾞｯﾄの設定(1)は事象選択(EVSEL)ﾋﾞｯﾄによって選択された事象線からの次の事象でﾀｲﾏ/ｶｳﾝﾀを許可します。このﾋﾞｯﾄが解除(0)された場合、ﾀｲﾏ/ｶｳﾝﾀはｿﾌﾄｳｪｱまたは制御ﾚｼﾞｽﾀG解除(CTRLGCLR)ﾚｼﾞｽﾀでﾀｲﾏ/ｶｳﾝﾀ停止(STOP)ﾋﾞｯﾄを解除することによってのみ許可されます。

● **ﾋﾞｯﾄ4 – UPSTOP : 次の更新で停止** (Stop on next update)

このﾋﾞｯﾄの設定(1)は次の更新条件(上昇/下降溢れまたは再起動)でﾀｲﾏ/ｶｳﾝﾀを禁止します。ｿﾌﾄｳｪｱによってﾀｲﾏ/ｶｳﾝﾀが停止されている場合、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ3~0 – CLKSEL3~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄは表13-13.に従ってﾀｲﾏ/ｶｳﾝﾀに対するｸﾛｯｸ元を選択します。高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、DIV1形態設定(CLKSEL=0001)が設定されなければなりません。

表13-13. ｸﾛｯｸ任意選択

CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	前置分周器: OFF
0 0 0 1	DIV1	前置分周器: clk_{PER}
0 0 1 0	DIV2	前置分周器: $clk_{PER}/2$
0 0 1 1	DIV4	前置分周器: $clk_{PER}/4$
0 1 0 0	DIV8	前置分周器: $clk_{PER}/8$
0 1 0 1	DIV64	前置分周器: $clk_{PER}/64$
0 1 1 0	DIV256	前置分周器: $clk_{PER}/256$
0 1 1 1	DIV1024	前置分周器: $clk_{PER}/1024$
1 n n n	EVCHn	事象ﾁｬﾈﾙn (n=0～7)

13.13.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	BYTEM1,0		CIRCEN1,0		–	WGMODE2~0			CTRLB
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – BYTEM1,0 : ﾊﾞｲﾄ動作** (Byte Mode)

これらのﾋﾞｯﾄは表13-14.に従ってﾀｲﾏ/ｶｳﾝﾀ動作種別を選択します。

表13-14. ﾊﾞｲﾄ動作形態選択

BYTEM1,0	群形態設定	内容
0 0	NORMAL	ﾀｲﾏ/ｶｳﾝﾀは標準形態(ﾀｲﾏ/ｶｳﾝﾀ型式0)に設定されます。
0 1	BYTEMODE	2重化されたCCﾁｬﾈﾙを持つ1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ。計数器の上位ﾊﾞｲﾄ(CNTH)は各ｸﾛｯｸ周期後、0に設定されます。
1 0	–	(予約)
1 1	–	(予約)

● ﾋﾞｯﾄ5,4 – CIRCEN1,0 : 循環緩衝許可 (Circular Buffer Enable)

これらのﾋﾞｯﾄは表13-15.に従って循環緩衝任意選択を許可します。

表13-15. 循環緩衝選択

BYTEM1,0	群形態設定	内容
0 0	DISABLE	循環緩衝禁止
0 1	PER	LPER/LPERBUFﾚｼﾞｽﾀで循環緩衝許可
1 0	CCA	LCCA/LCCABUFﾚｼﾞｽﾀで循環緩衝許可
1 1	BOTH	LPER/LPERBUFとLCCA/LCCABUFのﾚｼﾞｽﾀで循環緩衝許可

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – WGMODE2~0 : 波形生成動作種別 (Waveform Generation Mode)

これらのﾋﾞｯﾄは波形生成動作種別を選択し、表13-16.に従って計数器の計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。対応する比較/捕獲x許可(H/LCCxMODE)ﾋﾞｯﾄがそれを許可に設定している場合に、波形生成器からの結果をﾎﾟｰﾄ ﾋﾟﾝへ直結することができます。そのﾎﾟｰﾄ ﾋﾟﾝの方向(DIR)は出力として設定されなければなりません。

表13-16. 波形生成動作種別

WGMODE2~0	群形態設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	LPER	TOP/BOTTOM (注)	TOP/BOTTOM (注)
0 0 1	FRQ	周波数(FRQ)	LCCA	TOP/BOTTOM (注)	TOP/BOTTOM (注)
0 1 0	–	(予約)	–	–	–
0 1 1	SINGLESLOPE	単一傾斜PWM	LPER	BOTTOM/TOP (注)	BOTTOM/TOP (注)
1 0 0	–	(予約)	–	–	–
1 0 1	DSTOP	2傾斜PWM	LPER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	LPER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	LPER	BOTTOM	BOTTOM

注: 計数方向(DIR)設定に依存

13.13.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	HCMPD	HCMPC	HCMPB	HCMPA	LCMPD	LCMPC	LCMPB	LCMPA	CTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – HCMPx/LCMPx : 上位/下位比較x出力値 (High/Low Compare x Output Value)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀがOFFの時に波形生成器(WG)の比較出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが動作していない時にWG出力値を設定(1)または解除(0)するのに使用されます。

13.13.4. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	EVACT2~0			EVDLY	EVSEL3~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – EVACT2~0 : 事象活動 (Event Action)

これらのﾋﾞｯﾄは表13-17.に従って事象で実行する計時器の事象活動を定義します。その場合に事象選択(EVSEL)設定はどの事象元または供給元が制御を持つかを決定します。

表13-17. 事象活動選択

EVACT2~0	群形態設定	事象活動
0 0 0	OFF	なし
0 0 1	FMODE1(注)	障害動作形態1捕獲
0 1 0	FMODE2(注)	障害動作形態2捕獲
0 1 1	UPDOWN	外部制御された上昇/下降計数
1 0 0	QDEC	直交復号
1 0 1	RESTART	波形生成周期再始動
1 1 0	PWF	パルス幅と周波数の捕獲
1 1 1	-	(予約)

注: この動作形態は障害(FAULT)拡張を持つタイマ/カウンタに対してだけ利用可能です。障害拡張なしのタイマ/カウンタについては、この動作形態で入力捕獲が行われます。

● ビット4 - EVDLY : **事象遅延** (Timer Delay Event)

このビットが設定(1)されると、選択した事象元は1周辺クロック周期遅延されます。これは32ビット入力捕獲に対して意図されています。事象システム経由で2つの計数器を直列にする時にキャリー伝播遅延に対する補償用に事象遅延の追加が必要です。

● ビット3~0 - EVSEL3~0 : **事象元選択** (Timer Event Source Select)

これらのビットはタイマ/カウンタに対する事象チャネル元を選びます。選択した事象チャネルが効果を表すためには事象活動(EVACT)ビットが表13-18.に従って設定されなければなりません。

既定で、選択した事象チャネルnは比較/捕獲(CC)チャネルAに対する事象チャネル元になり、事象チャネルn+1,n+2,n+3(各々8の剰余(%8))が各々CCチャネルB,C,Dに対する事象チャネル元になります。

表13-19.と表13-20.は事象活動(EVACT)設定による各CCチャネル用の事象チャネル元を示します。

表13-18. 事象元選択

EVSEL3~0	群形態設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	-	(予約)
0 0 1 0	-	(予約)
0 0 1 1	-	(予約)
0 1 0 0	-	(予約)
0 1 0 1	-	(予約)
0 1 1 0	-	(予約)
0 1 1 1	-	(予約)
1 n n n	CHn	事象チャネルn (n=0～7)

表13-19. 下位チャネル事象元選択

EVACT2~0	事象チャネル選択				再始動条件
	LCCA	LCCB	LCCC	LCCD	
0 0 0	n	(n+1)%8	(n+2)%8	(n+3)%8	ソフトウェア
0 0 1	FAULTA	FAULTB	(n+2)%8	(n+3)%8	ソフトウェアまたは障害
0 1 0	FAULTA	FAULTB	FAULTA	FAULTB	ソフトウェアまたは障害
0 1 1	n	(n+1)%8	(n+2)%8	(n+3)%8	ソフトウェア
1 0 0	n	(n+1)%8	(n+2)%8	(n+3)%8	直交復号器
1 0 1	n	(n+1)%8	(n+2)%8	(n+3)%8	事象チャネルn
1 1 0	n	n	(n+2)%8	(n+3)%8	事象チャネルn
1 1 1	-	-	-	-	(予約)

表13-20. 上位チャネル事象元選択

EVACT2~0	事象チャネル選択				再始動条件
	HCCA	HCCB	HCCC	HCCD	
0 0 0	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	ソフトウェア
0 0 1	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	ソフトウェア
0 1 0	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	ソフトウェア
0 1 1	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	ソフトウェア
1 0 0	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	直交復号器
1 0 1	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	事象チャネルn
1 1 0	(n+4)%8	(n+5)%8	(n+6)%8	(n+7)%8	事象チャネルn
1 1 1	-	-	-	-	(予約)

13.13.5. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	LCCDMODE1,0		LCCCMODE1,0		LCCBMODE1,0		LCCAMODE1,0		CTRLE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – LCCxMODE1,0 : 下位ﾁｬﾈﾙ比較/捕獲x動作種別** (Low Channel Compare or Capture x Mode)

これらのﾋﾞｯﾄは**表13-21.**に従って対応するCCx下位ﾁｬﾈﾙで比較と捕獲の動作を許可します。

13.13.6. CTRLF – 制御ﾚｼﾞｽﾀF (Control register F)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	HCCDMODE1,0		HCCCMODE1,0		HCCBMODE1,0		HCCAMODE1,0		CTRLF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HCCxMODE1,0 : 上位ﾁｬﾈﾙ比較/捕獲x動作種別** (High Channel Compare or Capture x Mode)

これらのﾋﾞｯﾄは**表13-21.**に従って対応するCCx上位ﾁｬﾈﾙで比較と捕獲の動作を許可します。

表13-21. 比較/捕獲(CC)動作選択

CCxMODE1,0	群形態設定	内容
0 0	DISABLE	比較と捕獲は禁止
0 1	COMP	出力比較許可
1 0	CAPT	入力捕獲許可
1 1	BOTHCC （注）	比較と捕獲の両方を許可

注: この動作形態は障害(FAULT)拡張部が条件捕獲障害動作に設定される場合にだけ利用可能です。150頁の「**障害拡張**」記述を参照してください。

13.13.7. INTCTRLA – 割り込み許可ﾚｼﾞｽﾀA (Interrupt Enable register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	TRGINTLVL1,0		ERRINTLVL1,0		OVFINTLVL1,0		INTCTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5,4 – TRGINTLVL1,0 : 起動再始動割り込みﾚﾍﾞﾙ** (Timer Trigger Restart Interrupt Level)

これらのﾋﾞｯﾄは起動再始動に対する割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは起動再始動割り込み要求ﾌﾗｸﾞ(TRGIF)が設定(1)される時の条件のために起動します。

● **ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : 異常割り込みﾚﾍﾞﾙ** (Timer Error Interrupt Level)

これらのﾋﾞｯﾄは異常割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

● **ﾋﾞｯﾄ1,0 –OVFINTLVL1,0 : 上昇/下降溢れ割り込みﾚﾍﾞﾙ** (Timer Overflow/Underflow Interrupt Level)

これらのﾋﾞｯﾄは上昇/下降溢れ用の割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは上昇/下降溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)される時の条件のために起動します。

13.13.8. INTCTRLB – 割り込み許可ﾚｼﾞｽﾀB (Interrupt Enable register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	LCCDINTLVL1,0		LCCCINTLVL1,0		LCCBINTLVL1,0		LCCAINTLVL1,0		INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – LCCxINTLVL1,0 : 下位ﾁｬﾈﾙ比較/捕獲x割り込みﾚﾍﾞﾙ** (Low Channel Compare or Capture x Interrupt Level)

これらのﾋﾞｯﾄは下位ﾁｬﾈﾙxに対する比較または捕獲の割り込みを許可し、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

13.13.9. CTRLGCLR,CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定 (Control register G Clear/Set)

このﾚｼﾞｽﾀは2つのI/Oﾒﾓﾘ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両ﾒﾓﾘ位置は読み込み時に同じ結果を与えます。

個別の状態ﾋﾞｯﾄはCTRLxSETのそのﾋﾞｯﾄ位置への1書き込みによって設定(1)でき、CTRLxCLRのそのﾋﾞｯﾄ位置への1書き込みによって解除(0)できます。これは単一ﾚｼﾞｽﾀでの読み-変更-書きの使用なしで設定(1)または解除(0)される各ﾋﾞｯﾄを許します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08,+$09	–	–	STOP	–	CMD1,0		LUPD	DIR	CTRLGCLR CTRLGSET
Read/Write	R	R	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – STOP : ﾀｲﾏ/ｶｳﾝﾀ停止** (Timer/Counter Stop)

このﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀは自動的に停止され、全ての事象と波形出力が禁止されます。このﾋﾞｯﾄが解除(0)されると、ﾀｲﾏ/ｶｳﾝﾀはｸﾛｯｸ任意選択(CLKSEL)設定がOFF状態(0000)でなければ自動的に再始動されます。

● **ﾋﾞｯﾄ4 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – CMD1,0 : 指令** (Command)

これらのﾋﾞｯﾄは表13-22.に従って下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀのﾘｾｯﾄ、再始動、更新のｿﾌﾄｳｪｱ制御に使用できます。指令ﾋﾞｯﾄは常に0として読みます。

表13-22. 指令選択

CMD1,0	群形態設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
1 1	RESET	強制ﾊｰﾄﾞ ﾘｾｯﾄ (T/CがOFF状態でなければ無視されます。)

● **ﾋﾞｯﾄ1 – LUPD : 更新施錠** (Lock Update)

このﾋﾞｯﾄが設定(1)されていると、例えUPDATE条件が起きても、緩衝されているﾚｼﾞｽﾀの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ0 – DIR : 計数方向** (Counter Direction)

0の時、このﾋﾞｯﾄは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。

通常、このﾋﾞｯﾄは波形生成動作種別または事象活動によってﾊｰﾄﾞｳｪｱで制御されますが、このﾋﾞｯﾄはｿﾌﾄｳｪｱからも変更できます。

13.13.10. CRTLHCLR,CTRLHSET – 制御ﾚｼﾞｽﾀH 解除/設定 (Control register H Clear/Set)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A,+$0B	–	–	–	LCCDBV	LCCCBV	LCCBBV	LCCABV	LPERBV	CTRLHCLR CTRLHSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この形式の状態ﾚｼﾞｽﾀのｱｸｾｽ方法の情報については「CTRLGCLR,CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定」を参照してください。

● **ﾋﾞｯﾄ7～5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4～1 – LCCxBV : 下位ﾁｬﾈﾙ比較/捕獲緩衝有効** (Low Channel Compare or Capture x Buffer Valid)

これらのﾋﾞｯﾄは対応する下位ﾁｬﾈﾙ比較/捕獲x緩衝(LCCxBUF)ﾚｼﾞｽﾀに新しい値が書かれる時に設定(1)されます。これらのﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このﾋﾞｯﾄが捕獲事象で設定(1)され、対応する下位ﾁｬﾈﾙ比較/捕獲x割り込み要求ﾌﾗｸﾞ(LCCxIF)が解除(0)された場合に解除(0)されることに注意してください。

この機能は上位ﾁｬﾈﾙには存在しません。

● ﾋﾞｯﾄ0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

これらのﾋﾞｯﾄは新しい値が定期緩衝(LPERBUF)ﾚｼﾞｽﾀに書かれる時に設定(1)されます。このﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

13.13.11. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	LCCDIF	LCCCF	LCCBIF	LCCAIF	–	TRGIF	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – LCCxIF : 下位ﾁｬﾈﾙ比較/捕獲x割り込み要求ﾌﾗｸﾞ (Low Channel Compare or Capture x Interrupt Flag)

比較/捕獲割り込み要求ﾌﾗｸﾞ(LCCxIF)は対応する下位比較/捕獲(LCC)ﾁｬﾈﾙでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、LCCxIFは計数器(LCNT)ﾚｼﾞｽﾀと対応する比較(LCCx)ﾚｼﾞｽﾀ間で比較一致が起きる時に設定(1)されます。LCCxIFは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する比較/捕獲緩衝(LCCxBUF)ﾚｼﾞｽﾀが有効な値を含む場合(換言すると比較/捕獲緩衝有効(LCCxBV)ﾌﾗｸﾞが設定(1)される時)に、CCxIFが設定(1)されます。比較/捕獲(LCCx)ﾚｼﾞｽﾀが読まれると、このﾌﾗｸﾞが解除(0)されます。この動作では割り込みﾍﾞｸﾀ実行がﾌﾗｸﾞを解除(0)しません。

このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

LCCxIFはEDMA転送要求に使用できます。そしてLCCxまたはLCCxBUFに対応するEDMA読み書きｱｸｾｽがLCCxIFを解除(0)してその要求を解除します。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – TRGIF : ﾀｲﾏ/ｶｳﾝﾀ起動再始動割り込み要求ﾌﾗｸﾞ (Timer/Counter Trigger Restart Interrupt Flag)

このﾌﾗｸﾞはﾊｰﾄﾞｳｪｱ再始動条件が検出される時に設定(1)されます。任意で割り込みを生成することができます。起動再始動割り込みが上昇/下降溢れ割り込みと割り込みｱﾄﾞﾚｽを共用するため、TRGIFは割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ1 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ (Error Interrupt Flag)

このﾌﾗｸﾞは動作種別に依存して複数の場合で設定(1)されます。

障害1(FAULT1)または障害2(FAULT2)の動作形態では、ERRIFが再開のためにｿﾌﾄｳｪｱ活動へ要求する障害拡張(FAULT)部からの障害検出状態で設定(1)されます。利用可能なFAULT拡張を持たないﾀｲﾏ/ｶｳﾝﾀについては、このﾌﾗｸﾞはFAULT1またはFAULT2の動作形態で決して設定(1)されません。

捕獲動作に関しては、下位比較/捕獲(LCC)ﾁｬﾈﾙのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された直交復号(QDEC)動作については、不正な指標信号が与えられた時に設定(1)されます。

このﾌﾗｸﾞは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ0 – OVFIF : 上昇/下降溢れ割り込み要求ﾌﾗｸﾞ (Overfloaw/Underflow Interrupt Flag)

このﾌﾗｸﾞは波形生成動作種別(WGMODE)設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。上昇/下降溢れ割り込みが起動再始動割り込みと割り込みｱﾄﾞﾚｽを共用するため、OVFIFは割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

OVFIFはEDMA転送を要求するのにも使用できます。そして計数器(LCNT)、定期(LPER)、定期緩衝(LPERBUF)のﾚｼﾞｽﾀへのEDMA書き込みｱｸｾｽがOVFIFﾌﾗｸﾞを解除(0)します。

13.13.12. LCNT – 下位計数ﾚｼﾞｽﾀ (Low Counter register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$20	LCNT7~0								LCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – LCNT7~0 : 下位計数器7~0 (Low Counter byte)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀ値を保持します。

13.13.13. LPER – 下位定期レジスタ (Low Period register)

ビット	7	6	5	4	3	2	1	0	
+$26	LPER7~0								LPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – LPER7~0 : 下位定期値7~0** (Low Period byte)

これらのビットは8ビット定期レジスタ値を保持します。

13.13.14. LCCx – 下位チャネル比較/捕獲xレジスタ (Low Channel Compare or Capture x register)

ビット	7	6	5	4	3	2	1	0	
+$28,A,C,E	LCCx7~0								LCCx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – LCCx7~0 : 下位チャネル比較/捕獲x値7~0** (Low Channel Compare or Capture x byte)

これらのビットは8ビット下位チャネル比較/捕獲レジスタ値を保持します。

13.13.15. HCCx – 上位チャネル比較/捕獲xレジスタ (High Channel Compare or Capture x register)

ビット	7	6	5	4	3	2	1	0	
+$29,B,D,F	HCCx7~0								HCCx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – HCCx7~0 : 上位チャネル比較/捕獲値7~0** (High Channel Compare or Capture x byte)

これらのビットは8ビット上位比較/捕獲レジスタ値を保持します。

13.13.16. LPERBUF – 下位定期緩衝レジスタ (Low Period Buffer register)

ビット	7	6	5	4	3	2	1	0	
+$36	LPERBUF7~0								LPERBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – LPERBUF7~0 : 下位定期緩衝値7~0** (Low Period Buffer byte)

これらのビットは8ビット定期緩衝レジスタ値を保持します。

13.13.17. LCCxBUF – 下位チャネル比較/捕獲x緩衝レジスタ (Low Channel Compare or Capture x Buffer register)

ビット	7	6	5	4	3	2	1	0	
+$38,A,C,E	LCCxBUF7~0								LCCxBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – LCCxBUF7~0 : 下位チャネル比較/捕獲x緩衝値7~0** (Low Channel Compare or Capture x Buffer byte)

これらのビットは8ビット下位チャネル比較/捕獲緩衝レジスタ値を保持します。

13.13.18. HCCxBUF – 上位チャネル比較/捕獲x緩衝レジスタ (High Channel Compare or Capture x Buffer register)

ビット	7	6	5	4	3	2	1	0	
+$39,B,D,F	HCCxBUF7~0								HCCxBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – HCCxBUF7~0 : 上位チャネル比較/捕獲緩衝値7~0** (High Channel Compare or Capture x Buffer byte)

これらのビットは8ビット上位チャネル比較/捕獲緩衝レジスタ値を保持します。

13.14. ﾚｼﾞｽﾀ要約 - 標準形態設定

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$3F	CCDBUFH	CCDBUF15~8 (比較/捕獲D緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$3E	CCDBUFL	CCDBUF7~0 (比較/捕獲D緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								130
+$3D	CCCBUFH	CCCBUF15~8 (比較/捕獲C緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$3C	CCCBUFL	CCCBUF7~0 (比較/捕獲C緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								130
+$3B	CCBBUFH	CCBBUF15~8 (比較/捕獲B緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$3A	CCBBUFL	CCBBUF7~0 (比較/捕獲B緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								130
+$39	CCABUFH	CCABUF15~8 (比較/捕獲A緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$38	CCABUFL	CCABUF7~0 (比較/捕獲A緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								130
+$37	PERBUFH	PERBUF15~8 (定期緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$36	PERBUFL	PERBUF7~0 (定期緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								130
+$30～$35	予約	-	-	-	-	-	-	-	-	
+$2F	CCDH	CCD15~8 (比較/捕獲Dﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$2E	CCDL	CCD7~0 (比較/捕獲Dﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$2D	CCCH	CCC15~8 (比較/捕獲Cﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$2C	CCCL	CCC7~0 (比較/捕獲Cﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$2B	CCBH	CCB15~8 (比較/捕獲Bﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$2A	CCBL	CCB7~0 (比較/捕獲Bﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$29	CCAH	CCA15~8 (比較/捕獲Aﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								130
+$28	CCAL	CCA7~0 (比較/捕獲Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$27	PERH	PER15~8 (定期ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								129
+$26	PERL	PER7~0 (定期ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$22～$25	予約	-	-	-	-	-	-	-	-	
+$21	CNTH	CNT15~8 (計数器ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								129
+$20	CNTL	CNT7~0 (計数器ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								129
+$10～$1F	予約	-	-	-	-	-	-	-	-	
+$0F	TEMP	TMP7~0 (一時ﾚｼﾞｽﾀ)								128
+$0E	予約	-	-	-	-	-	-	-	-	
+$0D	予約	-	-	-	-	-	-	-	-	
+$0C	INTFLAGS	CCDIF	CCCIF	CCBIF	CCAIF	-	TRGIF	ERRIF	OVFIF	128
+$0B	CTRLHSET	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	127
+$0A	CTRLHCLR	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	127
+$09	CTRLGSET	-	-	STOP	-	CMD1,0		LUPD	DIR	127
+$08	CTRLGCLR	-	-	STOP	-	CMD1,0		LUPD	DIR	127
+$07	INTCTRLB	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		126
+$06	INTCTRLA	-	-	TRGINTLVL1,0		ERRINTLVL1,0		OVFINTLVL1,0		126
+$05	予約	-	-	-	-	-	-	-	-	
+$04	CTRLE	CCDMODE1,0		CCCMODE1,0		CCBMODE1,0		CCAMODE1,0		126
+$03	CTRLD	EVACT2~0			EVDLY	EVSEL3~0				125
+$02	CTRLC	POLD	POLC	POLB	POLA	CMPD	CMPC	CMPB	CMPA	124
+$01	CTRLB	BYTEM1,0		CIRCEN1,0		-	WGMODE2~0			123
+$00	CTRLA	-	SYNCHEN	EVSTART	UPSTOP	CLKSEL3~0				123

13.15. ﾚｼﾞｽﾀ要約 – ﾊﾞｲﾄ形態設定

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$3F	HCCDBUF	HCCDBUF7~0 (上位ﾁｬﾈﾙ比較/捕獲D緩衝ﾚｼﾞｽﾀ)								137
+$3E	LCCDBUF	LCCDBUF7~0 (下位ﾁｬﾈﾙ比較/捕獲D緩衝ﾚｼﾞｽﾀ)								137
+$3D	HCCCBUF	HCCCBUF7~0 (上位ﾁｬﾈﾙ比較/捕獲C緩衝ﾚｼﾞｽﾀ)								137
+$3C	LCCCBUF	LCCCBUF7~0 (下位ﾁｬﾈﾙ比較/捕獲C緩衝ﾚｼﾞｽﾀ)								137
+$3B	HCCBBUF	HCCBBUF7~0 (上位ﾁｬﾈﾙ比較/捕獲B緩衝ﾚｼﾞｽﾀ)								137
+$3A	LCCBBUF	LCCBBUF7~0 (下位ﾁｬﾈﾙ比較/捕獲B緩衝ﾚｼﾞｽﾀ)								137
+$39	HCCABUF	HCCABUF7~0 (上位ﾁｬﾈﾙ比較/捕獲A緩衝ﾚｼﾞｽﾀ)								137
+$38	LCCABUF	LCCABUF7~0 (下位ﾁｬﾈﾙ比較/捕獲A緩衝ﾚｼﾞｽﾀ)								137
+$37	予約	–	–	–	–	–	–	–	–	
+$36	LPERBUF	LPERBUF7~0 (下位定期緩衝ﾚｼﾞｽﾀ)								137
+$30～$35	予約	–	–	–	–	–	–	–	–	
+$2F	HCCD	HCCD7~0 (上位ﾁｬﾈﾙ比較/捕獲Dﾚｼﾞｽﾀ)								137
+$2E	LCCD	LCCD7~0 (下位ﾁｬﾈﾙ比較/捕獲Dﾚｼﾞｽﾀ)								137
+$2D	HCCC	HCCC7~0 (上位ﾁｬﾈﾙ比較/捕獲Cﾚｼﾞｽﾀ)								130
+$2C	LCCC	LCCC7~0 (下位ﾁｬﾈﾙ比較/捕獲Cﾚｼﾞｽﾀ)								137
+$2B	HCCB	HCCB7~0 (上位ﾁｬﾈﾙ比較/捕獲Bﾚｼﾞｽﾀ)								137
+$2A	LCCB	LCCB7~0 (下位ﾁｬﾈﾙ比較/捕獲Bﾚｼﾞｽﾀ)								137
+$29	HCCA	HCCA7~0 (上位ﾁｬﾈﾙ比較/捕獲Aﾚｼﾞｽﾀ)								137
+$28	LCCA	LCCA7~0 (下位ﾁｬﾈﾙ比較/捕獲Aﾚｼﾞｽﾀ)								137
+$27	予約	–	–	–	–	–	–	–	–	
+$26	LPER	LPER7~0 (下位定期ﾚｼﾞｽﾀ)								137
+$22～$25	予約	–	–	–	–	–	–	–	–	
+$21	予約	–	–	–	–	–	–	–	–	
+$20	LCNT	LCNT7~0 (下位計数器ﾚｼﾞｽﾀ)								136
+$10～$1F	予約	–	–	–	–	–	–	–	–	
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	INTFLAGS	LCCDIF	LCCCIF	LCCBIF	LCCAIF	–	TRGIF	ERRIF	OVFIF	136
+$0B	CTRLHSET	–	–	–	LCCDBV	LCCCBV	LCCBBV	LCCABV	LPERBV	135
+$0A	CTRLHCLR	–	–	–	LCCDBV	LCCCBV	LCCBBV	LCCABV	LPERBV	135
+$09	CTRLGSET	–	–	STOP	–	CMD1,0		LUPD	DIR	135
+$08	CTRLGCLR	–	–	STOP	–	CMD1,0		LUPD	DIR	135
+$07	INTCTRLB	LCCDINTLVL1,0		LCCCINTLVL1,0		LCCBINTLVL1,0		LCCAINTLVL1,0		134
+$06	INTCTRLA	–	–	TRGINTLVL1,0		ERRINTLVL1,0		OVFINTLVL1,0		134
+$05	CTRLF	HCCDMODE1,0		HCCCMODE1,0		HCCBMODE1,0		HCCAMODE1,0		134
+$04	CTRLE	LCCDMODE1,0		LCCCMODE1,0		LCCBMODE1,0		LCCAMODE1,0		134
+$03	CTRLD	EVACT2~0			EVDLY	EVSEL3~0				132
+$02	CTRLC	HCMPD	HCMPC	HCMPB	HCMPA	LCMPD	LCMPC	LCMPB	LCMPA	132
+$01	CTRLB	BYTEM1,0		CIRCEN1,0		–	WGMODE2~0			131
+$00	CTRLA	–	SYNCHEN	EVSTART	UPSTOP	CLKSEL3~0				131

13.16. 割り込みﾍﾞｸﾀ要約 – 標準形態設定

変位	記述例	割り込み内容
$00	OVF_vect	ﾀｲﾏ/ｶｳﾝﾀ上昇溢れ/下降溢れ割り込みﾍﾞｸﾀ
$02	ERR_vect	ﾀｲﾏ/ｶｳﾝﾀ異常割り込みﾍﾞｸﾀ
$04	CCA_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙA割り込みﾍﾞｸﾀ
$06	CCB_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙB割り込みﾍﾞｸﾀ
$08	CCC_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙC割り込みﾍﾞｸﾀ
$0A	CCD_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙD割り込みﾍﾞｸﾀ

注: 4つの16ﾋﾞｯﾄ比較または捕獲ﾁｬﾈﾙを持つﾀｲﾏ/ｶｳﾝﾀでだけ利用可能

13.17. 割り込みﾍﾞｸﾀ要約 – ﾊﾞｲﾄ形態設定

変位	記述例	割り込み内容
$00	OVF_vect	ﾀｲﾏ/ｶｳﾝﾀ上昇溢れ/下降溢れ割り込みﾍﾞｸﾀ
$02	ERR_vect	ﾀｲﾏ/ｶｳﾝﾀ異常割り込みﾍﾞｸﾀ
$04	CCA_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲下位ﾁｬﾈﾙA割り込みﾍﾞｸﾀ
$06	CCB_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲下位ﾁｬﾈﾙB割り込みﾍﾞｸﾀ
$08	CCC_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲下位ﾁｬﾈﾙC割り込みﾍﾞｸﾀ
$0A	CCD_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲下位ﾁｬﾈﾙD割り込みﾍﾞｸﾀ

注: 4つの16ﾋﾞｯﾄ比較または捕獲ﾁｬﾈﾙを持つﾀｲﾏ/ｶｳﾝﾀでだけ利用可能

14. WeX – 波形生成拡張

14.1. 要点

- もっと注文に応じて進化したPWMと波形生成出力用の部署
  - 様々な形式の電動機、安定器、電力段制御用に最適化
- ﾀｲﾏ/ｶｳﾝﾀ比較ﾁｬﾈﾙ分配用の出力配列
  - ﾎﾟｰﾄ ﾋﾟﾝに渡って形態設定可能な比較ﾁｬﾈﾙ出力の分配
  - TC4とTC5間での沈黙時間挿入資源の再分配
- 各々が以下を持つ、4つの沈黙時間挿入(DTI)部
  - 非重複出力を持つHigh側とLow側の補完ﾁｬﾈﾙ
  - 独立したHigh側とLow側の沈黙時間設定
  - 8ﾋﾞｯﾄ分解能
- 4つの交換(SWAP)部
  - 独立したﾎﾟｰﾄ対またはHigh/Low側駆動部の交換
  - 2重緩衝された交換機能
- ﾎﾟｰﾄ ﾋﾟﾝに渡って同期したﾋﾞｯﾄ様式を生成する模様型生成部
  - 2重緩衝された模様型生成

14.2. 概要

波形拡張(WeX)は波形生成(WG)動作でのﾀｲﾏ/ｶｳﾝﾀに追加の機能を提供します。これは主に各種形式の電動機制御、安定器、LED、Hﾌﾞﾘｯｼﾞ、電力変換器や他の電力制御応用での使用が意図されます。図14-1.で示されるように、WeXは独立して連続する5つの単位部から成ります。

図14-1. 波形生成拡張(WeX)と密接に関連する周辺機能(青枠)

出力配列(OTMX)は各種応用形式用に各々最適化され、各種形態設定でﾎﾟｰﾄ ﾋﾟﾝに渡ってﾀｲﾏ/ｶｳﾝﾀ4と5からの波形出力を分配して引き出すことができます。

沈黙時間挿入(DTI:Dead Time Insertion)部は4つの下位側OTMX出力を、Low側(LS)とHigh側(HS)切り換え間の任意選択沈黙時間挿入を持つ波形出力の非反転LSと反転HSの2つの非重複信号に分けます。

交換(SWAP)部はLSとHSのﾋﾟﾝ位置を交換できます。これは高速減衰電動機制御に使用することができます。

模様型生成部は一定の論理ﾚﾍﾞﾙで同期した出力波形を生成します。これは簡単なｽﾃｯﾋﾟﾝｸﾞ ﾓｰﾀと全ﾌﾞﾘｯｼﾞ制御に使用することができます。

出力無効化禁止部はﾋﾟﾝの使い方を最適化するために選択可能なﾎﾟｰﾄ ﾋﾟﾝでの波形出力を禁止することができます。これはそれらがOTMX形態設定によって選択することができるため、応用が全てのﾎﾟｰﾄ ﾋﾟﾝに渡って波形出力を展開する必要がない時に、他の機能が使うためにﾋﾟﾝを空けることです。

図14-2.はポート ピン対での各WeX部の活動の回路構成図を示します。WeXのDTI部とSWAP部は4つのポート対分割部として見ることができます。

- 分割部0、ポート ピン(Px[0],Px[1])に作用するDTI0/SWAP0
- 分割部1、ポート ピン(Px[2],Px[3])に作用するDTI1/SWAP1

そしてもっと一般的に、

- 分割部n、ポート ピン(Px[2n],Px[2n+1])に作用するDTIn/SWAPn

図14-2. 波形拡張段詳細

14.3. ポート無効化

全てのタイマ/カウンタ拡張に対してポート無効化論理回路は共通です。既定により、沈黙時間許可(DTInEN)ビットが設定(1)されると、タイマ/カウンタ拡張は対応するチャネルに対してピン対の制御を引き受けます。既定の動きは以下の条件の1つで変更することができます。

- 155頁の「CTRLA – 制御レジスタA」内のポート制御動作形態(PORTCTRL)ビットが設定(1)。障害ポート制御動作形態の詳細については150頁の「障害拡張」を参照してください。
- 出力無効化禁止レジスタ内の対応ビットの設定(1)によって出力は禁止されます。設定(1)時、対応する入出力ピンは他のどの代替ピン機能にも使用できます。詳細については147頁の「OUTOVDIS – 出力無効化禁止レジスタ」を参照してください。

14.4. 出力配列

出力配列(OTMX)部は表14-1.で示されるように選択可能な形態設定に従ってポート ピンに渡って波形出力を分配して送ります。

表14-1. タイマ/カウンタ4と5の比較チャネル ピンの配線形態設定

OTMX2~0	Px7	Px6	Px5	Px4	Px3	Px2	Px1	Px0
0 0 0	–	–	TC5CCB	TC5CCA	TC4CCD	TC4CCC	TC4CCB	TC4CCA
0 0 1	TC5CCB	TC5CCA	TC5CCB	TC5CCA	TC4CCD	TC4CCC	TC4CCB	TC4CCA
0 1 0	TC5CCB	TC5CCA	TC4CCB	TC4CCA	TC5CCB	TC5CCA	TC4CCB	TC4CCA
0 1 1	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA
1 0 0	TC4CCB	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA	TC4CCA
1 0 1	–	–	–	–	–	–	–	–
1 1 0	–	–	–	–	–	–	–	–
1 1 1	–	–	–	–	–	–	–	–

1. 000形態設定は規定形態設定です。ピン位置は既定のもので、既定タイマ/カウンタ形態設定に対応します、
2. 001形態設定は4つのピン位置でタイマ/カウンタ5比較チャネルAとB(TC5CCAとTC5CCB)からの波形出力を分配します。これは例えば2つの比較部の使用だけで全ブリッジの4つのトランジスタの許可制御を許します。模様型生成使用で、それら4つの出力のいくつかは全ての直交形態設定で全ブリッジの柔軟な駆動を許す、一定のレベルで上書きすることができます。
3. 010形態設定は2つの他のピン位置でタイマ/カウンタ4と5両方からの比較チャネルAとB(CCAとCCB)からの波形出力を分配します。
4. 011形態設定は全てのポート ピンにタイマ/カウンタ4比較チャネルA(TC4CCA)からの波形出力を分配します。この動作での模様型生成許可はステッピング モータを制御します。
5. 100形態設定はタイマ/カウンタ5比較チャネルA(TC5CCA)からの波形出力をPx7ピンへ、タイマ/カウンタ4比較チャネルA(TC4CCA)からの波形出力を他の全ての(Px0～Px6)ピンへ分配します。これは模様型生成と障害生成と共に7セグメントLED文字列に対する1つの制御を許します。

(訳注) 原書での表14-1.に於けるOTMX2～0=100のPx7のTC4CCBとその下の5.項での記述TC5CCAは明らかに矛盾しています。本書は原書に従って矛盾したままにしています。どちらが正しいかは不明です。

14.5. 沈黙時間生成器

沈黙時間挿入(DTI)部は波形生成(WG)出力の非反転Low側(LS)と反転High側(HS)の両方がLowとなるOFF時間の生成を可能にします。このOFF時間は沈黙時間と呼ばれます。沈黙時間はLSとHSを決して同時に切り換えないことを保証します。

DTI段はﾀｲﾏ/ｶｳﾝﾀ4の比較ﾁｬﾈﾙの各々に対して1つの、4つの同じ沈黙時間生成器から成ります。これらは出力配列(010形態設定)を通してﾀｲﾏ/ｶｳﾝﾀ5のﾁｬﾈﾙへ再分配することもできます。

図14-3.は1つのDTI生成器の構成図を示します。4つのﾁｬﾈﾙはHigh側とLow側の沈黙時間を個別に制御する共通のﾚｼﾞｽﾀを持ちます。

図14-3. 沈黙時間生成器構成図

図14-4.で示されるように、8ﾋﾞｯﾄの沈黙時間計数器は0に達するまで各周辺ｸﾛｯｸ周期で1つずつ減少されます。0以外の計数器値はLow側とHigh側の両方の出力にOFF状態を強制します。出力配列(OTMX)出力変化時に、沈黙時間計数器は入力のｴｯｼﾞに応じて再設定されます。出力がLowからHighに変化する(正端の)時に沈黙時間Low側(DTLS)ﾚｼﾞｽﾀの再設定で、出力がHighからLowに変化する(負端の)時に沈黙時間High側(DTHS)ﾚｼﾞｽﾀの再設定で計数器を初期化します。

図14-4. 沈黙時間生成器ﾀｲﾐﾝｸﾞ構成図

14.6. 模様型生成

模様型生成器部はそれが接続されたﾎﾟｰﾄに渡って同期したﾋﾞｯﾄ模様を生成します。模様型生成機能は主にﾌﾞﾗｼﾚｽDC電動機(BLDC)、ｽﾃｯﾋﾟﾝｸﾞ ﾓｰﾀと全ﾌﾞﾘｯｼﾞ制御での整流(転流)手順の扱いを意図されます。模様型生成器の構成図は図14-5.で示されます。

図14-5. 模様型生成器構成図

他の2重緩衝されたﾀｲﾏ/ｶｳﾝﾀのﾚｼﾞｽﾀでのように、ﾚｼﾞｽﾀ更新は波形生成動作種別によって設定されたUPDATE条件に同期化されます。この提供された同期化が応用で必要とされない場合、応用ｺｰﾄﾞは単に模様型生成上書き(PGO)、模様型生成値(PGV)またはﾎﾟｰﾄ ﾃﾞｰﾀ出力値(OUT)のﾚｼﾞｽﾀを直接ｱｸｾｽすることができます。

ﾎﾟｰﾄ無効化条件に加え、対応する模様型生成器をﾎﾟｰﾄで見えるようにするために、出力ﾎﾟｰﾄと連携するﾀｲﾏ/ｶｳﾝﾀのﾁｬﾈﾙ動作形態(CCxMODE)はCOMPまたはBOTHCCに設定されなければなりません。

14.7. 変更保護

予期せぬ形態設定変更を避けるため、波形拡張(WeX)の5つの制御ﾚｼﾞｽﾀは波形拡張施錠(WEXLOCK)ﾚｼﾞｽﾀの対応する施錠ﾋﾞｯﾄを書くことによって保護できます。より多くの詳細については18頁の「**I/Oﾒﾓﾘ保護**」と33頁の「**WEXLOCK – 波形拡張施錠ﾚｼﾞｽﾀ**」を参照してください。

施錠ﾋﾞｯﾄが設定(1)されると、制御(CTRL)、沈黙時間両側同時書き込み(DTBOTH)、沈黙時間Low側(DTLS)、沈黙時間High側(DTHS)、出力無効化禁止(OUTOVDIS)のﾚｼﾞｽﾀは変更できません。

14.8. ﾚｼﾞｽﾀ説明

14.8.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	UPSEL	OUTMX2~0			DTI3EN	DTI2EN	DTI1EN	DTI0EN	CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – UPSEL : 更新元選択** (Update Source Selection)

既定によってそれらのﾚｼﾞｽﾀ内容を更新するために交換(SWAP)と模様型生成部によってﾀｲﾏ/ｶｳﾝﾀ4の更新条件が使用されます。このﾋﾞｯﾄの設定(1)はﾚｼﾞｽﾀ更新の供給元としてﾀｲﾏ/ｶｳﾝﾀ5の更新条件にします。

● **ﾋﾞｯﾄ6~4 – OTMX2~0 : 出力配列** (Output Matrix)

これらのﾋﾞｯﾄは表14-1.に従ってﾎﾟｰﾄ ﾋﾟﾝに対するﾀｲﾏ/ｶｳﾝﾀ波形生成出力の配線配列を定義します。

● **ﾋﾞｯﾄ3~0 – DTIxEN : 沈黙時間挿入生成器x許可** (Dead-Time Insertion Generator x Enable)

これらのﾋﾞｯﾄのどれかの設定(1)は対応する出力配列に対する沈黙時間挿入生成器を許可します。これは各々Low側とHigh側の波形を持つ出力配列[2x]と[2x+1]を無効にします。このﾋﾞｯﾄは障害消去が許可される場合に0が読まれます。障害消去の詳細については151頁の「障害消去」を参照してください。

14.8.2. DTBOTH – 沈黙時間両側同時書き込みﾚｼﾞｽﾀ (Dead-Time Concurrent Write to Both Sides register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	DTBOTH7~0								DTBOTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTBOTH7~0 : 沈黙時間両側値** (Dead-Time Both Sides bits)

このﾚｼﾞｽﾀへの書き込みは沈黙時間High側(DTHS)ﾚｼﾞｽﾀと沈黙時間Low側(DTLS)ﾚｼﾞｽﾀを同時に(換言すると同じI/Oｱｸｾｽ書き込みで)更新します。これの読み込みは$00値を与えます。

14.8.3. DTLS – 沈黙時間Low側ﾚｼﾞｽﾀ (Dead-Time Low Side register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DTLS7~0								DTLS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTLS7~0 : 沈黙時間Low側値** (Dead-Time Low Side bits)

このﾚｼﾞｽﾀはLow側沈黙時間に対する周辺ｸﾛｯｸ周期数を保持します。

14.8.4. DTHS – 沈黙時間High側ﾚｼﾞｽﾀ (Dead-Time High Side register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DTHS7~0								DTHS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTHS7~0 : 沈黙時間High側値** (Dead-Time High Side bits)

このﾚｼﾞｽﾀはHigh側沈黙時間に対する周辺ｸﾛｯｸ周期数を保持します。

14.8.5. STATUSCLR/STATUSSET – 状態解除/設定ﾚｼﾞｽﾀ (Status Clear/Set register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04,$05	–	–	–	–	–	SWAPBUFV	PGVBUFV	PGOBUFV	STATUSCLR STATUSSET
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – SWAPBUFV : 交換緩衝有効 (SWAP Buffer Valid)

このﾌﾗｸﾞが設定(1)なら、交換(SWAP)緩衝部が書かれて、次のUPDATE条件で交換(SWAP)ﾚｼﾞｽﾀ内に複写される有効なﾃﾞｰﾀを含みます。このﾋﾞｯﾄが0なら、何の動作も行われません。接続されたﾀｲﾏ/ｶｳﾝﾀの更新施錠(LUPD)ﾋﾞｯﾄもSWAPﾚｼﾞｽﾀに対する更新に影響を及ぼします。

● ﾋﾞｯﾄ1 – PGVBUFV : 模様型生成器値緩衝有効 (Pattern Generator Value Buffer Valid)

このﾌﾗｸﾞが設定(1)なら、模様型生成値(PGV)緩衝部が書かれて、次のUPDATE条件で模様型生成値(PGV)ﾚｼﾞｽﾀ内に複写される有効なﾃﾞｰﾀを含みます。このﾋﾞｯﾄが0なら、何の動作も行われません。接続されたﾀｲﾏ/ｶｳﾝﾀの更新施錠(LUPD)ﾋﾞｯﾄもPGV緩衝部の更新に影響を及ぼします。

● ﾋﾞｯﾄ0 – PGOBUFV : 模様型生成器上書き緩衝有効 (Pattern Generator Overwrite Buffer Valid)

このﾌﾗｸﾞが設定(1)なら、模様型生成上書き(PGO)緩衝部が書かれて、次のUPDATE条件で模様型生成上書き(PGO)ﾚｼﾞｽﾀ内に複写される有効なﾃﾞｰﾀを含みます。このﾋﾞｯﾄが0なら、何の動作も行われません。接続されたﾀｲﾏ/ｶｳﾝﾀの更新施錠(LUPD)ﾋﾞｯﾄもPGO緩衝部の更新に影響を及ぼします。

14.8.6. SWAP – 交換ﾚｼﾞｽﾀ (Swap register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	SWAP3	SWAP2	SWAP1	SWAP0	SWAP
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – SWAPx : DTI出力対交換 (Swap DTI Output Pair)

これらのﾋﾞｯﾄの設定(1)は沈黙時間挿入(DTI)部出力の[2x]と[2x+1]の出力交換を許可します。沈黙時間挿入生成器x許可(DTIxEN)設定がこの交換操作に影響を及ぼさないことに注意してください。

14.8.7. PGO – 模様型生成上書きﾚｼﾞｽﾀ (Pattern Generation Override register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	PGO7~0								PGO
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – PGO7~0 : 模様型生成上書き (Pattern Generation Override)

このﾚｼﾞｽﾀは各出力に対する模様型生成の許可を保持します。1のﾋﾞｯﾄ位置は対応する交換(SWAP)出力を各々の模様型生成値(PGV)ﾋﾞｯﾄ値で上書きします。

14.8.8. PGV – 模様型生成値ﾚｼﾞｽﾀ (Pattern Generation Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	PGV7~0								PGV
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – PGV7~0 : 模様型生成値 (Pattern Generation Value)

このﾚｼﾞｽﾀは各出力に対する模様型の値を保持します。

14.8.9. SWAPBUF – 交換緩衝ﾚｼﾞｽﾀ (Swap Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	–	–	–	–	SWAP3BUF	SWAP2BUF	SWAP1BUF	SWAP0BUF	SWAPBUF
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – SWAPxBUF : DTI出力対交換 (Swap DTI Output Pair)

これらのﾚｼﾞｽﾀ ﾋﾞｯﾄは交換(SWAP)ﾚｼﾞｽﾀ ﾋﾞｯﾄ用の緩衝部です。2重緩衝が使用される場合、UPDATE条件でこれらのﾋﾞｯﾄ内の有効な内容が対応するSWAPxﾋﾞｯﾄに複写されます。

14.8.10. PGOBUF – 模様型生成上書き緩衝ﾚｼﾞｽﾀ (Pattern Generation Overwrite Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	PGOBUF7~0								PGOBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – PGOBUF7~0 : 模様型生成上書き緩衝値** (Pattern Generation Override Buffer)

このﾚｼﾞｽﾀは模様型生成上書き(PGO)ﾚｼﾞｽﾀ用の緩衝部です。2重緩衝が使用される場合、UPDATE条件でこのﾚｼﾞｽﾀ内の有効な内容がPGOﾚｼﾞｽﾀに複写されます。

14.8.11. PGVBUF – 模様型生成値緩衝ﾚｼﾞｽﾀ (Pattern Generation Value Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	PGVBUF7~0								PGVBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – PGVBUF7~0 : 模様型生成値緩衝値** (Pattern Generation Value Buffer)

このﾚｼﾞｽﾀは模様型生成値(PGV)ﾚｼﾞｽﾀ用の緩衝部です。2重緩衝が使用される場合、UPDATE条件でこのﾚｼﾞｽﾀ内の有効な内容がPGVﾚｼﾞｽﾀに複写されます。

14.8.12. OUTOVDIS – 出力無効化禁止ﾚｼﾞｽﾀ (Output Override Disable register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	OUTOVDIS7~0								OUTOVDIS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUTOVDIS7~0 : 出力無効化禁止** (Output Override Disable)

これらのﾋﾞｯﾄは対応する出力ﾎﾟｰﾄ ﾚｼﾞｽﾀ(換言すると、ﾋﾟﾝ位置に対する1ﾋﾞｯﾄ毎の関係で)の自動無効化を禁止します。

14.9. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	OUTOVDIS	OUTOVDIS7~0 (出力無効化禁止)								147
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	PGVBUF	PGVBUF7~0 (模様型生成値緩衝)								147
+$0B	PGOBUF	PGOBUF7~0 (模様型生成上書き緩衝)								147
+$0A	SWAPBUF	–	–	–	–	SWAPBUF3~0 (交換(SWAP)許可緩衝)				146
+$09	予約	–	–	–	–	–	–	–	–	
+$08	PGV	PGV7~0 (模様型生成値)								146
+$07	PGO	PGO7~0 (模様型生成上書き)								146
+$06	SWAP	–	–	–	–	SWAP3~0 (交換(SWAP)許可)				146
+$05	STATUSSET	–	–	–	–	–	SWAPBUFV	PGVBUFV	PGOBUFV	145
+$04	STATUSCLR	–	–	–	–	–	SWAPBUFV	PGVBUFV	PGOBUFV	145
+$03	DTHS	DTHS7~0 (沈黙時間High側)								145
+$02	DTLS	DTLS7~0 (沈黙時間Low側)								145
+$01	DTBOTH	DTBOTH7~0 (沈黙時間両側)								145
+$00	CTRL	UPSEL	OTMX2~0 (出力配列)			DTI3EN	DTI2EN	DTI1EN	DTI0EN	145

15. Hi-Res – 高分解能拡張

15.1. 要点

- 波形生成器分解能を最大8倍(3ﾋﾞｯﾄ)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じﾀｲﾏ/ｶｳﾝﾀに使用される時に波形拡張を支援

15.2. 概要

高分解能(Hi-Res)拡張はﾀｲﾏ/ｶｳﾝﾀからの波形生成出力の分解能を4または8倍に増やすのに使用することができます。これはﾀｲﾏ/ｶｳﾝﾀに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使用使用することができます。これが同じﾀｲﾏ/ｶｳﾝﾀに使用される場合、波形拡張(WeX)と共に使用することもできます。

Hi-Res拡張は4倍周辺ｸﾛｯｸ(clk_{PER4})を使用します。ｼｽﾃﾑ ｸﾛｯｸ前置分周器はHi-Res拡張が許可される時に4倍周辺ｸﾛｯｸがCPUと周辺機能のｸﾛｯｸ周波数よりも4倍高くなるように形態設定されなければなりません。より多くの詳細については69頁の「ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器」をご覧ください。

図15-1. Hi-Res拡張許可でのﾀｲﾏ/ｶｳﾝﾀ動作

Hi-Res拡張が許可されると、ﾀｲﾏ/ｶｳﾝﾀは前置分周されない周辺ｸﾛｯｸから走行されなければなりません。ﾀｲﾏ/ｶｳﾝﾀの計数部は最下位(LSB)側2ﾋﾞｯﾄを無効にし、各周辺ｸﾛｯｸ周期に対して4倍で計数します。最上位(MSB)側14ﾋﾞｯﾄの上昇溢れ/下降溢れと比較一致はﾀｲﾏ/ｶｳﾝﾀで行われます。下位2ﾋﾞｯﾄの計数と比較は4倍周辺ｸﾛｯｸで走行するHi-Res拡張で処理と比較が行われます。

ﾀｲﾏ/ｶｳﾝﾀの定期(PER)ﾚｼﾞｽﾀの下位2ﾋﾞｯﾄは正しい動作を保証するため、0を設定されなければなりません。計数器(CNT)ﾚｼﾞｽﾀが応用ｺｰﾄﾞから読まれる場合、ﾀｲﾏ/ｶｳﾝﾀが(標準速の)周辺ｸﾛｯｸで走行するため、下位2ﾋﾞｯﾄは常に0として読みます。この下位2ﾋﾞｯﾄは事象生成時にも無視されます。

Hi-Res+機能が許可されると、機能はHi-Res拡張と同じですが、分解能は4の代わりに8増加します。これはHi-Resだけが許可される時のような下位2ﾋﾞｯﾄに代わり、Hi-Res拡張によって下位3ﾋﾞｯﾄが処理されることも意味します。追加の分解能は4倍周辺ｸﾛｯｸの両端を計数することによって達成されます。

Hi-Res拡張は(標準速の)1周辺ｸﾛｯｸ周期よりも短い(周期の)どんなﾊﾟﾙｽも出力せず、換言すると、4よりも小さな比較値は見える出力になりません。

15.3. ﾚｼﾞｽﾀ説明

15.3.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	HRPLUS1,0		HREN1,0		CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – HRPLUS1,0 : 高分解能+** (High Resolution Plus)

これらのﾋﾞｯﾄは表15-1.に従ってﾀｲﾏ/ｶｳﾝﾀに対して高分解能+動作を許可します。

Hi-Res+はHi-Resと同じですが、分解能を4に代わって8(3ﾋﾞｯﾄ)倍に増します。追加の分解能は4倍周辺ｸﾛｯｸの両端での動作によって達成されます。

表15-1. 高分解能+

HRPLUS1,0	群形態設定	内容
0 0	NONE	なし
0 1	HRP4	ﾀｲﾏ/ｶｳﾝﾀ4で高分解能+許可
1 0	HRP5	ﾀｲﾏ/ｶｳﾝﾀ5で高分解能+許可
1 1	BOTH	ﾀｲﾏ/ｶｳﾝﾀ4と5の両方で高分解能+許可

● **ﾋﾞｯﾄ1,0 – HREN1,0 : 高分解能許可** (High Resolution Enable)

これらのﾋﾞｯﾄは表15-2.に従ってﾀｲﾏ/ｶｳﾝﾀに対する高分解能動作種別を許可します。

HRENﾋﾞｯﾄの1つまたは両方の設定(1)が汎用I/Oﾎﾟｰﾄ全体に対する高分解能波形生成出力を許可します。これは同じﾎﾟｰﾄに接続されたﾀｲﾏ/ｶｳﾝﾀの両方がﾋﾟﾝでのPWMまたはFRQ出力生成に使用される場合、その両方がHi-Resを許可されなければならないことを意味します。

表15-2. 高分解能許可

HREN1,0	群形態設定	内容
0 0	NONE	なし
0 1	HR4	ﾀｲﾏ/ｶｳﾝﾀ4で高分解能許可
1 0	HR5	ﾀｲﾏ/ｶｳﾝﾀ5で高分解能許可
1 1	BOTH	ﾀｲﾏ/ｶｳﾝﾀ4と5の両方で高分解能許可

15.4. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$00	CTRLA	–	–	–	–	HRPLUS		HREN1~0		149

16. 障害拡張

16.1. 要点

- タイマ/カウンタ出力と波形拡張入力に接続
- 瞬間と予測可能な障害起動に対する事象制御された障害保護
- 高速、同期、非同期の障害起動
- 複数障害元での柔軟な形態設定
- 回復可能な障害動作
  - 障害条件でのタイマ/カウンタ再始動または停止
  - 障害条件でのタイマ/カウンタ入力捕獲
  - 障害条件での波形出力活性時間削減
- 回復不可障害
  - 波形出力は障害条件で予め形態設定された安全状態を強制されます。
  - システム リセット中の出力状態を定義する任意の出力値形態設定ヒューズ
- 柔軟な障害濾過選択
  - 入出力ピンの不具合からの誤った起動を防ぐためのデジタル濾波器
  - 整流(転流)中の誤った軌道を防ぐための障害消去
  - 不活性出力比較状態中の誤った入力を濾過するための障害入力制限

16.2. 概要

障害拡張はタイマ/カウンタ比較出力から生成された波形で直接的に動くことによって事象制御される障害保護を許します。それは以下の活動を持つ2つの障害形式を起動するのに使用することができます。

- 回復可能障害：タイマ/カウンタは障害条件が存在する限り再始動または休止され得ます。比較出力パルス活性時間は障害条件が存在する限り減少されます。これは代表的に電流感知調整、0交差再起動、消磁再起動、以下同様に対して使用されます。
- 回復不能障害：比較出力は応用のために安全で予め形態設定された値に強制されます。これは代表的に瞬間且つ予測可能な停止(遮断)と高電流または高電圧の駆動部を禁止するのに使用されます。

事象は障害条件を起動するのに使用されます。1つまたは多数の同時に起こる事象が同期または非同期の両方で支援されます。既定により、障害拡張はシステム クロックが停止されるシステム電力動作形態を含み、予測可能で瞬間の障害反応を保証する非同期事象動作を支援します。

入力消去、障害入力制限またはデジタル濾波器任意選択の使用により、誤った障害検出を避けるために障害元を濾過することができます。

16.3. タイマ/カウンタの考慮

各タイマ/カウンタは障害拡張を支援しますが、障害拡張は全てのタイマ/カウンタに対して許可できないかもしれません。利用可能な障害拡張と対応するタイマ/カウンタの詳細についてはデバイスのデータシートを参照してください。

16.3.1. 極性形態設定

出力極性記述と設定の詳細については121頁の「**出力極性**」と124頁の「**CTRLC – 制御レジスタC**」を参照してください。

16.3.2. 波形生成

回復可能障害は2傾斜PWMを除き、どの波形生成動作でも許可することができます。回復不能障害はどのタイマ/カウンタ動作形態でも許可することができます。

16.4. 障害

障害入力は事象システムからの事象です。事象が起こると、その障害は形態設定された生涯活動を起動します。事象システムからの全ての事象を障害入力として使用することができます。事象システムと利用可能な事象の詳細については58頁の「**事象システム**」を参照してください。

16.4.1. 障害形式

障害拡張は2つの障害形式を定義します。

- 回復可能障害はタイマ/カウンタを再始動または休止することができます。障害Aと障害Bと呼ばれる2つの障害入力は対応するタイマ/カウンタからの比較チャネルAとBで回復可能障害活動を起動することができます。比較チャネル出力は障害条件が存在する限り、または最初の有効な障害条件からタイマ/カウンタ周期の最後まで、不活性状態に留め置くことができます。
- 回復不能障害は比較チャネル出力を安全で予め形態設定された値に強制します。障害Eと呼ばれる障害入力は対応するタイマ/カウンタからの全ての比較チャネルで回復不能障害活動を実行します。

16.4.2. 入力選択

障害拡張は3つまでの事象チャネルを使用します。125頁の「**CTRLD – 制御レジスタD**」で記述されるように、対応するタイマ/カウンタ内の事象選択(EVSEL)ビットによって最低チャネルが選択されます。次の2つの連続する事象チャネルが障害拡張用に自動的に選択されます。

最初の2つの事象チャネルは障害Aまたは障害Bの入力として使用することができます。2つの傾斜動作の操作では、現在の周期に対する障害元を前の周期からの障害状態へ繋ぐことも可能です。これは代表的にLED制御のような様々な応用に使用されます。

回復不能障害は利用可能な3つの事象線のどれでも使用することができます。

16.4.3. 傾斜動作形態

2つの傾斜動作形態が支援され、その両方は単一傾斜PWM動作で走行するタイマ/カウンタが必要です。既定により、タイマ/カウンタは120頁の「**比較チャネル**」で記述される標準タイマ/カウンタ動作であるRAMP1動作で許可されます。RAMP2動作では、**図16-1.**で示されるように、2つの連続的なタイマ/カウンタ周期が交互に扱われます。巡回Aでは波形出力Bが禁止され、そして巡回Bでは波形出力Aが禁止されます。巡回指標(巡回Aまたは巡回B)は巡回指標指令(IDXCMD)ビットを用いて制御することができます。詳細については159頁の「**CTRLGSET – 制御レジスタG設定レジスタ**」を参照してください。

図16-1. RAMP2動作でのタイマ/カウンタ周期

16.4.4. 障害濾過

3つの濾過(濾波)形式が利用可能です。回復可能障害は単独でまたは様々な濾過の組み合わせで3つ全ての濾過を使用することができます。回復不能障害は入力濾過法だけを使用できます。

濾過形式や濾過の組み合わせは応用によって決定されなければなりません。

16.4.4.1. 入力濾過

既定により、事象検出は非同期です。事象が起こると、クロックが利用可能でないシステム電力動作を含み、障害システムは直ちに且つ非同期に比較チャネル出力で選択された障害活動を実行します。外部事象での誤った障害検出(例えば、入出力ポートでの不具合)を避けるため、対応する事象チャネルでデジタル濾波器を許可することができます。この場合、事象検出と配線は同期で、事象活動は2または3周辺クロック周期+選択したデジタル濾波器係数間遅延されます。

デジタル濾波器係数の詳細については65頁の「**CHnCTRL – 事象チャネルn制御レジスタ**」内のデジタル濾波器係数(DIGFILT)記述を参照してください。

16.4.4.2. 障害消去

障害消去(BLANK)は波形出力の活性時間先頭の間で障害入力を抑制する方法を提供します。この方法の使用で、障害は形態設定された時間後にだけ起動することができ、整流(転流)中の誤った障害起動を防ぎます。障害消去時間は波形拡張(WeX)部内の沈黙時間Low側(DTLS)と沈黙時間High側(DTHS)のレジスタに設定されます。レジスタ値は障害入力が禁止される周辺クロック周期数を定義します。この消去は常に周期の始めから開始します。**図16-2.**で示されるように、比較出力値は周期最後まで不活性を維持されるか、または障害条件がもはや存在しない時に標準動作を再開され得ます。

DTLSレジスタはタイマ/カウンタ4(TC4)とTC5各々からの比較チャネルAの消去時間を形態設定します。両比較チャネルAは同じ消去時間を持ちます。DTLSレジスタの詳細については145頁の「**DTLS – 沈黙時間Low側レジスタ**」を参照してください。

DTHSレジスタはTC4)TC5各々からの比較チャネルBの消去時間を形態設定します。両比較チャネルBは同じ消去時間を持ちます。DTHSレジスタの詳細については145頁の「**DTHS – 沈黙時間High側レジスタ**」を参照してください。

例として、最大消去時間は以下の通りです。

- 32MHz周辺クロック周波数時、256/(32×10^6s)=8μs
- 1MHz周辺クロック周波数時、256/10^6s=256μs

図16-2. 消去許可での波形生成

16.4.4.3. 障害入力制限

障害入力制限(QUAL)が許可された場合、図16-3.と図16-4.で示されるように、対応する比較チャネル出力が活性レベルを持つ場合に、障害Aと障害Bは障害活動を起動します。

図16-3. RAMP1動作での障害入力制限

図16-4. 反転極性付きRAMP2動作での障害入力制限

16.4.5. 障害活動

各種障害活動が障害Aと障害Bに対して個別に形態設定することができます。殆どの障害活動は相互に排他的ではなく、従って障害活動の組み合わせである結果を達成するために、2つまたは多数の活動を許可することができます。

16.4.5.1. 保持活動

保持活動(KEEP)が許可されると、出力は障害条件が存在する時にその不活性値に留め置かれます。この留め置きは障害条件がもはや存在しない後の最初の周期の開始で開放されます。

図16-5.は障害Aに対して保持活動と障害入力制限が許可された時の比較チャネルA出力を示します。

図16-5. 障害入力制限と保持活動での波形生成

16.4.5.2. 再始動活動

再始動活動(RESTART)が許可されると、タイマ/カウンタは障害条件が存在する時に再始動されます。図16-6.で示されるように、進行中の周期は中止され、タイマ/カウンタは新しい周期を開始します。新しい周期が開始すると、比較出力は障害条件が存在している限り不活性レベルに留め置かれます。

図16-6. RAMP1動作の再始動活動での波形生成

RAMP2動作の操作では図16-7.で示されるように、新しいﾀｲﾏ/ｶｳﾝﾀ周期が開始する時に巡回指標が自動的に変わります。障害Aと障害Bは各々巡回Aと巡回Bの間だけに限定され、換言すると、比較ﾁｬﾈﾙ出力は各々巡回周期Aと巡回周期Bで障害条件が存在する限り不活性ﾚﾍﾞﾙを強制されます。

再始動指令の制御論理回路は下の図16-8.で示されます。

図16-7. RAMP2動作の再始動動作での波形生成

図16-8. 再始動指令の制御論理回路

16.4.5.3. 捕獲活動

捕獲活動(CAPT)が許可されると、障害はﾀｲﾏ/ｶｳﾝﾀ捕獲ﾁｬﾈﾙが許可され、事象ﾁｬﾈﾙ選択が障害捕獲(FMODEn)に設定されるとすれば、時間印を刻むことができます。事象活動の詳細については125頁の「CTRLD – 制御ﾚｼﾞｽﾀD」を参照してください。

図16-9.と図16-10.は捕獲指令の制御論理回路を示します。

図16-9. FMODE1での捕獲指令の制御論理回路

図16-10. FMODE2での捕獲指令の制御論理回路

16.4.5.4. ﾊｰﾄﾞｳｪｱ休止活動

ﾊｰﾄﾞｳｪｱ休止活動(HWHALT)が許可されると、ﾀｲﾏ/ｶｳﾝﾀは休止され、その周期は障害が存在する限り延長されます。図16-11.は障害Aに対して保持活動とﾊｰﾄﾞｳｪｱ休止活動が許可された例を示します。比較ﾁｬﾈﾙ出力Aはﾀｲﾏ/ｶｳﾝﾀが休止されている限り不活性ﾚﾍﾞﾙに留め置かれます。ﾀｲﾏ/ｶｳﾝﾀは障害条件がもはや存在しなくなると直ぐに計数動作を再開します。

図16-11. ﾊｰﾄﾞｳｪｱ休止、障害入力制限と保持活動での波形生成

再始動活動が許可されると、図16-12.で示されるように、ﾀｲﾏ/ｶｳﾝﾀは障害条件が存在する限り休止され、障害条件がもはや存在しない時に再始動されます。比較ﾁｬﾈﾙA出力はﾀｲﾏ/ｶｳﾝﾀが休止される限り不活性ﾚﾍﾞﾙに留め置かれます。RAMP2動作での操作では新しいﾀｲﾏ/ｶｳﾝﾀ周期が開始する時に巡回指標が自動的に変わります。

図16-12. ﾊｰﾄﾞｳｪｱ休止と再始動活動での波形生成

16.4.5.5. ｿﾌﾄｳｪｱ休止活動

ｿﾌﾄｳｪｱ休止活動(SWHALT)は1つの例外を除いてﾊｰﾄﾞｳｪｱ休止活動と同じです。ﾀｲﾏ/ｶｳﾝﾀを再始動するには、図16-13.で示されるように、障害条件がもはや存在せず、158頁の「**CTRLGCLR – 制御ﾚｼﾞｽﾀG解除**」内の対応する休止x解除(HALTxCLR)ﾋﾞｯﾄが設定(1)されなければなりません。

図16-13. ｿﾌﾄｳｪｱ休止、障害入力制限、再始動と保持活動での波形生成

16.4.5.6. 回復不能障害活動

回復不能障害活動は24頁の「**FUSEBYTE6 – ﾋｭｰｽﾞ ﾊﾞｲﾄ6**」項で記述されるように、全ての比較出力をFUSEBYTE6で予め定義されたﾚﾍﾞﾙに強制します。

このﾋｭｰｽﾞ形態設定が設定(1)された場合、許可された比較ﾁｬﾈﾙ出力は回復不能障害が存在する限りそれを強制されます。障害条件がもはや存在しないと、ﾀｲﾏ/ｶｳﾝﾀは158頁の「**CTRLGCLR – 制御ﾚｼﾞｽﾀG解除**」内の状態E解除(STATEECLR)ﾋﾞｯﾄが設定(1)される時に再開されます。新しい周期の始めからﾀｲﾏ/ｶｳﾝﾀを再始動するには、STATEECLRﾋﾞｯﾄが書かれる前に127頁の「**CTRLGCLR/CTRLGSET – 制御ﾚｼﾞｽﾀG解除/設定**」で再始動指令が書かれなければなりません。

16.4.6. 割り込みと事象

155頁の「**CTRLB – 制御ﾚｼﾞｽﾀB**」で障害Aｿﾌﾄｳｪｱ動作(SOFTA)ﾋﾞｯﾄが設定(1)された場合、障害A検出は158頁の「**CTRLGCLR – 制御ﾚｼﾞｽﾀG解除**」内の障害A(FAULTA)ﾌﾗｸﾞと128頁の「**INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ**」内の異常割り込み要求ﾌﾗｸﾞ(ERRIF)を設定(1)します。許可されるなら、任意のﾀｲﾏ/ｶｳﾝﾀ異常割り込みが生成されます。

157頁の「**CTRLD – 制御ﾚｼﾞｽﾀD**」で障害Bｿﾌﾄｳｪｱ動作(SOFTB)ﾋﾞｯﾄが設定(1)された場合、障害B検出は158頁の「**CTRLGCLR – 制御ﾚｼﾞｽﾀG解除**」内の障害B(FAULTB)ﾌﾗｸﾞと128頁の「**INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ**」内の異常割り込み要求ﾌﾗｸﾞ(ERRIF)を設定(1)します。許可されるなら、任意のﾀｲﾏ/ｶｳﾝﾀ異常割り込みが生成されます。

障害E検出は158頁の「**CTRLGCLR – 制御ﾚｼﾞｽﾀG解除**」内の障害E(FAULTE)ﾌﾗｸﾞと128頁の「**INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ**」内の異常割り込み要求ﾌﾗｸﾞ(ERRIF)を設定(1)します。許可されるなら、任意のﾀｲﾏ/ｶｳﾝﾀ異常割り込みが生成されます。

障害拡張は事象ｼｽﾃﾑへの事象元ではありません。事象拡張は151頁の「**入力選択**」で記述されるように事象を使用します。

16.4.7. 変更保護

意図せぬ形態設定変更を避けるため、障害拡張(FAULT)内の制御ﾚｼﾞｽﾀA(CTRLA)は障害拡張施錠ﾚｼﾞｽﾀ内の対応する施錠ﾋﾞｯﾄ書き込みによって保護することができます。より多くの詳細については18頁の「**I/Oﾒﾓﾘ保護**」と33頁の「**FAULTLOCK – 障害拡張施錠ﾚｼﾞｽﾀ**」を参照してください。

施錠ﾋﾞｯﾄが設定(1)されると、CTRLAﾚｼﾞｽﾀは変更できません。

16.5. ﾚｼﾞｽﾀ説明

16.5.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	RAMP1,0		FDDBD	PORTCTRL	FUSE	FILTERE	SRCE1,0		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – RAMP1,0 : 傾斜動作選択** (Ramp Mode Selection)

これらのﾋﾞｯﾄは**表16-1.**に従って傾斜動作(RAMP)を選択し、障害AとBのどちらが障害活動を起動するかを定義します。

表16-1. RAMP動作選択

RAMP1,0	群形態設定	内容
0 0	RAMP1	既定動作形態: ・障害Aはどの周期でも障害活動を起動します。 ・障害Bはどの周期でも障害活動を起動します。
0 1	–	(予約)
1 0	RAMP2	障害Aと障害Bは交互処理: ・障害Aは巡回Aで障害活動を起動します。 ・障害Bは巡回Bで障害活動を起動します。
1 1	–	(予約)

● **ﾋﾞｯﾄ5 – FDDBD : ﾃﾞﾊﾞｯｸﾞ中断検出での障害検出** (Fault Detection on Debug Break Detection)

既定では、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽが許可され、ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽからの要求は回復不能障害を起動します。このﾋﾞｯﾄが設定(1)されると、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ障害保護が禁止され、中断要求はどの障害も起動しません。

● **ﾋﾞｯﾄ4 – PORTCTRL : ﾎﾟｰﾄ制御動作形態** (Port Control Mode)

このﾋﾞｯﾄが設定(1)されると、許可された比較ﾁｬﾈﾙは対応する入出力ﾋﾟﾝでの出力形態設定を強制します。ﾁｬﾈﾙが禁止または捕獲動作の操作で形態設定される場合、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ3 – FUSE : ﾋｭｰｽﾞ状態** (Fuse State)

このﾋﾞｯﾄが設定(1)されると、回復不能障害条件が存在する時に、FUSEBYTE6で設定されたﾋｭｰｽﾞ値が許可された比較ﾁｬﾈﾙ出力で強制されます。ﾀｲﾏ/ｶｳﾝﾀx障害検出活動(FDACTx)ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ｼｽﾃﾑ ﾘｾｯﾄ手順中に同じﾋｭｰｽﾞ値が適用されることに注意してください。ﾋｭｰｽﾞ設定の詳細については24頁の「**FUSEBYTE6 – ﾋｭｰｽﾞ ﾊﾞｲﾄ6**」を参照してください。

● **ﾋﾞｯﾄ2 – FILTERE : 障害Eﾃﾞｼﾞﾀﾙ濾波器選択** (Fault E Digital Filter Selection)

このﾋﾞｯﾄの設定(1)は障害E用の事象元として、選択された事象ﾁｬﾈﾙ ﾃﾞｼﾞﾀﾙ濾波器出力を許可します。詳細については151頁の「**入力濾過**」を参照してください。

● **ﾋﾞｯﾄ1,0 – SRCE1,0 : 障害E入力選択** (Fault E Input Selection)

これらのﾋﾞｯﾄは**表16-2.**で示されるように、障害E入力用の事象ﾁｬﾈﾙ入力を選択します。事象ﾁｬﾈﾙ選択の詳細については125頁の「**CTRLD – 制御ﾚｼﾞｽﾀD**」内の事象元選択(EVSEL)記述を参照してください。

表16-2. 障害E入力選択

SRCE1,0	群形態設定	内容
0 0	DISABLE	障害保護禁止
0 1	CHn	事象ﾁｬﾈﾙn
1 0	CHn1	事象ﾁｬﾈﾙn+1
1 1	CHn2	事象ﾁｬﾈﾙn+2

16.5.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	SOFTA	HALTA1,0		RESTARTA	KEEPA	–	SRCA1,0		CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SOFTA : 障害Aｿﾌﾄｳｪｱ動作** (Fault A Software Mode)

このﾋﾞｯﾄが設定(1)されると、154頁の「**割り込みと事象**」項で記述されるように、障害A検出はﾀｲﾏ/ｶｳﾝﾀの異常割り込み要求ﾌﾗｸﾞ(ERRIF)を設定(1)します。

● ﾋﾞｯﾄ6,5 – HALTA1,0 : 障害A休止活動 (Fault A Halt Action)

これらのﾋﾞｯﾄは表16-3.で定義されるように、障害Aに対する休止活動を選びます。

表16-3. 障害A休止活動選択

HALTA1,0	群形態設定	内容
0 0	DISABLE	休止活動禁止
0 1	HW	ﾊｰﾄﾞｳｪｱ休止活動
1 0	SW	ｿﾌﾄｳｪｱ休止活動
1 1	–	(予約)

● ﾋﾞｯﾄ4 – RESTARTA : 障害A再始動活動 (Fault A Restart Action)

このﾋﾞｯﾄの設定(1)は障害Aに対して再始動活動を許可します。

● ﾋﾞｯﾄ3 – KEEPA : 障害A保持活動 (Fault A Keep Action)

このﾋﾞｯﾄの設定(1)は障害Aに対して保持活動を許可します。

● ﾋﾞｯﾄ2 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1,0 – SRCA1,0 : 障害A供給元選択 (Fault A Source Selection)

これらのﾋﾞｯﾄは表16-4.で定義されるように、障害Aに対する事象ﾁｬﾈﾙ元を選びます。事象ﾁｬﾈﾙ選択の詳細については125頁の「CTRLD – 制御ﾚｼﾞｽﾀD」内の事象元選択(EVSEL)記述を参照してください。

表16-4. 障害A供給元選択

SRCA1,0	群形態設定	内容
0 0	DISABLE	障害禁止
0 1	CHn	事象ﾁｬﾈﾙn
1 0	CHn1	事象ﾁｬﾈﾙn+1
1 1	LINK	障害A入力元は直前の周期の最後から障害B状態へ繋げられます。保持活動が禁止されている場合、障害Aの持続期間は1周辺ｸﾛｯｸ周期です。あるいは、保持活動が許可されている場合、障害A持続期間は1つの完全なﾀｲﾏ/ｶｳﾝﾀ周期です。

16.5.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	CAPTA	–	–	FILTERA	BLANKA	QUALA	CTRLC
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5 – CAPTA : 障害A捕獲 (Fault A Capture)

このﾋﾞｯﾄが設定(1)されると、障害A検出はﾀｲﾏ/ｶｳﾝﾀ入力捕獲操作を起動します。事象活動と事象選択の詳細については125頁の「CTRLD – 制御ﾚｼﾞｽﾀD」を参照してください。

● ﾋﾞｯﾄ4,3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – FILTERA : 障害Aﾃﾞｼﾞﾀﾙ濾波器選択 (Fault A Digital Filter Selection)

このﾋﾞｯﾄの設定(1)は障害Aに対する事象元として、選択された事象ﾁｬﾈﾙのﾃﾞｼﾞﾀﾙ濾波器出力を許可します。詳細について151頁の「入力濾過」を参照してください。

● ﾋﾞｯﾄ1 – BLANKA : 障害A消去 (Fault A Blanking)

このﾋﾞｯﾄの設定(1)は障害Aに対する入力消去を許可します。詳細について151頁の「障害消去」を参照してください。

● ﾋﾞｯﾄ0 – QUALA : 障害A制限 (Fault A Qualification)

このﾋﾞｯﾄの設定(1)は障害A入力制限を許可します。詳細について152頁の「障害入力制限」を参照してください。

16.5.4. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	SOFTB	HALTB1,0		RESTARTB	KEEPB	–	SRCB1,0		CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SOFTB : 障害Bｿﾌﾄｳｪｱ動作** (Fault B Software Mode)

このﾋﾞｯﾄが設定(1)されると、154頁の「**割り込みと事象**」項で記述されるように、障害B検出はﾀｲﾏ/ｶｳﾝﾀの異常割り込み要求ﾌﾗｸﾞ(ERRIF)を設定(1)します。

● **ﾋﾞｯﾄ6,5 – HALTB1,0 : 障害B休止活動** (Fault B Halt Action)

これらのﾋﾞｯﾄは**表16-5.**で定義されるように、障害Bに対する休止活動を選びます。

表16-5. 障害B休止活動選択

HALTB1,0	群形態設定	内容
0 0	DISABLE	休止活動禁止
0 1	HW	ﾊｰﾄﾞｳｪｱ休止活動
1 0	SW	ｿﾌﾄｳｪｱ休止活動
1 1	–	(予約)

● **ﾋﾞｯﾄ4 – RESTARTB : 障害B再始動活動** (Fault B Restart Action)

このﾋﾞｯﾄの設定(1)は障害Bに対して再始動活動を許可します。

● **ﾋﾞｯﾄ3 – KEEPB : 障害B保持活動** (Fault B Keep Action)

このﾋﾞｯﾄの設定(1)は障害Bに対して保持活動を許可します。

● **ﾋﾞｯﾄ2 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – SRCB1,0 : 障害B供給元選択** (Fault B Source Selection)

これらのﾋﾞｯﾄは**表16-6.**で定義されるように、障害Bに対する事象ﾁｬﾈﾙ元を選びます。事象ﾁｬﾈﾙ選択の詳細については125頁の「**CTRLD – 制御ﾚｼﾞｽﾀD**」内の事象元選択(EVSEL)記述を参照してください。

表16-6. 障害B供給元選択

SRCB1,0	群形態設定	内容
0 0	DISABLE	障害禁止
0 1	CHn	事象ﾁｬﾈﾙn
1 0	CHn1	事象ﾁｬﾈﾙn+1
1 1	LINK	障害B入力元は直前の周期の最後から障害A状態へ繋げられます。保持活動が禁止されている場合、障害Bの持続期間は1周辺ｸﾛｯｸ周期です。あるいは、保持活動が許可されている場合、障害B持続期間は1つの完全なﾀｲﾏ/ｶｳﾝﾀ周期です。

16.5.5. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	CAPTB	–	–	FILTERB	BLANKB	QUALB	CTRLE
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – CAPTB : 障害B捕獲** (Fault B Capture)

このﾋﾞｯﾄが設定(1)されると、障害B検出はﾀｲﾏ/ｶｳﾝﾀ入力捕獲操作を起動します。事象活動と事象選択の詳細については125頁の「**CTRLD – 制御ﾚｼﾞｽﾀD**」を参照してください。

● **ﾋﾞｯﾄ4,3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – FILTERB : 障害Bﾃﾞｼﾞﾀﾙ濾波器選択 (Fault B Digital Filter Selection)

このﾋﾞｯﾄの設定(1)は障害Bに対する事象元として、選択された事象ﾁｬﾈﾙのﾃﾞｼﾞﾀﾙ濾波器出力を許可します。詳細について151頁の「**入力濾過**」を参照してください。

● ﾋﾞｯﾄ1 – BLANKB : 障害B消去 (Fault B Blanking)

このﾋﾞｯﾄの設定(1)は障害Bに対する入力消去を許可します。詳細について151頁の「**障害消去**」を参照してください。

● ﾋﾞｯﾄ0 – QUALB : 障害B制限 (Fault B Qualification)

このﾋﾞｯﾄの設定(1)は障害B入力制限を許可します。詳細について152頁の「**障害入力制限**」を参照してください。

16.5.6. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	STATEB	STATEA	STATEE	–	IDX	FAULTBIN	FAULTAIN	FAULTEIN	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – STATEB : 障害B状態 (Fault B State)

このﾋﾞｯﾄは障害B条件が存在する時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾋﾞｯﾄは障害A活動が完了される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● ﾋﾞｯﾄ6 – STATEA : 障害A状態 (Fault A State)

このﾋﾞｯﾄは障害A条件が存在する時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾋﾞｯﾄは障害B活動が完了される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● ﾋﾞｯﾄ5 – STATEE : 障害E状態 (Fault E State)

このﾋﾞｯﾄは障害E条件が存在する時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾋﾞｯﾄは障害E活動が完了される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● ﾋﾞｯﾄ4 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3 – IDX : ﾁｬﾈﾙ指標ﾌﾗｸﾞ (Channel Index Flag)

RAMP2動作の操作に於いて、このﾋﾞｯﾄは巡回A中に解除(0)され、巡回B中に設定(1)されます。RAMP1動作の操作では常にこのﾋﾞｯﾄは0を読まれます。傾斜(Ramp動作の詳細については151頁の「**傾斜動作形態**」項を参照してください。

● ﾋﾞｯﾄ2 – FAULTBIN : 障害Bﾌﾗｸﾞ (Fault B Flag)

このﾌﾗｸﾞは障害B条件が存在する限りﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞは障害B条件がもはや存在しない時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● ﾋﾞｯﾄ1 – FAULTAIN : 障害Aﾌﾗｸﾞ (Fault A Flag)

このﾌﾗｸﾞは障害A条件が存在する限りﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞは障害A条件がもはや存在しない時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● ﾋﾞｯﾄ0 – FAULTEIN : 障害Eﾌﾗｸﾞ (Fault E Flag)

このﾌﾗｸﾞは障害E条件が存在する時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞは障害A条件がもはや存在しない時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

16.5.7. CTRLGCLR – 制御ﾚｼﾞｽﾀG解除 (Control register G Clear)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	HALTBCLR	HALTACLR	STATEECLR	–	–	FAULTB	FAULTA	FAULTE	CTRLGCLR
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – HALTBCLR : 状態B解除 (State B Clear)

このﾋﾞｯﾄの設定(1)は障害B(FAULTBIN)ﾌﾗｸﾞが解除(0)される時に状態(STATUS)ﾚｼﾞｽﾀの障害B状態(STATEB)ﾋﾞｯﾄが解除(0)されます。ｿﾌﾄｳｪｱ休止指令が許可される場合、ﾀｲﾏ/ｶｳﾝﾀ内部休止指令が開放されます。

● ﾋﾞｯﾄ6 – HALTACLR : 状態A解除 (State A Clear)

このﾋﾞｯﾄの設定(1)は障害A(FAULTAIN)ﾌﾗｸﾞが解除(0)される時に状態(STATUS)ﾚｼﾞｽﾀの障害A状態(STATEA)ﾋﾞｯﾄが解除(0)されます。ｿﾌﾄｳｪｱ休止指令が許可される場合、ﾀｲﾏ/ｶｳﾝﾀ内部休止指令が開放されます。

● ﾋﾞｯﾄ5 – STATEECLR : 状態E解除 (State E Clear)

このﾋﾞｯﾄの設定(1)は障害E(FAULTEIN)ﾌﾗｸﾞが解除(0)される時に状態(STATUS)ﾚｼﾞｽﾀの障害E状態(STATEE)ﾋﾞｯﾄが解除(0)されます。ﾀｲﾏ/ｶｳﾝﾀは最後のﾀｲﾏ/ｶｳﾝﾀ(CNT)値から再開します。ﾀｲﾏ/ｶｳﾝﾀをBOTTOMから再始動するには、STATEECLRﾋﾞｯﾄを設定(1)する前にﾀｲﾏ/ｶｳﾝﾀ再始動指令が実行されなければなりません。ﾀｲﾏ/ｶｳﾝﾀ指令の詳細については127頁の「CTRLGCLR/CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定」での指令記述を参照してください。

● ﾋﾞｯﾄ4,3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – FAULTB : 障害Bﾌﾗｸﾞ (Fault B Flag)

このﾌﾗｸﾞは障害Bｿﾌﾄｳｪｱ動作(SOFTB)ﾋﾞｯﾄが設定(1)され、障害B入力が起こる時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ1 – FAULTA : 障害Aﾌﾗｸﾞ (Fault A Flag)

このﾌﾗｸﾞは障害Aｿﾌﾄｳｪｱ動作(SOFTA)ﾋﾞｯﾄが設定(1)され、障害A入力が起こる時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ0 – FAULTE : 障害Eﾌﾗｸﾞ (Fault E Flag)

このﾌﾗｸﾞは障害E入力が起こる時にﾊｰﾄﾞｳｪｱによって設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

16.5.8. CTRLGSET – 制御ﾚｼﾞｽﾀG設定 (Control register G Set)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	FAULTBSW	FAULTASW	FAULTESW	IDXCMD1,0		–	–	–	CTRLGSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – FAULTBSW : ｿﾌﾄｳｪｱ障害B (Software Fault B)

このﾋﾞｯﾄの設定(1)はｿﾌﾄｳｪｱによる障害B活動を強制します。このﾋﾞｯﾄと対応する障害入力は次の周辺ｸﾛｯｸ周期(clk_{PER})でﾊｰﾄﾞｳｪｱによって自動的に解除(0)されます。

● ﾋﾞｯﾄ6 – FAULTASW : ｿﾌﾄｳｪｱ障害A (Software Fault A)

このﾋﾞｯﾄの設定(1)はｿﾌﾄｳｪｱによる障害A活動を強制します。このﾋﾞｯﾄと対応する障害入力は次の周辺ｸﾛｯｸ周期(clk_{PER})でﾊｰﾄﾞｳｪｱによって自動的に解除(0)されます。

● ﾋﾞｯﾄ5 – FAULTESW : ｿﾌﾄｳｪｱ障害E (Software Fault E)

このﾋﾞｯﾄの設定(1)はｿﾌﾄｳｪｱによる障害E活動を強制します。このﾋﾞｯﾄと対応する障害入力は次の周辺ｸﾛｯｸ周期(clk_{PER})でﾊｰﾄﾞｳｪｱによって自動的に解除(0)されます。

● ﾋﾞｯﾄ4,3 – IDXCMD1,0 : 巡回指標指令 (Cycle Index Command)

これらのﾋﾞｯﾄは表16-7.に従ってRAMP2動作で巡回Aと巡回Bの変化を強制するのに使用することができます。ﾀｲﾏ/ｶｳﾝﾀの更新条件で指令が実行され、状態(STATUS)ﾚｼﾞｽﾀのﾁｬﾈﾙ指標(IDX)ﾌﾗｸﾞが更新され、IDXCMD指令が解除(00)されます。

表16-7. 指標指令選択

IDXCMD1,0	群形態設定	内容
0 0	DISABLE	指令禁止：IDXは巡回AとB間を交互切り替えします。
0 1	SET	IDX設定(1)：次の周期で周期Bが強制されます。
1 0	CLEAR	IDX解除(0)：次の周期で周期Aが強制されます。
1 1	HOLD	IDX保持：次の周期は現在の周期と同じになります。

● ﾋﾞｯﾄ2~0 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

16.6. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$07	CTRLGSET	FAULTBSW	FAULTASW	FAULTESW	IDXCMD1,0		–	–	–	159
+$06	CTRLGCLR	HALTBCLR	HALTACLR	STATEECLR	–	–	FAULTB	FAULTA	FAULTE	158
+$05	STATUS	STATEB	STATEA	STATEE	–	IDX	FAULTBIN	FAULTAIN	FAULTEIN	158
+$04	CTRLE	–	–	CAPTB	–	–	FILTERB	BLANKB	QUALB	157
+$03	CTRLD	SOFTB	HALTB1,0		RESTARTB	KEEPB	–	SRCB1,0		157
+$02	CTRLC	–	–	CAPTA	–	–	FILTERA	BLANKA	QUALA	156
+$01	CTRLB	SOFTA	HALTA1,0		RESTARTA	KEEPA	–	SRCA1,0		155
+$00	CTRLA	RAMP1,0		FDDBD	PORTCTRL	FUSE	FILTERE	SRCE1,0		155

17. RTC – 実時間計数器

17.1. 要点

- 16ﾋﾞｯﾄ分解能
- 選択可能なｸﾛｯｸ元
  - 32.768kHz外部ｸﾘｽﾀﾙ
  - 外部ｸﾛｯｸ信号
  - 32.768kHz内部発振器
  - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較ﾚｼﾞｽﾀ
- 1つの定期ﾚｼﾞｽﾀ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象
- 外部ｸﾛｯｸ選択用補正

17.2. 概要

16ﾋﾞｯﾄ実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からﾃﾞﾊﾞｲｽを起こしたり、ﾃﾞﾊﾞｲｽに割り込むことができます。

RTCｸﾛｯｸは代表的に32.768kHzの高精度ｸﾘｽﾀﾙからの1.024kHzで、これは殆ど低電力消費用に最適化された形態設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部ｸﾛｯｸ信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもｸﾛｯｸ駆動することができます。

RTCは計数器へ至る前に基準ｸﾛｯｸを下げることができる設定可能な10ﾋﾞｯﾄの前置分周器を含みます。広範囲の分解能と時間経過期間を形態設定することができます。32.768kHzのｸﾛｯｸ元とで、最大分解能は30.5μs、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較ﾚｼﾞｽﾀ値と等しい時に比較割り込みや事象、定期ﾚｼﾞｽﾀ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

RTCは外部ｸﾛｯｸ選択を使用して動作する時の補正を支援します。外部的に校正された値が補正に使用されます。RTCはｿﾌﾄｳｪｱによって2MHzの最小基準ｸﾛｯｸに相対して±0.5PPMの精度に校正することができます。RTC補正操作はｸﾛｯｸ誤差を精算するために前置分周器を(計数飛ばしによる)速度向上または(付加周期を追加する)速度低下のどちらかです。

図17-1. 実時間計数器概要

17.3. ｸﾛｯｸ領域

RTCは非同期で、主ｼｽﾃﾑ ｸﾛｯｸと周辺ｸﾛｯｸのようなその派生ｸﾛｯｸから独立した異なるｸﾛｯｸ元で動きます。制御と計数のﾚｼﾞｽﾀの更新に関しては、更新されたﾚｼﾞｽﾀ値がﾚｼﾞｽﾀで利用可能になる前、または形態設定変更がRTCで効果を表すまで、幾らかのRTC ｸﾛｯｸと/または周辺ｸﾛｯｸの周期がかかります。この同期時間は各ﾚｼﾞｽﾀに対して記述されます。

17.4. 割り込みと事象

RTCは割り込みと事象の両方を生成することができます。RTCは計数器(CNT)値が比較(COMP)ﾚｼﾞｽﾀ値と等しくなった後の最初の計数で比較割り込みと/または事象を生じます。RTCは計数器値が定期(PER)ﾚｼﾞｽﾀ値と等しくなった後の最初の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にﾘｾｯﾄします。

非同期ｸﾛｯｸ領域のため、定期ﾚｼﾞｽﾀが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

17.5. 補正

RTCは校正(CALIB)ﾚｼﾞｽﾀからPPM誤差値を獲得することによってRTCｸﾘｽﾀﾙ ｸﾛｯｸでの内部補正を行うことができます。CALIBﾚｼﾞｽﾀは外部校正または温度補正後にｿﾌﾄｳｪｱによって書かれます。補正は概ね1ms周期の間隔内で行われます。補正操作は誤差の性質に依存して、1周期の追加または除去の単一周期操作として実行されます。これらの単一周期操作は100万周期補正間隔全体を通して分散して誤差回数(CALIBﾚｼﾞｽﾀの誤差(ERROR6～0)ﾋﾞｯﾄ)を繰り返して実行されます。この補正間隔渡って拡散される補正は誤差値に基づきます。ｸﾛｯｸの最終的な補正は計数下位(CNTL)と計数上位(CNTH)のﾚｼﾞｽﾀを通して利用可能なRTC計数値に反映されます。求められた補正が周期を飛ばすことによってｸﾛｯｸ速度向上する時に、前置分周器を最小設定DIV2(2分周RTCｸﾛｯｸ)で走行することが必要です。ｿﾌﾄｳｪｱによって系の補正が禁止されると、進行中の1つの100万補正周期が完了される時に補正が内部的に禁止されます。

図17-2. 実時間計数器ｸﾛｯｸ/計数補正

(訳補) 補正値が-(負、上図では一番下)の場合、上図で示されるように前置分周器は指定値の半分の分周値、入力ｸﾛｯｸは半分の周波数(倍の周期)で実行され、飛ばす周期の箇所に対しては倍の周波数(半分の周期=元々の入力ｸﾛｯｸ)で計数することによって実装されます。このために前置分周器の最小設定がDIV2(2分周RTCｸﾛｯｸ)になります。

17.6. ﾚｼﾞｽﾀ説明

17.6.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	CURREN	PRESCALER2~0			CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3 – CURREN : 補正許可 (Correction Enable)

このﾋﾞｯﾄの設定(1)は補正処理を許可します。このﾋﾞｯﾄが0を書かれると、進行中の補正周期が完了された時に補正が禁止されます。補正値と形式については校正(CALIB)ﾚｼﾞｽﾀを参照してください。

● ﾋﾞｯﾄ2~0 – PRESCALER2~0 : ｸﾛｯｸ前置分周係数 (Clock Prescaling factor)

これらのﾋﾞｯﾄは表17-1.に従ってRTCｸﾛｯｸに対する前置分周係数を定義します。

表17-1. 実時間計数器ｸﾛｯｸ前置分周係数

PRESCALER2~0	群形態設定	RTCｸﾛｯｸ前置分周
0 0 0	OFF	ｸﾛｯｸ元なし、RTC停止
0 0 1	DIV1	RTCｸﾛｯｸ/1 (前置分周なし)
0 1 0	DIV2	RTCｸﾛｯｸ/2
0 1 1	DIV8	RTCｸﾛｯｸ/8
1 0 0	DIV16	RTCｸﾛｯｸ/16
1 0 1	DIV64	RTCｸﾛｯｸ/64
1 1 0	DIV256	RTCｸﾛｯｸ/256
1 1 1	DIV1024	RTCｸﾛｯｸ/1024

17.6.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	–	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – SYNCBUSY : RTC同期化中ﾌﾗｸﾞ (RTC Synchronization Busy Flag)

実時間計数器(CNT)、RTC制御(CTRL)ﾚｼﾞｽﾀ、RTC定期(PER)ﾚｼﾞｽﾀまたはRTC比較(COMP)ﾚｼﾞｽﾀが、これらのﾚｼﾞｽﾀの何れかの書き込み後、または周辺ｸﾛｯｸが停止される休止動作形態から起き上がる時で、RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化作業中の時に、このﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞは同期完了時に自動的に解除(0)されます。

17.6.3. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3,2 – COMPINTLVL1,0 : 比較一致割り込み許可 (Compare Match Interrupt Enable)

これらのﾋﾞｯﾄはRTC比較一致割り込みを許可し、94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのRTC比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

● ﾋﾞｯﾄ1,0 – OVFINTLVL1,0 : 上昇溢れ割り込み許可 (Overflow Interrupt Enable)

これらのﾋﾞｯﾄはRTC上昇溢れ割り込みを許可し、94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのRTC上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

17.6.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – COMPIF : 比較一致割り込み要求ﾌﾗｸﾞ (RTC Compare Match Interrupt Flag)

このﾌﾗｸﾞは比較一致状態が起きた後の次の計数で設定(1)されます。これはRTC比較一致割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ0 – OVFIF : 上昇溢れ割り込み要求ﾌﾗｸﾞ (RTC Overflow Interrupt Flag)

このﾌﾗｸﾞは上昇溢れ状態が起きた後の次の計数で設定(1)されます。これはRTC上昇溢れ割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

17.6.5. TEMP – 一時ﾚｼﾞｽﾀ (Temporary register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – TEMP7~0 : RTC一時格納値 (Temporary bits)

このﾚｼﾞｽﾀは計数器(CNT)値、比較(COMP)値、頂上(PER)値のﾚｼﾞｽﾀの16ﾋﾞｯﾄ ｱｸｾｽに使用されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれる時にそれがここに格納されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄはCPUによって下位ﾊﾞｲﾄが読まれる時に格納されます。

17.6.6. CALIB – 校正ﾚｼﾞｽﾀ (Calibration register)

このﾚｼﾞｽﾀは誤差値と実行されるべき補正形式を格納します。このﾚｼﾞｽﾀは外部校正や温度補正に基づいた何れかの誤差値と共にｿﾌﾄｳｪｱによって書かれます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	SIGN	ERROR6~0							CALIB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – SIGN : 補正符号 (Correction Sign)

このﾋﾞｯﾄは補正の方向を示します。このﾋﾞｯﾄが0ならばRTC計数器はｸﾛｯｸ追加によって速度低下されます。このﾋﾞｯﾄが1ならばRTC計数器ｸﾛｯｸを除去することによって速度向上されます。この設定に対して前置分周器が最小設定DIV2(2分周RTCｸﾛｯｸ)に設定されることが必要とされます。

● ﾋﾞｯﾄ6~0 – ERROR6~0 : 誤差値 (Error Value)

これらのﾋﾞｯﾄは補正操作用の誤差値を保持します。

17.6.7. CNTL – 計数ﾚｼﾞｽﾀ下位 (Counter register Low)

CNTHとCNTLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CNTを表します。CNTは前置分周されたRTCｸﾛｯｸの正ｸﾛｯｸ端で計数します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。このﾚｼﾞｽﾀへの書き込みや、周辺ｸﾛｯｸが停止される休止動作形態から起き上がった後でこのﾚｼﾞｽﾀを読む前に、応用ｿﾌﾄｳｪｱは163頁の「STATUS – RTC状態ﾚｼﾞｽﾀ」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(1)されていることを調べる必要があります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数値下位** (Counter Value low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ実時間計数器値の下位ﾊﾞｲﾄ(LSB)を保持します。

17.6.8. CNTH – 計数ﾚｼﾞｽﾀ上位 (Counter register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT15~8 : 計数値上位** (Counter Value high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ実時間計数器値の上位ﾊﾞｲﾄ(MSB)を保持します。

17.6.9. PERL – 定期ﾚｼﾞｽﾀ下位 (Period register Low)

PERHとPERLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値PERを表します。PERは計数器(CNT)値と継続的に比較されます。一致はRTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)を設定(1)して計数器を解除(=0)します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱは、このﾚｼﾞｽﾀが書かれる前に163頁の「STATUS – 状態ﾚｼﾞｽﾀ」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(0)されていることを調べる必要があります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER7~0 : 定期値下位** (Period low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC頂上値の下位ﾊﾞｲﾄ(LSB)を保持します。

17.6.10. PERH – 定期ﾚｼﾞｽﾀ上位 (Period register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER15~8 : 定期値上位** (Period high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC頂上値の上位ﾊﾞｲﾄ(MSB)を保持します。

17.6.11. COMPL – 比較ﾚｼﾞｽﾀ下位 (Compare register Low)

COMPHとCOMPLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致はRTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)を設定(1)します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱは、このﾚｼﾞｽﾀが書かれる前に163頁の「STATUS – 状態ﾚｼﾞｽﾀ」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(0)されていることを調べる必要があります。

COMP値が定期(PER)値より大きい場合、RTC比較一致割り込み要求または事象は決して生成されません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	COMP7~0								COMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP7~0 : 比較値下位** (Compare value low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC比較値の下位ﾊﾞｲﾄ(LSB)を保持します。

17.6.12. COMPH – 比較ﾚｼﾞｽﾀ上位 (Compare register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	COMP15~8								COMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP15~8 : 比較値上位** (Compare value high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC比較値の上位ﾊﾞｲﾄ(MSB)を保持します。

17.7. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0D	COMPH	COMP15~8								166
+$0C	COMPL	COMP7~0								166
+$0B	PERH	PER15~8								165
+$0A	PERL	PER7~0								165
+$09	CNTH	CNT15~8								165
+$08	CNTL	CNT7~0								165
+$07	予約	–	–	–	–	–	–	–	–	
+$06	CALIB	SIGN	ERROR6~0							164
+$05	予約	–	–	–	–	–	–	–	–	
+$04	TEMP	TEMP7~0								164
+$03	INTFLAGS	–	–	–	–	–	–	COMPIF	OVFIF	164
+$02	INTCTRL	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		163
+$01	STATUS	–	–	–	–	–	–	–	SYNCBUSY	163
+$00	CTRL	–	–	–	–	CURREN	PRESCALER2~0			163

17.8. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	OVF_vect	実時間計数器溢れ割り込みﾍﾞｸﾀ
$02	COMP_vect	実時間計数器比較一致割り込みﾍﾞｸﾀ

18. TWI – 2線インターフェース

18.1. 要点

- 双方向2線インターフェース
  - Phillips社I2C適合
  - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
  - 従装置動作
  - 単一バス権利者(主装置)動作
  - 複数バス権利者(主装置)環境でのバス権利者(主装置)
  - 複数バス権利者(主装置)調停
  - 独立且つ同時の主及び従装置動作での橋渡し(ブリッジ)動作形態
- 柔軟な従装置アドレス一致機能
  - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
  - 10ビット アドレス指定支援
  - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
  - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 1MHzまでのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)
- SMBus階層1の時間超過を支援
- 形態設定可能な時間超過値
- 主装置と従装置での独立した時間超過計数器(橋渡し動作形態支援)

18.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI2Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI部署は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と形態設定ができます。主装置部署は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHz、400kHz、1MHzの全てのバス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置部署はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI部署は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使用されるのと違うVCC電圧で動作する応用に使用することができます。

橋渡し(ブリッジ)動作を許可することも可能です。この場合、従装置入出力ピンは代替ピンからに選択され、主装置と従装置の独立且つ同時の動作を許します。

18.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ (ドレイン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。

TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

図18-1.はTWIﾊﾞｽ形態を図解します。

ﾊﾞｽに接続した全ての従装置に固有のｱﾄﾞﾚｽが割り当てられ、主装置は従装置をｱﾄﾞﾚｽ指定するのにこれを使用してﾃﾞｰﾀ転送処理を始めます。

多数の主装置が同じﾊﾞｽに接続でき、複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがﾊﾞｽを自身のものにできるので、主装置間でﾊﾞｽ所有権を解決するために調停機構が提供されます。

図18-1. TWIﾊﾞｽ形態

ﾃﾞﾊﾞｲｽは主装置と従装置の両論理回路を含み、2つ以上のｱﾄﾞﾚｽに応答することによって複数従装置の擬似動作ができます。

主装置がﾊﾞｽ上に開始条件(S)を発行することによって転送処理の開始を指示します。それから、従装置ｱﾄﾞﾚｽ(ADDRESS)と主装置がﾃﾞｰﾀを読みまたは書きどちらをしたいのかを示す(R/$\overline{W}$)を持つｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送られます。ﾃﾞｰﾀ ﾊﾟｹｯﾄ(DATA)が転送された後、転送処理終了のためにﾊﾞｽ上へ停止条件(P)を発行します。受信側は各ﾊﾞｲﾄに対して確認応答(A)または否認応答($\overline{A}$)を行わなければなりません。

図18-2.はTWI転送処理を示します。

図18-2. 7ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾊﾞｽに関する基本的なTWI転送処理形態

主装置が転送処理に対してｸﾛｯｸ信号を供給しますが、ﾊﾞｽに接続された装置はｸﾛｯｸ速度を下げるためにｸﾛｯｸのLow区間を引き伸ばすことが許されます。

18.3.1. 電気的特性

XMEGAﾃﾞﾊﾞｲｽのTWI部署はI²CﾊﾞｽとSMBusの電気的仕様とﾀｲﾐﾝｸﾞに従っています。TWI主装置動作で設定されるべき不活性ﾊﾞｽ時間超過の正しい動きを保証するために、これらの仕様は100%適合ではありません。より多くの詳細については171頁の「TWI主装置動作」を参照してください。

18.3.2. 開始条件と停止条件

転送処理の始まり(開始条件)と終り(停止条件)を記すために2つの独特なﾊﾞｽ状態が使用されます。主装置はSCL線をHighに保持するのと同時にSDA線でHighからLowへの遷移を示すことによって開始条件(S)を発行します。主装置はSCL線をHghに保持するのと同時にSDA線をLowからHighへの遷移を示すことによって停止条件(P)を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の開始条件が発行され得ます。停止条件に直接後続しない開始条件は再送開始条件(Sr)と名付けられます。

図18-3. 開始条件と停止条件

18.3.3. ﾋﾞｯﾄ転送

図18-4.で図解されるように、SDA線で転送されるﾋﾞｯﾄはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はｸﾛｯｸのLow区間の間でだけ変更できます。これはTWI部署でのﾊｰﾄﾞｳｪｱで保証されます。

ﾋﾞｯﾄ転送の組み合わせがｱﾄﾞﾚｽとﾃﾞｰﾀのﾊﾟｹｯﾄの編成に帰着します。これらのﾊﾟｹｯﾄは最上位ﾋﾞｯﾄ先行転送の8ﾃﾞｰﾀ ﾋﾞｯﾄ(1ﾊﾞｲﾄ)と確認(ACK)または否認(NACK)の応答の単一ﾋﾞｯﾄから成ります。ｱﾄﾞﾚｽ指定された装置は9ｸﾛｯｸ周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにしておくことによってNACKで合図します。

図18-4. ﾃﾞｰﾀの有効性

18.3.4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ

開始条件後、読み/書き(R/$\overline{W}$)ﾋﾞｯﾄが後続する7ﾋﾞｯﾄ ｱﾄﾞﾚｽが送出されます。これは常に主装置によって送出されます。そのｱﾄﾞﾚｽを認証する従装置は次のSCLｸﾛｯｸ間SDA線をLowに引くことによってｱﾄﾞﾚｽの確認応答(ACK)を行い、一方他の全ての従装置はTWI線の開放を維持して次の開始条件とｱﾄﾞﾚｽを待ちます。ｱﾄﾞﾚｽ、R/$\overline{W}$ﾋﾞｯﾄ、応答ﾋﾞｯﾄの組み合わせがｱﾄﾞﾚｽ ﾊﾟｹｯﾄです。各開始条件に対して1つのｱﾄﾞﾚｽ ﾊﾟｹｯﾄだけが許され、これは10ﾋﾞｯﾄ ｱﾄﾞﾚｽが使用される時もです。

R/$\overline{W}$ﾋﾞｯﾄは転送処理の方向を指定します。R/$\overline{W}$ﾋﾞｯﾄがLowなら、主装置書き込み転送処理を示し、従装置のそのｱﾄﾞﾚｽの確認応答後に主装置はそのﾃﾞｰﾀを送出します。R/$\overline{W}$ﾋﾞｯﾄがHighなら、主装置読み込み転送処理を示し、従装置がそのｱﾄﾞﾚｽの確認応答後にﾃﾞｰﾀ送出します。

18.3.5. ﾃﾞｰﾀ ﾊﾟｹｯﾄ

ｱﾄﾞﾚｽ ﾊﾟｹｯﾄには1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄが後続します。全てのﾃﾞｰﾀ ﾊﾟｹｯﾄは1つのﾃﾞｰﾀ ﾊﾞｲﾄと応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄ長です。直前のｱﾄﾞﾚｽ ﾊﾟｹｯﾄ内の方向ﾋﾞｯﾄがﾃﾞｰﾀが転送される方向を決めます。

18.3.6. 転送処理

転送処理は開始条件から停止条件までの完全な転送で、その間のどの再送開始条件も含みます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図18-5.は主装置書き込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ﾋﾞｯﾄを0に設定したｱﾄﾞﾚｽ ﾊﾟｹｯﾄ(ADDRESS+$\overline{W}$)がそれに後続します。

図18-5. 主装置書き込み転送処理

従装置がｱﾄﾞﾚｽを確認応答すると、主装置はﾃﾞｰﾀ(DATA)の送信を開始でき、従装置は各ﾊﾞｲﾄで確認応答(ACK)または否認応答(NACK) (A/$\overline{A}$)を行います。送信すべきﾃﾞｰﾀ ﾊﾟｹｯﾄがない場合、主装置はｱﾄﾞﾚｽ ﾊﾟｹｯﾄ直後に停止条件(P)を発行することによって転送処理を終了します。転送できるﾃﾞｰﾀ ﾊﾟｹｯﾄ数に制限はありません。従装置がﾃﾞｰﾀに否認応答(NACK)で合図した場合、主装置は従装置がこれ以上ﾃﾞｰﾀを受信できず、転送処理を終了すると認識しなければなりません。

図18-6.は主装置読み込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ﾋﾞｯﾄを1に設定したｱﾄﾞﾚｽ ﾊﾟｹｯﾄ(ADDRESS+R)がそれに後続します。ｱﾄﾞﾚｽ指定された従装置は転送処理の継続を許す主装置に対してｱﾄﾞﾚｽの確認応答をしなければなりません。

図18-6. 主装置読み込み転送処理

従装置がｱﾄﾞﾚｽを確認応答すると、主装置は従装置からのﾃﾞｰﾀ受信を開始することができます。転送できるﾃﾞｰﾀ ﾊﾟｹｯﾄ数に制限はありません。従装置がﾃﾞｰﾀを送信する一方で、主装置は各ﾃﾞｰﾀ ﾊﾞｲﾄ後に確認応答(ACK)または否認応答(NACK)で合図します。主装置は停止条件を発行する前に否認応答(NACK)で転送を終了します。

図18-7.は組み合わせ転送処理を図解します。組み合わせ転送処理は再送開始条件(Sr)によって分離された多数の読み込みと書き込みの転送処理から成ります。

図18-7. 組み合わせ転送処理

18.3.7. クロックとクロック伸長

バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行えます。

クロック伸長は図18-8.で示されるように3つの形式に定義できます。デバイスが休止形態動作で開始条件が検出された場合、通常、起動時間の間、クロック伸長が働きます。AVR XMEGAデバイスについては、AVR XMEGAデバイスがアドレス指定されない転送処理に対して起きる必要がないため、クロック伸長はACK/NACKビットの直前または直後のどちらかになります。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合では、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図18-8. クロック伸長

注: クロック伸長は全てのI²C従装置と主装置によって支援される訳ではありません。

18.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使用して解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後にバス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると停止条件待機)。従装置は調停手順に関係しません。

図18-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が開始条件を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。
再送開始条件とデータ ビット、停止条件とデータ ビット、または再送開始条件と停止条件の間は調停が許されず、ソフトウェアによる特別な扱いが必要です。

図18-9. TWI調停

18.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使用されるのと同じ原理に基いています。図18-10.は2つの主装置がバス クロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤードANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow区間タイミングを開始します。このクロックLow区間のタイミング長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放するまでHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。結果は最短クロック区間を持つ装置がHigh区間を決め、一方クロックのLow区間は最長クロック区間持つ装置によって決められることです。

図18-10. クロック同期化

18.4. TWIﾊﾞｽ状態論理

ﾊﾞｽ状態論理回路は主装置動作が許可されている時にTWIﾊﾞｽ線の動きを継続的に監視します。これはﾊﾟﾜｰﾀﾞｳﾝ動作を含む全ての休止形態で動作を継続します。

ﾊﾞｽ状態論理回路は開始条件と停止条件の検出器、衝突検出、不活性ﾊﾞｽ時間超過検出、ﾋﾞｯﾄ計数器を含みます。これらはﾊﾞｽ状態を決めるのに使用されます。ｿﾌﾄｳｪｱは主装置状態(STATUS)ﾚｼﾞｽﾀのﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄを読むことによって現在のﾊﾞｽ状態を得ることができます。ﾊﾞｽ状態はｱｲﾄﾞﾙ、使用中、所有者、未知になり得て、図19-11.で示される状態遷移図に従って決められます。状態に対応するﾊﾞｽ状態ﾋﾞｯﾄの値が図内の2進数で示されます。

図18-11. ﾊﾞｽ状態、状態遷移図

ｼｽﾃﾑ ﾘｾｯﾄやTWI主装置許可後、ﾊﾞｽ状態は未知です。ﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄへの書き込みによって、ﾊﾞｽ状態機構をｱｲﾄﾞﾙへの移行に強制することができます。応用ｿﾌﾄｳｪｱによって状態が設定されなければ、ﾊﾞｽ状態は最初の停止条件が検出される時にｱｲﾄﾞﾙになります。主装置不活性ﾊﾞｽ時間経過(TIMEOUT)が許可されている場合、ﾊﾞｽ状態は時間経過の発生でｱｲﾄﾞﾙに変化します。既知のﾊﾞｽ状態が確立した後、ｼｽﾃﾑ ﾘｾｯﾄとTWI主装置動作禁止(ENABLE=0)だけが状態を未知に設定します。

ﾊﾞｽがｱｲﾄﾞﾙのとき、新しい転送処理の準備が整っています。外部的に生成された開始条件が検出された場合、ﾊﾞｽは停止条件が検出されるまで使用中になります。停止条件はﾊﾞｽ状態をｱｲﾄﾞﾙに変更します。主装置不活性ﾊﾞｽ時間経過が許可されている場合、ﾊﾞｽ状態は時間経過の発生で使用中からｱｲﾄﾞﾙに変化します。

ｱｲﾄﾞﾙ状態の間に内部的に開始条件が生成された場合、所有者状態へ移行します。妨害なし、換言すると衝突が検出されずに、完全な転送処理が実行された場合、主装置が停止条件を発行し、ﾊﾞｽ状態はｱｲﾄﾞﾙに戻ります。衝突が検出(ARBLOST=1)された場合は調停に敗れたと認識され、停止条件が検出されるまでﾊﾞｽ状態が使用中になります。再送開始条件は再送開始条件発行中に調停に敗れた場合にﾊﾞｽ状態を変更するだけです。再送開始条件中の調停は調停が最初の開始条件から進行中の場合にだけ失われ得ます。これは主装置の1つが再送開始条件(Sr)発行前に2つの主装置が正確に同じADDRESS+DATAを送る場合に起きます。

18.5. TWI主装置動作

TWI主装置は各ﾊﾞｲﾄ後の任意選択の割り込みを持つﾊﾞｲﾄ志向です。主装置書き込みと主装置読み込みに対する独立した割り込みがあります。割り込みﾌﾗｸﾞはﾎﾟｰﾘﾝｸﾞ操作にも使用できます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、ﾊﾞｽ異常(BUSERR)、調停敗退(ARBLOST)、ｸﾛｯｸ保持(CLKHOLD)、ﾊﾞｽ状態(BUSSTATE)を示す専用の状態ﾌﾗｸﾞがあります。

割り込み要求ﾌﾗｸﾞが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのﾃﾞｰﾀを扱う時間を主装置に与え、殆どの場合はｿﾌﾄｳｪｱの介在を必要とするでしょう。図18-12.はTWI主装置動作を示します。菱形ｼﾝﾎﾞﾙ(SW)はｿﾌﾄｳｪｱの介在を必要とする場所を示します。割り込みﾌﾗｸﾞの解除(0)がSCL線を開放します。

図18-12. TWI主装置動作

生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とｿﾌﾄｳｪｱの複雑さを低減するために迅速指令と簡便動作を許可にできます。

18.5.1. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信

開始条件発行後、7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽと方向ﾋﾞｯﾄと共に主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀが書かれる時に、主装置はﾊﾞｽ転送処理の実行を始めます。BUSが使用中の場合、TWI主装置は開始条件を発行する前にﾊﾞｽがｱｲﾄﾞﾙになるまで待ちます。

調停とR/$\overline{W}$方向ﾋﾞｯﾄに依存して、以降のｱﾄﾞﾚｽ ﾊﾟｹｯﾄで4つの別個の状態(M1～M4)の1つが起きます。異なる状態はｿﾌﾄｳｪｱで扱われなければなりません。

18.5.1.1. 状態M1: 調停敗退またはｱﾄﾞﾚｽ ﾊﾟｹｯﾄ中のﾊﾞｽ異常

ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送出の間で調停に敗れた場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)と調停敗退(ARBLOST)ﾌﾗｸﾞが両方共設定(1)されます。SDA線への直列ﾃﾞｰﾀ出力は禁止され、SCL線が開放されます。主装置はﾊﾞｽ状態がｱｲﾄﾞﾙに戻るまで、もはやどの操作を実行することも許されません。

ﾊﾞｽ異常は調停敗退状態と同じように振舞いますが、書き割り込み要求ﾌﾗｸﾞと調停敗退ﾌﾗｸﾞに加えて異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

18.5.1.2. 状態M2: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 従装置によるｱﾄﾞﾚｽ否認応答

従装置がｱﾄﾞﾚｽに応答しない場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが設定(1)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

18.5.1.3. 状態M3: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 方向ﾋﾞｯﾄ=0

主装置が従装置から確認応答(ACK)を受け取った場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

18.5.1.4. 状態M4: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 方向ﾋﾞｯﾄ=1

主装置が従装置から確認応答(ACK)を受け取った場合、主装置は従装置からﾃﾞｰﾀの次のﾊﾞｲﾄの受信を先行します。最初のﾊﾞｲﾄﾃﾞｰﾀが受信されると、主装置読み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

18.5.2. ﾃﾞｰﾀ ﾊﾟｹｯﾄ送信

上の**状態M3**との仮定で、主装置は主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込みによってﾃﾞｰﾀ送信を始められます。転送が成功した場合、従装置は確認応答(ACK)で合図します。主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されて主装置は送るための新しいﾃﾞｰﾀを準備できます。ﾃﾞｰﾀ転送の間、主装置は衝突に関してﾊﾞｽを継続的に監視しています。

送出された各ﾃﾞｰﾀ ﾊﾟｹｯﾄに対して次のﾃﾞｰﾀ ﾊﾟｹｯﾄが転送され得る前に、ｿﾌﾄｳｪｱによって主装置受信応答(RXACK)ﾌﾗｸﾞが調べられなければなりません。従装置が否認応答(NACK)で合図する場合、主装置はﾃﾞｰﾀ送信を継続することを許されません。

転送中に衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOAST)ﾌﾗｸﾞが設定(1)されます。

18.5.3. ﾃﾞｰﾀ ﾊﾟｹｯﾄ受信

上の**状態M4**との仮定で、主装置は既に従装置から受信した1ﾊﾞｲﾄを持っています。主装置読み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)されて、主装置は新しいﾃﾞｰﾀを受信する準備を行わなければなりません。主装置は確認応答(ACK)または否認応答(NACK)で各ﾊﾞｲﾄに応答しなければなりません。転送の間に調停が失われ得るので、NACKを示すことは成功裏に実行されないかもしれません。衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOST)ﾌﾗｸﾞが設定(1)されます。

18.6. TWI従装置動作

TWI従装置は各ﾊﾞｲﾄ後の任意選択の割り込みを持つﾊﾞｲﾄ志向です。独立した従装置ﾃﾞｰﾀ割り込みとｱﾄﾞﾚｽ/停止割り込みがあります。割り込みﾌﾗｸﾞはﾎﾟｰﾘﾝｸﾞ操作にも使用できます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、ｸﾛｯｸ保持(CLKHOLD)、衝突(COLL)、ﾊﾞｽ異常(BUSERR)、読み/書き方向(DIR)を示す専用の状態ﾌﾗｸﾞがあります。

割り込み要求ﾌﾗｸﾞが設定(1)されると、SCL線はLowを強制されます。これは応答またはﾃﾞｰﾀを扱う時間を従装置に与え、殆どの場合はｿﾌﾄｳｪｱの介在を必要とするでしょう。図18-13.はTWI従装置動作を示します。菱形ｼﾝﾎﾞﾙ(SW)はｿﾌﾄｳｪｱの介在を必要とする場所を示します。

図18-13. TWI従装置動作

生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とｿﾌﾄｳｪｱの複雑さを低減するために簡便動作を許可にできます。

全てのｱﾄﾞﾚｽに応答することを従装置に許すために無差別動作(PMEN)を許可にできます。

18.6.1. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受信

TWI従装置が正しく形態設定されていると、検出されるべき開始条件を待ちます。これが起きると、継続してｱﾄﾞﾚｽ ﾊﾞｲﾄが受信されてｱﾄﾞﾚｽ一致論理回路によって調べられ、従装置は正しいｱﾄﾞﾚｽに確認応答(ACK)し、従装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ内のｱﾄﾞﾚｽを格納します。受信したｱﾄﾞﾚｽが不一致なら、従装置は応答とｱﾄﾞﾚｽ格納を行わず、新しい開始条件を待ちます。

開始条件に後続する有効なｱﾄﾞﾚｽ ﾊﾞｲﾄが検出される時に、従装置ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)されます。一斉呼び出しｱﾄﾞﾚｽもこのﾌﾗｸﾞを設定(1)します。

開始条件直後の停止条件は不正操作で、ﾊﾞｽ異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

R/$\overline{W}$方向(DIR)ﾌﾗｸﾞはｱﾄﾞﾚｽと共に受信された方向ﾋﾞｯﾄを反映します。これは現在進行中の操作形式を決めるためにｿﾌﾄｳｪｱによって読むことができます。

R/$\overline{W}$方向ﾋﾞｯﾄとﾊﾞｽ状況に依存して、以降のｱﾄﾞﾚｽ ﾊﾟｹｯﾄで4つの別個の状態(S1～S4)の1つが起きます。異なる状態はｿﾌﾄｳｪｱで扱われなければなりません。

18.6.1.1. 状態S1: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受け入れ – 方向ﾋﾞｯﾄ=1

R/$\overline{W}$方向(DIR)ﾌﾗｸﾞが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、ﾊﾞｽ ｸﾛｯｸを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置ﾊｰﾄﾞｳｪｱは送信のためのﾃﾞｰﾀが必要なことを示すﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)を設定(1)します。その後にﾃﾞｰﾀ、再送開始条件、停止条件が受信され得ます。従装置によって否認応答(NACK)が送出される場合、従装置は新しい開始条件とｱﾄﾞﾚｽ一致を待ちます。

18.6.1.2. 状態S2: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受け入れ – 方向ﾋﾞｯﾄ=0

R/$\overline{W}$方向(DIR)ﾌﾗｸﾞが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、ﾊﾞｽ ｸﾛｯｸを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置は受信されるべきﾃﾞｰﾀを待ちます。その後にﾃﾞｰﾀ、再送開始条件、停止条件が受信され得ます。否認応答(NACK)が送出される場合、従装置は新しい開始条件とｱﾄﾞﾚｽ一致を待ちます。

18.6.1.3. 状態S3: 衝突

従装置がHighﾚﾍﾞﾙまたは否認応答(NACK)を送出できない場合、衝突(COLL)ﾌﾗｸﾞが設定(1)され、従装置からのﾃﾞｰﾀと応答の出力が禁止されます。ｸﾛｯｸ保持は開放されます。開始条件と再送開始条件は受け入れられます。

18.6.1.4. 状態S4: 停止条件受信

停止条件が受信されると、ｱﾄﾞﾚｽ一致発生ではなく停止条件を示す従装置ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)されます。

18.6.2. ﾃﾞｰﾀ ﾊﾟｹｯﾄ受信

従装置は解除(0)されたR/$\overline{W}$方向ﾋﾞｯﾄと共にｱﾄﾞﾚｽ ﾊﾟｹｯﾄが成功裏に受信された時に知ります。これの応答後、従装置はﾃﾞｰﾀを受信する準備を整えなければなりません。ﾃﾞｰﾀ ﾊﾟｹｯﾄが受信されると、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が設定(1)され、従装置は確認応答(ACK)または否認応答(NACK)を示さなければなりません。NACK提示後、従装置は停止条件または再送開始条件を期待して待たなければなりません。

18.6.3. データ パケット送信

従装置は設定(1)されたR/W方向ビットと共にアドレス パケットが成功裏に受信された時に知ります。その後に従装置データ(DATA)レジスタへの書き込みによって送出を始められます。データ パケット送信が完了されると、データ割り込み要求フラグ(DIF)が設定(1)されます。主装置が否認応答(NACK)を提示する場合、従装置はデータ送信を停止し、停止条件または再送開始条件を期待して待たなければなりません。

18.7. 外部駆動部インターフェース許可

外部駆動部インターフェースを許可(EDIEN=1)できます。これが行われると、入力濾波とスリューレート制限付き内部駆動部が迂回されます。標準I/Oピン機能が使用され、方向は使用者ソフトウェアによって形態設定されなければなりません。この動作が許可されると、TWIバスに接続するために外部のTWI適合3状態駆動部が必要とされます。

既定ではポート ピン0(Px0)と1(Px1)がSDAとSCLに使用されます。外部駆動部インターフェースはSDA_IN、SCL_IN、SDA_OUT、SCL_OUT信号に対してポート ピン0～3を使用します。

18.8. 橋渡し(ブリッジ)動作

橋渡し動作許可時、主と従の両装置は各々それ特定の入出力ピンで同時に活動することができます。橋渡し動作での従装置に対して代替ポート選択として実際にどの入出力ポートが使用されるかを知るにはデバイスのデータシートを参照してください。

図18-14. 1つのデバイスが橋渡し動作で許可された時のTWIバス形態例

18.9. SMBus階層1適合

工業標準SMBus-2.0は階層1適合に関して3つの制限時間を詳述します。

- Ttimeout ：25ms間のSCL Low継続
- Tlowsext ：開始条件～停止条件間での25ms間の従装置累積SCL伸長
- Tlowmext ：開始条件～確認応答(ACK)、ACK～ACK、またはACK～停止条件間での10ms間の主装置累積SCL伸長

これら全ての制限時間がTWI部署で支援されます。

18.9.1. 概要

18.9.1.1. Ttimeout仕様

TTIMEOUT,MIN(25ms)パラメータは欠陥のある装置が漠然とクロックをLowに保持したり、バスを離れた装置を主装置が故意に駆動しようとすることの完結を主装置や従装置に許します。TTIMEOUT,MINよりも長くLowを保持する何れかの単一クロックを検出する時に、従装置はバスを開放(バス駆動を停止してSCLとSDAをHighに浮かす)ことが大いに推奨されます。この状態を検出した装置はそれらの通信をリセットしなければならず、TTIMEOUT,MAX(35ms)以内に新しい開始条件を受け取り得ます。

図18-15. Ttimeout条件

18.9.1.2. Tlowsext仕様

これは開始条件から停止条件までで従装置がSCLの伸長を許される累積時間です。この制限時間に対する値は25msです。

18.9.1.3. Tlowmext仕様

これは開始条件から確認応答(ACK)、確認応答(ACK)から確認応答(ACK)、確認応答(ACK)から停止条件までで測定されるとして、主装置がメッセージに於ける1バイト内でクロック周期伸長を許される累積時間です。この制限時間に対する値は10msです。

図18-16. Tlowsext/Tlowmsext条件

18.9.2. 操作

SMBus制限時間計数器の操作については、74頁の「CTRL – 制御ﾚｼﾞｽﾀ」の発振器制御ﾚｼﾞｽﾀが2MHz内部発振器であるべきです。

18.9.2.1. Ttimeout実装

この制限時間超過が従装置動作で起きると、従装置はﾊｰﾄﾞｳｪｱによって通信をﾘｾｯﾄして信号線が開放されます。従装置は新しい開始ﾊﾟﾙｽを受け取る準備が整います。この制限時間超過が主装置動作で起きると、ﾊｰﾄﾞｳｪｱによって停止条件が送られます。主装置はﾊﾞｽ上で新しい転送を開始する準備が整います。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TTIMEOUT計数器が禁止されます。

18.9.2.2. Tlowsext実装

この制限時間超過が起きると、主装置がSDAのどちらの制御かに依存して、主装置は直ちにまたは進行中の現在のﾊﾞｲﾄの最後で停止条件ﾊﾟﾙｽを送ります。従装置は制限時間超過での主装置からの停止条件ﾊﾟﾙｽの受け取りでこの通信をﾘｾｯﾄします。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TLOWSEXT計数器が禁止されます。

18.9.2.3. Tlowmext実装

この制限時間超過が起きると、主装置がSDAのどちらの制御かに依存して、主装置は直ちにまたは進行中の現在のﾊﾞｲﾄの最後で停止条件ﾊﾟﾙｽを送ります。従装置は制限時間超過での主装置からの停止条件ﾊﾟﾙｽの受け取りでこの通信をﾘｾｯﾄします。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TLOWMEXT計数器が禁止されます。

18.9.2.4. 制限時間要約

表18-1. SMBus制限時間実装の要約

SMBus階層1制限時間	主装置	従装置
Ttimeout	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は通信をﾘｾｯﾄしてﾊﾞｽを開放します。TIMEOUT,MAX以内に開始条件を受け取る準備が整います。
Tlowsext	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は制限時間後の停止ﾊﾟﾙｽ(停止条件)検出後に通信をﾘｾｯﾄします。開始条件を受け取る準備が整います。
Tlowmext	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は制限時間後の停止ﾊﾟﾙｽ(停止条件)検出後に通信をﾘｾｯﾄします。開始条件を受け取る準備が整います。
調停敗退	全制限時間を禁止	–

18.9.2.5. 制限時間許可と状態表示

- 制御ﾚｼﾞｽﾀB(CTRLB)での3つの制限時間(Ttimeout、Tlowsext、Tlowmext)用の独立した制限時間許可
- CTRLBﾚｼﾞｽﾀでの全制限時間用の共通割り込み許可
- 183頁の「TOS – 制限時間状態ﾚｼﾞｽﾀ」での3つの制限時間(Ttimeout、Tlowsext、Tlowmext)用の独立した状態ﾋﾞｯﾄ
- 制限時間値での正と負の変位(ｵﾌｾｯﾄ)を設定する制限時間形態設定ﾚｼﾞｽﾀ(184頁の「TOCONF – 制限時間形態設定ﾚｼﾞｽﾀ」)
- 全ての状態ﾚｼﾞｽﾀは(ﾊﾞｽ上での単位転送未完了を示す)ﾊﾞｽ異常ﾌﾗｸﾞを除いて制限時間超過でﾘｾｯﾄされ、形態設定ﾚｼﾞｽﾀは無変化のままにされます。

18.10. ﾚｼﾞｽﾀ説明 – TWI

18.10.1. CTRL – 共通制御ﾚｼﾞｽﾀ (Common Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	BRIDGEEN	SFMPEN	SSDAHOLD1,0		FMPEN	SDAHOLD1,0		EDIEN	CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – BRIDGEEN : 橋渡し(ﾌﾞﾘｯｼﾞ)動作許可** (Bridge Enable)

このﾋﾞｯﾄの1への設定がTWI橋渡し動作を許可します。

● **ﾋﾞｯﾄ6 – SFMPEN : 従装置高速動作+許可** (Slave Fast Mode Plus Enable)

このﾋﾞｯﾄの1への設定が従装置1MHzﾊﾞｽ速度動作を許可します。橋渡し動作が禁止された場合、このﾋﾞｯﾄの設定は無視されます。

● **ﾋﾞｯﾄ5,4 – SSDAHOLD1,0 : 従装置SDA保持時間許可** (Slave SDA Hold Time Enable)

これらのﾋﾞｯﾄの1への設定は表18-2.によって定義されるように、SCLの負端に関して従装置SDAの内部保持時間を許可します。橋渡し動作が禁止された場合、これらのﾋﾞｯﾄ設定は無視されます。

● **ﾋﾞｯﾄ3 – FMPEN : 高速動作+許可** (Fast Mode Plus Enable)

このﾋﾞｯﾄの1への設定が1MHzﾊﾞｽ速度動作を許可します。既定により、この設定は主/従装置節点(ﾉｰﾄﾞ)に適用します。橋渡し動作が許可された場合、この設定は主装置節点にだけ適用します。

● **ﾋﾞｯﾄ2,1 – SDAHOLD1,0 : SDA保持時間許可** (SDA Hold Time Enable)

これらのﾋﾞｯﾄの1への設定はSCLの負端に関してSDAの内部保持時間を許可します。既定により、この設定は主/従装置節点(ﾉｰﾄﾞ)に適用します。橋渡し動作が許可された場合、この設定は主装置節点にだけ適用します。

表18-2. SDA保持時間

(S)SDAHOLD1,0	群形態設定	内容
0 0	OFF	SDA保持時間OFF
0 1	50NS	代表的に50ns保持時間
1 0	300NS	代表的に300ns保持時間
1 1	400NS	代表的に400ns保持時間

● **ﾋﾞｯﾄ0 – EDIEN : 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可** (External Driver Interface Enable)

このﾋﾞｯﾄの設定(1)が外部駆動部ｲﾝﾀｰﾌｪｰｽの使用を許可し、このﾋﾞｯﾄの解除(0)が標準2線動作を許可します。詳細については表18-3.をご覧ください。橋渡し動作が許可された場合、このﾋﾞｯﾄ設定は主装置と従装置の節点(ﾉｰﾄﾞ)に適用します。

表18-3. 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可

EDIEN	動作種別	注釈
0	標準TWI	2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ、ｽﾘｭｰﾚｰﾄ制御と入力濾波器付き
1	外部駆動部ｲﾝﾀｰﾌｪｰｽ	4ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ、標準I/O、ｽﾘｭｰﾚｰﾄ制御と入力濾波器なし

18.11. ﾚｼﾞｽﾀ説明 – TWI主装置

18.11.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	INTLVL1,0		RIEN	WIEN	ENABLE	–	–	–	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – INTLVL1,0 : TWI主装置割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄは94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるようにTWI主装置割り込みに対する割り込みﾚﾍﾞﾙを選びます。

● **ﾋﾞｯﾄ5 – RIEN : 読み込み割り込み許可** (Read Interrupt Enable)

読み込み割り込み許可(RIEN)ﾋﾞｯﾄの設定(1)は状態(STATUS)ﾚｼﾞｽﾀの読み込み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)される時の読み込み割り込みを許可します。加えて割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● **ﾋﾞｯﾄ4 – WIEN : 書き込み割り込み許可** (Write Interupt Enable)

書き込み割り込み許可(WIEN)ﾋﾞｯﾄの設定(1)は状態(STATUS)ﾚｼﾞｽﾀの書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)される時の書き込み割り込みを許可します。加えて割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● **ﾋﾞｯﾄ3 – ENABLE : TWI主装置許可** (Enable TWI Master)

TWI主装置許可(ENABLE)ﾋﾞｯﾄの設定(1)がTWI主装置を許可します。

● ﾋﾞｯﾄ2~0 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

18.11.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TOIE	TMEXTEN	TSEXTEN	TTOUTEN	TIMEOUT1,0		QCEN	SMEN	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – TOIE : 制限時間割り込み許可 (Timeout Interrupt Enable)

このﾋﾞｯﾄの1への設定は全ての主装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTMIF、TSEXTIF、TMEXTIF)での割り込みを許可します。TWI主装置制限時間超過割り込みは主装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTMIF,TSEXTIF,TMEXTIF)の何れか1つとTOIE、それと全体割り込み許可が全て1に設定され、主装置割り込みﾚﾍﾞﾙ(INTLVL1,0)が0と等しくない場合にだけ生成されます。

● ﾋﾞｯﾄ6 – TMEXTEN : Tlowmext制限時間許可 (Tlowmext Enable)

Tlowmextが許可(TMEXTEN=1)されると、主装置はTlowmext条件に関してﾊﾞｽを監視し、Tlowmext条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TMEXTIF)が設定(1)されます。

● ﾋﾞｯﾄ5 – TSEXTEN : Tlowsext制限時間許可 (Tlowsext Enable)

Tlowsextが許可(TSEXTEN=1)されると、主装置はTlowsext条件に関してﾊﾞｽを監視し、Tlowsext条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TSEXTIF)が設定(1)されます。

● ﾋﾞｯﾄ4 – TTOUTEN : Ttimeout制限時間許可 (Ttimeout Enable)

Ttimeoutが許可(TTOUTEN=1)されると、主装置はTtimeout条件に関してﾊﾞｽを監視し、Ttimeout条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TTOUTMIF)が設定(1)されます。

● ﾋﾞｯﾄ3,2 – TIMEOUT1,0 : 不活性ﾊﾞｽ時間経過 (Inactive Bus Timeout)

不活性ﾊﾞｽ時間経過(TIMEOUT)ﾋﾞｯﾄの0以外の設定は不活性ﾊﾞｽ時間経過監視器を許可します。ﾊﾞｽがTIMEOUT設定より長く不活性なら、ﾊﾞｽ状態論理回路はｱｲﾄﾞﾙ状態へ移行します。表18-4.は時間経過設定を一覧にします。

表18-4. TWI主装置不活性ﾊﾞｽ時間経過設置

TIMEOUT1,0	群形態設定	内容
0 0	DISABLED	禁止、通常はI²Cに使用
0 1	50US	50μs、通常は100kHzでのSMBusに使用
1 0	100US	100μs
1 1	200US	200μs

● ﾋﾞｯﾄ1 – QCEN : 迅速指令許可 (Quick Command Enable)

迅速指令が許可(1)されると、従装置がｱﾄﾞﾚｽに応答した直後に対応する割り込み要求ﾌﾗｸﾞが設定(1)されます(読み込みまたは書き込み割り込み)。この時点でｿﾌﾄｳｪｱは停止条件または再送開始条件のどちらかを発行することができます。

● ﾋﾞｯﾄ0 – SMEN : 簡便動作許可 (Smart Mode Enable)

簡便動作許可ﾋﾞｯﾄの設定(1)が簡便動作を許可します。簡便動作が許可されると、制御ﾚｼﾞｽﾀC(CTRLC)の応答動作(ACKACT)ﾋﾞｯﾄで設定されるように応答動作がﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み直後に送出されます。

18.11.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	ACKACT	CMD1,0		CTRLC
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – ACKACT : 応答動作 (Acknowledge Action)

このﾋﾞｯﾄは主装置読み込み動作での主装置の応答の動きを定義します。応答動作は指令が指令(CMD)ﾋﾞｯﾄに書かれる時に実行されます。制御ﾚｼﾞｽﾀB(CTRLB)の簡便動作許可(SMEN)が設定(1)なら、応答動作はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが読まれる時に実行されます。

表18-5.は応答動作を一覧にします。

表18-5. ACKACTﾋﾞｯﾄ内容

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● ﾋﾞｯﾄ1,0 – CMD1,0 : 指令 (Command)

指令(CMD)ﾋﾞｯﾄの書き込みは表18-6.で定義されるような主装置動作を起動します。CMDﾋﾞｯﾄはｽﾄﾛｰﾌﾞ(瞬間状態保持の)ﾋﾞｯﾄで、常に0として読めます。応答動作は主装置読み込み動作でだけ有効です。主装置書き込み動作では指令が再送開始条件または停止条件に終わるだけです。応答動作(ACKACT)ﾋﾞｯﾄとCMDﾋﾞｯﾄは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

CMDﾋﾞｯﾄへの指令書き込みは主装置割り込み要求ﾌﾗｸﾞとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞを解除(0)します。

表18-6. CMDﾋﾞｯﾄ内容

CMD1,0	群形態設定	動作種別	内容
0 0	NOACT	x	(予約)
0 1	START	x	再送開始条件が後続する応答動作を実行
1 0	BYTEREC	主装置書き込み	動作なし
		主装置読み込み	ﾊﾞｲﾄ受信が後続する応答動作を実行
1 1	STOP	x	停止条件が後続する応答動作を実行

18.11.4. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – RIF : 読み込み割り込み要求ﾌﾗｸﾞ (Read Interrupt Flag)

このﾌﾗｸﾞは主装置読み込み動作でﾊﾞｲﾄが成功裏に受信された、換言すると動作中に調停敗退またはﾊﾞｽ異常発生がない時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはRIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、主装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞは次の時にも自動的に解除(0)されます。

- TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀへの書き込み
- TWI主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込み
- TWI主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み
- 制御ﾚｼﾞｽﾀC(CTRLC)の指令(CMD)ﾋﾞｯﾄへの有効な指令書き込み

● ﾋﾞｯﾄ6 – WIF : 書き込み割り込み要求ﾌﾗｸﾞ (Write Interrupt Flag)

このﾌﾗｸﾞは主装置書き込み動作でﾊﾞｲﾄが送信された時に設定(1)されます。このﾌﾗｸﾞはﾊﾞｽ異常の発生または調停敗退状況と無関係に設定(1)されます。WIFは主装置読み込み動作で否認応答(NACK)の送出中に調停が失われた場合、ﾊﾞｽ状態が未知の時に開始条件を発行した場合にも設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはWIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、主装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞは読み込み割り込み要求ﾌﾗｸﾞ(RIF)と同じ条件についても自動的に解除(0)されます。

● ﾋﾞｯﾄ5 – CLKHOLD : ｸﾛｯｸ保持ﾌﾗｸﾞ (Clock Hold)

このﾌﾗｸﾞは主装置がSCL線をLowに保持するときに設定(1)されます。これは状態ﾌﾗｸﾞで、読み込み割り込み要求ﾌﾗｸﾞ(RIF)と書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)される時に設定(1)される読み込み専用ﾋﾞｯﾄです。これらの割り込み要求ﾌﾗｸﾞの解除(0)とSCL線の開放がこのﾌﾗｸﾞを間接的に解除(0)します。

このﾌﾗｸﾞは読み込み割り込み要求ﾌﾗｸﾞ(RIF)と同じ条件についても自動的に解除(0)されます。

● ﾋﾞｯﾄ4 – RXACK : 受信応答ﾌﾗｸﾞ (Received Acknowledge)

このﾌﾗｸﾞは従装置からの最終受信応答ﾋﾞｯﾄを含みます。これは読み込み専用ﾌﾗｸﾞです。0として読めると、従装置からの最終応答ﾋﾞｯﾄは確認応答(ACK)で、1として読めると、最終応答ﾋﾞｯﾄは否認応答(NACK)です。

● ﾋﾞｯﾄ3 – ARBLOST : 調停敗退ﾌﾗｸﾞ (Arbitration Lost)

このﾌﾗｸﾞはHighのﾃﾞｰﾀ ﾋﾞｯﾄ、否認応答(NACK)の送信、またはﾊﾞｽ上の開始条件や再送開始条件の発行中で調停に敗れた場合に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはARBLOSTを解除(0)します。

TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ書き込みはARBLOSTを自動的に解除(0)します。

● ﾋﾞｯﾄ2 – BUSERR : ﾊﾞｽ異常ﾌﾗｸﾞ (Bus Error)

このﾌﾗｸﾞは不正なﾊﾞｽ状態が起きた場合に設定(1)されます。不正なﾊﾞｽ状態は直前の開始条件からのﾋﾞｯﾄ数が9の倍数でない再送開始条件や停止条件が検出された場合に起きます。このﾋﾞｯﾄ位置への1書き込みはBUSERRを解除(0)します。

TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ書き込みはBUSERRを自動的に解除(0)します。

● ﾋﾞｯﾄ1,0 – BUSSTATE1,0 : ﾊﾞｽ状態ﾌﾗｸﾞ (Bus State)

これらのﾌﾗｸﾞは表18-7.で定義されるように現在のTWIﾊﾞｽ状態を示します。ﾊﾞｽ状態の変化はﾊﾞｽの動きに依存します。171頁の「ﾊﾞｽ状態論理」を参照してください。

BUSSTATEﾋﾞｯﾄへの01書き込みはﾊﾞｽ状態論理をｱｲﾄﾞﾙ状態に強制します。ﾊﾞｽ状態論理は他のどの状態にも強制できません。ﾘｾｯﾄ後と主装置が禁止される時にﾊﾞｽ状態論理は禁止され、ﾊﾞｽ状態が未知になります。

表18-7. TWI主装置ﾊﾞｽ状態

BUSSTATE1,0	群形態設定	内容
0 0	UNKNOWN	未知のﾊﾞｽ状態
0 1	IDLE	ｱｲﾄﾞﾙ ﾊﾞｽ状態
1 0	OWNER	所有者ﾊﾞｽ状態
1 1	BUSY	使用中ﾊﾞｽ状態

18.11.5. BAUD – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (Baud Rate register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	BAUD7~0								BAUD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾞｰﾚｰﾄ(BAUD)ﾚｼﾞｽﾀはｼｽﾃﾑ ｸﾛｯｸとTWIﾊﾞｽ ｸﾛｯｸ(SCL)周波数間の関係を定義します。この周波数関係は次式を使用することによって表すことができます。

$$f_{TWI} = \frac{f_{SYS}}{2\times(5+BAUD)}\ [\mathrm{Hz}] \quad \cdots\cdots\cdots \text{式1.}$$

BAUDﾚｼﾞｽﾀは応用がどちらの規格に従うべきかに依存して100kHzまたは400kHzと等しいかまたはそれ以下のTWIﾊﾞｽ周波数(f_{TWI})での結果となる値に設定されなければなりません。次式(式2.)はBAUD値用に解決された式1.を表します。

$$BAUD = \frac{f_{SYS}}{2\times f_{TWI}} - 5 \quad \cdots\cdots\cdots\cdots\cdots \text{式2.}$$

SCLｸﾛｯｸは50/50のﾃﾞｭｰﾃｨ ｻｲｸﾙを持つように設計されます。周波数が400kHzに近づく時にLow時間必要条件が合致するのを保証するため、BAUDは式2.で得られるものよりも高く設定されることが必要かもしれません。

SCLのLow時間とBAUD間の関係は次式によって表されます。

$$BAUD = (t_{LOW} + t_{of})\times f_{SYS} - 5 \quad \cdots\cdots \text{式3.}$$

最高BAUD値を与える式2.と式3.の結果が使用されるべきです。

BAUDﾚｼﾞｽﾀは主装置が禁止されている間にだけ書かれるべきです。

18.11.6. ADDR – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Address register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	ADDR7~0								ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾊﾞｽがｱｲﾄﾞﾙの間に従装置ｱﾄﾞﾚｽとR/Wﾋﾞｯﾄと共にｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀが書かれると、開始条件が発行され、7ﾋﾞｯﾄ ｱﾄﾞﾚｽとR/Wﾋﾞｯﾄがﾊﾞｽ上に送信されます。ADDRが書かれる時にﾊﾞｽが既に所有者なら、再送開始条件が発行されます。直前の転送処理が主装置読み込みで否認応答(NACK)が未だ送られていない場合、再送開始条件の前に応答動作が送出されます。

動作が完了して従装置からの応答ﾋﾞｯﾄが受信された後、調停が失われていなければ、SCL線はLowを強制されます。書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)されます。

ADDRが書かれた時にﾊﾞｽ状態が未知の場合、WIFが設定(1)され、ﾊﾞｽ異常(BUSERR)が設定(1)されます。

全てのTWI主装置ﾌﾗｸﾞはADDRが書かれた時に自動的に解除(0)されます。これにはBUSERR、調停敗退(ARBLOST)、読み込み割り込み要求(RIF)、WIFを含みます。主装置ADDRﾚｼﾞｽﾀは実行中のﾊﾞｽ動作での妨害を除いて何時でも読むことができます。

18.11.7. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀを送受信する時に使用されます。ﾃﾞｰﾀ転送中、ﾃﾞｰﾀはﾊﾞｽとDATAﾚｼﾞｽﾀ間でｼﾌﾄされます。これはﾊﾞｲﾄ転送中にDATAﾚｼﾞｽﾀがｱｸｾｽできないことを意味し、これはﾊｰﾄﾞｳｪｱで保護されています。ﾃﾞｰﾀ ﾚｼﾞｽﾀは主装置によってSCL線がLowを保持している時、換言するとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞが設定(1)されている時にだけｱｸｾｽできます。

主装置書き込み動作ではDATAﾚｼﾞｽﾀ書き込みがﾃﾞｰﾀ ﾊﾞｲﾄ転送を起動し、続いて主装置は従装置からの応答ﾋﾞｯﾄを受信します。書き込み割り込み要求ﾌﾗｸﾞ(WIF)とCLKHOLDﾌﾗｸﾞが設定(1)されます。

主装置読み込み動作では1ﾊﾞｲﾄがDATAﾚｼﾞｽﾀに受信された時に、読み込み割り込み要求ﾌﾗｸﾞ(RIF)とCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAﾚｼﾞｽﾀ読み込みは応答動作(ACKACT)ﾋﾞｯﾄでの設定のようにﾊﾞｽ操作を起動します。受信中にﾊﾞｽ異常が起きた場合、RIFの代わりにWIFとﾊﾞｽ異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

DATAﾚｼﾞｽﾀのｱｸｾｽは主装置割り込み要求ﾌﾗｸﾞとCLKHOLDﾌﾗｸﾞを解除(0)します。

18.12. ﾚｼﾞｽﾀ説明 – TWI従装置

18.12.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7,6 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interupt Level)

これらのﾋﾞｯﾄは94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるようにTWI従装置割り込みに対する割り込みﾚﾍﾞﾙを選びます。

- **ﾋﾞｯﾄ5 – DIEN : ﾃﾞｰﾀ割り込み許可** (Data Interrupt Enable)

ﾃﾞｰﾀ割り込み許可(DIEN)ﾋﾞｯﾄの設定(1)はTWI従装置状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が設定(1)される時のﾃﾞｰﾀ割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄが0以外でなければなりません。

- **ﾋﾞｯﾄ4 – APIEN : ｱﾄﾞﾚｽ/停止割り込み許可** (Address/Stop Interrupt Enable)

ｱﾄﾞﾚｽ/停止割り込み許可(APIEN)ﾋﾞｯﾄの設定(1)はTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)される時のｱﾄﾞﾚｽ/停止割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄが0以外でなければなりません。

- **ﾋﾞｯﾄ3 – ENABLE : TWI従装置許可** (Enable TWI Slave)

このﾋﾞｯﾄの設定(1)がTWI従装置を許可します。

- **ﾋﾞｯﾄ2 – PIEN : 停止条件割り込み許可** (Stop Interrupt Enable)

このﾋﾞｯﾄの設定(1)は停止条件が検出された時にTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)を設定(1)させます。

- **ﾋﾞｯﾄ1 – PMEN : 無差別動作許可** (Promiscuous Mode Enable)

このﾋﾞｯﾄの設定(1)によって、従装置ｱﾄﾞﾚｽ一致論理回路は全ての受信ｱﾄﾞﾚｽに応答します。このﾋﾞｯﾄが解除(0)される場合、ｱﾄﾞﾚｽ一致論理回路は自身のｱﾄﾞﾚｽとしてどのｱﾄﾞﾚｽを認証するかを決めるのにTWI従装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀを使用します。

- **ﾋﾞｯﾄ0 – SMEN : 簡便動作許可** (Smart Mode Enable)

このﾋﾞｯﾄは簡便動作を許可します。簡便動作が許可(1)されると、TWI従装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み直後にTWI従装置制御ﾚｼﾞｽﾀB(CTRLB)の応答動作(ACKACT)ﾋﾞｯﾄで設定されるように応答動作が送出されます。

18.12.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TOIE	–	–	TTOUTEN	–	ACKACT	CMD1,0		CTRLB
Read/Write	R/W	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – TOIE : 制限時間割り込み許可** (Timeout Interrupt Enable)

このﾋﾞｯﾄの1への設定は従装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTSIF)での割り込みを許可します。TWI従装置制限時間超過割り込みはTTOUTSIFとTOIEそれと全体割り込み許可が全て1に設定され、従装置割り込みﾚﾍﾞﾙ(INTLVL1,0)が0と等しくない場合に生成されます。

● ﾋﾞｯﾄ6,5 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ4 – TTOUTEN : Ttimeout制限時間許可 (Ttimeout Enable)

Ttimeoutが許可(TTOUTEN=1)されると、従装置はTtimeout条件に関してﾊﾞｽを監視し、Ttimeout条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TTOUTSIF)が設定(1)されます。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – ACKACT : 応答動作 (Acknowledge Action)

このﾋﾞｯﾄは主装置から受信したｱﾄﾞﾚｽまたはﾃﾞｰﾀの後での従装置の応答の動きを定義します。応答動作は指令(CMD)ﾋﾞｯﾄに書かれる時に実行されます。TWI従装置制御ﾚｼﾞｽﾀA(CTRLA)の簡便動作許可(SMEN)ﾋﾞｯﾄが設定(1)なら、応答動作はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが読まれる時に実行されます。

表18-8.は応答動作を一覧にします。

表18-8. TWI従装置応答動作

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● ﾋﾞｯﾄ1,0 – CMD1,0 : 指令 (Command)

これらのﾋﾞｯﾄの書き込みは表18-9.で定義されるような従装置動作を起動します。CMDﾋﾞｯﾄはｽﾄﾛｰﾌﾞ(瞬間だけ状態保持の)ﾋﾞｯﾄで、常に0として読めます。動作は従装置割り込み要求ﾌﾗｸﾞ、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)とｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)に依存します。応答動作は従装置が主装置からのｱﾄﾞﾚｽ ﾊﾞｲﾄまたはﾃﾞｰﾀ ﾊﾞｲﾄを受信した時にだけ実行されます。

表18-9. TWI従装置指令

CMD1,0	群形態設定	方向(DIR)	動作
0 0	NOACT	x	動作なし
0 1	–	x	(予約)
1 0	COMPLETE	完全な転送処理に使用	
		0	何れかの開始条件または再送開始条件の待機が後続する応答動作を実行
		1	何れかの開始条件または再送開始条件の待機
1 1	RESPONSE	ｱﾄﾞﾚｽ ﾊﾞｲﾄ(ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)=1)への応答で使用	
		0	次ﾊﾞｲﾄ受信が後続する応答動作を実行
		1	設定(1)されつつあるﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が後続する応答動作を実行
		ﾃﾞｰﾀ ﾊﾞｲﾄ(ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)=1)への応答で使用	
		0	次ﾊﾞｲﾄ待機が後続する応答動作を実行
		1	動作なし

CMDﾋﾞｯﾄ書き込みは従装置割り込み要求ﾌﾗｸﾞとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞを解除(0)し、SCL線を開放します。応答動作(ACKACT)ﾋﾞｯﾄとCMDﾋﾞｯﾄは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

18.12.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – DIF : ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ (Data Interrupt Flag)

このﾌﾗｸﾞはﾃﾞｰﾀ ﾊﾞｲﾄが成功裏に受信された、換言すると動作中に衝突またはﾊﾞｽ異常が起きない時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはDIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、従装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞはTWI従装置制御ﾚｼﾞｽﾀB(CTRLB)の指令(CMD)ﾋﾞｯﾄへの有効な指令書き込み時にも自動的に解除(0)されます。

● ﾋﾞｯﾄ6 – APIF : ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ (Address/Stop Interrupt Flag)

このﾌﾗｸﾞは有効なｱﾄﾞﾚｽが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。TWI従装置制御ﾚｼﾞｽﾀA(CTRLA)の停止条件割り込み許可(PIEN)ﾋﾞｯﾄが設定(1)なら、ﾊﾞｽの停止条件もAPIFを設定(1)します。このﾋﾞｯﾄ位置への1書き込みはAPIFを解除(0)します。ｱﾄﾞﾚｽ割り込みに対して設定(1)されると、従装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞはﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)と同じ条件についても自動的に解除(0)されます。

● ﾋﾞｯﾄ5 – CLKHOLD : ｸﾛｯｸ保持ﾌﾗｸﾞ (Clock Hold)

このﾌﾗｸﾞは従装置がSCL線をLowに保持する時に設定(1)されます。これは状態ﾌﾗｸﾞで、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)またはｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)される時に設定(1)される読み込み専用ﾋﾞｯﾄです。これらの割り込み要求ﾌﾗｸﾞの解除(0)とSCL線の開放がこのﾌﾗｸﾞを間接的に解除(0)します。

● ﾋﾞｯﾄ4 – RXACK : 受信応答ﾌﾗｸﾞ (Received Acknowledge)

このﾌﾗｸﾞは主装置からの最終受信応答ﾋﾞｯﾄを含みます。これは読み込み専用ﾌﾗｸﾞです。0として読めると、主装置からの最終応答ﾋﾞｯﾄは確認応答(ACK)で、1として読めると、最終応答ﾋﾞｯﾄは否認応答(NACK)です。

● ﾋﾞｯﾄ3 – COLL : 衝突ﾌﾗｸﾞ (Collision)

このﾌﾗｸﾞは従装置がHighのﾃﾞｰﾀ ﾋﾞｯﾄ、否認応答(NACK)ﾋﾞｯﾄを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置はﾃﾞｰﾀと応答の出力を禁止し、Low値がSDA線上にｼﾌﾄ出力されない通常動作を始めます。このﾋﾞｯﾄ位置への1書き込みはCOLLを解除(0)します。

このﾌﾗｸﾞは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

● ﾋﾞｯﾄ2 – BUSERR : TWI従装置ﾊﾞｽ異常ﾌﾗｸﾞ (TWI Slave Bus Error)

このﾌﾗｸﾞは転送中に不正なﾊﾞｽ状態が起きた場合に設定(1)されます。不正なﾊﾞｽ状態は再送開始条件または停止条件が検出され、直前の開始条件からのﾋﾞｯﾄ数が9の倍数でない場合に起きます。このﾋﾞｯﾄ位置への1書き込みはBUSERRを解除(0)します。

検出されるべきﾊﾞｽ異常に関してはﾊﾞｽ状態論理回路が許可されていなければなりません。これはTWI主装置を許可することによって行われます。

● ﾋﾞｯﾄ1 – DIR : 読み/書き方向ﾌﾗｸﾞ (Rwad/Write Direction)

読み/書き方向(DIR)ﾌﾗｸﾞは主装置から受信した最後のｱﾄﾞﾚｽ ﾊﾟｹｯﾄからの方向ﾋﾞｯﾄを反映します。このﾋﾞｯﾄが1として読めると、主装置読み込み動作が進行中です。0として読める時は主装置書き込み動作が進行中です。

● ﾋﾞｯﾄ0 – AP : 従装置ｱﾄﾞﾚｽ/停止条件ﾌﾗｸﾞ (Slave Address or Stop)

このﾌﾗｸﾞはTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)の最後の設定を有効なｱﾄﾞﾚｽまたは停止条件のどちらが起したかを示します。

表18-10. TWI従装置 ｱﾄﾞﾚｽまたは停止条件

AP	内容
0	停止条件がAPIFの割り込みを生成
1	ｱﾄﾞﾚｽ検出がAPIFの割り込みを生成

18.12.4. ADDR – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Address register)

TWI従装置ｱﾄﾞﾚｽ ﾚｼﾞｽﾀはTWIが応答するために(ADDRの上位7ﾋﾞｯﾄ内に)7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽを格納されるべきです。ADDRの最下位ﾋﾞｯﾄは一斉呼び出しｱﾄﾞﾚｽ($00)の認証に使用されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	ADDR7~1							ADDR0	ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 –ADDR7~1 : TWI従装置ｱﾄﾞﾚｽ (TWI Slave Address)

このﾚｼﾞｽﾀは主装置が従装置をｱﾄﾞﾚｽ指定しているかを判断するための従装置ｱﾄﾞﾚｽ一致論理回路によって使用されるTWI従装置ｱﾄﾞﾚｽを含みます。上位7ﾋﾞｯﾄ(ADDR7～1)が従装置ｱﾄﾞﾚｽを表します。

10ﾋﾞｯﾄ ｱﾄﾞﾚｽ使用時、ｱﾄﾞﾚｽ一致論理回路は10ﾋﾞｯﾄ ｱﾄﾞﾚｽの最初のﾊﾞｲﾄのﾊｰﾄﾞｳｪｱ ｱﾄﾞﾚｽ認証を支援するだけです。ADDR7～1='11110nn'設定で、'nn'は従装置ｱﾄﾞﾚｽのﾋﾞｯﾄ9と8を表します。次の受信ﾊﾞｲﾄが10ﾋﾞｯﾄ ｱﾄﾞﾚｽのﾋﾞｯﾄ7～0で、これはｿﾌﾄｳｪｱによって扱われなければなりません。

有効なｱﾄﾞﾚｽ ﾊﾞｲﾄが受信されたことをｱﾄﾞﾚｽ一致論理回路が検知すると、ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)され、読み/書き方向(DIR)ﾌﾗｸﾞが更新されます。

従装置制御ﾚｼﾞｽﾀA(CTRLA)の無差別動作許可(PMEN)ﾋﾞｯﾄが設定(1)なら、ｱﾄﾞﾚｽ一致論理回路はTWIﾊﾞｽ上に送信された全てのｱﾄﾞﾚｽに応答します。ADDRﾚｼﾞｽﾀはこの動作種別で使用されません。

● ﾋﾞｯﾄ0 – ADDR0 : 一斉呼び出し認証許可 (Genera Call Recognition Enable)

ADDR0設定(1)時に、これは一斉呼び出しｱﾄﾞﾚｽ認証論理回路を許可し、故に装置はﾊﾞｽ上の全ての装置をｱﾄﾞﾚｽ指定する一斉呼び出しに応答することができます。

18.12.5. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀを送受信する時に使用されます。ﾃﾞｰﾀ転送中、ﾃﾞｰﾀはﾊﾞｽとDATAﾚｼﾞｽﾀ間でｼﾌﾄされます。これはﾊﾞｲﾄ転送中にDATAﾚｼﾞｽﾀがｱｸｾｽできないことを意味し、これはﾊｰﾄﾞｳｪｱで保護されています。ﾃﾞｰﾀ ﾚｼﾞｽﾀは従装置によってSCL線がLowを保持している時、換言するとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞが設定(1)されている時にだけｱｸｾｽできます。

主装置が従装置からﾃﾞｰﾀを読むとき、送出すべきﾃﾞｰﾀがDATAﾚｼﾞｽﾀに書かれます。主装置が従装置からﾃﾞｰﾀ ﾊﾞｲﾄのｸﾛｯｸ駆動を始める時にﾊﾞｲﾄ転送が開始され、続いて従装置は主装置からの応答ﾋﾞｯﾄを受信します。ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)とCLKHOLDが設定(1)されます。

主装置が従装置にﾃﾞｰﾀを書くとき、1ﾊﾞｲﾄがDATAﾚｼﾞｽﾀに受信された時にDIFとCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAﾚｼﾞｽﾀ読み込みは応答動作(ACKACT)ﾋﾞｯﾄでの設定のようにﾊﾞｽ操作を起動します。

DATAﾚｼﾞｽﾀのｱｸｾｽは従装置割り込み要求ﾌﾗｸﾞとCLKHOLDﾌﾗｸﾞを解除(0)します。ｱﾄﾞﾚｽ一致が起こると、受信したｱﾄﾞﾚｽがDATAﾚｼﾞｽﾀに格納されます。

18.12.6. ADDRMASK – ｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀ (Address Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	ADDRMASK7~0							ADDREN	ADDRMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 –ADDRMASK7~1 : 第2従ｱﾄﾞﾚｽ/ｱﾄﾞﾚｽ遮蔽値** (Second Slave Address/Address Mask Value)

これらのﾋﾞｯﾄはｱﾄﾞﾚｽ許可(ADDREN)ﾋﾞｯﾄ設定に依存して、第2ｱﾄﾞﾚｽ一致ﾚｼﾞｽﾀまたはｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀとして働きます。

ADDRENが0に設定される場合、ADDRMASKは7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ遮蔽を格納することができます。ADDRMASK内の各ﾋﾞｯﾄは従装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)することができます。遮蔽ﾋﾞｯﾄが1の場合に到着ｱﾄﾞﾚｽ ﾋﾞｯﾄとADDR内の対応するﾋﾞｯﾄ間のｱﾄﾞﾚｽ一致が無視されます。換言すると、遮蔽されたﾋﾞｯﾄは常に一致します。

ADDRENが1に設定される場合、ADDRMASKはADDRﾚｼﾞｽﾀに加えて第2従装置ｱﾄﾞﾚｽを格納することができます。この動作では従装置がADDRの1つとADDRMASKの別の1つで2つの独自のｱﾄﾞﾚｽに一致します。

● **ﾋﾞｯﾄ0 – ADDREN : ｱﾄﾞﾚｽ許可** (Address Enable)

既定によるこのﾋﾞｯﾄは0で、ADDRMASKﾋﾞｯﾄはADDRﾚｼﾞｽﾀに対するｱﾄﾞﾚｽ遮蔽として働きます。このﾋﾞｯﾄが1に設定される場合、従装置ｱﾄﾞﾚｽ一致論理回路はADDRとADDRMASK内の2つの独自のｱﾄﾞﾚｽに応答します。

18.13. ﾚｼﾞｽﾀ説明 – TWI制限時間

18.13.1. TOS – 制限時間状態ﾚｼﾞｽﾀ (Timeout Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	TTOUTSIF	–	TMEXTIF	TSEXTIF	TTOUTMIF	TOS
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – TTOUTSIF : 従装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞ** (Slave Ttimeout Interrupt Flag)

従装置Ttimiout制限時間超過割り込み要求ﾌﾗｸﾞはTimiout制限時間許可(TTOUTEN)が設定(1)され、従装置でTtimeout条件が起きる時に設定(1)されます。従装置はこの条件後にﾊﾞｽを開放し、新しい開始条件ﾊﾟﾙｽを受け取る準備が整います。このﾋﾞｯﾄ位置への1書き込みがTTOUTSIFﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – TMEXTIF : Tlowmext制限時間超過割り込み要求ﾌﾗｸﾞ** (Tlowmext Interrupt Flag)

Tlowmext制限時間超過割り込み要求ﾌﾗｸﾞはTlowmext制限時間許可(TMEXTEN)が設定(1)され、主装置でTlowmext条件が起きる時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがTMEXTIFﾌﾗｸﾞを解除(0)します。このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書くことによっても自動的に解除(0)されます。

●ﾋﾞｯﾄ1 – TSEXTIF : Tlowsext制限時間超過割り込み要求ﾌﾗｸﾞ (Tlowsext Interrupt Flag)

Tlowsext制限時間超過割り込み要求ﾌﾗｸﾞはTlowsext制限時間許可(TSEXTEN)が設定(1)され、主装置でTlowsext条件が起きる時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがTSEXTIFﾌﾗｸﾞを解除(0)します。このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書くことによっても自動的に解除(0)されます。

● ﾋﾞｯﾄ0 – TTOUTMIF : 主装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞ (Master Ttimeout Interrupt Flag)

主装置Ttimiout制限時間超過割り込み要求ﾌﾗｸﾞはTimiout制限時間許可(TTOUTEN)が設定(1)され、主装置でTtimeout条件が起きる時に設定(1)されます。主装置は次の単位転送を開始する前にﾊﾞｽ ｱｲﾄﾞﾙ状態を待つべきです。これは全ての従装置がTimeout条件に従ってﾊﾞｽが開放され、新しい開始条件ﾊﾟﾙｽを受け取る準備が整っていることを保証します。このﾋﾞｯﾄ位置への1書き込みがTTOUTMIFﾌﾗｸﾞを解除(0)します。このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書くことによっても自動的に解除(0)されます。

18.13.2. TOCONF – 制限時間形態設定ﾚｼﾞｽﾀ (Timeout configuration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TTOUTSSEL2~0			TMSEXTSEL1,0		TTOUTMSEL2~0			TOCONF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – TTOUTSSEL2~0 : 従装置Ttimeout制限時間選択 (Slave Ttimeout select)

これらのﾋﾞｯﾄは表18-11.に従って従装置Ttimeout制限時間値を選びます。

● ﾋﾞｯﾄ4,3 – TMSEXTSEL1,0 : 主装置Tlowsext/Tlowmext制限時間選択 (Master Tlowsext/Tlowmext select)

これらのﾋﾞｯﾄは表18-12.に従って主装置Tlowsext/Tlowmext制限時間値を選びます。

● ﾋﾞｯﾄ2~0 – TTOUTMSEL2~0 : 主装置Ttimeout制限時間選択 (Master Ttimeout select)

これらのﾋﾞｯﾄは表18-11.に従って主装置Ttimeout制限時間値を選びます

表18-11. Ttimeout形態設定

TTOUTMSEL2~0,TTOUTSSEL2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
制限時間値	25ms	24ms	23ms	22ms	26ms	27ms	28ms	29ms

表18-12. Tlowsext/Tlowmext形態設定

TMSEXTSEL1,0	0 0	0 1	1 0	1 1
Tlowsext値	25ms	24ms	26ms	27ms
Tlowmext値	10ms	9ms	11ms	12ms

18.14. ﾚｼﾞｽﾀ要約 – TWI

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0E	制限時間	制限時間差分ｱﾄﾞﾚｽ								
+$08	従装置	従装置差分ｱﾄﾞﾚｽ								
+$01	主装置	主装置差分ｱﾄﾞﾚｽ								
+$00	CTRL	BRIDGEEN	SFMPEN	SSDAHOLD1,0		FMPEN	SDAHOLD1,0		EDIEN	176

18.15. ﾚｼﾞｽﾀ要約 – TWI主装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$06	DATA	DATA7~0								180
+$05	ADDR	ADDR7~0								179
+$04	BAUD	BAUD7~0								179
+$03	STATUS	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1~0		178
+$02	CTRLC	–	–	–	–	–	ACKACT	CMD1,0		177
+$01	CTRLB	TOIE	TMEXTEN	TSEXTEN	TTOUTEN	TIMEOUT1,0		QCEN	SMEN	177
+$00	CTRLA	INTLVL1,0		RIEN	WIEN	ENABLE	–	–	–	176

18.16. ﾚｼﾞｽﾀ要約 – TWI従装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$05	ADDRMASK	ADDRMASK7~1							ADDREN	183
+$04	DATA	DATA7~0								183
+$03	ADDR	ADDR7~0								182
+$02	STATUS	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	181
+$01	CTRLB	TOIE	–	–	TTOUTEN	–	ACKACT	CMD1,0		180
+$00	CTRLA	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	180

18.17. ﾚｼﾞｽﾀ要約 – TWI制限時間

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	TOCONF	TTOUTSSEL2~0			TMSEXTSEL1,0		TTOUTMSEL2~0			184
+$00	TOS	–	–	–	TTOUTSIF	–	TMEXTIF	TSEXTIF	TTOUTMIF	183

18.18. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	SLAVE_vect	TWI従装置割り込みﾍﾞｸﾀ
$02	MASTER_vect	TWI主装置割り込みﾍﾞｸﾀ

19. TWI SMBus階層1適合性

19.1. 要点

- SMBus階層1の時間超過を支援
- 形態設定可能な時間超過値
- 主装置と従装置での独立した時間超過計数器(橋渡し動作形態支援)

19.2. TWI SMBus階層1適合性

工業標準SMBus-2.0は階層1適合に関して3つの制限時間を詳述します。

- Ttimeout ：25ms間のSCL Low継続
- Tlowsext ：開始条件～停止条件間での25ms間の従装置累積SCL伸長
- Tlowmext ：開始条件～確認応答(ACK)、ACK～ACK、またはACK～停止条件間での10ms間の主装置累積SCL伸長

これら全ての制限時間がTWI部署で支援されます。

19.3. 概要

19.3.1. Ttimeout仕様

TTIMEOUT,MIN(25ms)ﾊﾟﾗﾒｰﾀは欠陥のある装置が漠然とｸﾛｯｸをLowに保持したり、ﾊﾞｽを離れた装置を主装置が故意に駆動しようとすることの完結を主装置や従装置に許します。TTIMEOUT,MINよりも長くLowを保持する何れかの単一ｸﾛｯｸを検出する時に、従装置はﾊﾞｽを開放(ﾊﾞｽ駆動を停止してSMBCLK(SCL)とSMBDAT(SDA)をHighに浮かす)ことが大いに推奨されます。この状態を検出した装置はそれらの通信をﾘｾｯﾄしなければならず、TTIME OUT,MAX(35ms)以内に新しい開始条件を受け取り得ます。

図19-1. Ttimeout条件

19.3.2. Tlowsext仕様

これは開始条件から停止条件までで従装置がSCLの伸長を許される累積時間です。この制限時間に対する値は25msです。

19.3.3. Tlowmext仕様

これは開始条件から確認応答(ACK)、確認応答(ACK)から確認応答(ACK)、確認応答(ACK)から停止条件までで測定されるとして、主装置がﾒｯｾｰｼﾞに於ける1ﾊﾞｲﾄ内でｸﾛｯｸ周期伸長を許される累積時間です。この制限時間に対する値は10msです。

図19-2. Tlowsext/Tlowmsext条件

19.4. 操作

SMBus制限時間計数器の操作については、74頁の「CTRL - 制御ﾚｼﾞｽﾀ」の発振器制御ﾚｼﾞｽﾀが2MHz内部発振器であるべきです。

19.4.1. Ttimeout実装

この制限時間超過が従装置動作で起きると、従装置はﾊｰﾄﾞｳｪｱによって通信をﾘｾｯﾄして信号線が開放されます。従装置は新しい開始ﾊﾟﾙｽを受け取る準備が整います。この制限時間超過が主装置動作で起きると、ﾊｰﾄﾞｳｪｱによって停止条件が送られます。主装置はﾊﾞｽ上で新しい転送を開始する準備が整います。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TTIMEOUT計数器が禁止されます。

19.4.2. Tlowsext実装

この制限時間超過が起きると、主装置がSDAのどちらの制御かに依存して、主装置は直ちにまたは進行中の現在のﾊﾞｲﾄの最後で停止条件ﾊﾟﾙｽを送ります。従装置は制限時間超過での主装置からの停止条件ﾊﾟﾙｽの受け取りでこの通信をﾘｾｯﾄします。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TLOWSEXT計数器が禁止されます。

19.4.3. Tlowmext実装

この制限時間超過が起きると、主装置がSDAのどちらの制御かに依存して、主装置は直ちにまたは進行中の現在のﾊﾞｲﾄの最後で停止条件ﾊﾟﾙｽを送ります。従装置は制限時間超過での主装置からの停止条件ﾊﾟﾙｽの受け取りでこの通信をﾘｾｯﾄします。TWIが主装置として形態設定されるけれども、ﾊﾞｽ上での調停に敗れた場合、TLOWMEXT計数器が禁止されます。

19.4.4. 制限時間要約

表19-1. SMBus制限時間実装の要約

SMBus階層1制限時間	主装置	従装置
Ttimeout	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は通信をﾘｾｯﾄしてﾊﾞｽを開放します。TIME OUT,MAX以内に開始条件を受け取る準備が整います。
Tlowsext	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は制限時間後の停止ﾊﾟﾙｽ(停止条件)検出後に通信をﾘｾｯﾄします。開始条件を受け取る準備が整います。
Tlowmext	ﾊｰﾄﾞｳｪｱによって停止条件を送ります。主装置はﾊﾞｽで新規転送を始める準備が整います。	従装置は制限時間後の停止ﾊﾟﾙｽ(停止条件)検出後に通信をﾘｾｯﾄします。開始条件を受け取る準備が整います。
調停敗退	全制限時間を禁止	–

19.4.5. 制限時間許可と状態表示

- 制御ﾚｼﾞｽﾀB(CTRLB)での3つの制限時間(Ttimeout、Tlowsext、Tlowmext)用の独立した制限時間許可
- CTRLBﾚｼﾞｽﾀでの全制限時間用の共通割り込み許可
- 制限時間状態ﾚｼﾞｽﾀ(TOS)での3つの制限時間(Ttimeout、Tlowsext、Tlowmext)用の独立した状態ﾋﾞｯﾄ
- 割り込みは割り込み許可ﾋﾞｯﾄ、時間超過を示すどれか1つの状態ﾋﾞｯﾄ、全体割り込み許可が全て1に設定され、TWI制御(CTRLA)ﾚｼﾞｽﾀで割り込みﾚﾍﾞﾙが0でない場合にだけ生成されます。
- 制限時間値での正と負の変位(ｵﾌｾｯﾄ)を設定する制限時間形態設定ﾚｼﾞｽﾀ(TOCONF)
- 全ての状態ﾚｼﾞｽﾀは(ﾊﾞｽ上での単位転送未完了を示す)ﾊﾞｽ異常ﾌﾗｸﾞを除いて制限時間超過でﾘｾｯﾄされ、形態設定ﾚｼﾞｽﾀは無変化のままにされます。

19.5. ﾚｼﾞｽﾀ説明 – TWI主装置

19.5.1. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TOIE	TMEXTEN	TSEXTEN	TTOUTEN	TIMEOUT1,0		QCEN	SMEN	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – TOIE : 制限時間割り込み許可** (Timeout Interrupt Enable)

このﾋﾞｯﾄの1への設定は全ての主装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTMIF、TSEXTIF、TMEXTIF)での割り込みを許可します。TWI主装置制限時間超過割り込みは主装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTMIF,TSEXTIF,TMEXTIF)の何れか1つとTOIE、それと全体割り込み許可ﾋﾞｯﾄ(I)が全て1に設定され、主装置割り込みﾚﾍﾞﾙ(INTLVL1,0)が0と等しくない場合にだけ生成されます。

● **ﾋﾞｯﾄ6 – TMEXTEN : Tlowmext制限時間許可** (Tlowmext Enable)

Tlowmextが許可(TMEXTEN=1)されると、主装置はTlowmext条件に関してﾊﾞｽを監視し、Tlowmext条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TMEXTIF)が設定(1)されます。

● **ﾋﾞｯﾄ5 – TSEXTEN : Tlowsext制限時間許可** (Tlowsext Enable)

Tlowsextが許可(TSEXTEN=1)されると、主装置はTlowsext条件に関してﾊﾞｽを監視し、Tlowsext条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TSEXTIF)が設定(1)されます。

● **ﾋﾞｯﾄ4 – TTOUTEN : Ttimeout制限時間許可** (Ttimeout Enable)

Ttimeoutが許可(TTOUTEN=1)されると、主装置はTtimeout条件に関してﾊﾞｽを監視し、Ttimeout条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TTOUTMIF)が設定(1)されます。

● **ﾋﾞｯﾄ3~0 – [存在するﾚｼﾞｽﾀ ﾋﾞｯﾄ。TWI仕様を参照してください。]**

19.6. ﾚｼﾞｽﾀ説明 – TWI従装置

19.6.1. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TOIE	–	–	TTOUTEN	–	ACKACT	CMD1,0		CTRLB
Read/Write	R/W	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – TOIE : 制限時間割り込み許可** (Timeout Interrupt Enable)

このﾋﾞｯﾄの1への設定は従装置制限時間超過割り込み要求ﾌﾗｸﾞ(TTOUTSIF)での割り込みを許可します。TWI従装置制限時間超過割り込みはTTOUTSIFとTOIEそれと全体割り込み許可ﾋﾞｯﾄ(I)が全て1に設定され、従装置割り込みﾚﾍﾞﾙ(INTLVL1,0)が0と等しくない場合に生成されます。

● **ﾋﾞｯﾄ4 – TTOUTEN : Ttimeout制限時間許可** (Ttimeout Enable)

Ttimeoutが許可(TTOUTEN=1)されると、従装置はTtimeout条件に関してﾊﾞｽを監視し、Ttimeout条件発生時直ちに対応する割り込み要求ﾌﾗｸﾞ(TTOUTSIF)が設定(1)されます。

● **ﾋﾞｯﾄ2~0 – [存在するﾚｼﾞｽﾀ ﾋﾞｯﾄ。TWI仕様を参照してください。]**

19.7. ﾚｼﾞｽﾀ説明 – TWI制限時間

19.7.1. TOS – 制限時間状態ﾚｼﾞｽﾀ (Timeout Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	TTOUTSIF	–	TMEXTIF	TSEXTIF	TTOUTMIF	TOS
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ4 – TTOUTSIF : 従装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞ** (Slave Ttimeout Interrupt Flag)

従装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞはTimeout制限時間許可(TTOUTEN)が設定(1)され、従装置でTtimeout条件が起きる時に設定(1)されます。従装置はこの条件後にﾊﾞｽを開放し、新しい開始条件ﾊﾟﾙｽを受け取る準備が整います。このﾋﾞｯﾄ位置への1書き込みがTTOUTSIFﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ2 – TMEXTIF : Tlowmext制限時間超過割り込み要求ﾌﾗｸﾞ** (Tlowmext Interrupt Flag)

Tlowmext制限時間超過割り込み要求ﾌﾗｸﾞはTlowmext制限時間許可(TMEXTEN)が設定(1)され、主装置でTlowmext条件が起きる時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがTMEXTIFﾌﾗｸﾞを解除(0)します。けれども、このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書く時に自動的に解除(0)されるため、TWIの標準使用ではこの方法によって解除(0)されるTMEXTIFﾌﾗｸﾞを必要としません。

●ﾋﾞｯﾄ1 – TSEXTIF : Tlowsext制限時間超過割り込み要求ﾌﾗｸﾞ (Tlowsext Interrupt Flag)

Tlowsext制限時間超過割り込み要求ﾌﾗｸﾞはTlowsext制限時間許可(TSEXTEN)が設定(1)され、主装置でTlowsext条件が起きる時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みがTSEXTIFﾌﾗｸﾞを解除(0)します。けれども、このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書くことによっても自動的に解除(0)されるため、TWIの標準使用ではこの方法によって解除(0)されるTSEXTIFﾌﾗｸﾞを必要としません。

● ﾋﾞｯﾄ0 – TTOUTMIF : 主装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞ (Master Ttimeout Interrupt Flag)

主装置Ttimeout制限時間超過割り込み要求ﾌﾗｸﾞはTimeout制限時間許可(TTOUTEN)が設定(1)され、主装置でTtimeout条件が起きる時に設定(1)されます。主装置は次の単位転送を開始する前にﾊﾞｽ ｱｲﾄﾞﾙ状態を待つべきです。これは全ての従装置がTimeout条件に従ってﾊﾞｽが開放され、新しい開始条件ﾊﾟﾙｽを受け取る準備が整っていることを保証します。このﾋﾞｯﾄ位置への1書き込みがTTOUTMIFﾌﾗｸﾞを解除(0)します。けれども、このﾌﾗｸﾞは主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀに書くことによっても自動的に解除(0)されるため、TWIの標準使用ではこの方法によって解除(0)されるTTOUTMIFﾌﾗｸﾞを必要としません。

19.7.2. TOCONF – 制限時間形態設定ﾚｼﾞｽﾀ (Timeout configuration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TTOUTSSEL2~0			TMSEXTSEL1,0		TTOUTMSEL2~0			TOCONF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – TTOUTSSEL2~0 : 従装置Ttimeout制限時間選択 (Slave Ttimeout select)

これらのﾋﾞｯﾄは表19-2.に従って従装置Ttimeout制限時間値を選びます。

● ﾋﾞｯﾄ4,3 – TMSEXTSEL1,0 : 主装置Tlowsext/Tlowmext制限時間選択 (Master Tlowsext/Tlowmext select)

これらのﾋﾞｯﾄは表19-3.に従って主装置Tlowsext/Tlowmext制限時間値を選びます。

● ﾋﾞｯﾄ2~0 – TTOUTMSEL2~0 : 主装置Ttimeout制限時間選択 (Master Ttimeout select)

これらのﾋﾞｯﾄは表19-2.に従って主装置Ttimeout制限時間値を選びます

表19-2. Ttimeout形態設定

TTOUTMSEL2~0,TTOUTSSEL2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
制限時間値	25ms	24ms	23ms	22ms	26ms	27ms	28ms	29ms

表19-3. Tlowsext/Tlowmext形態設定

TMSEXTSEL1,0	0 0	0 1	1 0	1 1
Tlowsext値	25ms	24ms	26ms	27ms
Tlowmext値	10ms	9ms	11ms	12ms

19.8. ﾚｼﾞｽﾀ要約 – TWI

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0E	制限時間	制限時間差分ｱﾄﾞﾚｽ								
+$08	従装置	従装置差分ｱﾄﾞﾚｽ								
+$01	主装置	主装置差分ｱﾄﾞﾚｽ								

19.9. ﾚｼﾞｽﾀ要約 – TWI主装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	CTRLB	TOIE	TMEXTEN	TSEXTEN	TTOUTEN	TIMEOUT1,0		QCEN	SMEN	188

19.10. ﾚｼﾞｽﾀ要約 – TWI従装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	CTRLB	TOIE	–	–	TTOUTEN	–	ACKACT	CMD1,0		188

19.11. ﾚｼﾞｽﾀ要約 – TWI制限時間

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	TOCONF	TTOUTSSEL2~0			TMSEXTSEL1,0		TTOUTMSEL2~0			189
+$00	TOS	–	–	–	TTOUTSIF	–	TMEXTIF	TSEXTIF	TTOUTMIF	188

20. SPI – 直列周辺インターフェース

20.1. 要点

- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 任意選択の2重緩衝受信
- 任意選択の緩衝送信
- 以下に対する任意選択の独立した割り込み
  - 受信完了
  - 送信完了
  - 送信データ レジスタ空
  - 従装置選択線Low引き込み
- データ オーバーラン検出
- アイドル休止動作からの起動
- 倍速主装置動作

20.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使用する高速同期データ転送インターフェースです。それはXMEGAデバイスと周辺装置間、または多数のマイクロ コントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が図20-1.で示されます。このシステムは2つのシフト レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択($\overline{SS}$)ピンをLowに引くことによって通信周回を開始します。主装置と従装置は送るべきデータをそれらの各々のシフト レジスタに用意して、データを交換するためにSCK線上に必要とするクロック パルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へシフトされます。各データ パケット後、主装置は$\overline{SS}$線をHighに引くことによって従装置を同期化することができます。

図20-1. SPI主装置-従装置相互連絡

SPI従装置動作では制御回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、最小Low及びHigh区間は2CPUクロック周期よりも長くなければなりません。

SPI部署が許可されると、MOSI,MISO,SCK,$\overline{SS}$ピンのデータ方向は表20-1.に従って無効化されます。使用者定義方向のピンは応用に対応した正しい方向になるようにソフトウェアから形態設定されなければなりません。

表20-1. SPIピン無効化と方向

ピン	主装置時方向	従装置時方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
$\overline{SS}$	使用者定義	入力

20.3. 主装置動作

主装置動作で、SPIは$\overline{SS}$ピンの自動制御がありません。$\overline{SS}$ピンが使用される場合、それは出力として形態設定され、使用者ソフトウェアによって制御されなければなりません。バスが多数の従装置や主装置から成る場合、SPI主装置はバス上の従装置の各々への$\overline{SS}$線を制御するのに汎用I/Oピンを使用することができます。

データ(DATA)レジスタへのバイト書き込みがSPIクロック発生器を起動し、ハードウェアが選択した従装置への8ビット シフトを行います。1バイトのシフト後に保留中のデータがなければ、データ レジスタ空割り込み要求フラグ(DREIF)が設定(1)され、SPIクロック発生器が停止して転送完了割り込み要求フラグ(TXCIF)が設定(1)されます。

保留中のデータがある(DREIFが解除(0)の)場合、主装置は次のバイトのシフトを続け、各バイトが外に移動された後、新しいデータがシフト レジスタに複写されてDREIFが設定(1)されます。シフトが完了してそれ以上保留データがない時にだけ、TXCIFが設定(1)されます。転送の最後は$\overline{SS}$線をHighに引くことによって合図することができます。最後に到着したバイトはシフト レジスタに保持さます。

SSピンが使用されないなら、制御レジスタB(CTRLB)の従装置選択禁止(SSD)ビットを(1に)書くことによって禁止することができます。禁止されずに入力として形態設定された場合、主装置動作を保証するためにHighに保持されなければなりません。SSピンが入力でLowに駆動される場合、SPI部署はこれをバス制御を取得するための他の主装置の試みとして解釈します。バス衝突を避けるため、主装置は次の動作を行います。

1. 主装置は従装置動作へ移行します。
2. 従装置選択割り込み要求フラグ(SSIF)が設定(1)されます。

20.4. 従装置動作

従装置動作では、SSピンがHighに駆動されている限り、SPIインターフェースはHi-Zにされたの MISO線での休止に留まります。この状態で、ソフトウェアはデータ(DATA)レジスタの内容を更新できますが、SSピンがLowに駆動されるまで、そのデータはSCKピンでの到着クロック パルスによってシフト出力されません。SSがLowに駆動された場合、従装置は最初のSCKクロック パルスでデータのシフト出力を開始します。1バイトが完全にシフトされると、SPI割り込み要求フラグ(IF)が設定(1)されます。従装置は到着データを読む前に送るべき新しいデータをデータ レジスタに置いて(動作を)継続できます。最後に到着したバイトは緩衝レジスタに保持されています。

SSがHighに駆動されると、SPI論理回路は停止し、そしてSPI従装置はどの新しいデータも受信しません。シフト レジスタ内の何れの部分的な受信パケットも取り落とされます。

SSピンが転送の開始と終了の合図に使用されるので、これはパケット/バイト同期、主装置クロック発生器での従装置ビット計数器同期維持にも有用です。

書き込み衝突(上書き)が決して起き得ないことを保証するために、SPI部署は緩衝動作に形態設定することができます。データは受信完了でだけ、送信レジスタからシフト レジスタへ複写されます。これはデータが送信緩衝部に書かれた後、データがシスト レジスタに複写される前に、1つのSPI転送が完了されなければならないことを意味します。

20.5. 緩衝動作形態

以下の3つの緩衝動作形態があります。

- 緩衝なし動作:

既定のSPI部署は送信方向で緩衝なし、受信方向で単一緩衝されます。これはシフト周回全体が完了される前に、送信されるべきバイトがSPI DATAレジスタに書けないことを意味します。データ受信時、受信したバイトは次のバイトが完全にシフト入力されてしまう前にDATAレジスタから読まなければなりません。さもなければ、最初のバイトが失われます。

- 緩衝動作1:

SPI部署は送信方向で単一緩衝、受信方向で2重緩衝されます。送信レジスタに書かれたバイトはバイト全体が受信されてしまった時にシフト レジスタに複写されます。データ受信時、データ消失を避けるため、受信したバイトは3つ目のバイトが完全にシフト入力されてしまう前にDATAレジスタから読まなければなりません。

- 緩衝動作2:

SPI部署は送信方向で単一緩衝、受信方向で2重緩衝されます。SPIが許可された時に送信レジスタに書かれたバイトがシフト レジスタに複写されます。その後、データがシフト レジスタに複写されるのに先立って、1つのSPI転送が完了されなければなりません。

20.6. データ転送種別

直列データに関してSCKの位相と極性で4つの組み合わせがあります。SPI データ転送形式が図20-2.で示されます。データ ビットはSCK信号の逆端でシフト出力とラッチが行われ、これはデータ信号安定のための充分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図20-2. SPI転送種別

20.7. 割り込み

SPI部署は4つの割り込み元を持ちます。これらは1つの割り込みベクタ、SPI割り込みに組み合わせれます。この割り込みは割り込みレベル(INTLVL)設定によって許可され、一方各種割り込み元は個別に許可されます。

図20-3.はSPI部署に関する割り込み元を要約し、それらがどう許可されるかを示します。

図20-3. SPI割り込み要約

20.8. EDMA支援

SPI従装置は1ﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ内に移動されてしまった時、またはﾃﾞｰﾀが外にｼﾌﾄ出力されてしまって新しい送信ﾃﾞｰﾀを書くことができる時のどちらかでEDMA転送を起動することができます。EDMAはﾃﾞｰﾀ ﾚｼﾞｽﾀ空または受信完了EDMA起動を用いる半二重SPI動作に使用することができます。

図20-4.はSPI部署に関する割り込み元を要約し、それらがどう許可されるかを示します。

図20-4. SPI EDMA要求要約

SPI動作でのXMEGA USARTを使用することが可能で、主装置動作でのEDMA支援を持ちます。詳細については209頁の「主装置SPI動作でのUSART」を参照してください。

20.9. ﾚｼﾞｽﾀ説明

20.9.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CLK2X : SPIｸﾛｯｸ倍速** (SPI Clock Double)

このﾋﾞｯﾄが設定(1)されると、SPI速度(SCK周波数)が主装置動作で2倍にされます。

● **ﾋﾞｯﾄ6 – ENABLE : SPI許可** (SPI Enable)

このﾋﾞｯﾄの設定(1)がSPI部署を許可します。このﾋﾞｯﾄはどのSPI操作をも可能とするために設定(1)されなければなりません。

● **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順** (Data Order)

DORDはﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀからｼﾌﾄ出力される時のﾃﾞｰﾀ順を決めます。DORDが1を書かれると、ﾃﾞｰﾀ ﾊﾞｲﾄの最下位ﾋﾞｯﾄ(LSB)が最初に送信され、DORDが0を書かれると、ﾃﾞｰﾀ ﾊﾞｲﾄの最上位ﾋﾞｯﾄ(MSB)が最初に送信されます。

● **ﾋﾞｯﾄ4 – MASTER : 主/従選択** (Master/Slave Select)

このﾋﾞｯﾄは1の時に主装置動作を、0の時に従装置動作を選択します。$\overline{SS}$が入力として形態設定され、MASTERが設定(1)されている間にLowへ駆動される場合、MASTERは解除(0)されます。

● **ﾋﾞｯﾄ3,2 – MODE1,0 : SPI動作種別** (SPI Mode)

これらのﾋﾞｯﾄは転送種別を選びます。直列ﾃﾞｰﾀに関するSCKの位相と極性での4つの組み合わせが**表20-2.**で示されます。これらのﾋﾞｯﾄはｸﾛｯｸ周期での先頭端(先行端)が上昇または下降のどちらか、ﾃﾞｰﾀの設定と採取が先行端または後行端のどちらかを決めます。

先行端が上昇の時のSCKはｱｲﾄﾞﾙ時にLowで、先行端が下降の時のSCKはｱｲﾄﾞﾙ時にHighです。

表20-2. SPI転送動作種別

MODE1,0	群形態設定	SCK先行端	SCK後行端
0 0	0	上昇端,入力採取	下降端,出力設定
0 1	1	上昇端,出力設定	下降端,入力採取
1 0	2	下降端,入力採取	上昇端,出力設定
1 1	3	下降端,出力設定	上昇端,入力採取

● **ﾋﾞｯﾄ1,0 – PRESCALER1,0 : SPIｸﾛｯｸ前置分周** (SPI Clock Prescaler)

これら2ﾋﾞｯﾄは主装置動作に形態設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。これらのﾋﾞｯﾄは従装置動作で無効です。SCKと周辺ｸﾛｯｸ周波数(clk_{PER})間の関連は**表20-4.**で示されます。SPIｸﾛｯｸ倍速(CLK2X)の設定(1)は**表20-4.**で示されるように周波数を倍にします。

表20-3. 前置分周器ｸﾛｯｸ形態設定

PRESCALER1,0	群形態設定	注釈
0 0	DIV4	4分周ｸﾛｯｸ
0 1	DIV16	16分周ｸﾛｯｸ
1 0	DIV64	64分周ｸﾛｯｸ
1 1	DIV128	128分周ｸﾛｯｸ

表20-4. SCKと周辺ｸﾛｯｸ周波数(clk_{PER})間の関連

CLK2X	PRESCALER1,0	SCK周波数
0	0 0	$clk_{PER}/4$
0	0 1	$clk_{PER}/16$
0	1 0	$clk_{PER}/64$
0	1 1	$clk_{PER}/128$
1	0 0	$clk_{PER}/2$
1	0 1	$clk_{PER}/8$
1	1 0	$clk_{PER}/32$
1	1 1	$clk_{PER}/64$

20.9.2. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	INTLVL1,0		緩衝なし動作
	RXCIE	TXCIE	DREIE	SSIE	–	–	INTLVL1,0		INTCTRL 緩衝動作
Read/Write	R	R	R	R	R	R	R/W	R/W	緩衝なし動作
	R/W	R/W	R/W	R/W	R	R	R/W	R/W	緩衝動作
初期値	0	0	0	0	0	0	0	0	

注: 緩衝動作の詳細については198頁の**表20-5.**を参照してください。

20.9.2.1. 緩衝なし動作

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1,0 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ (Interrupt Level)

これらのﾋﾞｯﾄは94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるようにSPI割り込みを許可して割り込みﾚﾍﾞﾙを選びます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀでSPI割り込み要求ﾌﾗｸﾞ(IF)が設定(1)される時に起動されます。

20.9.2.2. 緩衝動作

● ﾋﾞｯﾄ7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このﾋﾞｯﾄ(=1)は受信完了割り込みを許可します。割り込みﾚﾍﾞﾙは割り込みﾚﾍﾞﾙ(INTLVL1,0)によって定義されます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀの受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ6 – TXCIE : 転送完了割り込み許可 (Transter Complete Interrupt Enable)

このﾋﾞｯﾄ(=1)は転送完了割り込みを許可します。割り込みﾚﾍﾞﾙは割り込みﾚﾍﾞﾙ(INTLVL1,0)によって定義されます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀの転送完了割り込み要求ﾌﾗｸﾞ(TXCIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ5 – DREIE : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み許可 (Data Register Empty Interrupt Enable)

このﾋﾞｯﾄ(=1)はﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みを許可します。割り込みﾚﾍﾞﾙは割り込みﾚﾍﾞﾙ(INTLVL1,0)によって定義されます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ4 – SSIE : 従装置選択割り込み許可 (Slave Select trigger Interrupt Enable)

このﾋﾞｯﾄ(=1)は従装置選択割り込みを許可します。割り込みﾚﾍﾞﾙは割り込みﾚﾍﾞﾙ(INTLVL1,0)によって定義されます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀの従装置選択割り込み要求ﾌﾗｸﾞ(SSIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ3,2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1,0 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ (Interrupt Level)

これらのﾋﾞｯﾄは94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるようにSPI割り込みを許可して割り込みﾚﾍﾞﾙを選びます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀで対応するﾌﾗｸﾞが設定(1)される時に起動されます。

20.9.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	IF	WRCOL	–	–	–	–	–	–	緩衝なし動作 STATUS
	RXCIF	TXCIF	DREIF	SSIF	–	–	–	BUFOVF	緩衝動作
Read/Write	R	R	R	R	R	R	R	R	緩衝なし動作
	R/W	R/W	R/W	R/W	R	R	R	R/W	緩衝動作
初期値	0	0	0	0	0	0	0	0	

注: 緩衝動作の詳細については198頁の表20-5.を参照してください。

20.9.3.1. 緩衝なし動作

● ﾋﾞｯﾄ7 – IF : 割り込み要求ﾌﾗｸﾞ (Interrupt Flag)

このﾌﾗｸﾞは直列転送が完了して1ﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀで完全にｼﾌﾄ入出力された時に設定(1)されます。SPIが主装置動作の時にSSが入力として形態設定され、Lowに駆動された場合、これもこのﾌﾗｸﾞを設定(1)します。IFは対応する割り込みﾍﾞｸﾀ実行時、自動的に解除(0)されます。代わりにIFﾌﾗｸﾞはIFが1の時に最初にSTATUSﾚｼﾞｽﾀを読み、その後にDATAﾚｼﾞｽﾀをｱｸｾｽすることによっても解除(0)されます。

● ﾋﾞｯﾄ6 – WRCOL : 書き込み衝突発生ﾌﾗｸﾞ (Write Collision Flag)

このﾌﾗｸﾞはﾃﾞｰﾀ転送中にﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが書かれた場合に設定(1)されます。このﾌﾗｸﾞはWRCOLが1の時に最初にSTATUSﾚｼﾞｽﾀを読み、その後にDATAﾚｼﾞｽﾀをｱｸｾｽすることによっても解除(0)されます。

● ﾋﾞｯﾄ5~0 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

20.9.3.2. 緩衝動作

● ﾋﾞｯﾄ7 – RXCIF : 受信完了割り込み要求ﾌﾗｸﾞ (Receive Complete Interrupt Flag)

このﾌﾗｸﾞは受信緩衝部に未読ﾃﾞｰﾀがある時に設定(1)され、樹脂Hン緩衝部が空(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。

割り込み駆動ﾃﾞｰﾀ受信が使用される時に、受信完了割り込みﾙｰﾁﾝはRXCIFを解除(0)するためにﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀから受信したﾃﾞｰﾀを読まなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)することができます。

● ﾋﾞｯﾄ6 – TXCIF : 転送完了割り込み要求ﾌﾗｸﾞ (Transter Complete Interrupt Flag)

このﾌﾗｸﾞは送信ｼﾌﾄ ﾚｼﾞｽﾀ内の全ﾃﾞｰﾀが外へｼﾌﾄ出力されてしまい、送信緩衝(DATA)ﾚｼﾞｽﾀに新しいﾃﾞｰﾀがない時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ5 – DREIF : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ (Data Register Empty Interrupt Flag)

このﾌﾗｸﾞは送信緩衝(DATA)ﾚｼﾞｽﾀが新しいﾃﾞｰﾀを受け取る準備が整っているかどうかを示します。このﾌﾗｸﾞは送信緩衝部が空の時に1で、未だｼﾌﾄ ﾚｼﾞｽﾀに移動されてしまっていない送信されるべきﾃﾞｰﾀを送信緩衝部が含む時に0です。DREIFは送信部が準備可なことを示すためにﾘｾｯﾄ後に設定(1)されます。

DREIFはDATAﾚｼﾞｽﾀ書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使用される時に、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みﾙｰﾁﾝはDREIFを解除(0)するためにDATAﾚｼﾞｽﾀに新しいﾃﾞｰﾀを書くか、またはﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みを禁止するかのどちらかを行わなければなりません。

● ﾋﾞｯﾄ4 – SSIF : 従装置選択割り込み要求ﾌﾗｸﾞ (Slave Select trigger Interrupt Flag)

このﾌﾗｸﾞはSPIが主装置動作で$\overline{SS}$線が外部的にLowへ引かれ、故にSPIが今や従装置動作で動くことを示します。このﾌﾗｸﾞは従装置選択禁止(SSD)が許可されていない場合にだけ設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ3~1 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – BUFOVF : 緩衝部溢れﾌﾗｸﾞ (Buffer Overflow)

このﾌﾗｸﾞは受信緩衝部満杯状態のためのﾃﾞｰﾀ消失を示します。このﾌﾗｸﾞは緩衝部溢れ状態が検出された場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2ﾊﾞｲﾄ)で3つ目のﾊﾞｲﾄが受信された時に起きます。送信ﾃﾞｰﾀがなければ、緩衝部溢れは新しい直列転送前に設定(1)されません。このﾌﾗｸﾞは受信緩衝部(DATA)が読まれるまで有効です。SPI状態(STATUS)ﾚｼﾞｽﾀを書く時は常にこのﾋﾞｯﾄ位置に0を書いてください。

20.9.4. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DATA7~0 : SPIﾃﾞｰﾀ (SPI Data)

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀの送受信に使用されます。このﾚｼﾞｽﾀへの書き込みはﾃﾞｰﾀ送信を開始し、このﾚｼﾞｽﾀに書かれたﾊﾞｲﾄがSPI出力線へｼﾌﾄ出力されます。このﾚｼﾞｽﾀの読み込みは緩衝部FIFO内の先頭ﾊﾞｲﾄの読み出しを引き起こします。更にその後、受信したﾊﾞｲﾄがFIFO内に移動されます。

20.9.5. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	BUFMODE1,0		–	–	–	SSD	–	–	CTRLB
Read/Write	R/W	R/W	R	R	R	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – BUFMODE1,0 : 緩衝動作形態 (Buffer Modes)

これらのﾋﾞｯﾄ設定はSPIに対して緩衝動作を許可します。送受信両方に対してSPIへ緩衝部が追加されます。

表20-5. SPI緩衝動作形態

BUFMODE1,0	群形態設定	内容
0 0	OFF	緩衝なし動作: ・受信で単一緩衝、送信で緩衝なし ・送受信両方に対して1つの割り込み要求ﾌﾗｸﾞ
0 1	–	(予約)
1 0	BUFMODE1	緩衝動作1: ・受信で2重緩衝、送信で単一緩衝 ・送信と受信に対して独立した割り込み要求ﾌﾗｸﾞ ・例えSPI許可後でも、ﾃﾞｰﾀがｼﾌﾄ ﾚｼﾞｽﾀに複写される前に1つのSPI転送が完了されなければなりません(最初の送信ﾃﾞｰﾀ=偽装(ﾀﾞﾐｰ)ﾊﾞｲﾄ)。
1 1	BUFMODE2	緩衝動作2: ・受信で2重緩衝、送信で単一緩衝 ・送信と受信に対して独立した割り込み要求ﾌﾗｸﾞ ・SPI許可直後のｼﾌﾄ ﾚｼﾞｽﾀへのﾃﾞｰﾀ書き込み。そして、ﾃﾞｰﾀがｼﾌﾄ ﾚｼﾞｽﾀに複写される前に1つのSPI転送が完了されなければなりません。

● **ﾋﾞｯﾄ5～3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – SSD : 従装置選択禁止** (Slave Select Disable)

このﾋﾞｯﾄの設定(1)はSPI主装置として動作する時に従装置選択線を禁止します。

● **ﾋﾞｯﾄ1,0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

20.10. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CTRLB	BUFMODE1,0		–	–	–	–	–	–	197
+$03	DATA	DATA7~0								197
+$02	STATUS	IF	WRCOL	–	–	–	–	–	–	196
		RXCIF	TXCIF	DREIF	SSIF	–	–	–	BUFOVF	
+$01	INTCTRL	–	–	–	–	–	–	INTLVL1,0		195
		RXCIE	TXCIE	DREIE	SSIF	–	–			
+$00	CTRL	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		195

20.11. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	SPI_vect	SPI割り込みﾍﾞｸﾀ

21. USART

21.1. 要点

- 全二重または単線半二重動作
- 非同期と同期での動作
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/2までの同期ｸﾛｯｸ速度
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/8までの非同期ｸﾛｯｸ速度
- 以下での直列構造体支援
  - 5, 6, 7, 8, 9ﾃﾞｰﾀ ﾋﾞｯﾄ
  - 任意選択の奇数と偶数のﾊﾟﾘﾃｨ ﾋﾞｯﾄ
  - 1または2停止ﾋﾞｯﾄ
- 分数ﾎﾞｰﾚｰﾄ発生器
  - どのｼｽﾃﾑ ｸﾛｯｸ周波数からも望むﾎﾞｰﾚｰﾄを生成可
  - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数ﾊﾟﾘﾃｨ生成器とﾊﾟﾘﾃｨ検査
  - ﾃﾞｰﾀ ｵｰﾊﾞﾗﾝと構造体異常(Framing Error)の検出
  - 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空
  - 受信完了
- 複数ﾌﾟﾛｾｯｻ通信動作
  - 複数ﾃﾞﾊﾞｲｽのﾊﾞｽ上で特定ﾃﾞﾊﾞｲｽをｱﾄﾞﾚｽ指定するためのｱﾄﾞﾚｽ指定の仕組み
  - ｱﾄﾞﾚｽ指定されないﾃﾞﾊﾞｲｽで全てのﾌﾚｰﾑを自動的に無視することが可
- UART動作でのﾌﾚｰﾑ開始検出
- 主装置SPI動作
  - 2重緩衝された動作
  - 形態設定可能なﾃﾞｰﾀ順
  - 周辺ｸﾛｯｸ周波数の1/2までの動作
- IrDA適合ﾊﾟﾙｽ変調/復調用赤外線通信(IRCOM)部署
- XMEGA注文論理回路(XCL)と接続可能
  - ﾌﾚｰﾑ長拡張のための周辺機能計数器(PEC:Peripheral counter)からの送信と受信の事象
  - 接続用論理回路出力を用いることによるﾌﾚｰﾑ内での変調/復調

21.2. 概要

USART(Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信部署です。USARTは非同期と同期の動作と全二重通信それと単線形態設定を支援します。USARTはSPI主装置動作形態に設定してSPI通信に使用することができます。

通信は構造体に基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、構造体間のどんな遅延もなしに継続するﾃﾞｰﾀ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。構造体異常と緩衝部溢れはﾊｰﾄﾞｳｪｱで検知され、独立した状態ﾌﾗｸﾞで示されます。奇数または偶数のﾊﾟﾘﾃｨ生成とﾊﾟﾘﾃｨ検査も許可することができます。

USARTと密接に関連する(灰色の)周辺機能部署の構成図が図21-1.で示されます。主な機能部は破線枠で示されるｸﾛｯｸ発生器、送信部、受信部です。

図21-1. USART構成図

クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使用することの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

送信部は単一書き込み緩衝部(DATA)、シフト レジスタ、パリティ生成器から成ります。書き込み緩衝は構造体間のどんな遅延もなしに連続データ送信を許します。

受信部は2段の受信緩衝部(DATA)とシフト レジスタから成ります。データとクロックの再生部が非同期データ受信中の頑強な同期化と雑音濾波を保証します。これには構造異常、緩衝部溢れ、パリティ異常の検出を含みます。

USARTが単線動作に設定されると、送信部と受信部は同じRxD入出力ピンを共用します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、シフト レジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使用されますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)部署は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。詳細については218頁の「**IRCOM – 赤外線通信部署**」を参照してください。

1つのUSARTはXMEGA注文論理回路(XCL)部に繋げることができます。XCLとでの使用時、USART/SPIフレーム(構造体)内のデータ長はXCL内の周辺機能計数器(PEC)によって制御することができます。加えて、USARTがXCLの参照表(LUT)出力に接続される時に、TxDとRxDのデータは信号がUSART受信部内に注がれる前、または信号が送信部から出力された後で符号化/復号することができます。LUTとPECの使用と設定の方法の詳細については221頁の「**XCL – XMEGA注文論理回路**」部署を参照してください。

21.3. クロック生成

クロックはボーレート発生に使用され、データ ビットのシフトと採取に関しては内部的に分数ボーレート発生器、または外部的に転送クロック(XCK)ピンから生成されます。標準と倍速の非同期動作、主装置と従装置の同期動作、主装置SPI動作の5つの動作のクロック生成が支援されます。

図21-2. クロック生成論理回路構成図

21.3.1. 内部クロック生成 – 分数ボーレート発生器

分数ボーレート発生器は、非同期動作、同期主装置動作、SPI主装置動作に対する内部クロック生成に使用されます。生成された出力周波数(f_{BAUD})は周期設定(BSEL)、任意選択の倍率設定(BSCALE)、周辺クロック周波数(f_{PER})によって決められます。表21-1.は各動作種別に対する、(秒当たりのビット数での)ボーレートの計算とBSEL値の計算用の式を含みます。これは周辺クロック周波数に対する最大ボーレートも示します。BSELは0～4095間のどの値にも設定できます。BSCALEは-7～+7間のどの値にも設定でき、ボーレート発生器の分数ボーレート倍率を提供するためにボーレートを僅かに増減します。

BSELが0の時にBSCALEも0でなければなりません。また、値$2^{ABS(BSCALE)}$は構造体が取る最小クロック周期数の少なくても半分でなければなりません。詳細については208頁の「分数ボーレート生成」をご覧ください。

表21-1. ボーレート レジスタ設定計算式

動作種別	条件	ボーレート計算式	BSEL値計算式
標準速 非同期動作 (CLK2X=0)	BSCALE≧0, $f_{BAUD} \leqq \frac{f_{PER}}{16}$	$f_{BAUD} = \frac{f_{PER}}{2^{BSCALE} \times 16 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2^{BSCALE} \times 16 \times f_{BAUD}} - 1$
	BSCALE＜0, $f_{BAUD} \leqq \frac{f_{PER}}{16}$	$f_{BAUD} = \frac{f_{PER}}{16 \times ((2^{BSCALE} \times BSEL)+1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{16 \times f_{BAUD}}\right) - 1$
倍速 非同期動作 (CLK2X=1)	BSCALE≧0, $f_{BAUD} \leqq \frac{f_{PER}}{8}$	$f_{BAUD} = \frac{f_{PER}}{2^{BSCALE} \times 8 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2^{BSCALE} \times 8 \times f_{BAUD}} - 1$
	BSCALE＜0, $f_{BAUD} \leqq \frac{f_{PER}}{8}$	$f_{BAUD} = \frac{f_{PER}}{8 \times ((2^{BSCALE} \times BSEL)+1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{8 \times f_{BAUD}}\right) - 1$
同期及び SPI主装置動作	$f_{BAUD} < \frac{f_{PER}}{2}$	$f_{BAUD} = \frac{f_{PER}}{2 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2 \times f_{BAUD}} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BSEL=0に関して、全てのボーレートはBSCALE設定の代わりにBSEL変更によって達成されなければなりません。

BSEL=(2望むBSCALE−1)

BSCALE	BSEL		BSCALE	BSEL
1	0	⇒	0	1
2	0	⇒	0	3
3	0	⇒	0	7
4	0	⇒	0	15
5	0	⇒	0	31
6	0	⇒	0	63
7	0	⇒	0	127

21.3.2. 外部クロック

外部クロック(XCK)は同期従装置動作で使用されます。XCKクロック入力は周辺クロック(f_{PER})によって採取され、最大外部XCKクロック周波数(f_{XCK})は次式によって制限されます。

$$f_{XCK} < \frac{f_{PER}}{4}$$

HighとLowの区間の各々に対して、XCKクロック周期は周辺クロックによって2度採取されなければなりません。XCKクロックに細動がある場合、またはHigh/Low区間のデューティ サイクルが50%/50%でない場合、それに応じてXCKクロック速度が低減されなければなりません。

21.3.3. 倍速動作 (CLK2X)

倍速動作は非同期動作下でより低い周辺クロック周波数でのより高いボーレートを許します。これが許可されると、表21-1.で示されるように非同期ボーレート設定を与えるためのボーレートが倍にされます。この動作では受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を用います。減らされた採取のため、より高い精度のボーレートと周辺クロックが必要とされます。より多くの詳細については206頁の「非同期データ受信」をご覧ください。

21.3.4. 同期クロック動作

同期動作が使用されるとき、XCKピンは転送クロックが入力(従装置動作)または出力(主装置動作)のどちらかを制御します。対応するポート ピンは主装置動作に対して出力、従装置動作に対して入力に設定されなければなりません。XCKピンの標準ポート動作は無効にされます。クロック端とデータ採取またはデータ変更間の依存性は同じです。(RxDでの)データ入力はデータ出力(TxD)が変更されるクロック端と逆のクロック端で採取されます。

対応するXCKポート ピンに対する反転I/O許可(INVEN)設定の使用でデータ採取とデータ変更に使用されるXCKクロック端を選択できます。反転I/Oが禁止(INVEN=0)なら、データはXCKクロック上昇端で変更され、XCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)なら、データはXCKクロック下降端で変更され、XCKクロック上昇端で採取されます。より多くの詳細については99頁の「入出力ポート」をご覧ください。

図21-3. 同期動作XCKタイミング

21.3.5. 主装置SPI動作クロック生成

主装置SPI動作形態ついては内部クロック生成だけが支援されます。これはUSART同期主装置動作と同じで、ボーレートまたはBSEL設定は同じ式を使用して計算されます。201頁の表21-1.をご覧ください。

直列データに関してSPIクロック(SCK)の位相と極性で4つの組み合わせがあり、それらはクロック位相(UCPHA)制御ビットと反転I/Oピン(INVEN)設定によって決められます。データ転送タイミング構成図が図21-4.で示されます。

データ ビットはXCK信号の逆端でシフト出力とラッチ入力が行われ、データ信号の安定に充分な時間を保証します。UCPHAとINVEN(PORTx.PINnCTRLレジスタのビット)の設定は表21-2.で要約されます。送信中のこれらビットのどれかの設定変更は送受信部両方を不正にします。

表21-2. INVENとUCPHAの機能

SPI動作種別	INVEN	UCPHA	SCK先行端	SCK後行端
0	0	0	上昇端,入力採取	下降端,出力設定
1	0	1	上昇端,出力設定	下降端,入力採取
2	1	0	下降端,入力採取	上昇端,出力設定
3	1	1	下降端,出力設定	上昇端,入力採取

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図21-4. UCPHAとINVENによるデータ転送タイミング構成図

21.4. 構造体構成

ﾃﾞｰﾀ転送は構造体に基いており、直列構造体は同期ﾋﾞｯﾄ(開始ﾋﾞｯﾄと停止ﾋﾞｯﾄ)を持つ1つのﾃﾞｰﾀ ｷｬﾗｸﾀと任意選択の誤り検査用ﾊﾟﾘﾃｨ ﾋﾞｯﾄから成ります。これが主装置SPI動作に適用されないことに注意してください(「**SPI構造体構成**」をご覧ください)。USARTは有効な構造体構成として以下の組み合わせ全てを受け入れます。

- 1 開始ﾋﾞｯﾄ
- 5, 6, 7, 8, 9 ﾋﾞｯﾄ ﾃﾞｰﾀ
- XCLからの周辺機能計数器(PEC)によって制御される可変ﾋﾞｯﾄ ﾃﾞｰﾀ
- 奇数または偶数ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、またはなし
- 1 または 2 停止ﾋﾞｯﾄ

構造体は開始ﾋﾞｯﾄで始まり、全てのﾃﾞｰﾀ ﾋﾞｯﾄ(最下位ﾃﾞｰﾀ ﾋﾞｯﾄ(LSB)先行、最上位ﾃﾞｰﾀ ﾋﾞｯﾄ(MSB)最終)が後続します。許可なら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄの後、最初の停止ﾋﾞｯﾄの前に挿入されます。1つの構造体は新しい構造体とその開始ﾋﾞｯﾄによって直ちに後続されるか、または通信線をｱｲﾄﾞﾙ状態(high)に戻すことができます。**図21-5.**は組み合わせが可能な構造体形式を図解します。[ ]付きﾋﾞｯﾄは任意選択です。

図21-5. 構造体構成

21.4.1. ﾊﾟﾘﾃｨ ﾋﾞｯﾄ計算

誤り検査用に奇数または偶数のﾊﾟﾘﾃｨが選べます。偶数ﾊﾟﾘﾃｨが選択されたなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄは論理1のﾃﾞｰﾀ ﾋﾞｯﾄ数が奇数の場合に1を設定します(偶数の1の総数を作成)。奇数ﾊﾟﾘﾃｨが選択されたなら、ﾊﾟﾘﾃｨ ﾋﾞｯﾄは論理1のﾃﾞｰﾀ ﾋﾞｯﾄ数が偶数の場合に1を設定します(奇数の1の総数を作成)。

可変ﾃﾞｰﾀ長動作許可時、ﾊﾟﾘﾃｨ ﾋﾞｯﾄ計算は支援されません。

21.4.2. SPI構造体構成

SPI動作での直列構造体は1つの8ﾋﾞｯﾄ ﾃﾞｰﾀ ｷｬﾗｸﾀで定義されます。主装置SPI動作でのUSARTには3つの有効な構造体構成があります。

- MSB先行の8ﾋﾞｯﾄ ﾃﾞｰﾀ
- LSB先行の8ﾋﾞｯﾄ ﾃﾞｰﾀ
- XCLからの周辺機能計数器(PEC)によって制御される(LSB先行の)可変ﾋﾞｯﾄ ﾃﾞｰﾀ

完全なﾌﾚｰﾑ(構造体)が送信された後、新しい構造体が直ぐに続くか、または通信線をｱｲﾄﾞﾙ状態(high)に戻すことができます。

21.5. USART全二重初期化

全二重動作でのUSART設定については以下の初期化手順が推奨されます。

1. TxDﾋﾟﾝ値をHighに、任意選択のXCKﾋﾟﾝをLowに設定してください。
2. TxDと任意選択のXCKﾋﾟﾝを出力として設定してください。
3. ﾎﾞｰﾚｰﾄと構造体構成を設定してください。
4. 動作種別を設定してください(同期動作でのXCKﾋﾟﾝ出力を許可してください)。
5. 任意選択で、可変ﾃﾞｰﾀ長と符号化/復号真理値表に関してXCLを形態設定してください。
6. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に全体割り込みが禁止されるべきです。

ﾎﾞｰﾚｰﾄまたは構造体構成の変更を伴う再初期化を行う前には、そのﾚｼﾞｽﾀが変更される間で実行中の送信がないことを確認してください。

21.6. USART単線初期化

単線動作でのUSART設定については以下の初期化手順が推奨されます。

1. RxD/TxDﾋﾟﾝ値をHighに、任意選択のXCKﾋﾟﾝをLowに設定してください。
2. 任意選択で、RxD/TxD入力ﾋﾟﾝをﾜｲﾔｰﾄﾞANDまたはﾜｲﾔｰﾄﾞORとして設定してください。
3. RxD/TxDと任意選択のXCKﾋﾟﾝを出力として設定してください。
4. ﾎﾞｰﾚｰﾄと構造体構成を設定してください。
5. 動作種別を設定してください(同期動作でのXCKﾋﾟﾝ出力を許可してください)。
6. 任意選択で、可変ﾃﾞｰﾀ長と符号化/復号真理値表に関してXCLを形態設定してください。
7. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に全体割り込みが禁止されるべきです。

ﾎﾞｰﾚｰﾄまたは構造体構成の変更を伴う再初期化を行う前には、そのﾚｼﾞｽﾀが変更される間で実行中の送信がないことを確認してください。

21.7. ﾃﾞｰﾀ送信 - USART送信部

送信部が許可されると、TxDﾋﾟﾝの標準ﾎﾟｰﾄ機能はUSARTによって無効にされ、送信部の直列出力としての機能を与えられます。ﾋﾟﾝの方向は対応するﾎﾟｰﾄの方向ﾚｼﾞｽﾀを使用して出力として設定されなければなりません。ﾎﾟｰﾄ ﾋﾟﾝ制御と出力形態設定の詳細については99頁の「**入出力ﾎﾟｰﾄ**」を参照してください。USARTが単線動作に形態設定された場合、USARTは送信部が許可される時に自動的にRxD/TxDﾋﾟﾝを出力に指定変更します。

21.7.1. 構造体送信

ﾃﾞｰﾀ送信は送出すべきﾃﾞｰﾀを送信緩衝部(DATA)に格納することによって開始されます。送信緩衝部内のﾃﾞｰﾀはｼﾌﾄ ﾚｼﾞｽﾀが空で新しい構造体送出の準備が整っている時にｼﾌﾄ ﾚｼﾞｽﾀへ移動されます。ｼﾌﾄ ﾚｼﾞｽﾀはそれがｱｲﾄﾞﾙ状態(送信実行中以外)の場合、または直前の構造体の最後の停止ﾋﾞｯﾄが送信された直後に格納されます。ｼﾌﾄ ﾚｼﾞｽﾀがﾃﾞｰﾀを格納されると、それは1つの構造体を完全に転送するでしょう。

ﾃﾞｰﾀ構造体(ﾌﾚｰﾑ)長がXCL部内の周辺機能計数器によって制御されると、XCLとUSARTでの事象制御動作は送信部が許可される前に初期化されなければなりません。可変ﾃﾞｰﾀ長動作では、最小ﾌﾚｰﾑ長が1ﾋﾞｯﾄ、最大が256ﾋﾞｯﾄです。最大の大きさは発振器精度に従って選ばれなければなりません。

送信は送るべきﾃﾞｰﾀを送信緩衝部(DATA)に格納することによって開始されます。最初のﾃﾞｰﾀがｼﾌﾄ ﾚｼﾞｽﾀに設定される時にUSARTは周辺機能計数器に再始動指令を供給します。各ﾋﾞｯﾄ移動(ｼﾌﾄ)がこの周辺機能計数器を減少(-1)します。内部計数器値がBOTTOM(0)に達した時にXCLによって比較一致が供給されます。比較一致を受け取らない間、USARTはﾃﾞｰﾀ ﾋﾞｯﾄのｼﾌﾄ出力を続けます。8ﾋﾞｯﾄ ﾃﾞｰﾀ移動完了前に比較一致が起きた場合、USARTはその状態を停止ﾋﾞｯﾄに変更します。比較一致を受け取る前にｼﾌﾄ ﾚｼﾞｽﾀが空の場合、自動的に新しいﾃﾞｰﾀがｼﾌﾄ ﾚｼﾞｽﾀに設定され、送信が継続します。もう送信するﾃﾞｰﾀがなく、比較一致を受け取らない場合、送信が停止され、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空ﾌﾗｸﾞ(DREIF)が生成されます。USARTはｱｲﾄﾞﾙ状態に戻り、周辺機能計数器に対する事象生成を中止します。その後に使用者は既に線上に送られたﾋﾞｯﾄ数を計算することができます。

EDMAとで使用されない時に、ｼｽﾃﾑはDATAﾚｼﾞｽﾀに新しいﾃﾞｰﾀを設定するための割り込み処理ﾙｰﾁﾝに於いて最小の時間しか費やさないようにしなければなりません。

ｼﾌﾄ ﾚｼﾞｽﾀ内の構造体全体がｼﾌﾄ出力され、送信緩衝部内に新しいﾃﾞｰﾀが存在しない時に、送信完了割り込み要求ﾌﾗｸﾞ(TXCIF)が設定(1)され、任意選択の割り込みが生成されます。

送信ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀは、このﾚｼﾞｽﾀが空で新しいﾃﾞｰﾀに対する準備が整っていることを示すﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)の時にだけ書くことができます。

8ﾋﾞｯﾄ未満の構造体使用時、DATAﾚｼﾞｽﾀへ書かれる(未使用)上位側ﾋﾞｯﾄは無視されます。9ﾋﾞｯﾄ ﾃﾞｰﾀが使用される場合、ﾃﾞｰﾀの下位ﾊﾞｲﾄがDATAﾚｼﾞｽﾀへ書かれる前に、第9ﾋﾞｯﾄが制御ﾚｼﾞｽﾀB(CTRLB)の送信ﾋﾞｯﾄ8(TXB8)ﾋﾞｯﾄへ書かれなければなりません。

21.7.2. 送信部禁止

送信部の禁止は実行中と保留中の送信が完了される、換言すると送信ｼﾌﾄ ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信すべきﾃﾞｰﾀを含まず、同時に任意での周辺機能計数器から比較一致を受け取らない時まで有効になりません。この場合、比較一致を生成するために周辺機能計数器(CNTL)ﾚｼﾞｽﾀに$00を書くことが可能です。送信部が禁止されると、もはやTxDﾋﾟﾝ(の標準I/O機能)を無効にせず、例えそれが使用者によって出力として形態設定されていたとしても、ﾋﾟﾝ方向はﾊｰﾄﾞｳｪｱによって自動的に入力として設定されます。

21.8. ﾃﾞｰﾀ受信 – USART受信部

受信部が許可されると、RxDﾋﾟﾝは受信部直列入力として機能します。ﾋﾟﾝの方向は入力として設定されなければならず、そしてこれは既定ﾋﾟﾝ設定です。

21.8.1. 構造体受信

受信部は有効な開始ﾋﾞｯﾄを検出した時にﾃﾞｰﾀ受信を開始します。開始ﾋﾞｯﾄに後続する各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKのｸﾛｯｸで採取され、構造体の最初の停止ﾋﾞｯﾄが受信されるまで受信ｼﾌﾄ ﾚｼﾞｽﾀ内にｼﾌﾄされます。受信部での第2停止ﾋﾞｯﾄは無視されます。最初の停止ﾋﾞｯﾄが受信され、完全な直列構造体が受信ｼﾌﾄ ﾚｼﾞｽﾀに存在すると、ｼﾌﾄ ﾚｼﾞｽﾀの内容が受信緩衝部内へ移動されます。受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)され、任意選択の割り込みが生成されます。

ﾃﾞｰﾀ構造体(ﾌﾚｰﾑ)長がXCL部内の周辺機能計数器によって制御されると、XCLとUSARTでの事象制御動作は受信部が許可される前に初期化されなければなりません。開始ﾋﾞｯﾄが検出されると、USARTは周辺機能計数器へ再始動指令を送ります。

各ﾋﾞｯﾄ移動(ｼﾌﾄ)がこの周辺機能計数器を減少(-1)します。
可変ﾃﾞｰﾀ長動作では、最小ﾌﾚｰﾑ長が1ﾋﾞｯﾄ、最大が256ﾋﾞｯﾄです。最大の大きさは発振器精度に従って選ばれなければなりません。内部計数器値がBOTTOM(0)に達した時にXCLによって比較一致が供給されます。比較一致を受け取らない間、USARTはﾃﾞｰﾀﾋﾞｯﾄのｼﾌﾄ入力を続けます。8ﾋﾞｯﾄ ﾃﾞｰﾀ移動完了前に比較一致が起きた場合、USARTはその状態を停止ﾋﾞｯﾄに変更します。各8ﾋﾞｯﾄ ﾃﾞｰﾀ受信後、ﾃﾞｰﾀ受信ﾌﾗｸﾞ(DRIF)と任意選択の割り込みが生成されます。ﾃﾞｰﾀ緩衝部溢れ状態が生成された場合、受信は中止されて緩衝部溢れ(BUFOVF)ﾌﾗｸﾞが設定(1)されます。新しい開始ﾋﾞｯﾄが検出されない間に周辺機能計数器のためにこれ以上計数なし指令が生成されます。このような異常状態では、どの下降端も有効な開始ﾋﾞｯﾄと見做して周辺機能計数器が自動的にその動作を再始動し得る以外、受信部は禁止されることが高く推奨されます。ﾃﾞｰﾀ受信割り込み要求ﾌﾗｸﾞ(DRIF)と受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)は同じ割り込み線と割り込み設定を共用します。EDMAとで使用されない時に、ｼｽﾃﾑはDATAﾚｼﾞｽﾀからﾃﾞｰﾀを読むための割り込み処理ﾙｰﾁﾝに於いて最小の時間しか費やさないようにしなければなりません。

受信緩衝部はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ位置を読むことによって読めます。DATAﾚｼﾞｽﾀは受信完了割り込み要求ﾌﾗｸﾞが設定(1)されていなければ読むべきではありません。8ﾋﾞｯﾄ未満の構造体使用時、未使用上位側ﾋﾞｯﾄは0として読めます。9ﾋﾞｯﾄ ﾃﾞｰﾀが使用される場合、ﾃﾞｰﾀの下位ﾊﾞｲﾄがDATAﾚｼﾞｽﾀから読まれる前に、状態(STATUS)ﾚｼﾞｽﾀの受信ﾋﾞｯﾄ8(RXB8)が読まれなければなりません。

ﾃﾞｰﾀ構造体(ﾌﾚｰﾑ)長が周辺機能計数器によって制御される場合、受信中にRXB8ﾋﾞｯﾄは使用されません。このﾋﾞｯﾄ位置はﾃﾞｰﾀ受信ﾌﾗｸﾞ(DRIF)を格納するのに使用されます。

21.8.2. 受信異常ﾌﾗｸﾞ

USART受信部は3つの異常ﾌﾗｸﾞを持っています。構造体異常(FERR)、緩衝部溢れ(BUFOVF)、ﾊﾟﾘﾃｨ異常(PERR)が状態(STATUS)ﾚｼﾞｽﾀでｱｸｾｽ可能です。異常ﾌﾗｸﾞはそれらが対応する構造体と共に受信FIFO緩衝部に配置されます。この状態ﾌﾗｸﾞの緩衝処理のためにDATAﾚｼﾞｽﾀ位置読み込みがFIFO緩衝部を変更するので、状態ﾚｼﾞｽﾀは受信緩衝部(DATA)を読む前に読まれなければなりません。

21.8.3. ﾊﾟﾘﾃｨ検査器

許可時、ﾊﾟﾘﾃｨ検査器は到着する構造体のﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果を対応する構造体のﾊﾟﾘﾃｨ ﾋﾞｯﾄと比較します。ﾊﾟﾘﾃｨ異常が検出された場合、ﾊﾟﾘﾃｨ異常(PERR)ﾌﾗｸﾞが設定(1)されます。

可変ﾃﾞｰﾀ長動作許可時、ﾊﾟﾘﾃｨ検査器は支援されません。

21.8.4. 受信部禁止

受信部の禁止は即時です。受信緩衝部が破棄され、実行中の受信ﾃﾞｰﾀは失われます。

21.8.5. 受信緩衝部破棄

通常動作中に受信緩衝部が破棄されなければならない場合、受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が解除(0)されるまでDATA位置を読んでください。

21.9. 非同期ﾃﾞｰﾀ受信

USARTは非同期ﾃﾞｰﾀ受信を使うためのｸﾛｯｸ再生部とﾃﾞｰﾀ再生部を含みます。ｸﾛｯｸ再生部はRxDﾋﾟﾝに到着する非同期直列構造体を内部で生成されたﾎﾞｰﾚｰﾄ ｸﾛｯｸに同期化するのに使用されます。それは各到着ﾋﾞｯﾄを採取して低域通過濾波を行い、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は、内部ﾎﾞｰﾚｰﾄ ｸﾛｯｸの精度、到着構造体の速度、ﾋﾞｯﾄ数での構造体の量に依存します。

21.9.1. 非同期ｸﾛｯｸ再生

ｸﾛｯｸ再生部は内部ｸﾛｯｸを到着直列構造体に同期化します。図21-6.は到着構造体の開始ﾋﾞｯﾄの採取処理を図解します。採取速度は標準速動作に対してﾎﾞｰﾚｰﾄの16倍、倍速動作に対して8倍です。赤帯(**訳注**:原文は水平矢印)は採取処理のための同期偏差を図示します。倍速動作(CLK2X=1)を使用する時のより広い偏差時間に注意してください。0として記される採取はRxD線がｱｲﾄﾞﾙ、換言すると通信活動なしの時に行われる採取です。

図21-6. 開始ﾋﾞｯﾄ採取

ｸﾛｯｸ再生論理回路がRxD線でHigh(ｱｲﾄﾞﾙ)からLow(開始)の遷移を検出すると、開始ﾋﾞｯﾄ検出手順が開始されます。図で示されるように採取1は最初のLow採取を記します。その後ｸﾛｯｸ再生論理回路は有効な開始ﾋﾞｯﾄが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6を使用します。2または3採取がLowﾚﾍﾞﾙを持つ場合、その開始ﾋﾞｯﾄは受け入れられます。ｸﾛｯｸ再生部は同期化され、ﾃﾞｰﾀ再生が始められます。2または3採取がHighﾚﾍﾞﾙを持つ場合、この開始ﾋﾞｯﾄは尖頭雑音として捨てられ、受信部は次のHighからLow遷移を探します。この処理は各開始ﾋﾞｯﾄ毎に繰り返されます。

21.9.2. 非同期ﾃﾞｰﾀ再生

ﾃﾞｰﾀ再生部は各ﾋﾞｯﾄに対して、標準速動作で16採取、倍速動作で8採取を使用します。図21-7.はﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取を示します。

図21-7. ﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄの採取

受信したﾋﾞｯﾄの論理値を決定するために、開始ﾋﾞｯﾄ検出と同じ多数決技法が中央の3採取で使用されます。この処理は構造体が完全に受信されるまで各ﾋﾞｯﾄに対して繰り返されます。これは最初の停止ﾋﾞｯﾄを含みますが、追加の停止ﾋﾞｯﾄを含みません。採取した停止ﾋﾞｯﾄが0値を持つ場合、構造体異常(FERR)ﾌﾗｸﾞが設定(1)されます。

図21-8.は停止ﾋﾞｯﾄの採取と次の構造体の最も早い開始ﾋﾞｯﾄの始めの可能性を示します。

図21-8. 停止ﾋﾞｯﾄ採取と次の開始ﾋﾞｯﾄ採取

新しい構造体の開始ﾋﾞｯﾄを示すHighからLowへの遷移は多数決に使用した最後のﾋﾞｯﾄ後に実現できます。標準速動作に関しては最初のLowﾚﾍﾞﾙ採取が停止ﾋﾞｯﾄ採取と次の開始ﾋﾞｯﾄ採取でのA点で有り得ます。倍速動作については最初のLowﾚﾍﾞﾙがB点に遅らされなければなりません。C点は公称ﾎﾞｰﾚｰﾄでの停止ﾋﾞｯﾄ全長(の終点)を示します。この早い開始ﾋﾞｯﾄ検出は受信部の動作範囲に影響します。

21.9.3. 非同期動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ ﾚｰﾄと内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。外部の送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度を用いて送出したり、内部的に生成した受信部のﾎﾞｰﾚｰﾄが外部供給元の基本周波数と一致しない場合、受信部は開始ﾋﾞｯﾄで構造体を同期できないでしょう。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使用できます。

$$R_{slow} = \frac{(D+1)S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

D	:	ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S	:	ﾋﾞｯﾄ当たりの採取数 (標準速動作=16、倍速動作=8)
S_F	:	多数決に使用する最初の採取番号 (標準速動作=8、倍速動作=4)
S_M	:	多数決に使用する中心の採取番号 (標準速動作=9、倍速動作=5)
R_{slow}	:	は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast}	:	は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

表21-3.は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差を一覧にします。標準速動作にはより高いﾎﾞｰﾚｰﾄ変動許容力があります。

表21-3. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (CLK2X=0)				倍速動作 (CLK2X=1)			
	R_{slow}(%)	R_{fast}(%)	総合許容誤差(%)	推奨許容誤差(%)	R_{slow}(%)	R_{fast}(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。

(訳注) 原書の**表21-3.**と**表21-4.**は**表21-3.**として纏めました。

最大受信部ﾎﾞｰﾚｰﾄ誤差の推奨は送信部と受信部で等分割するとの仮定です。

21.9.4. フレーム(構造体)開始検出

USARTﾌﾚｰﾑ開始検出器はUART動作形態でだけ支援され、ｼｽﾃﾑがより深い休止動作形態の場合にだけ起こります。UARTﾌﾚｰﾑ開始検出器は開始ﾋﾞｯﾄ検出時にﾊﾟﾜｰｾｰﾌﾞ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲの休止動作形態からｼｽﾃﾑを起こすことができます。ﾊﾟﾜｰｾｰﾌﾞ動作ではｸﾛｯｸ元として低電力動作での内部8MHz発振器が使用されなければなりませんが、ｽﾀﾝﾊﾞｲや拡張ｽﾀﾝﾊﾞｲの動作形態ではどのｸﾛｯｸ元でも動作することができます。

RXDnﾋﾟﾝでHighからLowへの遷移が検出されると、発振器が給電されてUSARTｸﾛｯｸが許可されます。ﾎﾞｰﾚｰﾄが発振器始動時間に対して充分遅ければ、始動後にﾃﾞｰﾀ ﾌﾚｰﾑ(構造体)の残りを受信することができます。発振器始動時間特性の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。
誤った開始ﾋﾞｯﾄが検出された場合、ｼｽﾃﾑが別の供給元によって起こされてしまっていないなら、発振器は自動的に電源OFFされ、UARTは次の遷移を待ちます。

USARTﾌﾚｰﾑ開始検出は非同期動作でだけ動きます。これは214頁の「**CTRLB – 制御ﾚｼﾞｽﾀB**」のﾌﾚｰﾑ開始検出許可(SFDEN)ﾋﾞｯﾄを(1に)書くことによって許可されます。開始ﾋﾞｯﾄが検出された場合、UART開始割り込み要求ﾌﾗｸﾞ(RXSIF)が設定(1)されます。

活動とｱｲﾄﾞﾙの動作形態では、非同期検出が自動的に禁止されます。ﾊﾟﾜｰﾀﾞｳﾝ休止動作では非同期検出器が許可されますが、内部発振器が決して給電されません。このような場合、ﾊﾟﾜｰﾀﾞｳﾝ休止動作へ行く前に開始検出器を禁止することが高く推奨されます。

UART受信完了ﾌﾗｸﾞ(RXCIF)とUART開始割り込み要求ﾌﾗｸﾞ(RXSIF)は同じ割り込み線を共用しますが、各々は専用の割り込み設定を持ちます。**表21-5.**は割り込み設定に依存するUSARTﾌﾚｰﾑ開始検出動作形態を示します。

表21-5. USARTﾌﾚｰﾑ開始検出動作形態

SFDEN	RXSIF割り込み	RXCIF割り込み	注釈
0	x	x	標準動作
1	禁止	禁止	発振器はﾌﾚｰﾑ受信中にだけ給電されます。割り込みが禁止されて緩衝部溢れが無視された場合、全ての到着ﾃﾞｰﾀが失われます。
1 (注)	禁止	許可	ｼｽﾃﾑ/全てのｸﾛｯｸが受信完了割り込みで起き(起動し)ます。
1 (注)	許可	x	ｼｽﾃﾑ/全てのｸﾛｯｸがUART開始検出で起き(起動し)ます。

注: SLEEP命令は通信進行中の場合に発振器を停止しません。

21.10. 分数ボーレート生成

分数ボーレート生成は各構造体に対して相対的に高いクロック周期数のため、非同期動作に対して可能です。各ビットは16回採取されますが、中央3採取だけが重要です。1つの構造体に対する総採取数も相対的に高くなります。1開始ビット、8データ ビット、パリティなし、1停止ビットの構造体構成が与えられ、標準速動作が使用されると仮定すると、構造体に対する総採取数は(1+8+1)×16=160です。先に述べられたように、USARTは各採取に関してクロック周期での変化を許容できます。重要な要素は開始ビットの上昇端(換言するとクロック同期化)から最後のビット(換言すると最初の停止ビット)の値が再生されるまでの時間です。

標準的なボーレート発生器は高いボーレート設定間に大きな周波数段差を持つ望まれない特性を持っています。最悪の場合はBSEL値$000と$001間で得られます。160クロック周期の10ビット構造体での$000のBSEL値から320クロック周期でのBSEL値$001への状態は、周波数での50%変化を生じます。理想的な段階量は最速ボーレート間までも小さくあるべきです。これは分数ボーレート発生器の優位性が登場する場面です。

原則的に分数ボーレート発生器は一様でない計数とその後の構造体全体に渡って誤差を均一に分配することによって動きます。通常のボーレート発生器に対する代表的な計数の流れは以下です。

2, 1, 0, 2, 1, 0, 2, 1, 0, 2, ･･･

これは一様な時間周期を持ちます。ボーレート クロックは計数器が0に達する時毎に刻まれ、RxDで受信した信号の採取は第16ボーレート クロック刻み毎に行われます。

分数ボーレート発生器に関しては計数の流れが一様でない周期を持てます。

2, 1, 0, 3, 2, 1, 0, 2, 1, 0, 3, 2, ･･･

この例では追加周期が毎回の第2ボーレート クロックに付加されています。これはボーレート クロックの刻みに細動を与えますが、平均周期は0.5クロック周期の分数によって増やされます。

図21-9.は単にBSELを変更することによって可能な間でボーレートを達成するのにBSELとBSCALEがどう使用され得るかの例を示します。

分数ボーレート発生器の衝撃はボーレート設定間の段階量が低減されることです。-1の倍率係数が与えられると、その後の最悪段階は以前の160から320に比べて10ビット構造体当たり160から240採取になります。より大きな負の倍率係数はより細かい粒度(分解能)までも与えます。倍率係数をどれだけ高くできるかには制限があります。値2^{BSCALE}は構造体にかかるクロック周期の少なくても半分でなければなりません。例えば10ビット構造体に対する最小クロック周期数は160です。これは利用可能な最高倍率係数が$-6(2^{|-6|}=64<(160/2)=80)$であることを意味します。より高いBSEL設定については倍率係数を増やすことができます。

図21-9. 分数ボーレート例

表21-6. USARTボーレート

ボーレート (bps)	fosc = 32MHz						ボーレート (bps)	fosc = 32MHz					
	CLK2X=0			CLK2X=1				CLK2X=0			CLK2X=1		
	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)		BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)
2400	12	6	0.2	12	7	0.2	460.8k	27	-3	-0.8	31	-2	-0.8
4800	12	5	0.2	12	6	0.2		107	-5	-0.1	123	-4	-0.1
9600	12	4	0.2	12	5	0.2	921.6k	19	-4	-0.8	27	-3	-0.8
14400	34	2	0.8	34	3	0.2		75	-6	-0.1	107	-5	-0.1
	138	0	-0.1	138	1	-0.1	1.382M	7	-4	0.6	15	-3	0.6
19200	12	3	0.2	12	4	0.2		57	-7	0.1	121	-6	0.1
28800	34	1	-0.8	34	2	-0.8	1.843M	3	-5	-0.8	19	-4	-0.8
	137	-1	-0.1	138	0	-0.1		11	-7	-0.1	75	-6	-0.1
38400	12	2	0.2	12	3	0.2	2.0M	0	0	0.0	1	0	0.0
57600	34	0	-0.8	34	1	-0.8	2.304M	-	-	-	3	-2	-0.8
	135	-2	-0.1	137	-1	-0.1		-	-	-	47	-6	-0.1
76800	12	1	0.2	12	2	0.2	2.5M	-	-	-	19	-4	0.4
115.2k	33	-1	-0.8	34	0	-0.8		-	-	-	77	-7	-0.1
	131	-3	-0.1	135	-2	-0.1	3.0M	-	-	-	11	-5	-0.8
230.4k	31	-2	-0.8	33	-1	-0.8		-	-	-	43	-7	-0.2
							4.0M	-	-	-	0	0	0.0
							最高速	2.0Mbps			4.0Mbps		

21.11. 主装置SPI動作でのUSART

主装置SPI動作でUSARTを使用するには送信部の許可が必要です。受信部は直列入力として扱うために任意選択で許可にできます。XCKピンは転送クロックとして使用されます。

USARTでのようにデータ転送はデータ(DATA)レジスタへの書き込みによって開始されます。送信部が転送クロックを制御するので、これは送受信データの両方に対する場合です。DATAに書かれたデータはシフトレジスタが新しい構造体を送る準備が整った時に送信緩衝部からシフトレジスタへ移動されます。

主装置SPI動作で使用される送受信割り込み要求フラグと対応するUSART割り込みは通常のUSART動作での使用と機能的に同じです。受信部異常状態フラグは未使用で常に0として読めます。

主装置SPI動作でのUSART送信部または受信部の禁止は通常のUSART動作でのそれらの禁止と同じです。

21.12. USART SPIとSPIの比較

主装置SPI動作でのUSARTは以下に於いて独立したSPI部署と完全な互換性があります。

- タイミング図が同じ
- クロック位相選択(UCPHA)ビットはSPIの動作種別0(MODE0)ビットのそれと機能的に同じです。
- データ順選択(UDORD)ビットはSPIのデータ順選択(DORD)ビットのそれと機能的に同じです。

USARTが主装置SPI動作に設定されると、形態設定と使い方は独立したSPI部署のそれらといくつかの場合で異なります。加えて、以下の違いが存在します。

- 主装置SPI動作でのUSARTはSPIの上書き発生(WRCOL)ビット((書き込み衝突)機能)を含みません。
- 主装置SPI動作でのUSARTはSPIの倍速許可(CLK2X)ビット(倍速動作機能)を含みませんが、これはそれに応じてボーレート発生器を形態設定することによって達成することができます。
- 割り込みタイミングが互換ではありません。
- 主装置SPI動作でのUSARTが主装置動作だけのため、ピン制御が異なります。

主装置SPI動作でのUSARTとSPIでのピンは表21-7.で示されます。

表21-7. 主装置SPI動作でのUSARTとSPIのピン比較

USART	SPI	注釈
TXD	MOSI	主装置出力のみ
RXD	MISO	主装置入力のみ
XCK	SCK	(機能的に同一)
該当なし	$\overline{SS}$	主装置SPI動作でのUSARTで未支援

21.13. 複数ﾌﾟﾛｾｯｻ通信動作

複数ﾌﾟﾛｾｯｻ通信動作(MPCM)は同一直列ﾊﾞｽ経由で複数ﾏｲｸﾛ ｺﾝﾄﾛｰﾗの通信を持つｼｽﾃﾑで、受信部によって扱われなければならない到着構造体数を効果的に減らします。この動作では構造体がｱﾄﾞﾚｽまたはﾃﾞｰﾀのどちらかを示すために構造体内の専用ﾋﾞｯﾄが使用されます。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含む構造体受信に初期設定されるなら、最初の停止ﾋﾞｯﾄが構造体形式を示すのに使用されます。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄの構造体に初期設定されるなら、第9ﾋﾞｯﾄが使用されます。構造体形式(最初の停止または第9)ﾋﾞｯﾄが1のとき、その構造体はｱﾄﾞﾚｽを含みます。構造体形式ﾋﾞｯﾄが0のとき、その構造体はﾃﾞｰﾀ構造体です。5～8ﾋﾞｯﾄ ﾃﾞｰﾀ構造体が使用される場合、最初の停止ﾋﾞｯﾄが構造体形式を示すのに使用されるので、送信部は2停止ﾋﾞｯﾄ使用に設定されなければなりません。

特定の従装置MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ構造体を通常のように受信し、一方他の従装置MCUは別のｱﾄﾞﾚｽ構造体が受信されるまで構造体を無視します。

21.13.1. 複数ﾌﾟﾛｾｯｻ通信動作の使い方

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するために次の手順が使用されるべきです。

1. 全ての従装置MCUは複数ﾌﾟﾛｾｯｻ通信動作です(MPCM=1)。
2. 主装置MCUはｱﾄﾞﾚｽ構造体を送り、全ての従装置がこの構造体を受信して読みます。
3. 各従装置MCUは選択されたかを判定します。
4. ｱﾄﾞﾚｽ指定されたMCUはMPCMを禁止して全てのﾃﾞｰﾀ構造体を受信します。他の従装置CPUはﾃﾞｰﾀ構造体を無視します。
5. ｱﾄﾞﾚｽ指定されたMCUが最終ﾃﾞｰﾀ構造体を受信すると、MPCMを再び許可して主装置からの新しいｱﾄﾞﾚｽ構造体を待たなければなりません。

その後、手順は2.からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ構造体構成のどれかの使用は、受信側がnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ構造体構成の使用を切り替えなければならないため非実用的です。これは送信側と受信側が同じﾃﾞｰﾀ長設定を使用しなければならないので、全二重動作を困難にします。

21.14. 単線動作

この動作形態ではTxDﾋﾟﾝが内部的にRxDﾋﾟﾝへ接続されます。送信時に受信部が許可される場合、送信部が送っているものを受信します。これは受信したﾃﾞｰﾀが送信されたﾃﾞｰﾀと同じでないために、他の誰もが送信しようとしないことを調べるのに使用することができます。

21.15. ﾃﾞｰﾀ符号化/復号

この動作形態が使用されると、200頁の図21-1.で示されるように、USARTﾌﾚｰﾑ(構造体)はXCL部署内の参照表(LUT)部を用いて符号化または復号することができます。ULTの使用と設定の方法の詳細については221頁の「XCL – XMEGA注文論理回路」部署を参照してください。

USARTは各々専用の参照表とで独立した符号化または復号を支援することができます。USARTは各種の符号化と復号の形式を実装しますが、これらの任意選択は送受信部の両方の内部ｴﾝｼﾞﾝに適用します。

送信では符号化形式設定に依存して、ﾋﾟﾝに送られるﾃﾞｰﾀはUSART出力から、または直接XCLのLUT1出力から取られます。受信では復号形式設定に依存して、USARTへ送られるﾃﾞｰﾀはﾋﾟﾝから直接、またはXCLのLUT0出力から取られます。

符号化/復号の形式のより多くの詳細については215頁の「CTRLD – 制御ﾚｼﾞｽﾀD」記述を参照してください。

図21-10. USART符号化/復号の仕組み

21.16. 赤外線通信(IRCOM)動作

IRCOM動作はUSARTと共にIRCOM部署の使用を許可されることで行えます。これは115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA1.4適合の変調と復調を可能にします。IRCOM動作が許可されると、USARTに対して倍速動作は使用できません。複数のUSARTを持つﾃﾞﾊﾞｲｽに関して、IRCOMは同時にXCL部署に繋がっていない1つのUSARTに対してだけ許可することができます。詳細については218頁の「**IRCOM – 赤外線通信部署**」を参照してください。

21.17. EDMA支援

EDMA支援はUART、USRT、SPI主装置動作周辺機能で利用可能です。USARTの各種EDMA転送起動の詳細については39頁の「**転送起動元**」を参照してください。

可変ﾃﾞｰﾀ長受信動作ではEDMA転送を起動するのにﾃﾞｰﾀ受信ﾌﾗｸﾞ(DRIF)が使用されます。

21.18. ﾚｼﾞｽﾀ説明

21.18.1. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	RXB7~0								DATA
	TXB7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USART送信ﾃﾞｰﾀ緩衝(TXB)ﾚｼﾞｽﾀとUSART受信ﾃﾞｰﾀ緩衝(RXB)ﾚｼﾞｽﾀは同じI/Oｱﾄﾞﾚｽを共用し、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(DATA)として参照されます。TXBﾚｼﾞｽﾀはDATAﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。DATAﾚｼﾞｽﾀ位置読み込みはRXBﾚｼﾞｽﾀの内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀに関しては上位未使用ﾋﾞｯﾄが送信部によって無視され、受信部によって0に設定されます。

送信緩衝部は状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ(DREIF)が設定(1)されている時にだけ書くことができます。DREIFﾌﾗｸﾞが設定(1)されていない時にDATAﾚｼﾞｽﾀへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されてﾃﾞｰﾀが送信緩衝部に書かれると、送信部はｼﾌﾄ ﾚｼﾞｽﾀが空の時にﾃﾞｰﾀを送信ｼﾌﾄ ﾚｼﾞｽﾀへ格納します。その後ﾃﾞｰﾀはTxDﾋﾟﾝで送信されます。

受信緩衝部は2段のFIFOから成ります。FIFOとSTATUSﾚｼﾞｽﾀ内の対応するﾌﾗｸﾞは受信緩衝部がｱｸｾｽさ(読ま)れた時に必ず状態を変更します。受信緩衝部の正しい状態を得るため、常にDATAに先行してSTATUSを読んでください。

21.18.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	RXSIF	RXB8/DRIF	STATUS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	1	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – RXCIF : 受信完了割り込み要求ﾌﾗｸﾞ** (Receive Complete Interrupt Flag)

標準動作では、受信緩衝部内に未読ﾃﾞｰﾀがある時にこのﾌﾗｸﾞが設定(1)され、受信緩衝部が空の(換言すると何れの未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄され、その結果としてRXCIFが0になります。

割り込み駆動ﾃﾞｰﾀ受信が使用される時に、受信完了割り込み処理ﾙｰﾁﾝはRXCIFを解除(0)するためにﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀから受信したﾃﾞｰﾀを読まなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

可変ﾃﾞｰﾀ長動作では、有効な停止ﾋﾞｯﾄが検出された時にこのﾌﾗｸﾞが生成(1)されます。ﾃﾞｰﾀ受信ﾌﾗｸﾞ(DRIF)状態ﾋﾞｯﾄは受信緩衝部内に未読ﾃﾞｰﾀが存在するか否かを示します。RXCIF割り込みがDRIF割り込みと割り込みｱﾄﾞﾚｽを共用するため、RXCIFは割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ6 – TXCIF : 送信完了割り込み要求ﾌﾗｸﾞ** (Transmit Complete Interrupt Flag)

このﾌﾗｸﾞは送信ｼﾌﾄ ﾚｼﾞｽﾀの構造体全体がｼﾌﾄ出力され、送信緩衝部(DATA)内に新しいﾃﾞｰﾀがない時に設定(1)されます。TXCIFは送信完了割り込みﾍﾞｸﾀが実行される時、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● **ﾋﾞｯﾄ5 – DREIF : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ** (Data Register Empty Flag)

DREIFは送信緩衝部(DATA)が新しいﾃﾞｰﾀを受け取る準備が整っているかを示します。このﾌﾗｸﾞは送信緩衝部が空の時に1で、ｼﾌﾄ ﾚｼﾞｽﾀ内へ未だ移動されていない送信されるべきﾃﾞｰﾀを送信緩衝部が含む時に0です。DREIFは送信部準備完了を示すためにﾘｾｯﾄ後に設定(1)されます。

DREIFはDATA書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使用されるとき、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み処理ﾙｰﾁﾝはDREIFを解除(0)するためにDATAに新しいﾃﾞｰﾀを書くか、またはﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みを禁止しなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。

● **ﾋﾞｯﾄ4 – FERR : 構造体(ﾌﾚｰﾑ)異常ﾌﾗｸﾞ** (Frame Error)

FERRﾌﾗｸﾞは受信緩衝部に格納された読み込み可能な次の構造体の最初の停止ﾋﾞｯﾄの状態を示します。このﾋﾞｯﾄは受信したﾃﾞｰﾀが構造体異常を持つ場合、換言すると、最初の停止ﾋﾞｯﾄが0だった時に設定(1)され、受信したﾃﾞｰﾀの停止ﾋﾞｯﾄが1の時に解除(0)されます。このﾋﾞｯﾄは受信緩衝部が読まれるまで有効です。受信部は最初の停止ﾋﾞｯﾄを除いて全てを無視するので、FERRは制御ﾚｼﾞｽﾀC(CTRLC)の停止ﾋﾞｯﾄ種別(SBMODE)ﾋﾞｯﾄ設定によって影響を及ぼされません。STATUSﾚｼﾞｽﾀを書く時、常にこのﾋﾞｯﾄ位置に0を書いてください。

このﾌﾗｸﾞは主装置SPI動作形態で使用されません。

● ﾋﾞｯﾄ3 – BUFOVF : 緩衝部溢れﾌﾗｸﾞ (Buffer Overflow)

BUFOVFﾌﾗｸﾞは受信緩衝部満杯状態のためのﾃﾞｰﾀ損失を示します。このﾌﾗｸﾞは緩衝部溢れ状態が検出される場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2ﾃﾞｰﾀ)で、新しいﾃﾞｰﾀが受信ｼﾌﾄ ﾚｼﾞｽﾀで待機中で、標準動作で新しい開始ﾋﾞｯﾄが検出される、または可変ﾃﾞｰﾀ長動作で新しいﾋﾞｯﾄが受信される時に起きます。このﾌﾗｸﾞは受信緩衝部(DATA)が読まれるまで有効です。STATUSﾚｼﾞｽﾀを書く時は常にこのﾋﾞｯﾄ位置に0を書いてください。

このﾌﾗｸﾞは主装置SPI動作形態で使用されません。

● ﾋﾞｯﾄ2 – PERR : ﾊﾟﾘﾃｨ異常ﾌﾗｸﾞ (Parity Error)

ﾊﾟﾘﾃｨ検査が許可され、受信緩衝部内の次のﾃﾞｰﾀがﾊﾟﾘﾃｨ異常を持つ場合に、このﾌﾗｸﾞが設定(1)されます。ﾊﾟﾘﾃｨ検査が許可されていなければ、PERRは常に0として読まれます。このﾌﾗｸﾞは受信緩衝部(DATA)が読まれるまで有効です。STATUSﾚｼﾞｽﾀを書く時、常にこのﾋﾞｯﾄ位置に0を書いてください。ﾊﾟﾘﾃｨ計算の詳細については203頁の「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄ計算**」を参照してください。

このﾌﾗｸﾞは主装置SPI動作形態で使用されません。

● ﾋﾞｯﾄ1 – RXSIF : 受信開始ﾌﾗｸﾞ (RX Start Flag)

RXSIFﾌﾗｸﾞはRxD線上での有効な開始条件を示します。このﾌﾗｸﾞはｼｽﾃﾑがﾊﾟﾜｰｾｰﾌﾞ、ｽﾀﾝﾊﾞｲ、または拡張ｽﾀﾝﾊﾞｲの動作でHigh(ｱｲﾄﾞﾙ)からLow(開始)への有効な遷移がRxD線上で検出された時に設定(1)されます。開始検出が許可されないなら、RXSIFは常に0として読まれます。

割り込み駆動ﾃﾞｰﾀ受信が使用される時に、受信完了割り込み処理ﾙｰﾁﾝは最初にSTATUSﾚｼﾞｽﾀを読まなければなりません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによってのみ解除(0)できます。

このﾌﾗｸﾞは主装置SPI動作形態で使用されません。

● ﾋﾞｯﾄ0 – RXB8 : 受信ﾋﾞｯﾄ8 (Receive Bit 8)

RXB8は第9ﾃﾞｰﾀ ﾋﾞｯﾄを持つ直列構造体での動作時に受信したﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄです。使用時、このﾋﾞｯﾄはDATAﾚｼﾞｽﾀから下位ﾋﾞｯﾄを読む前に読まれなければなりません。このﾋﾞｯﾄは周辺機能計数器がﾌﾚｰﾑ(構造体)ﾃﾞｰﾀ長を制御する時に未使用です。

● ﾋﾞｯﾄ0 – DRIF : ﾃﾞｰﾀ受信ﾌﾗｸﾞ (Data Reception Flag)

このﾌﾗｸﾞは可変ﾃﾞｰﾀ長動作に於いて受信緩衝部内に未読ﾃﾞｰﾀがある時にだけ設定(1)されます。このﾌﾗｸﾞは受信緩衝部が空の(換言すると、どんな未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄されて結果としてDRIFが0になります。

任意で割り込みを生成することができます。DRIF割り込みはRXCIF割り込みと割り込みｱﾄﾞﾚｽを共用します。割り込み駆動ﾃﾞｰﾀ受信が使用される時に、受信完了割り込み処理ﾙｰﾁﾝはDRIFを解除(0)するためにDATAﾚｼﾞｽﾀから受信したﾃﾞｰﾀを読まなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

21.18.3. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	RXSIE	DRIE	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – RXSIE : 受信ﾌﾚｰﾑ開始割り込み許可 (Receive Start of Frame Interrupt Enable)

このﾋﾞｯﾄの設定(1)はﾌﾚｰﾑ(構造体)開始割り込みを許可します。この割り込みﾚﾍﾞﾙは受信完了割り込みﾚﾍﾞﾙ(RXCINTLVL)ﾋﾞｯﾄ設定によって制御されます。

許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀの受信開始ﾌﾗｸﾞ(RXSIF)が設定(1)される時の条件に対して起動します。

● ﾋﾞｯﾄ6 – DRIE : ﾃﾞｰﾀ受信割り込み許可 (Data Reception Interrupt Enable)

このﾋﾞｯﾄの設定(1)はﾃﾞｰｱ受信割り込みを許可します。この割り込みﾚﾍﾞﾙは受信完了割り込みﾚﾍﾞﾙ(RXCINTLVL)ﾋﾞｯﾄ設定によって制御されます。

許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ受信ﾌﾗｸﾞ(DRIF)が設定(1)される時の条件に対して起動します。

● ﾋﾞｯﾄ5,4 – RXCINTLVL1,0 : 受信完了割り込みﾚﾍﾞﾙ (Receive Complete Interrupt Level)

これらのﾋﾞｯﾄは81頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀの受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ3,2 – TXCINTLVL1,0 : 送信完了割り込みﾚﾍﾞﾙ (Transmit Complete Interrupt Level)

これらのﾋﾞｯﾄは81頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀの送信完了割り込み要求ﾌﾗｸﾞ(TXCIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ1,0 – DREINTLVL1,0 : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みﾚﾍﾞﾙ (USART Data Register Empty Interrupt Level)

これらのﾋﾞｯﾄは94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)される時に起動されます。

21.18.4. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	ONEWIRE	SFDEN	–	RXEN	TXEN	CLK2X	MPCM	TXB8	CTRLB
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ONEWIRE : 単線形態設定許可** (One-Wire Configuration Enabled)

このﾋﾞｯﾄの設定(1)は210頁の「**単線動作**」で記述されるように、USARTのTxDとRxDﾋﾟﾝの多重化を許可します。

● **ﾋﾞｯﾄ6 – SFDEN : ﾌﾚｰﾑ開始検出許可** (Start Feame Detection Enable)

このﾋﾞｯﾄに1を書くことがUSARTﾌﾚｰﾑ(構造体)開始検出動作を許可します。207頁の「**ﾌﾚｰﾑ(構造体)開始検出**」で記述されるように、ﾌﾚｰﾑ開始検出器はRxD線上でHigh(ｱｲﾄﾞﾙ)からLow(開始)への遷移が検出される時にﾊﾟﾜｰｾｰﾌﾞまたはｽﾀﾝﾊﾞｲの休止動作形態からｼｽﾃﾑを起こすことができます。ｼｽﾃﾑが活動またはｱｲﾄﾞﾙの動作形態の場合、このﾋﾞｯﾄ設定は無視されます。このﾋﾞｯﾄが設定(1)される場合、深い休止動作形態での電力消費を避けるために対応するRxDﾋﾟﾝが駆動されなければなりません。

● **ﾋﾞｯﾄ5 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – RXEN : 受信許可** (Receiver Enable)

このﾋﾞｯﾄの設定(1)がUSART受信部を許可します。受信部は許可された時にRxDﾋﾟﾝに対する標準ﾎﾟｰﾄ動作を無効にします。受信部の禁止(RXENの0書き込み)は受信緩衝部を破棄して構造体異常(FERR)、緩衝部溢れ(BUFOVF)、ﾊﾟﾘﾃｨ異常(PERR)のﾌﾗｸﾞを無効にします。

● **ﾋﾞｯﾄ3 – TXEN : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄの設定(1)がUSART送信部を許可します。送信部は許可された時にTxDﾋﾟﾝに対する標準ﾎﾟｰﾄ動作を無効にします。送信部の禁止(TXENの0書き込み)は実行中と保留中の送信が完了される、換言すると送信ｼﾌﾄ ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信すべきﾃﾞｰﾀを含まない時まで有効になりません。禁止時、送信部はもはやTxDﾋﾟﾝを無効にしません。

● **ﾋﾞｯﾄ2 – CLK2X : 倍速動作** (Double Transmission Speed)

このﾋﾞｯﾄの設定(1)はﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減らし、非同期通信動作に対して転送速度を効果的に倍にします。

● **ﾋﾞｯﾄ1 – MPCM : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMﾋﾞｯﾄが1を書かれると、USART受信部はｱﾄﾞﾚｽ情報を含まない到着構造体全てを無視します。送信部はMPCM設定によって影響を及ぼされません。より多くの詳細情報については210頁の「**複数ﾌﾟﾛｾｯｻ通信動作**」をご覧ください。

● **ﾋﾞｯﾄ0 – TXB8 : 送信ﾋﾞｯﾄ8** (Transmit Bit 8)

TXB8は第9ﾃﾞｰﾀ ﾋﾞｯﾄを持つ直列構造体で動作する時に送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄです。使用時、このﾋﾞｯﾄはDATAﾚｼﾞｽﾀへ下位ﾋﾞｯﾄが書かれる前に書かれなければなりません。このﾋﾞｯﾄは周辺機能計数器がﾌﾚｰﾑ(構造体)ﾃﾞｰﾀ長を制御する時に無視されます。

21.18.5. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			CTRLC
	CMODE1,0		–	–	–	UDORD	UCPHA	–	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 下段は主装置SPI動作での機能です。

● **ﾋﾞｯﾄ7,6 – CMODE1,0 : 通信動作種別** (Communication Mode)

これらのﾋﾞｯﾄは**表21-8.**で示されるようにUSARTの動作種別を選びます。

表21-8. CMODEﾋﾞｯﾄ設定

CMODE1,0	群形態設定	動作種別
0 0	ASYNCHRONOUS	非同期USART
0 1	SYNCHRONOUS	同期USART
1 0	IRCOM	赤外線通信(IRCOM) (注1)
1 1	MSPI	主装置SPI (注2)

注1: IRCOM動作使用の完全な記述については218頁の「**IRCOM – 赤外線通信部署**」をご覧ください。
注2: 主装置SPI動作の完全な記述については209頁の「**主装置SPI動作でのUSART**」をご覧ください。

● ﾋﾞｯﾄ5,4 – PMODE1,0 : ﾊﾟﾘﾃｨ動作種別 (Parity Mode)

これらのﾋﾞｯﾄは表21-9.に従ってﾊﾟﾘﾃｨ生成の形式の許可と設定を行います。許可時、送信部は各構造体内の送信すべきﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを自動的に生成して送出します。受信部は到着ﾃﾞｰﾀに対してﾊﾟﾘﾃｨ値を生成し、それをPMODE設定と比較して、不一致が検出された場合に状態(STATUS)ﾚｼﾞｽﾀのﾊﾟﾘﾃｨ異常(PERR)ﾌﾗｸﾞが設定(1)されます。

表21-9. PMODEﾋﾞｯﾄ設定

PMODE1,0	群形態設定	ﾊﾟﾘﾃｨ動作種別
0 0	DISABLED	禁止
0 1	–	(予約)
1 0	EVEN	偶数ﾊﾟﾘﾃｨ許可
1 1	ODD	奇数ﾊﾟﾘﾃｨ許可

● ﾋﾞｯﾄ3 – SBMODE : 停止ﾋﾞｯﾄ種別 (Stop Bit Mode)

このﾋﾞｯﾄは表21-10.に従って送信部で挿入される停止ﾋﾞｯﾄ数を選びます。受信部はこの設定を無視します。

表21-10. SBMODEﾋﾞｯﾄ設定

SBMODE	停止ﾋﾞｯﾄ
0	1
1	2

● ﾋﾞｯﾄ2~0 – CHSIZE2~0 : ﾃﾞｰﾀ量 (Character Size)

CHSIZE2～0ﾋﾞｯﾄは表21-11.に従って構造体内のﾃﾞｰﾀ ﾋﾞｯﾄ数を設定します。送受信部が同じ設定を使用します。CHSIZEﾋﾞｯﾄ設定は周辺機能計数器がﾌﾚｰﾑ(構造体)ﾃﾞｰﾀ長を制御する時に無視されます。

表21-11. CHSIZEﾋﾞｯﾄ設定

CHSIZE2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
群形態設定	5BIT	6BIT	7BIT	8BIT	–	–	–	9BIT
ﾃﾞｰﾀ長	5ﾋﾞｯﾄ	6ﾋﾞｯﾄ	7ﾋﾞｯﾄ	8ﾋﾞｯﾄ	(予約)	(予約)	(予約)	9ﾋﾞｯﾄ

● ﾋﾞｯﾄ2 – UDORD : ﾃﾞｰﾀ順 (Data Order)

このﾋﾞｯﾄは構造体形式を設定します。1書き込み時、ﾃﾞｰﾀ語のLSBが最初に送信されます。0書き込み時、ﾃﾞｰﾀ語のMSBが最初に送信されます。送受信部が同じ設定を使用します。UDORDの設定変更は送受信部両方に対して実行中の通信を不正にします。このﾋﾞｯﾄは主装置SPI動作に対してだけ有効です。

可変ﾃﾞｰﾀ長動作では、このﾋﾞｯﾄが1に設定されなければなりません。

● ﾋﾞｯﾄ1 – UCPHA : ｸﾛｯｸ位相 (Clock Phase)

UCPHAﾋﾞｯﾄ設定はﾃﾞｰﾀがXCKの先行(先頭)端または後行(最終)端のどちらで採取されるのかを決めます。詳細については202頁の「主装置SPI動作ｸﾛｯｸ生成」を参照してください。

21.18.6. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	DECTYPE1,0		LUTACT1,0		PECACT1,0		CTRLD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読まれます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5,4 – DECTYPE1,0 : 復号/符号化形式 (Decoding and encoding type)

これらのﾋﾞｯﾄは表21-12.で示されるように、受信部と送信部の両ｴﾝｼﾞﾝに対して適用される復号と符号化の形式を決めます。この設定は参照表活動(LUTACT)設定に従って適用されます。

表21-12. USART復号/符号化形式

DECTYPE1,0	群形態設定	内容
0 0	DATA	ﾃﾞｰﾀ領域中にだけ参照表(LUT)出力(OUT)を適用します。
0 1	–	(予約)
1 0	SDATA	開始(ﾋﾞｯﾄ)とﾃﾞｰﾀ領域中にだけ参照表(LUT)出力(OUT)を適用します。
1 1	NOTSDATA	・開始領域中に反転した参照表(LUT)出力(OUT)を適用します。 ・ﾃﾞｰﾀ領域中にLUT OUTを適用します。

● ﾋﾞｯﾄ3,2 – LUTACT1,0 : 参照表(LUT)活動 (LUT Action)

これらのﾋﾞｯﾄは表21-13.に従って、XCLのLUT部に繋げられた時にUSARTが実行する活動を決めます。

表21-13. USART参照表(LUT)活動選択

LUTACT1,0	群形態設定	事象活動
0 0	OFF	標準形態設定
0 1	RX	受信部ｴﾝｼﾞﾝに対して復号を許可
1 0	TX	送信部ｴﾝｼﾞﾝに対して符号化を許可
1 1	BOTH	符号化/復号の両方を許可

● ﾋﾞｯﾄ1,0 – PECACT1,0 : 周辺機能計数器(PEC)活動 (Peripheral Counter Action)

これらのﾋﾞｯﾄは表21-14.に従って、XCLのPEC事象でUSARTが実行する事象活動を決めます。

表21-14. USART周辺機能計数器活動選択

PECACT1,0	群形態設定	内容
0 0	OFF	標準形態設定
0 1	PEC0	受信部ﾃﾞｰﾀ長が周辺機能計数器0によって制御されます。
1 0	PEC1	送信部ﾃﾞｰﾀ長が周辺機能計数器1によって制御されます。
1 1	PEC2	・受信部ﾃﾞｰﾀ長が周辺機能計数器0によって制御されます。 ・送信部ﾃﾞｰﾀ長が周辺機能計数器1によって制御されます。

21.18.7. BAUDCTRLA – ﾎﾞｰﾚｰﾄ制御ﾚｼﾞｽﾀA (Baud Rate Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	BSEL7~0								BAUDCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – BSEL7~0 : ﾎﾞｰﾚｰﾄ (Baud Rate bits)

これはUSARTﾎﾞｰﾚｰﾄ設定を含む12ﾋﾞｯﾄ値です。BAUDCTRLBがUSARTﾎﾞｰﾚｰﾄの上位4ﾋﾞｯﾄを含み、BAUDCTRLAが下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがﾎﾞｰﾚｰﾄ前置分周器更新を直ちに起動します。

21.18.8. BAUDCTRLB – ﾎﾞｰﾚｰﾄ制御ﾚｼﾞｽﾀB (Baud Rate Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	BSCALE3~0				BSEL11~8				BAUDCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – BSCALE3~0 : ﾎﾞｰﾚｰﾄ倍率 (Baud Rate Scale factor)

これらのﾋﾞｯﾄはﾎﾞｰﾚｰﾄ発生器倍率を選択します。倍率は-7(1001)～+7(0111)の2の補数で与えられます。-8(1000)設定は予約されています。201頁の表21-1.の式をご覧ください。

● ﾋﾞｯﾄ3~0 – BSEL11~8 : ﾎﾞｰﾚｰﾄ (Baud Rate bits)

これはUSARTﾎﾞｰﾚｰﾄ設定を含む12ﾋﾞｯﾄ値です。BAUDCTRLBがUSARTﾎﾞｰﾚｰﾄの上位4ﾋﾞｯﾄを含み、BAUDCTRLAが下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがﾎﾞｰﾚｰﾄ前置分周器更新を直ちに起動します。

21.19. ﾚｼﾞｽﾀ要約

21.19.1. ﾚｼﾞｽﾀ要約 – USART

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				216
+$06	BAUDCTRLA	BSEL7~0								216
+$05	CTRLD	–	–	DECTYPE1,0		LUTACT1,0		PECACT1,0		215
+$04	CTRLC	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			214
+$03	CTRLB	ONEWIRE	SFDEN	–	RXEN	TXEN	CLK2X	MPCM	TXB8	214
+$02	CTRLA	RXSIE	DRIE	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		213
+$01	STATUS	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	RXSIF	RXB8/DRIF	212
+$00	DATA	DATA7~0								212

21.19.2. ﾚｼﾞｽﾀ要約 – 主装置SPI動作でのUSART

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				216
+$06	BAUDCTRLA	BSEL7~0								216
+$05	CTRLD	–	–	DECTYPE1,0		LUTACT1,0		PECACT1,0		215
+$04	CTRLC	CMODE1,0		–	–	–	UDORD	UCPHA	–	214
+$03	CTRLB	–	–	–	RXEN	TXEN	–	–	–	214
+$02	CTRLA	–	–	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		213
+$01	STATUS	RXCIF	TXCIF	DREIF	–	–	–	–	–	212
+$00	DATA	DATA7~0								212

21.20. 割り込みﾍﾞｸﾀ要約 – USART

変位	記述例	割り込み内容
$00	RXC_vect	USART受信完了割り込みﾍﾞｸﾀ
$02	DRE_vect	USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みﾍﾞｸﾀ
$04	TXC_vect	USART送信完了割り込みﾍﾞｸﾀ

22. IRCOM – 赤外線通信部署

22.1. 要点

- 赤外線通信用ﾊﾟﾙｽ変調/復調
- 115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合
- 選択可能なﾊﾟﾙｽ変調方式
  - 3/16ﾎﾞｰﾚｰﾄ周期
  - 固定ﾊﾟﾙｽ周期、設定可能な8ﾋﾞｯﾄ
  - ﾊﾟﾙｽ変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

22.2. 概要

XMEGAﾃﾞﾊﾞｲｽは15.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合の赤外線通信部署です。これはUSARTに対して赤外線ﾊﾟﾙｽの符号化と復号を可能とするためにどのUSARTにも接続することができます。

図22-1. USARTへのIRCOM接続と関連ﾎﾟｰﾄ ﾋﾟﾝ

IRCOMはUSARTが赤外線通信(IRCOM)動作に設定されると、自動的に許可されます。そしてUSARTとRxD/TxDﾋﾟﾝ間の信号は図22-1.で示すようにこの部署を通して配線されます。TX/RXﾋﾟﾝ上のﾃﾞｰﾀは送受信される赤外ﾊﾟﾙｽの反転値です。これはIRCOM受信部に対する入力として事象ｼｽﾃﾑからの事象ﾁｬﾈﾙも選択することが可能です。これはUSARTﾋﾟﾝからのRxD入力を禁止します。

送信については3つのﾊﾟﾙｽ変調方式が利用可能です。

- 3/16ﾎﾞｰﾚｰﾄ周期
- 周辺ｸﾛｯｸ周波数に基いた設定可能な固定ﾊﾟﾙｽ時間
- ﾊﾟﾙｽ変調禁止

受信については論理0として復号されるべきﾊﾟﾙｽに対する定められた選択可能な最小Highﾚﾍﾞﾙ ﾊﾟﾙｽ幅が使用されます。そしてより短いﾊﾟﾙｽは破棄され、そのﾋﾞｯﾄはﾊﾟﾙｽが全く受信されなかった場合に論理1に復号されます。

この部署は同時に1つのUSARTTとの組み合わせでだけ使用でき、従ってIRCOM動作は同時に複数のUSARTに対して設定してはなりません。これは使用者ｿﾌﾄｳｪｱで保証しなければなりません。

22.2.1. 事象ｼｽﾃﾑの濾波

事象ｼｽﾃﾑが受信部入力として使用できます。これは対応するRxDﾋﾟﾝ以外のI/Oﾋﾟﾝまたは供給元からの入力をIRCOMまたはUSARTに許します。事象ｼｽﾃﾑ入力が許可された場合、USARTのRxDﾋﾟﾝからの入力は自動的に禁止されます。事象ｼｽﾃﾑは事象ﾁｬﾈﾙにﾃﾞｼﾞﾀﾙ濾波器(DIF)を持ち、濾波するために使用することができます。事象ｼｽﾃﾑの使い方の詳細については58頁の「事象ｼｽﾃﾑ」を参照してください。

22.3. ﾚｼﾞｽﾀ説明

22.3.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	EVSEL3~0				CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – EVSEL3~0 : 事象ﾁｬﾈﾙ選択** (Event Channel Selection)

これらのﾋﾞｯﾄは表22-1.に従ってIRCOM受信部に対する事象ﾁｬﾈﾙ元を選びます。IRCOM受信部に対して事象入力が選択された場合、USARTのRxDﾋﾟﾝからの入力は自動的に禁止されます。

表22-1. 事象ﾁｬﾈﾙ選択

EVSEL3~0	群形態設定	内容
0 0 0 0	–	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 n n n	CHn	事象ｼｽﾃﾑ ﾁｬﾈﾙn (n=0～7)

22.3.2. TXPLCTRL – 送信ﾊﾟﾙｽ長制御ﾚｼﾞｽﾀ (Transmitter Pulse Length Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TXPLCTRL7~0								TXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TXPLCTRL7~0 : 送信ﾊﾟﾙｽ長制御** (Transmitter Pulse Length Control)

この8ﾋﾞｯﾄ値は送信部に対するﾊﾟﾙｽ変調方式を設定します。このﾚｼﾞｽﾀ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このﾚｼﾞｽﾀ値を0のままにすることによって、3/16ﾎﾞｰﾚｰﾄ周期ﾊﾟﾙｽ変調が使用されます。

この値の1～254設定は固定ﾊﾟﾙｽ長符号化を行います。この8ﾋﾞｯﾄ値はﾊﾟﾙｽに対する周辺ｸﾛｯｸ周期数を設定します。ﾊﾟﾙｽの始めはﾎﾞｰﾚｰﾄ ｸﾛｯｸの上昇端に同期されます。

この値の255($FF)設定はﾊﾟﾙｽ符号化を禁止し、送受信信号はIRCOM部署を無変化でそのまま通過します。これは半二重USART、行き戻し検査、事象ﾁｬﾈﾙからのUSART受信入力のような、IRCOM部署を通す他の機能を可能にします。

TXPLCTRLはUSART送信部が許可(TXEN)される前に形態設定されなければなりせん。

22.3.3. RXPLCTRL – 受信ﾊﾟﾙｽ長制御ﾚｼﾞｽﾀ (Receiver Pulse Length Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	RXPLCTRL7~0								RXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RXPLCTRL7~0 : 受信ﾊﾟﾙｽ長制御** (Receiver Pulse Length Control)

この8ﾋﾞｯﾄ値はIRCOM送受信部に対する濾波器係数を設定します。このﾚｼﾞｽﾀ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このﾚｼﾞｽﾀ値を0のままにすることによって濾波が禁止されます。この値の1～255設定は濾波を許可し、そしてそれは受け入れるべきﾊﾟﾙｽに対して、この値+1に等しい採取を必要とします。

RXPLCTRLはUSART受信部が許可(RXEN)される前に形態設定されなければなりせん。

22.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$02	RXPLCTRL	RXPLCTRL7~0								219
+$01	TXPLCTRL	TXPLCTRL7~0								219
+$00	CTRL	–	–	–	–	EVSEL3~0				219

23. XCL – XMEGA注文論理回路

23.1. 要点

- 以下を持つ2つの独立した8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 各ﾀｲﾏ/ｶｳﾝﾀに対する定期または比較ﾁｬﾈﾙ
  - 各ﾀｲﾏ/ｶｳﾝﾀに対する入力捕獲
  - 各ﾀｲﾏ/ｶｳﾝﾀに対する直列周辺機能ﾃﾞｰﾀ長制御
  - ﾀｲﾏ/ｶｳﾝﾀ下側溢れ割り込み/事象
  - 各ﾀｲﾏ/ｶｳﾝﾀに対する比較一致または入力捕獲割り込み/事象
- 2つのﾀｲﾏ/ｶｳﾝﾀの直列接続による、以下を持つ1つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 定期または比較ﾁｬﾈﾙ
  - 入力捕獲
  - ﾀｲﾏ/ｶｳﾝﾀ下側溢れ割り込み/事象
  - 比較一致または入力捕獲割り込み/事象
- 多数の形態設定を支援する設定可能な参照表
  - 2つの2入力部
  - 1つの3入力部
  - RS(Reset/Set)形態設定
  - 1つの入力での遅延を持つ重複入力
  - 外部入出力ﾋﾟﾝまたは事象ｼｽﾃﾑへの接続
- 設定可能な真理値表を用いる組み合わせ論理回路機能
  - AND,NAND,OR,NOR,XOR,XNOR,NOT,MUX
- 逐次論理回路機能
  - Dﾌﾘｯﾌﾟﾌﾟﾛｯﾌﾟ、Dﾗｯﾁ、RSﾗｯﾁ
- 入力元
  - 外部ﾋﾟﾝまたは事象ｼｽﾃﾑから
  - 選択可能な遅延または同期任意選択を含む1つの入力元
  - 選択可能なUSARTﾋﾟﾝ位置との共用可能
- 出力
  - 外部ﾋﾟﾝまたは事象ｼｽﾃﾑで利用可能
  - 選択可能な遅延または同期任意選択を含む
  - 選択可能なUSARTﾋﾟﾝ位置上書き可能
- 全電力動作(休止動作形態)で動作

23.2. 概要

Atmel AVR XMEGA EﾃﾞﾊﾞｲｽはXMEGA注文論理回路(XCL:XMEGA Custom Logic)を含みます。この部署は主に2つの部分要素、ﾀｲﾏ/ｶｳﾝﾀと接続用論理回路(glue logic)から成ります。

- ﾀｲﾏ/ｶｳﾝﾀは各々最大7つの形態設定を許す、2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀのBTC0とBTC1を含みます。両ﾀｲﾏ/ｶｳﾝﾀは任意の16ﾋﾞｯﾄ捕獲を持つ16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを作成するために直列接続することができます。
- 接続用論理回路は形態設定可能な遅延要素とD型ﾌﾘｯﾌﾟﾌﾛｯﾌﾟまたはDﾗｯﾁのような逐次論理機能を持つ2つの真理値表で作られます。

相互接続配列は多数のXCL要素間の大量の接続を許し、USART、ﾎﾟｰﾄ ﾋﾟﾝ、事象ｼｽﾃﾑのような他の周辺機能と動くことも許します。

図23-1. XCL構成図と密接に関連する周辺機能

タイマ/カウンタ形態設定は2つの8ビット タイマ/カウンタの使用を許します。各タイマ/カウンタは共通の柔軟なクロック選択と事象チャネルで、標準、入力捕獲、継続、単発パルス幅変調(PWM)を支援します。2つの8ビット タイマ/カウンタの直列接続により、XMEGA注文論理回路(XCL)は16ビット タイマ/カウンタを提供します。

周辺機能計数器(PEC:peripheral counter)形態設定では、XCLがUSART部署の1つに直接繋げられます。PECがUSARTフレーム内のデータ長を任意で制御できるため、選択されたUSARTは計数器動作を制御します。

接続用論理回路形態設定が許可される場合、XCLは2つの設定可能な参照表(LUT)を実装します。各LUTは2つの入力間論理条件に対応する真理値表を定義します。どの組み合わせ機能論理回路も可能です。

LUT入力は入出力ピンまたは事象システムのチャネルに接続することができます。LUTがUSARTまたはSPIの入出力(TxD/RxD/XCKまたはMOSI/MISO/SCK)ピン位置に接続される場合、直列データ符号化/復号が可能です。LUT部、RSラッチ、または2つの作用対象間のどの組み合わせ論理回路との接続を許可することができます。

遅延要素(DLY)を許可することができます。各DLYは2段のデジタル フリップフロップです。DLYの位置は1つの入力または出力のどちらかにソフトウェア選択 可能です。遅延の大きさは0周期遅延(遅延なし)、1周期遅延、または2周期遅延の形態設定でソフトウェア選択可能です。

LUTは全休止動作形態で動きます。事象システムと1つの入出力ピンとの組み合わせで、LUT入力上の条件が真の場合にLUTはシステムを起こすことができます。

拡張を持つ設定可能な論理回路と密接に関連する周辺機能部署の構成図が図23-1.で示されます。

23.2.1. 定義

表23-1.は資料を通して使用される定義を示します。

表23-1. XMEGA注文論理回路の定義

名称	説明
XCL	XMEGA注文論理回路
BTC	8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
PEC	周辺機能計数器。直列周辺機能部署とだけ動作可
BOTTOM	計数器が0になった時にﾀｲﾏ/ｶｳﾝﾀがBOTTOMに到達
MAX	計数器が全て1になった時にﾀｲﾏ/ｶｳﾝﾀがMAX(最大)に到達
TOP	計数器が計数手順で最高値と等しくなった時にﾀｲﾏ/ｶｳﾝﾀがTOPに到達。TOP値は定期(PER)または比較(CMP)のﾚｼﾞｽﾀ設定と等しくなり得ます。これは波形生成動作種別によって選択されます。
UPDATE	ﾀｲﾏ/ｶｳﾝﾀは波形生成動作種別に依存してBOTTOMまたはTOPに達する時に更新を合図します。
CLEAR	外部周辺機能、事象ｼｽﾃﾑ、またはCPUが(周辺機能)ﾀｲﾏ/ｶｳﾝﾀの次の値をBOTTOMに強制します。
CC	比較または捕獲
LUT	真理値表ﾚｼﾞｽﾀと復号器を含む参照表
DLY	設定可能なﾌﾘｯﾌﾟﾌﾛｯﾌﾟ数で作成される遅延要素。位置は1つのLUT入力またはLUT出力で、ｿﾌﾄｳｪｱによって選択可能です。
GLUE	LUTとDLYの要素を含む接続用論理回路

一般的に、用語”計時器”はﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ制御が内部供給元によって扱われる時に使用され、用語”計数器”はそのｸﾛｯｸ制御が外部的に(例えば外部事象計数)扱われる時に使用されます。CCﾁｬﾈﾙは比較操作に対して使用され、それらは”比較ﾁｬﾈﾙ”として参照されます。捕獲操作に対して使用される時は、CCﾁｬﾈﾙが”捕獲ﾁｬﾈﾙ”として参照されます。

23.3. ﾀｲﾏ/ｶｳﾝﾀ形態設定

XCLは2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを含みます。この2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは以下として動くように再設定することができます。

- 1つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと1つの8ﾋﾞｯﾄ周辺機能計数器
- 2つの8ﾋﾞｯﾄ周辺機能計数器
- 1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと2つの4ﾋﾞｯﾄ周辺機能計数器

動作形態に依存して、ﾀｲﾏ/ｶｳﾝﾀは各ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ入力で再設定または減少(-1)されます。

23.4. ﾀｲﾏ/ｶｳﾝﾀ操作

XCLは各々BTC0とBTC1と名付けられた2つの同じ8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを含みます。8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの各々は比較ﾁｬﾈﾙを持ちます。

この2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは共用するｸﾛｯｸ元、独立した定期と比較の設定を持ちます。それらは任意選択の事前分周を持つ周辺ｸﾛｯｸまたは事象ｼｽﾃﾑからｸﾛｯｸ駆動して計時することができます。この計数器は常に下降計数します。

XCL形態設定が16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに設定されると、16ﾋﾞｯﾄ定期と比較または捕獲のﾚｼﾞｽﾀを持つ真の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(TC16)を作成するためにBTC0とBTC1が直列接続されます。

それのﾚｼﾞｽﾀと比較部署を持つ基本計数器を示すﾀｲﾏ/ｶｳﾝﾀの詳細な構成図が図23-2.で示されます。

ﾀｲﾏ/ｶｳﾝﾀは常に単一傾斜減少動作で動きます。各ｸﾛｯｸに対してBOTTOMに達するまで下降計数し、そして定期ﾚｼﾞｽﾀ値で計数器を再設定します。

図23-2. タイマ/カウンタ構成図

23.4.1. クロック元

タイマ/カウンタは前置分周された周辺クロック(clkPER)からと事象システムからクロック駆動することができ、図23-3.はクロックと事象の選択論理回路を示します。

図23-3. クロックと事象の選択

周辺クロックはデバイス内の全てのタイマ/カウンタ用の共通前置分周器に供給されます。前置分周器出力の選択は両タイマ/カウンタに対して直接的に利用可能です。加えて1～2^{15}の全範囲の分周が事象システムを通して利用可能です。

クロック選択(CLKSEL3～0)は計数器(CNTH/L)入力として、前著分周された出力の1つを直接的に、または事象チャネルを選択します。これは計数器の標準動作として参照されます。詳細については225頁の「**標準動作**」を参照してください。事象システムを使用することにより、何れかの入出力ピンでの外部クロック信号のような何れかの事象元がクロック入力として使用され得ます。加えて、タイマ/カウンタは事象システm8経由で制御することができます。1つまたはそれ以上の事象から事象活動を起動するために、事象選択(EVSEL1,0)と事象活動(EVACT1,0)の設定が使用されます。これは計数器の事象活動制御動作として参照されます。事象活動制御動作が使用される時は、クロック選択が計数器入力として事象チャネルを使用するように設定されなければなりません。

既定では、何もクロック入力が選択されず、タイマ/カウンタは動きません。

23.4.2. 標準動作

標準動作では、ﾀｲﾏ/ｶｳﾝﾀが常に単一傾斜減少動作で動きます。計数器はBOTTOMに達するまで各ｸﾛｯｸに対して下降計数し、その後に定期/捕獲(PERCAPT)ﾚｼﾞｽﾀ値で計数器を再設定します。

図23-4.で示されるように、計数器走行中の計数器値変更が可能です。書き込みｱｸｾｽは計数、0設定、再設定よりも高い優先権を持ち、直ちに行われます。

図23-4. 標準動作での計数器

23.4.2.1. 周期変更

計数器周期は定期/捕獲(PERCAPT)ﾚｼﾞｽﾀに新しいTOP値を書くことによって変更されます。

計数器が下降計数のため、図23-5.で示されるように、PERCAPTﾚｼﾞｽﾀは現在の周期に影響を及ぼすことなく何時でも何時でも書くことができます。これは循環(回り込み)と変な波形の生成を防ぎます。

図23-5. 周期変更

23.4.3. 捕獲動作

定期/捕獲(PERCAPT)ﾚｼﾞｽﾀは外部事象を捕獲してそれらに時間印を与えるための捕獲ﾁｬﾈﾙとして使用することができます。捕獲動作を事項するには、ﾀｲﾏ/ｶｳﾝﾀ動作が捕獲動作形態に設定されなければなりません。捕獲動作では、計数器がBOTTOMに達するまで毎ｸﾛｯｸで下降計数し、そしてMAX値で再設定されます。捕獲値は定期(周期)値と同じﾚｼﾞｽﾀに格納されます(周期はMAXに固定され、もはやﾚｼﾞｽﾀに設定されるべき必要がありません)。

捕獲を起動するのに事象が使用され、換言すると、何れかのﾃﾞﾊﾞｲｽ ﾋﾟﾝからのﾋﾟﾝ変化を含む、事象ｼｽﾃﾑからの何れかの事象が捕獲動作を起動できます。事象元選択設定はどの事象ﾁｬﾈﾙがBTC0での捕獲を起動するかを選びます。形態設定されるなら、後続する事象ﾁｬﾈﾙがBTC1での捕獲を起動します。例えば、事象ﾁｬﾈﾙ2への事象元選択設定は事象ﾁｬﾈﾙ2によって起動されるであろうBTC0と事象ﾁｬﾈﾙ3によって起動されるBTC1に帰着します。

ﾀｲﾏ/ｶｳﾝﾀでの事象活動設定は行われる捕獲の形式を決めます。捕獲動作形態は捕獲が行われる前に許可されなければなりません。捕獲条件が起きると、ﾀｲﾏ/ｶｳﾝﾀは計数(CNT)ﾚｼﾞｽﾀの現在のCNT値を定期/捕獲(PERCAPT)ﾚｼﾞｽﾀに複写することによって事象の時間を印ます。

捕獲用の事象元として入出力ﾋﾟﾝが使用される時に、そのﾋﾟﾝはｴｯｼﾞ感知に形態設定されなければなりません。入出力ﾋﾟﾝでの感知形態設定の詳細については102頁の「**入力感知形態設定**」を参照してください。

図23-6. 捕獲操作用事象元選択

23.4.3.1. 入力捕獲事象活動

入力捕獲事象活動の選択は許可された捕獲ﾁｬﾈﾙに事象での入力捕獲を実行させます。割り込み要求ﾌﾗｸﾞ(CCxIF)が設定(1)され、対応する定期/捕獲(PERCAPT)ﾚｼﾞｽﾀに有効な捕獲結果があることを示します。

図23-7.で示されるように、計数器はMAXからBOTTOMへ継続的に計数し、その後にMAXから再開します。この図は1つの捕獲ﾁｬﾈﾙに対する3つの事象捕獲も示します。

図23-7. INPUT指令のCAPT形態設定でのﾀｲﾏ/ｶｳﾝﾀ

23.4.3.2. 周波数捕獲事象活動

周波数捕獲事象活動の選択は許可された捕獲ﾀｲﾏ/ｶｳﾝﾀに正端事象での入力捕獲と再始動を実行させます。これは信号周期の直接的な測定をﾀｲﾏ/ｶｳﾝﾀに許します。

捕獲結果は直前のﾀｲﾏ/ｶｳﾝﾀ再始動から事象発真での時間(t:MAX−PERCAPT)です。

$$周波数(f) = \frac{1}{t}$$

図23−8. FREQ指令のCAPT形態設定でのﾀｲﾏ/ｶｳﾝﾀ

23.4.3.3. ﾊﾟﾙｽ幅捕獲事象活動

ﾊﾟﾙｽ幅捕獲事象活動の選択は許可された比較ﾁｬﾈﾙに下降端での入力捕獲活動と上昇端での活動再始動を実行させます。そして計数器は正端事象で再始動し、入力捕獲が負端事象で実行されます。事象元は入出力ﾋﾟﾝでなければならず、そのﾋﾟﾝに対する感知形態設定は両端で事象を生成するように設定されなければなりません。図23−9.は外部信号に対してHighﾊﾟﾙｽ幅が3回測定される例を示します。

図23−9. PW指令のCAPT形態設定でのﾀｲﾏ/ｶｳﾝﾀ

23.4.4. PWM生成

PWM生成に関しては、周期時間(t)が定期/捕獲(PERCAPT)ﾚｼﾞｽﾀによって制御され、同時に比較(CMP)ﾚｼﾞｽﾀが波形生成器(OC)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。図23−10.は計数器がTOPからBOTTOMへどう計数してその後にTOPからどう再開するかを示します。OC出力は計数(CNT)とCMPのﾚｼﾞｽﾀ間の比較一致で設定(1)され、BOTTOMで解除(0)されます。

PERCAPTﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は2ﾋﾞｯﾄ(PERCAPT=$03)で、最大分解能はPERCAPT=MAXです。

次式は単一傾斜PWM(R_{PWM})波形に対する正確な分解能を計算するのに使用されます。

$$R_{PWM} = \frac{\log(PERCAPT+1)}{\log(2)}$$

図23−10. 単一傾斜ﾊﾟﾙｽ幅変調

PWM周波数(f_{PWM})は周期設定(PERCAPT)と周辺ｸﾛｯｸ周波数($f_{PERCAPT}$)に依存し、次式を使用することによって計算されます。

$$f_{PWM} = \frac{f_{PERCAPT}}{N(PERCAPT+1)}$$

ここでNは使用した前置分周数(1,2,4,8,64,256,1024、または事象ﾁｬﾈﾙnでの分周数)を表します。

16ﾋﾞｯﾄ形態設定で使用する時に、PERCAPTは自動的にMAX値に設定されます。

23.4.5. 単発PWM生成

単発PWM生成(1SHOT)では、開始と停止のタイマ/カウンタ操作が外部事象またはソフトウェア指令によって制御されます。この操作が外部事象によって制御される場合、事象活動(EVACT)が許可され、それによって形態設定されなければなりません。

タイマ/カウンタが許可(CLKSEL)されると、計数動作はソフトウェアが再始動するか、または事象を受け取る時にだけ開始します。更新条件に達する前にタイマ/カウンタに他の指令が全く供給されないなら、タイマ/カウンタは動作を停止して新しい指令を待ちます。波形生成はPWM動作と同じです。

更新条件が検出される前にソフトウェア再始動または再始動事象指令が供給された場合、タイマ/カウンタと波形生成は直ちに再始動されます。

更新条件が検出される前に停止事象が供給された場合、タイマ/カウンタは直ちに動作を停止し、波形が解除されて再び開始する前に新しい指令を待ちます。

図23-11.と図23-12.はソフトウェア再始動(RESTART)と停止/開始(STOPSTART)指令が供された時のタイマ/カウンタ動作を示します。

図23-11. 再始動(RESTART)指令と1SHOT形態設定でのタイマ/カウンタ

図23-12. 停止/開始(STOPSTART)指令と1SHOT形態設定でのタイマ/カウンタ

23.4.6. タイマ/カウンタ指令

部署の状態を直ちに変更するため、タイマ/カウンタへソフトウェアによって1組の指令を与えることができます。これらの指令は再始動信号の直接制御を与えます。

ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制することができます。この場合に計数器はTOP値が設定され、全ての比較出力が0に設定されます。

23.4.7. 16ビット動作

両タイマ/カウンタは16ビット計数器動作を許すために直列接続することができます。そして全てのタイマ/カウンタ動作が純粋な16ビット タイマ/カウンタで利用可能です。計数器と比較レジスタは各々1つの16ビット レジスタに結合されます。

単一傾斜PWM(PWM)と単発PWM(1SHOT)の動作では計数のTOPは常にMAXです。

23.4.8. 周辺機能計数器動作

周辺機能計数器はUSARTを256ﾋﾞｯﾄまでのﾌﾚｰﾑの送信または受信をできるよう機能変更するのに使用されます。周辺機能計数器の詳細な構成図が図23-13.で示されます。

図23-13. 周辺機能構成図

周辺機能計数器(PEC)形態設定では、周辺機能長制御(PLC)ﾚｼﾞｽﾀがTOP値を表し、比較は常にBOTTOMと行われます。
直列周辺機能ﾌﾚｰﾑ内のﾃﾞｰﾀ長は次式を用いて定義されます。

ﾌﾚｰﾑ長 = PLC+1

計数(送信/受信"計数")と再始動(送信/受信"再始動")の指令は選択した周辺機能の各々受信段と送信段に供給され、全てのCLKSELｸﾛｯｸ設定はPEC形態設定では無視されます。

計数中、計数器は再始動指令を受け取った場合にPLCから再始動します。計数器がBOTTOM値に達すると、計数器は直列周辺機能から再始動または計数の指令を受け取った場合、PLCから再始動します。

直列周辺機能によって指令が提供されるため、事象活動は無視されます。ｿﾌﾄｳｪｱ再始動(RESTART)指令のみ利用可能です。

図23-14. 12ﾋﾞｯﾄ ﾌﾚｰﾑのUART/USARTでの周辺機能計数器

図23-15. 10ﾋﾞｯﾄ ﾌﾚｰﾑのSPIでの周辺機能計数器

注: 送信/受信"再始動"なし。SPI通信に対するPEC初期化中にPEC=PLCに設定してください。

XCLは各々PEC0とPEC1と呼ばれる2つまでの8ﾋﾞｯﾄ周辺機能計数器を支援します。直列周辺機能の受信段はPEC0動作を制御し、故に直列周辺機能の送信段はPEC1動作を制御します。

XCLは各々PEC20とPEC21と呼ばれる2つの4ﾋﾞｯﾄ周辺機能計数器も支援します。両方とも1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに割り当てられます。直列周辺機能の受信段はPEC20動作を制御し、故に直列周辺機能の送信段はPEC21動作を制御します。これは送受信で16ﾋﾞｯﾄまでの直列ﾌﾚｰﾑを制御し、未だ利用可能な8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを持つ機会を許します。

2つの周辺機能計数器の直列接続は利用不可です。

23.5. 接続用論理回路

接続用論理回路(glue logic)は2つの参照表とD型ﾌﾘｯﾌﾟﾌﾛｯﾌﾟまたはDﾗｯﾁのような順次論理回路機能から成ります。参照表は入力選択を拡張する、または高度な論理回路を作成するために縦列接続することができます。

23.5.1. LUT説明

XCLは2つの参照表(LUT)部を含みます。各LUTは図23-16.で示されるように、2つの入力の関数として何れかの論理式OUT生成を許す、4ﾋﾞｯﾄ真理値表と復号器によって構成されます。

図23-16. LUT部構成図

組み合わせ論理回路機能はAND,NAND,OR,NOR,XOR,XNOR,NOTにすることができます。

これらの機能用の真理値表はLUTの制御ﾚｼﾞｽﾀD(CTRLD)に書かれます。表23-2.は2入力LUT部に対する両方の真理値表を示します。

表23-2. 2入力LUT真理値表 (2LUTxIN形態設定)

IN1	IN0	OUT0
0	0	TRUTH00
0	1	TRUTH01
1	0	TRUTH02
1	1	TRUTH03

IN3	IN2	OUT1
0	0	TRUTH10
0	1	TRUTH11
1	0	TRUTH12
1	1	TRUTH13

両LUT部の縦列接続で、論理関数OUTは3つの入力の関数にすることができます。表23-3.は3入力LUTに対する真理値表を示します。

表23-3. 3入力LUT真理値表 (1LUT3IN形態設定)

IN0	IN3	IN2	OUT1		OUT0
0	0	0	TRUTH10	=0	TRUTH00
				=1	TRUTH01
0	0	1	TRUTH11	=0	TRUTH00
				=1	TRUTH01
0	1	0	TRUTH12	=0	TRUTH00
				=1	TRUTH01
0	1	1	TRUTH13	=0	TRUTH00
				=1	TRUTH01
1	0	0	TRUTH10	=0	TRUTH02
				=1	TRUTH03
1	0	1	TRUTH11	=0	TRUTH02
				=1	TRUTH03
1	1	0	TRUTH12	=0	TRUTH02
				=1	TRUTH03
1	1	1	TRUTH13	=0	TRUTH02
				=1	TRUTH03

23.5.2. 遅延説明

XCLは各LUTに対して1つで、2つの遅延部を持ちます。遅延は図23-17.で示されるように、0(遅延なし)から2までの周辺ｸﾛｯｸ周期の遅延に形態設定することができます。

遅延部の挿入は、2つの入力の最初または出力で各LUTに対して選択可能です。この挿入は応用の目的によって決定されますが、以下でいくつかの例が提供されます。

- 入力での遅延は入力同期器または入力信号でのｴｯｼﾞ検出器として使用することができます。
- 出力での遅延は不正異常濾過または両入力が同期の時のLUT出力の同期化に使用することができます。

図23-17. 遅延構成図

23.5.3. 接続用論理回路形態設定

図23-18.～図23-25.は各種接続用論理回路形態設定を示します。破線箱は遅延要素の可能な場所を示します。

図23-18. 2つの独立した2入力LUT (2LUT2IN)

図23-19. 重複入力を持つ2つの独立したLUT (2LUT1IN)

図23-20. 1つの共通入力を持つ2入力LUT (2LUT3IN)

図23-21. 1つの3入力LUT (1LUT3IN)

図23-22. 1つの2入力LUTによって制御される 1つの2入力多重器 (MUX)

図23-23. 2つの2入力LUTによって制御される 1つのDﾗｯﾁ (DLATCH)

図23-24. 1つのRSﾗｯﾁ (RSLATCH)

図23-25. 2つの独立した2入力LUTによって制御される 1つのﾃﾞｰﾀ付きDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ (DFF)

23.5.4. 接続用入力と出力の説明

入力選択は入出力ﾋﾟﾝ、事象ｼｽﾃﾑ、または選択可能なUSART部署からのTxD線とﾀｲﾏ/ｶｳﾝﾀ出力を含む内部XCL補助部からを含みます。

入出力ﾋﾟﾝとの使用時、LUT入力は図23-26.で示されるように、ﾃﾞｼﾞﾀﾙ入力ﾋﾟﾝへ接続されます。より多くの詳細については99頁の「**入出力ﾎﾟｰﾄ**」を参照してください。

図23-26. 入力接続

LUT出力は図23-27.で示されるように、全てのｽﾄﾛｰﾌﾞ、非同期、同期の事象ｼｽﾃﾑ ﾃﾞｰﾀ線に接続されます。接続は遅延形態設定に依存しますが、正しい波形を生成するため、または正しい事象線を使用するための応用に適します。

図23-27. LUT出力接続

制御ﾚｼﾞｽﾀB(CTRLB)の入力選択(INxSEL)ﾋﾞｯﾄは各々LUT0とLUT1に対する各入力ﾋﾟﾝの供給元を決めます。表23-4.はLUT部に対する入力選択を示します。制御ﾚｼﾞｽﾀA(CTRLA)のﾎﾟｰﾄ選択(PORTSEL)ﾋﾞｯﾄはLUT0とLUT1と連携するﾎﾟｰﾄを選びます。

表23-4. LUT入力ﾋﾟﾝ位置選択

INxSEL1,0		IN3 (注1)	IN2 (注1)	IN1 (注1)	IN0 (注1)
0 0	EVSYS (事象ｼｽﾃﾑ)	CH7	CH1	CH0	CH6
0 1	XCL (XCL)	TxD	OC0出力	OC1出力 (注2)	OC0出力
1 0	PINL (入出力ﾋﾟﾝLow)	PIN3	PIN1	PIN0	PIN2
1 1	PINH (入出力ﾋﾟﾝHigh)	PIN7	PIN5	PIN4	PIN6

注1: 225頁の図23-18.～25.が活性(有効)な入力を示します。

注2: TC16形態設定ではIN1が16ﾋﾞｯﾄ波形生成(OC0出力)です。

制御ﾚｼﾞｽﾀC(CTRLC)の非同期事象線選択(EVASYSELn)ﾋﾞｯﾄは事象ｼｽﾃﾑのﾁｬﾈﾙ線選択がｽﾄﾛｰﾌﾞか、または非同期の事象線かを決めます。

LUT0出力だけが入出力ﾋﾟﾝに接続することができます。制御ﾚｼﾞｽﾀA(CTRLA)のLUT0出力許可(LUT0OUTEN)ﾋﾞｯﾄは2つのLUT0出力ﾋﾟﾝ位置(PIN0またはPIN4)を許します。

表23-5.はLUT出力の使用部を示します。

表23-5. LUT出力使用部

OUT1	OUT0	
事象ﾁｬﾈﾙ	事象ﾁｬﾈﾙ	
I/O出力なし	PIN0	LUT0OUTEN1,0=01
	PIN4	LUT0OUTEN1,0=10
選択したUSARTのTxD(MOSI)符号化論理回路に挿入 (注)	選択したUSARTのRxD(MISO)に直接 (注)	

注: USARTで215頁の「**CTRLD – 制御ﾚｼﾞｽﾀD**」を参照してください。

23.6. 割り込みと事象

XCLは割り込みと事象の両方を生成することができます。

各ﾀｲﾏ/ｶｳﾝﾀは下側溢れで割り込みを生成することができますが、この割り込み線はﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1間で共用されます。

CCﾁｬﾈﾙは比較または捕獲に使用さえる独立した割り込みを持ちますが、割り込み線はBTC0とBTC1間で共用されます。

ﾀｲﾏ/ｶｳﾝﾀ事象は割り込みを生成することができる全ての条件に対して生成されます。事象生成と利用可能な事象の詳細については58頁の「**事象ｼｽﾃﾑ**」を参照してください。接続用論理回路は事象だけを生成します。詳細については231頁の「**接続用入力と出力の説明**」を参照してください。

23.7. ﾚｼﾞｽﾀ説明

23.7.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	LUT0OUTEN1,0		PORTSEL1,0		–	LUTCONF2~0			CTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – LUT0OUTEN1,0 : LUT0出力許可** (LUT0 Output Enable)

これらのﾋﾞｯﾄ設定は表23-6.に従ってﾋﾟﾝへのLUT0出力を許可します。

表23-6. LUT出力ﾋﾟﾝ選択

LUT0OUTEN1,0	群形態設定	内容
0 0	DISABLE	LUT0出力禁止
0 1	PIN0 (注)	LUT0出力をPC0へ
		LUT0出力をPD0へ
1 0	PIN4 (注)	LUT0出力をPC4へ
		LUT0出力をPD4へ
1 1	–	(予約)

注: ﾎﾟｰﾄはﾎﾟｰﾄ選択(PORTSEL)設定によって定義されます。

● **ﾋﾞｯﾄ5,4 – PORTSEL1,0 : ﾎﾟｰﾄ選択** (Port Selection)

これらのﾋﾞｯﾄは表23-7.に従ってLUT、またはPECと共に使用されるUSART部署に対する入出力として使用されるﾎﾟｰﾄ入出力ﾋﾟﾝを選びます。

表23-7. 供給ﾎﾟｰﾄ選択

PORTSEL1,0	群形態設定	内容	
0 0	PC	LUT	ﾎﾟｰﾄC
		PEC	USARTC0
0 1	PD	LUT	ﾎﾟｰﾄD
		PEC	USARTD0
1 x	–	(予約)	

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – LUTCONF2~0 : LUT形態設定** (LUT Configuration)

これらのﾋﾞｯﾄ設定は表23-8.に従って接続用論理回路ｾﾙの形態設定を許します。

表23-8. LUT形態設定種別

LUTCONF2～0	群形態設定	内容
0 0 0	2LUT2IN	2つの独立した2入力LUT
0 0 1	2LUT1IN	2つの独立した重複2入力LUT
0 1 0	2LUT3IN	1つの共通入力を持つ2つのLUT
0 1 1	1LUT3IN	1つの3入力LUT
1 0 0	MUX	1つの2入力LUTによって制御される1つの2入力多重器
1 0 1	DLATCH	2つの2入力LUTによって制御される1つのDﾗｯﾁ
1 1 0	RSLATCH	1つのRSﾗｯﾁLUT
1 1 1	DFF	2つの独立した2入力LUTによって制御される1つのﾃﾞｰﾀ付きDﾌﾘｯﾌﾟﾌﾛｯﾌﾟ

23.7.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	IN3SEL1,0		IN2SEL1,0		IN1SEL1,0		IN0SEL1,0		CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INxSEL1,0 : 入力選択** (Input Selection)

これらのﾋﾞｯﾄは**表23-9.**に従ってLUT0とLUT1の入力ﾋﾟﾝの供給元を決めます。また231頁の**表23-4.**はLUT入力ﾋﾟﾝ位置選択を示し、231頁の**表23-5.**はLUT出力使用部を示します。

表23-9. LUT入力ﾋﾟﾝ供給元選択

INxSEL1,0	群形態設定	内容
0 0	EVSYS	供給元として事象ｼｽﾃﾑを選択
0 1	XCL	供給元としてXCLを選択
1 0	PINL (注)	供給元としてﾎﾟｰﾄ下位ﾋﾟﾝを選択
1 1	PINH (注)	供給元としてﾎﾟｰﾄ上位ﾋﾟﾝを選択

注: ﾎﾟｰﾄはﾎﾟｰﾄ選択(PORTSEL1,0)設定によって定義されます。

23.7.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	EVASYSEL1	EVASYSEL0	DLYSEL1,0		DLY1CONF1,0		DLY0CONF1,0		CTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – EVASYSEL1 : LUT1非同期事象線選択** (LUT1 Asynchronous Event Line Selection)

このﾋﾞｯﾄの設定(1)はLUT1に対する可能な入力として非同期事象線を選択します。解除(0)時、LUT1に対する入力として事象ｽﾄﾛｰﾌﾞ線を選択することができます。

● **ﾋﾞｯﾄ6 – EVASYSEL0 : LUT0非同期事象線選択** (LUT0 Asynchronous Event Line Selection)

このﾋﾞｯﾄの設定(1)はLUT0に対する可能な入力として非同期事象線を選択します。解除(0)時、LUT0に対する入力として事象ｽﾄﾛｰﾌﾞ線を選択することができます。

● **ﾋﾞｯﾄ5,4 – DLYSEL1,0 : 遅延選択** (Delay Selection)

これらのﾋﾞｯﾄは**表23-10.**に従って遅延論理回路セルの形態設定を定義します。

表23-10. 遅延選択

DLYSEL1,0	群形態設定	内容
0 0	DLY11	LUT1とLUT0の両方に対して1周期遅延
0 1	DLY12	LUT1に対して1周期遅延、LUT0に対して2周期遅延
1 0	DLY21	LUT1に対して2周期遅延、LUT0に対して1周期遅延
1 1	DLY22	LUT1とLUT0の両方に対して2周期遅延

● **ﾋﾞｯﾄ3,2 – DLY1CONF1,0 : LUT1での遅延形態設定** (Delay Configuration on LUT1)

これらのﾋﾞｯﾄは**表23-11.**に従ってLUT1に対する遅延形態設定を定義します。

● **ﾋﾞｯﾄ1,0 – DLY0CONF1,0 : LUT0での遅延形態設定** (Delay Configuration on LUT0)

これらのﾋﾞｯﾄは**表23-11.**に従ってLUT0に対する遅延形態設定を定義します。

表23-11. 遅延形態設定

DLYxCONF1,0	群形態設定	内容
0 0	DISABLE	遅延なし
0 1	IN (注)	LUT入力で遅延許可
1 0	OUT (注)	LUT出力で遅延許可
1 1	–	(予約)

注: 230頁の**図23-18.**～**25.**が遅延素子の可能な位置を示します。

23.7.4. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

このﾚｼﾞｽﾀは229頁の「LUT説明」で記述されるように、LUT0部とLUT1部に対する真理値表を定義します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	TRUTH13~0				TRUTH03~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – TRUTH13~0 : LUT1真理値表** (LUT1 Truth Table)

これらのﾋﾞｯﾄはLUT1用真理値表定義を保持します。

● **ﾋﾞｯﾄ3~0 – TRUTH03~0 : LUT0真理値表** (LUT0 Truth Table)

これらのﾋﾞｯﾄはLUT0用真理値表定義を保持します。

23.7.5. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CMDSEL	TCSEL2~0			CLKSEL3~0				CTRLE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CMDSEL : 指令選択** (Command Selection)

この指令ﾋﾞｯﾄは表23-12.に従ってﾀｲﾏ/ｶｳﾝﾀ再始動のｿﾌﾄｳｪｱ制御に使用されます。この指令ﾋﾞｯﾄは常に0として読みます。CMDSELﾋﾞｯﾄは指令許可(CMDEN)ﾋﾞｯﾄと共に使用されなければなりません。

表23-12. 指令選択

CMDSEL	群形態設定	内容
0	NONE	なし
1	RESTART	計数再始動強制

● **ﾋﾞｯﾄ6~4 – TCSEL2~0 : ﾀｲﾏ/ｶｳﾝﾀ選択** (Timer/Counter Selection)

これらのﾋﾞｯﾄの設定は表23-13.に従ってﾀｲﾏ/ｶｳﾝﾀの形態設定を許します。

表23-13. ﾀｲﾏ/ｶｳﾝﾀ選択

TCSEL2~0	群形態設定	内容
0 0 0	TC16	16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
0 0 1	BTC0	1つの(周期付き)8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
0 1 0	BTC01	2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
0 1 1	BTC0PEC1	1つの周期付き8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと1つの8ﾋﾞｯﾄ送信周辺機能計数器
1 0 0	PEC0BTC1	1つの周期付き8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと1つの8ﾋﾞｯﾄ受信周辺機能計数器
1 0 1	PEC01	2つの8ﾋﾞｯﾄ送信/受信周辺機能計数器
1 1 0	BTC0PEC2	1つの周期付き8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと2つの4ﾋﾞｯﾄ送信/受信周辺機能計数器
1 1 1	–	(予約)

● **ﾋﾞｯﾄ3~0 – CLKSEL3~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄの設定は表23-14.に従ってﾀｲﾏ/ｶｳﾝﾀの入力ｸﾛｯｸを許します。

表23-14. ｸﾛｯｸ任意選択

CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	前置分周器: なし
0 0 0 1	DIV1	前置分周器: clk_{PER}
0 0 1 0	DIV2	前置分周器: $clk_{PER}/2$
0 0 1 1	DIV4	前置分周器: $clk_{PER}/4$
0 1 0 0	DIV8	前置分周器: $clk_{PER}/8$
0 1 0 1	DIV64	前置分周器: $clk_{PER}/64$
0 1 1 0	DIV256	前置分周器: $clk_{PER}/256$
0 1 1 1	DIV1024	前置分周器: $clk_{PER}/1024$
1 n n n	EVCHn	事象ﾁｬﾈﾙn (n=0～7)

23.7.6. CTRLF – 制御ﾚｼﾞｽﾀF (Control register F)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	CMDEN1,0		CMP1	CMP0	CCEN1	CCEN0	MODE1,0		CTRLF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – CMDEN1,0 : 指令許可** (Command Enable)

これらのﾋﾞｯﾄは表23-15.に従ってどのﾀｲﾏ/ｶｳﾝﾀ指令(CMD)が有効かを示すのに使用されます。

表23-15. 指令選択

CMDEN1,0	群形態設定	内容
0 0	DISABLE	指令無視
0 1	CMD0	BTC0に対して指令有効
1 0	CMD1	BTC1に対して指令有効
1 1	CMD01	BTC0とBTC1両方に対して指令有効

● **ﾋﾞｯﾄ5,4 – CMPx : 比較出力値** (Compare Output Value)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀがOFF状態に設定される時に波形生成器(WG)の比較出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが走行していない時にWG出力値を設定(1)または解除(0)するのに使用されます。

● **ﾋﾞｯﾄ3,2 – CCENx : 比較/捕獲許可** (Compare or Capture Enable)

比較またはPWM波形生成の動作形態でのこれらのﾋﾞｯﾄの設定は対応するOCn出力ﾋﾟﾝに対するﾎﾟｰﾄ出力ﾚｼﾞｽﾀを無効にします。

入力捕獲動作選択時、CCENxﾋﾞｯﾄは対応するCCﾁｬﾈﾙに対する捕獲動作を許可します。

● **ﾋﾞｯﾄ1,0 – MODE1,0 : 動作種別** (Operation Mode)

これらのﾋﾞｯﾄは表23-16.に従ってﾀｲﾏ/ｶｳﾝﾀに対する動作形態を選びます。ｸﾛｯｸ選択と動作種別はBTC0とBTC1の両方に対して同じです。

表23-16. 動作種別

MODE1,0	群形態設定	内容
0 0	NORMAL	標準動作
0 1	CAPT (注)	捕獲動作
1 0	PWM (注)	単一傾斜PWM
1 1	1SHOT (注)	単発PWM

注: PEC01形態設定で支援されません。より多くの詳細については235頁の表23-13.を参照してください。

23.7.7. CTRLG – 制御ﾚｼﾞｽﾀG (Control register G)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	EVACTEN	EVACT11,0		EVACT01,0		EVSEL2~0			CTRLG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – EVACTEN : 事象活動許可** (Event Action Enable)

この指令ﾋﾞｯﾄは両ﾀｲﾏ/ｶｳﾝﾀに対して事象活動を許可するのに使用されます。

● **ﾋﾞｯﾄ6~3 – EVACTx1,0 : 事象活動選択** (Event Action Selection)

これらのﾋﾞｯﾄは表23-17.に従って各ﾀｲﾏ/ｶｳﾝﾀが事象で事項する事象活動を定義します。事象元選択(EVSEL)設定はどの事象元が制御を持つかを決めます。この設定は事象活動許可(EVACTEN)ﾋﾞｯﾄが設定(1)されていない場合、無視されます。

表23-17. 事象活動選択

EVACTx1,0	群形態設定	内容	
0 0	INPUT	CAPT (注)	入力捕獲
	OFF	1SHOT (注)	事象活動は禁止されます。
0 1	FREQ	CAPT (注)	周波数捕獲
	OFF	1SHOT (注)	事象活動は禁止されます。
1 0	PW	CAPT	ﾊﾟﾙｽ幅捕獲
	STOPSTART	1SHOT	・計数器が計数中ならば事象で停止、または ・計数器が停止中ならば事象で開始
1 1	RESTART	全動作形態	計数器再始動

注: より多くの詳細については表23-16.を参照してください。

● **ﾋﾞｯﾄ2~0 – EVSEL2~0 : 事象元選択** (Event Source Selection)

これらのﾋﾞｯﾄは表23-18.に従ってﾀｲﾏ/ｶｳﾝﾀに対する事象ﾁｬﾈﾙ元を選びます。選択した事象ﾁｬﾈﾙに対して何れかの効果を持つには、表23-17.に従って事象活動(EVACT)ﾋﾞｯﾄが設定されなければなりません。

表23-18. 事象元選択

EVSEL2~0	群形態設定	内容
n n n	CHn	事象ﾁｬﾈﾙn (n=0～7)

23.7.8. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
①	UNF1IE	UNF0IE	CC1IE	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		INTCTRL
+$07 ②	PEC1IE	PEC0IE	–	–					
③	PEC21IE	–	PEC20IE	–					
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 ①: TC16, BTC0, BTC1で使用
②: PEC0, PEC1で使用
③: PEC20, PEC21で使用

● **ﾋﾞｯﾄ7 – UNF1IE : 下側溢れ割り込み1許可** (Underflow Interrupt 1 Enable)

このﾋﾞｯﾄの設定(1)はBTC1からの下側溢れ割り込みを許可します。

● **ﾋﾞｯﾄ7 – PEC1IE : 周辺機能計数器1割り込み許可** (Peripheral Counter 1 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はPEC1からの割り込みを許可します。

● **ﾋﾞｯﾄ7 – PEC21IE : 周辺機能計数器上位割り込み許可** (Peripheral Counter 21 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はBTC0PEC2形態設定に設定された時に周辺機能計数器上位からの割り込みを許可します。

● **ﾋﾞｯﾄ6 – UNF0IE : 下側溢れ割り込み0許可** (Underflow Interrupt 0 Enable)

このﾋﾞｯﾄの設定(1)はBTC0からの下側溢れ割り込みを許可します。

● **ﾋﾞｯﾄ6 – PEC0IE : 周辺機能計数器0割り込み許可** (Peripheral Counter 0 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はPEC0からの割り込みを許可します。

● **ﾋﾞｯﾄ5 – CC1IE : 比較/捕獲1割り込み許可** (Capture or Compare 1 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はBTC1からの比較または捕獲の割り込みを許可します。

● **ﾋﾞｯﾄ5 – PEC20IE : 周辺機能計数器下位割り込み許可** (Peripheral Counter 20 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はBTC0PEC2形態設定に設定された時に周辺機能計数器下位からの割り込みを許可します。

● **ﾋﾞｯﾄ4 – CC0IE : 比較/捕獲0割り込み許可** (Capture or Compare 0 Interrupt Enable)

このﾋﾞｯﾄの設定(1)はBTC0からの比較または捕獲の割り込みを許可します。

● **ﾋﾞｯﾄ3,2 – UNFINTLVL1,0 : ﾀｲﾏ/ｶｳﾝﾀ下側溢れ割り込みﾚﾍﾞﾙ** (Timer Underflow Interrupt Level)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ下側溢れ割り込みを許可して、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。

● **ﾋﾞｯﾄ1,0 – CCINTLVL1,0 : ﾀｲﾏ/ｶｳﾝﾀ比較/捕獲割り込みﾚﾍﾞﾙ** (Timer Compare or Capture Interrupt Level)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀ比較/捕獲割り込みを許可して、94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。

23.7.9. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
①	UNF1IF	UNF0IF	CC1IF	CC0IF	–	–	–	–	INTFLAGS
+$08 ②	PEC1IF	PEC0IF	–	–	–	–	–	–	
③	PEC21IF	–	PEC20IF	–	–	–	–	–	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 ①: TC16, BTC0, BTC1で使用
②: PEC0, PEC1で使用
③: PEC20, PEC21で使用

● **ﾋﾞｯﾄ7,6 – UNFxIF : ﾀｲﾏ/ｶｳﾝﾀ下側溢れ割り込み要求ﾌﾗｸﾞ** (Timer/Counter Underflow Interrupt Flag)

このﾌﾗｸﾞはBOTTOM条件で設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することができます。

● **ﾋﾞｯﾄ7,6 – PECxIF : 周辺機能計数器割り込み要求ﾌﾗｸﾞ** (Peripheral Counter Interrupt Flag)

このﾌﾗｸﾞは8ﾋﾞｯﾄ周辺機能計数器でのBOTTOM条件で設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することができます。

● **ﾋﾞｯﾄ7 – PEC21IF : 周辺機能計数器上位割り込み要求ﾌﾗｸﾞ** (Peripheral Counter High Interrupt Flag)

このﾌﾗｸﾞは4ﾋﾞｯﾄ周辺機能上位計数器でのBOTTOM条件で設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することができます。

● **ﾋﾞｯﾄ5,4 – CCxIF : 比較/捕獲ﾁｬﾈﾙx割り込み要求ﾌﾗｸﾞ** (Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)は対応するCCﾁｬﾈﾙでの比較一致または入力捕獲事象で設定(1)されます。

標準動作での操作については、計数器(CNT)ﾚｼﾞｽﾀと対応する比較(CMP)ﾚｼﾞｽﾀ間で比較一致が起きる時にCCxIFが設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することができます。

入力捕獲操作については、対応する比較ﾚｼﾞｽﾀが有効なﾃﾞｰﾀを含む場合にCCxIFが設定(1)されます。このﾌﾗｸﾞは比較ﾚｼﾞｽﾀが読まれる時に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することもできます。

● **ﾋﾞｯﾄ5 – PEC20IF : 周辺機能計数器下位割り込み要求ﾌﾗｸﾞ** (Peripheral Counter Low Interrupt Enable)

このﾌﾗｸﾞは4ﾋﾞｯﾄ周辺機能下位計数器でのBOTTOM条件で設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置へ1を書くことによって解除(0)することができます。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

23.7.10. PLC – 周辺機能長制御ﾚｼﾞｽﾀ (Peripheral Length Control register)

1つまたは両方の周辺機能計数器が選択された時に、計数器のTOP値を格納するのにこのﾚｼﾞｽﾀが使用されます。

このﾚｼﾞｽﾀはTC16形態設定が選択された時の16ﾋﾞｯﾄﾚｼﾞｽﾀ読み込み時にTEMPﾚｼﾞｽﾀとして使用されます。

ﾋﾞｯﾄ		7	6	5	4	3	2	1	0	
+$09	①	PLC7~0								PLC
	②	–	–	–	–	PLC3~0				
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		0	0	0	0	0	0	0	0	

注 ①: PEC0, PEC1で使用
②: PEC20, PEC21で使用

● **ﾋﾞｯﾄ7~0 – PLC7~0 : 周辺機能長制御ﾋﾞｯﾄ** (Peripheral Length Control bits)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ周辺機能計数器のTOP値を保持します。

● **ﾋﾞｯﾄ3~0 – PLC3~0 : 周辺機能長制御ﾋﾞｯﾄ** (Peripheral Length Control bits)

これらのﾋﾞｯﾄは4ﾋﾞｯﾄ周辺機能計数器のTOP値を保持します。

23.7.11. CNTL – 計数ﾚｼﾞｽﾀ下位 (Count register Low)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、CNTLﾚｼﾞｽﾀは16ﾋﾞｯﾄ計数器(CNT)値の下位ﾊﾞｲﾄを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT0を許す形態設定の時に、CNTLﾚｼﾞｽﾀは8ﾋﾞｯﾄ計数器0(BCNT0)値を含みます。

ﾀｲﾏ/ｶｳﾝﾀがPCNT0を許す形態設定の時に、CNTLﾚｼﾞｽﾀは8ﾋﾞｯﾄ周辺機能計数器0(PCNT0)値を含みます。

CPU書き込みｱｸｾｽは計数器の計数や再設定を超える優先権を持ちます。

ﾋﾞｯﾄ		7	6	5	4	3	2	1	0	
+$0A	①	CNT7~0								CNTL
	②	BCNT07~0								
	③	PCNT07~0								
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値		1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC0で使用
③: PEC0で使用

● **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数器下位ﾊﾞｲﾄ** (Counter Low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ計数値を保持します。

● **ﾋﾞｯﾄ7~0 – BCNT07~0 : 計数器0ﾊﾞｲﾄ** (Counter 0 byte)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0の計数値を保持します。

● **ﾋﾞｯﾄ7~0 – PCNT07~0 : 周辺機能計数器0ﾊﾞｲﾄ** (Peripheral Counter 0 byte)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ周辺機能計数器0の計数値を保持します。このﾚｼﾞｽﾀの書き込みは特別な注意が必要です。進行中のどの直列通信も不正にされるでしょう。

23.7.12. CNTH – 計数ﾚｼﾞｽﾀ上位 (Count register High)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、CNTHﾚｼﾞｽﾀは16ﾋﾞｯﾄ計数器(CNT)値の上位ﾊﾞｲﾄを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT1を許す形態設定の時に、CNTLﾚｼﾞｽﾀは8ﾋﾞｯﾄ計数器1(BCNT1)値を含みます。

ﾀｲﾏ/ｶｳﾝﾀがPCNT1を許す形態設定の時に、CNTLﾚｼﾞｽﾀは8ﾋﾞｯﾄ周辺機能計数器1(PCNT1)値を含みます。

ﾀｲﾏ/ｶｳﾝﾀがPCNT2を許す形態設定の時に、CNTLﾚｼﾞｽﾀは2つの4ﾋﾞｯﾄ周辺機能計数器(PCNT21とPCNT20)の値を含みます。

CPU書き込みｱｸｾｽは計数器の計数や再設定を超える優先権を持ちます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B ①	CNT15~8								CNTH
+$0B ②	BCNT17~0								
+$0B ③	PCNT17~0								
+$0B ④	PCNT213~0				PCNT203~0				
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC0で使用
③: PEC0で使用
④: PEC2で使用

● **ﾋﾞｯﾄ7~0 – CNT15~8 : 計数器上位ﾊﾞｲﾄ** (Counter High byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ計数値を保持します。

● **ﾋﾞｯﾄ7~0 – BCNT17~0 : 計数器1ﾊﾞｲﾄ** (Counter 1 byte)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1の計数値を保持します。

● **ﾋﾞｯﾄ7~0 – PCNT17~0 : 周辺機能計数器1ﾊﾞｲﾄ** (Peripheral Counter 1 byte)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ周辺機能計数器1の計数値を保持します。このﾚｼﾞｽﾀの書き込みは特別な注意が必要で、進行中のどの直列通信も不正にされるでしょう。

● **ﾋﾞｯﾄ7~4 – PCNT213~0 : 周辺機能計数器上位ﾋﾞｯﾄ** (Peripheral Counter High bits)

これらのﾋﾞｯﾄは4ﾋﾞｯﾄ周辺機能上位計数器の計数値を保持します。このﾚｼﾞｽﾀの書き込みは特別な注意が必要で、進行中のどの直列通信も不正にされるでしょう。

● **ﾋﾞｯﾄ3~0 – PCNT203~0 : 周辺機能計数器下位ﾋﾞｯﾄ** (Peripheral Counter Low bits)

これらのﾋﾞｯﾄは4ﾋﾞｯﾄ周辺機能下位計数器の計数値を保持します。このﾚｼﾞｽﾀの書き込みは特別な注意が必要で、進行中のどの直列通信も不正にされるでしょう。

23.7.13. CMPL – 比較ﾚｼﾞｽﾀ下位 (Compare register Low)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、CMPLﾚｼﾞｽﾀは16ﾋﾞｯﾄ比較(CMP)値の下位ﾊﾞｲﾄを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT0を許す形態設定の時に、CMPLﾚｼﾞｽﾀは8ﾋﾞｯﾄ比較(BCMP0)値を含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C ①	CMP7~0								CMPL
+$0C ②	BCMP07~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC0で使用

● **ﾋﾞｯﾄ7~0 – CMP7~0 : 比較下位ﾊﾞｲﾄ** (Compare Low byte)

これらのﾋﾞｯﾄは単一傾斜PWMで使用される時に16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの比較値下位ﾊﾞｲﾄを含みます。

● **ﾋﾞｯﾄ7~0 – BCMP07~0 : 比較0ﾊﾞｲﾄ** (Counter 0 byte)

これらのﾋﾞｯﾄは単一傾斜PWMで使用される時に8ﾋﾞｯﾄBTC0の比較値を保持します。

23.7.14. CMPH – 比較ﾚｼﾞｽﾀ上位 (Compare register High)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、CMPHﾚｼﾞｽﾀは16ﾋﾞｯﾄ比較(CMP)値の上位ﾊﾞｲﾄを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT1を許す形態設定の時に、CMPHﾚｼﾞｽﾀは8ﾋﾞｯﾄ比較(BCMP1)値を含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D ①	CMP15~8								CMPH
+$0D ②	BCMP17~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC1で使用

● **ﾋﾞｯﾄ7~0 – CMP15~8 : 比較上位ﾊﾞｲﾄ** (Compare High byte)

これらのﾋﾞｯﾄは単一傾斜PWMで使用される時に16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの比較値上位ﾊﾞｲﾄを含みます。

● **ﾋﾞｯﾄ7~0 – BCMP17~0 : 比較1ﾊﾞｲﾄ** (Counter 1 byte)

これらのﾋﾞｯﾄは単一傾斜PWMで使用される時に8ﾋﾞｯﾄBTC1の比較値を保持します。

23.7.15. PERCAPTL – 定期/捕獲ﾚｼﾞｽﾀ下位 (Period and Capture register Low)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、PERCAPTLﾚｼﾞｽﾀは16ﾋﾞｯﾄ周期(PER)値の下位ﾊﾞｲﾄまたは16ﾋﾞｯﾄ捕獲(CAPT)値の下位ﾊﾞｲﾄのどちらかを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT0を許す形態設定の時に、PERCAPTLﾚｼﾞｽﾀは8ﾋﾞｯﾄ周期(BPER0)値または8ﾋﾞｯﾄ捕獲(BCAPT0)値のどちらかを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E ①	PER7~0								PERCAPTL
+$0E ①	CAPT7~0								
+$0E ②	BPER07~0								
+$0E ②	BCAPT07~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC0で使用

● **ﾋﾞｯﾄ7~0 – PER7~0 : 周期下位ﾊﾞｲﾄ** (Period Low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの周期値下位ﾊﾞｲﾄを保持します。

● **ﾋﾞｯﾄ7~0 – CAPT7~0 : 捕獲値下位ﾊﾞｲﾄ** (Capture Value Low byte)

これらのﾋﾞｯﾄは事象受け取り時の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの捕獲値下位ﾊﾞｲﾄを保持します。

● **ﾋﾞｯﾄ7~0 – BPER07~0 : 周期0値** (Period byte 0)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0(BTC0)の周期値保持します。

● **ﾋﾞｯﾄ7~0 – BCAPT03~0 : 捕獲0値** (Capture Value byte 0)

これらのﾋﾞｯﾄは事象受け取り時の8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0(BTC0)の捕獲値を保持します。

23.7.16. PERCAPTH – 定期/捕獲ﾚｼﾞｽﾀ上位 (Period and Capture register High)

ﾀｲﾏ/ｶｳﾝﾀが16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ形態設定の時に、PERCAPTHﾚｼﾞｽﾀは16ﾋﾞｯﾄ周期(PER)値の上位ﾊﾞｲﾄまたは16ﾋﾞｯﾄ捕獲(CAPT)値の上位ﾊﾞｲﾄのどちらかを含みます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾀｲﾏ/ｶｳﾝﾀがCNT1を許す形態設定の時に、PERCAPTHﾚｼﾞｽﾀは8ﾋﾞｯﾄ周期(BPER1)値または8ﾋﾞｯﾄ捕獲(BCAPT1)値のどちらかを含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F ①	PER15~8								PERCAPTH
	CAPT15~8								
+$0F ②	BPER17~0								
	BCAPT17~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

注 ①: TC16で使用
②: BTC1で使用

- **ﾋﾞｯﾄ7~0 – PER15~8 : 周期上位ﾊﾞｲﾄ** (Period High byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの周期値下位ﾊﾞｲﾄを保持します。

- **ﾋﾞｯﾄ7~0 – CAPT15~8 : 捕獲値上位ﾊﾞｲﾄ** (Capture Value High byte)

これらのﾋﾞｯﾄは事象受け取り時の16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの捕獲値上位ﾊﾞｲﾄを保持します。

- **ﾋﾞｯﾄ7~0 – BPER17~0 : 周期1値** (Period byte 1)

これらのﾋﾞｯﾄは8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1(BTC1)の周期値保持します。

- **ﾋﾞｯﾄ7~0 – BCAPT13~0 : 捕獲1値** (Capture Value byte 1)

これらのﾋﾞｯﾄは事象受け取り時の8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ1(BTC1)の捕獲値を保持します。

23.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$06	CTRLG	EVACTEN	EVACT11,0		EVACT01,0		EVSRC2~0			236
+$05	CTRLF	CMDEN1,0		CMP1	CMP0	CCEN1	CCEN0	MODE1,0		236
+$04	CTRLE	CMDSEL	TCSEL2~0			CLKSEL3~0				235
+$03	CTRLD	TRUTH13~0				TRUTH03~0				235
+$02	CTRLC	EVASYSEL1	EVASYSEL0	DLYSEL1,0		DLYCONF11,0		DLYCONF01,0		234
+$01	CTRLB	IN3SEL1,0		IN2SEL1,0		IN1SEL1,0		IN3SEL1,0		234
+$00	CTRLA	LUT0OUT1,0		PORTSEL1,0		–	LUTCONF2~0			233

23.8.1. レジスタ要約 – 1つの16ビット タイマ/カウンタ (TC16)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$08	INTFLAGS	–	UNF0IF	–	CC0IF	–	–	–	–	237
+$07	INTCTRL	–	UNF0IE	–	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.1.1 設定可能な周期を持つ標準動作でのタイマ/カウンタ (NORMAL)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	PERCAPTH	PER15~8								241
+$0E	PERCAPTL	PER7~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	CNT15~8								239
+$0A	CNTL	CNT7~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.1.2 捕獲動作でのタイマ/カウンタ (CAPT)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	PERCAPTH	CAPT15~8								241
+$0E	PERCAPTL	CAPT7~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	CNT15~8								239
+$0A	CNTL	CNT7~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.1.3 周期MAX固定のPWM動作でのタイマ/カウンタ (PWMまたはSSPWM)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	CMPH	CMP15~8								240
+$0C	CMPL	CMP7~0								239
+$0B	CNTH	CNT15~8								239
+$0A	CNTL	CNT7~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.2. ﾚｼﾞｽﾀ要約 – 1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (BTC0)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	INTFLAGS	–	UNF0IF	–	CC0IF	–	–	–	–	237
+$07	INTCTRL	–	UNF0IE	–	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.2.1 設定可能な周期を持つ標準動作でのﾀｲﾏ/ｶｳﾝﾀ (NORMAL)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.2.2 捕獲動作でのﾀｲﾏ/ｶｳﾝﾀ (CAPT)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BCAPT07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.2.3 設定可能な周期を持つPWM動作でのﾀｲﾏ/ｶｳﾝﾀ (PWMまたはSSPWM)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	CMPL	BCMP07~0								239
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.3. ﾚｼﾞｽﾀ要約 – 2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ (BTC01)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	INTFLAGS	UNF1IF	UNF0IF	CC1IF	CC0IF	–	–	–	–	237
+$07	INTCTRL	UNF1IE	UNF0IE	CC1IE	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.3.1 設定可能な周期を持つ標準動作でのタイマ/カウンタ (NORMAL)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	PERCAPTH	BPER17~0								241
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	BCNT17~0								239
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.3.2 捕獲動作でのタイマ/カウンタ (CAPT)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	PERCAPTH	BCAPT17~0								241
+$0E	PERCAPTL	BCAPT07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	BCNT17~0								239
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.3.3 設定可能な周期を持つPWM動作でのタイマ/カウンタ (PWMまたはSSPWM)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	CMPH	BCMP17~0								240
+$0C	CMPL	BCMP07~0								239
+$0B	CNTH	BCNT17~0								239
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.4. レジスタ要約 – 1つの8ビット タイマ/カウンタと1つの8ビット送信周辺機能計数器 (BTC0PEC1)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$08	INTFLAGS	PEC1IF	UNF0IF	–	CC0IF	–	–	–	–	237
+$07	INTCTRL	PEC1IE	UNF0IE	–	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.4.1 設定可能な周期を持つ標準動作でのタイマ/カウンタ (NORMAL)

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.4.2 捕獲動作でのﾀｲﾏ/ｶｳﾝﾀ (CAPT)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BCAPT07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.4.3 設定可能な周期を持つPWM動作でのﾀｲﾏ/ｶｳﾝﾀ (PWMまたはSSPWM)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	CMPL	BCMP07~0								239
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.4.4 送信部周辺機能計数器 (PEC)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	PCNT17~0								239
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	PLC	PLC7~0								238

23.8.5. ﾚｼﾞｽﾀ要約 – 1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと1つの8ﾋﾞｯﾄ受信周辺機能計数器 (PEC0BTC1)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	INTFLAGS	UNF1IF	PEC0IF	CC1IF	–	–	–	–	–	237
+$07	INTCTRL	UNF1IE	PEC0IE	CC1IE	–	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.5.1 受信部周辺機能計数器 (PEC)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	PCNT07~0								238
+$09	PLC	PLC7~0								238

23.8.5.2 設定可能な周期を持つ標準動作でのﾀｲﾏ/ｶｳﾝﾀ (NORMAL)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	PERCAPTH	BPER17~0								241
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	BCNT17~0								239
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	予約	–	–	–	–	–	–	–	–	

23.8.5.3 捕獲動作でのﾀｲﾏ/ｶｳﾝﾀ (CAPT)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	PERCAPTH	BCAPT17~0								241
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	BCNT17~0								239
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	予約	–	–	–	–	–	–	–	–	

23.8.5.4 設定可能な周期を持つPWM動作でのﾀｲﾏ/ｶｳﾝﾀ (PWMまたはSSPWM)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	PERCAPTH	BPER07~0								241
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	CMPH	BCMP07~0								240
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	BCNT07~0								239
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	予約	–	–	–	–	–	–	–	–	

23.8.6. ﾚｼﾞｽﾀ要約 – 2つの8ﾋﾞｯﾄ送受信周辺機能計数器 (PEC01)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	INTFLAGS	PEC1IF	PEC0IF	–	–	–	–	–	–	237
+$07	INTCTRL	PEC1IE	PEC0IE	–	–	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.6.1 送信部/受信部周辺機能計数器 (PEC)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	PCNT17~0								239
+$0A	CNTL	PCNT07~0								238
+$09	PLC	PLC7~0 (送受信に対して同じ長さ)								238

23.8.7. ﾚｼﾞｽﾀ要約 – 1つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと2つの4ﾋﾞｯﾄ送受信周辺機能計数器 (BTC0PEC2)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	INTFLAGS	PEC1IF	UNF0IF	PEC2IF	CC0IF	–	–	–	–	237
+$07	INTCTRL	PEC1IE	UNF0IE	PEC2IE	CC0IE	UNFINTLVL1,0		CCINTLVL1,0		237

23.8.7.1 設定可能な周期を持つ標準動作でのﾀｲﾏ/ｶｳﾝﾀ (NORMAL)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.7.2 捕獲動作でのﾀｲﾏ/ｶｳﾝﾀ (CAPT)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BCAPT07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.7.3 設定可能な周期を持つPWM動作でのﾀｲﾏ/ｶｳﾝﾀ (PWMまたはSSPWM)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	PERCAPTL	BPER07~0								240
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	CMPL	BCMP07~0								239
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	CNTL	BCNT07~0								238
+$09	予約	–	–	–	–	–	–	–	–	

23.8.7.4 送信部/受信部周辺機能計数器 (PEC)

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CNTH	PCNT213~0				PCNT213~0				239
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	PLC	–	–	–	–	PLC3~0 (送受信に対して同じ長さ)				238

23.8. 割り込みベクタ要約

変位	記述例	割り込み内容
$00	UNF_vect	タイマ/カウンタ下側溢れ割り込みベクタ
$02	CC_vect	タイマ/カウンタ比較一致または捕獲割り込みベクタ

23.9. T/CとPECレジスタ要約 対 形態設定と動作種別

形態設定	NORMAL			CAPT			PWM & 1SHOT		
	変位	レジスタ	領域	変位	レジスタ	領域	変位	レジスタ	領域
TC16	+$0F	PERCAPTH	PER15～8	+$0F	PERCAPTH	CAPT15～8	+$0F	(予約)	
	+$0E	PERCAPTL	PER7～0	+$0E	PERCAPTL	CAPT7～0	+$0E	(予約)	
	+$0D	(予約)		+$0D	(予約)		+$0D	CMPH	CMP15～8
	+$0C	(予約)		+$0C	(予約)		+$0C	CMPL	CMP7～0
	+$0B	CNTH	CNT15～8	+$0B	CNTH	CNT15～8	+$0B	CNTH	CNT15～8
	+$0A	CNTL	CNT7～0	+$0A	CNTL	CNT7～0	+$0A	CNTL	CNT7～0
	+$09	(予約)		+$09	(予約)		+$09	(予約)	
BTC0	+$0F	(予約)		+$0F	(予約)		+$0F	(予約)	
	+$0E	PERCAPTL	BPER07～0	+$0E	PERCAPTL	BCAPT07～0	+$0E	PERCAPTL	BPER07～0
	+$0D	(予約)		+$0D	(予約)		+$0D	(予約)	
	+$0C	(予約)		+$0C	(予約)		+$0C	CMPL	BCMP07～0
	+$0B	(予約)		+$0B	(予約)		+$0B	(予約)	
	+$0A	CNTL	BCNT7～0	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0
	+$09	(予約)		+$09	(予約)		+$09	(予約)	
BTC01	+$0F	PERCAPTH	BPER17～0	+$0F	PERCAPTH	BCAPT17～0	+$0F	(予約)	
	+$0E	PERCAPTL	BPER07～0	+$0E	PERCAPTL	BCAPT07～0	+$0E	(予約)	
	+$0D	(予約)		+$0D	(予約)		+$0D	CMPH	BCMP17～0
	+$0C	(予約)		+$0C	(予約)		+$0C	CMPL	BCMP07～0
	+$0B	CNTH	BCNT17～0	+$0B	CNTH	BCNT17～0	+$0B	CNTH	BCNT17～0
	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0
	+$09	(予約)		+$09	(予約)		+$09	(予約)	
BTC0PEC1	+$0F	(予約)		+$0F	(予約)		+$0F	(予約)	
	+$0E	PERCAPTL	BPER07～0	+$0E	PERCAPTL	BCAPT07～0	+$0E	PERCAPTL	BPER07～0
	+$0D	(予約)		+$0D	(予約)		+$0D	(予約)	
	+$0C	(予約)		+$0C	(予約)		+$0C	CMPL	BCMP07～0
	+$0B	CNTH	PCNT17～0	+$0B	CNTH	PCNT17～0	+$0B	CNTH	PCNT17～0
	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0
	+$09	PLC	PLC7～0	+$09	PLC	PLC7～0	+$09	PLC	PLC7～0
PEC0BTC1	+$0F	PERCAPTH	BPER17～0	+$0F	PERCAPTH	BCAPT17～0	+$0F	PERCAPTH	BPER17～0
	+$0E	(予約)		+$0E	(予約)		+$0E	(予約)	
	+$0D	(予約)		+$0D	(予約)		+$0D	CMPH	BCMP17～0
	+$0C	(予約)		+$0C	(予約)		+$0C	(予約)	
	+$0B	CNTH	BCNT17～0	+$0B	CNTH	BCNT17～0	+$0B	CNTH	BCNT17～0
	+$0A	CNTL	PCNT07～0	+$0A	CNTL	PCNT07～0	+$0A	CNTL	PCNT07～0
	+$09	PLC	PLC7～0	+$09	PLC	PLC7～0	+$09	PLC	PLC7～0
PEC01	+$0F	(予約)							
	+$0E	(予約)							
	+$0D	(予約)							
	+$0C	(予約)							
	+$0B	CNTH	PCNT17～0						
	+$0A	CNTL	PCNT07～0						
	+$09	PLC	PLC7～0						
BTC0PEC2	+$0F	(予約)		+$0F	(予約)		+$0F	(予約)	
	+$0E	PERCAPTL	BPER07～0	+$0E	PERCAPTL	BCAPT07～0	+$0E	PERCAPTL	BPER07～0
	+$0D	(予約)		+$0D	(予約)		+$0D	(予約)	
	+$0C	(予約)		+$0C	(予約)		+$0C	CMPL	BCMP07～0
	+$0B	CNTH	PCNT21/203～0	+$0B	CNTH	PCNT21/203～0	+$0B	CNTH	PCNT21/203～0
	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0	+$0A	CNTL	BCNT07～0
	+$09	PLC	PLC3～0	+$09	PLC	PLC3～0	+$09	PLC	PLC3～0

24. CRC – 巡回冗長検査生成器 (Cyclic Redundancy Check Generator)

24.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
  - 通信データ
  - フラッシュ メモリ内のプログラムまたはデータ
  - SRAMとI/Oメモリ空間内のデータ
- フラッシュ メモリ、EDMA制御器、CPUとの統合
  - EDMAチャネルを通して行うデータでの継続的なCRC
  - フラッシュ メモリの全体または選択可能な範囲の自動CRC
  - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
  - CRC-16 (CRC-CCITT)
  - CRC-32 (IEEE 802.3)
- 0剰余検出

24.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使用される誤り検出技術調査算法で、これは一般的にデータ送信の正しさや、データとプログラムのメモリ内のデータの存在を決めるのに使用されます。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使用することができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこの誤りを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の$1-2^{-n}$を検出します。XMEGAデバイスのCRC部署は一般的に使用される2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

- CRC-16:

生成多項式	: $X^{16}+X^{12}+X^{5}+1$
16進値	: $1021

- CRC-32:

生成多項式	: $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$
16進値	: $04C11DB7

24.3. 動作

CRC部署に対するデータ元はフラッシュ メモリ、EDMAチャネル、またはI/Oインターフェースのどれかとしてソフトウェアで選ばれなければなりません。そしてCRC部署は選択した供給元からデータ入力を取り、それらのデータをに基づいてチェックサムを生成します。チェックサムはCRC部署内のチェックサム(CHECKSUM)レジスタで利用可能です。CRC-32生成多項式使用時、最後のチェックサム読み込みは逆順で補数にされます(**図24-1.**をご覧ください)。

I/OインターフェースやEDMAチャネルに対して、どちらのCRC生成多項式が使用されるかはソフトウェア選択可能ですが、既定設定はCRC-16です。供給元としてフラッシュ メモリが選択される場合、自動的にCRC-32が使用されます。CRC部署はバイトでだけ動作します。

図24-1. CRC生成器構成図

24.4. フラッシュ メモリでのCRC

フラッシュ メモリ全体、応用領域だけ、ブート領域だけ、またはソフトウェアで選択可能なフラッシュ メモリの範囲でCRC-32計算を実行することができます。供給元としてフラッシュ メモリを選択すること以外、更なる全ての制御と構成設定はNVM制御器から行われます。これはNVM制御器がCRCを実行するメモリ範囲を形態設定し、CRCがNVM指令を用いて開始されることを意味します。一旦完了されると、結果はCRC部署のチェックサム(CHECKSUM)レジスタで利用可能です。フラッシュ メモリでの構成設定とCRC実行の更なる詳細については299頁の「メモリ プログラミング」を参照してください。

24.5. EDMAデータでのCRC

何れかのEDMAチャネルを通してデータを渡すことでCRC-16またはCRC-32計算を実行することができます。一旦供給元としてEDMAチャネルが選択されると、CRC部署はEDMAチャネルを通して渡すデータで継続的にCRCを生成します。EDMA転送処理が一旦完了または中断されると、チェックサムが読み出し可能です。CRCは通信データだけでなく、EDMAチャネルを通してそれらのデータを渡すことによって、SRAMやI/Oメモリ内のデータでも実行することができます。後者が行われた場合、EDMAデータに対する転送先レジスタはCRC部署内のデータ入力(DATAIN)レジスタにすることができます。EDMA単位転送構成設定のより多くの詳細については37頁の「EDMA - 強化型直接メモリ入出力」を参照してください。

24.6. I/Oインターフェースを用いるCRC

CPUを用いてCRC部署内にそれらを運ぶ、DATAINレジスタにデータを書くことによってどのデータでもCRCを実行することができます。この方法の使用で、CPUによって任意のバイト数をレジスタに書くことができ、CRCは各バイトに対して継続的に行われます。新しいデータは各周回に対して書くことができます。CRC完了は状態(STATUS)レジスタ内の多忙(BUSY)ビットへの書き込みによって合図されます。

24.7. レジスタ説明

24.7.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+$00	RESET1,0		CRC32	–	SOURCE3~0				CTRL
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7,6 – RESET1,0 : リセット** (Reset)

これらのビットはCRC部署のリセットに使用され、これらは常に0として読めます。CRCレジスタはRESET1ビットが設定(1)された後の1周辺クロック周期でリセットします。

表24-1. CRCリセット

RESET1,0	群形態設定	内容
0 0	NO	リセットなし
0 1	–	(予約)
1 0	RESET0	CHECKSUMを全0でCRCをリセット
1 1	RESET1	CHECKSUMを全1でCRCをリセット

● **ビット5 – CRC32 : CRC-32許可** (CRC-32 Enable)

このビットの設定(1)はCRC-16の代わりにCRC-32を許可します。これは多忙(BUSY)フラグが設定(1)されている間に変更することはできません。

● **ビット4 – 予約** (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● **ビット3~0 – SOURCE3~0 : 入力元** (Input Source)

これらのビットはCRCを生成するための入力元を選びます。選択した供給元はCRC生成が完了されるか、またはCRC部署がリセットされるかのどちらかまで固定化されます。CRC生成完了はEDMA制御器またはフラッシュ メモリで使用された時に選択した供給元から合図されます。

表24-2. CRC供給元選択

SOURCE3~0	群形態設定	内容
0 0 0 0	DISABLE	CRC禁止
0 0 0 1	IO	I/Oインターフェース
0 0 1 0	FLASH	フラッシュ メモリ
0 0 1 1	–	(将来の使用に予約)
0 1 0 0	EDMACH0	EDMA制御器チャネル0
0 1 0 1	EDMACH1	EDMA制御器チャネル1
0 1 1 0	EDMACH2	EDMA制御器チャネル2
0 1 1 1	EDMACH3	EDMA制御器チャネル3
1 x x x	–	(将来の使用に予約)

24.7.2. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	ZERO	BUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – 予約** (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット1 – ZERO : チェックサム0** (Checksum Zero)

このフラグはCRC生成完了時にチェックサム(CHECKSUM)レジスタが0の場合に設定(1)されます。これは新しいCRC供給元が選択された時に自動的に解除(0)されます。

CRC-32走行で(リトルエンディアンとして)パケットの最後でチェックサムを追加する時に最終チェックサムは0ではなく$2144DF1Cであるべきです。けれども、チェックサムが(リトルエンディアンとして)データに追加される前に補数にされる場合、CHECKSUMレジスタ内の最終結果は0でしょう。

CHECKSUMの各種版を読むためにCHECKSUMの記述をご覧ください。

● ﾋﾞｯﾄ0 – BUSY : 多忙 (Busy)

このﾌﾗｸﾞは供給元形態設定が選択され、その供給元がCRC部署を使用する限り、1として読めます。供給元としてI/Oｲﾝﾀｰﾌｪｰｽが選択される場合、このﾌﾗｸﾞはこの位置に1を書くことによって解除(0)することができます。供給元としてEDMAﾁｬﾈﾙが選択される場合、このﾌﾗｸﾞはEDMAﾁｬﾈﾙの転送処理が完了または中断された時に解除(0)されます。供給元としてﾌﾗｯｼｭ ﾒﾓﾘが選択される場合、このﾌﾗｸﾞはCRC生成が完了された時に解除(0)されます。

24.7.3. DATAIN – ﾃﾞｰﾀ入力ﾚｼﾞｽﾀ (Data Input register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DATAIN7~0								DATAIN
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DATAIN7~0 : ﾃﾞｰﾀ入力 (Data Input)

このﾚｼﾞｽﾀはCRCﾁｪｯｸｻﾑが計算されるためのﾃﾞｰﾀを格納するのに使用されます。DATAINﾚｼﾞｽﾀが書かれた後の1ｸﾛｯｸ周期でﾁｪｯｸｻﾑ(CHECKSUM)ﾚｼﾞｽﾀは準備が整います。

24.7.4. CHECKSUM0 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ0 (Checksum register 0)

CHECKSUM0,CHECKSUM1,CHECKSUM2,CHECKSUM3は生成されたCRC、16または32ﾋﾞｯﾄのﾁｪｯｸｻﾑ(CHECKSUM)値を表します。ﾚｼﾞｽﾀは既定で0にﾘｾｯﾄされますが、全ﾋﾞｯﾄを1にﾘｾｯﾄするようにCRCﾘｾｯﾄ(RESET)ﾋﾞｯﾄを書くことが可能です。CRC部署が禁止されている時にだけ、これらのﾚｼﾞｽﾀを書くことが可能です。供給元として不揮発性ﾒﾓﾘ(NVM)が選択される場合、CHECKSUMの読み込みは多忙(BUSY)ﾌﾗｸﾞが解除(0)されるまで0値を返します。CRC-32が選択され、BUSYﾌﾗｸﾞが解除(0)(換言すると、CRC生成が完了または中断)された場合、ﾋﾞｯﾄ逆順(ﾋﾞｯﾄ31がﾋﾞｯﾄ0と交換され、ﾋﾞｯﾄ30がﾋﾞｯﾄ1と、以下同様)と補数にされた結果がCHECKSUMから読まれます。CRC-16が選択される、またはBUSYﾌﾗｸﾞが設定(1)される(換言すると、CRC生成が進行中の)場合、CHECKSUMは実際の内容を含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CHECKSUM7~0								CHECKSUM0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM7~0 : ﾁｪｯｸｻﾑ7~0 (Checksum byte 0)

これらのﾋﾞｯﾄは生成されたCRCの第1ﾊﾞｲﾄを保持します。

24.7.5. CHECKSUM1 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ1 (Checksum register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	CHECKSUM15~8								CHECKSUM1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM15~8 : ﾁｪｯｸｻﾑ15~8 (Checksum byte 1)

これらのﾋﾞｯﾄは生成されたCRCの第2ﾊﾞｲﾄを保持します。

24.7.6. CHECKSUM2 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ2 (Checksum register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	CHECKSUM23~16								CHECKSUM2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM23~16 : ﾁｪｯｸｻﾑ23~16 (Checksum byte 2)

これらのﾋﾞｯﾄは生成されたCRCの第3ﾊﾞｲﾄを保持します。

24.7.7. CHECKSUM3 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ3 (Checksum register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	CHECKSUM31~24								CHECKSUM3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM31~24 : ﾁｪｯｸｻﾑ31~24 (Checksum byte 3)

これらのﾋﾞｯﾄは生成されたCRCの第4ﾊﾞｲﾄを保持します。

24.8. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	CHECKSUM3	CHECKSUM31~24								252
+$06	CHECKSUM2	CHECKSUM23~16								252
+$05	CHECKSUM1	CHECKSUM15~8								252
+$04	CHECKSUM0	CHECKSUM7~0								252
+$03	DATAIN	DATAIN7~0								252
+$02	予約	–	–	–	–	–	–	–	–	
+$01	STATUS	–	–	–	–	–	–	ZERO	BUSY	251
+$00	CTRL	RESET1,0		CRC32	–	SOURCE3~0				251

25. ADC – A/D変換器

25.1. 要点

- 12ﾋﾞｯﾄ分解能
- 1秒当たり最大30万採取
  - 8ﾋﾞｯﾄ分解能で最小2.3μsの変換時間
  - 12ﾋﾞｯﾄ分解能で最小3.35μsの変換時間
- 差動とｼﾝｸﾞﾙｴﾝﾄﾞの入力
  - 最大16のｼﾝｸﾞﾙｴﾝﾄﾞ入力
  - 16×8種の設定可能な利得付き差動入力
- 組み込み差動利得段
  - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
  - 内部温度感知器
  - D/A変換器(DAC)出力
  - AVCCの1/10の電圧
  - 1.1Vﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 変位(ｵﾌｾｯﾄ)と利得の修正
- 平均化
- 過採取と間引き
- 任意選択の正確なﾀｲﾐﾝｸﾞ用事象起動変換
- 任意選択の比較結果での割り込み/事象
- 任意選択の変換結果EDMA転送

25.2. 概要

A/D変換器(ADC)はｱﾅﾛｸﾞ信号をﾃﾞｼﾞﾀﾙ値に変換します。ADCは12ﾋﾞｯﾄ分解能と秒当たり30万(300k)採取(SPS)までの変換能力を持ちます。入力選択は柔軟で、ｼﾝｸﾞﾙｴﾝﾄﾞと差動の両方の測定を実行することができます。動態範囲を拡大するために設定可能な利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

ADC測定は応用ｿﾌﾄｳｪｱまたはﾃﾞﾊﾞｲｽ内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はｿﾌﾄｳｪｱの介在なしで予め予測されたﾀｲﾐﾝｸﾞで開始することができます。変換が終了した時にADCの結果を直接、ﾒﾓﾘまたは周辺機能へ移動するのにEDMAを使用することが可能です。

内部と外部の両方の基準電圧が使用できます。統合された温度感知器がADCとで利用可能です。AVCC/10とﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のｿﾌﾄｳｪｱ介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

雑音がある状況での操作時、ADC分解能を増すために平均機能を許可することができます。最大1024採取を平均化することができ、最大16ﾋﾞｯﾄ分解能の結果を許します。同様に、過採取と間引きの動作形態を使用して、ADC分解能は最大4ﾋﾞｯﾄの追加LSB分解能に帰着する16ﾋﾞｯﾄまで増加されます。標準製造校正に加え、使用者は絶対ADC精度を改善するために変位(ｵﾌｾｯﾄ)と利得の修正を許可することができます。

図25-1. ADC概要

25.3. 入力元

入力元はADCが測定と変換を行える電圧入力です。3つの測定形式が選択できます。

- 設定可能な利得付き差動入力
- ｼﾝｸﾞﾙｴﾝﾄﾞ入力
- 内部入力

入力ﾋﾟﾝはｼﾝｸﾞﾙｴﾝﾄﾞと差動の入力に使用され、一方内部入力はﾃﾞﾊﾞｲｽの内側で直接的に利用可能です。2つのADCを持つﾃﾞﾊﾞｲｽでは、PORTAとPORTDのﾋﾟﾝがADCに入力できます。

ADCは差動で、故にｼﾝｸﾞﾙｴﾝﾄﾞ測定については負入力が内部固定値に接続されます。4つの測定形式とそれらに対応する入力選択は図25-2.～256頁の図25-6.で示されます

25.3.1. 差動入力

差動入力が許可されると、全ての入力ﾋﾟﾝは正入力として選択でき、入力ﾋﾟﾝ0～7は負入力として選択できます。1倍以外の利得設定に対しては、最初に差動入力が採取され、結果が変換されるのに先立って利得段によって増幅されます。利得は1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得が選択可能です。

図25-2. 差動測定

25.3.2. ｼﾝｸﾞﾙｴﾝﾄﾞ入力

ｼﾝｸﾞﾙｴﾝﾄﾞ測定については全ての入力ﾋﾟﾝが入力として使用することができます。ｼﾝｸﾞﾙｴﾝﾄﾞ測定は符号付きと符号なしの両動作で行うことができます。標準動作のADCに対し、この動作形態では応用によって利得が1倍に設定されるべきです。

負入力は符号付き動作で内部GNDに接続されます。

符号なし動作では、負入力が基準電圧(VREF)の半分−固定変位に接続されます。この変位に対する公称値は以下です。

$$\Delta V = VREF \times 0.05$$

ADCが差動なので、入力範囲ｼﾝｸﾞﾙｴﾝﾄﾞ入力に対してVREFから0までです。変位はADCに対して符号なし動作での0交差測定を許します。

図25-3. 符号付き動作でのｼﾝｸﾞﾙｴﾝﾄﾞ測定

図25-4. 符号なし動作でのｼﾝｸﾞﾙｴﾝﾄﾞ測定

25.3.3. 内部入力

これらの内部信号はADCによって測定または使用することができます。

- 温度感知器
- ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 縮尺AVCC
- D/A変換器(DAC)出力
- ﾊﾟｯﾄﾞGNDと内部GND

温度感知器はﾃﾞﾊﾞｲﾄの内部温度で直線的に増加する出力電圧を生じます。温度感知器からの温度を計算するのに1つ以上の校正点が必要とされます。温度感知器は製造検査で1点校正され、結果が製品識票列内の温度感知器校正ﾚｼﾞｽﾀ(TEMPSENSE0とTEMPSENSE1)に格納されます。より多くの校正条件の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧は正確な内部電圧基準です。

VCCはADC入力の前で1/10して縮尺することによって直接測定することができます。従って、1.8VのVCCは0.18Vとして測定され、3.6VのVCCは0.36Vとして測定され、これはVCC電圧の容易な測定を許します。

内部信号はそれらが測定され得るのに先立って許可される必要があります。それらを許可する方法の詳細についてはそれらの手引書のﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟとDACに関する項を参照してください。内部信号に対する採取速度はADCのそれよりも遅くなります。詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄ内のADC特性を参照してください。

差動測定に関し、負入力としてﾊﾟｯﾄﾞGND(GND)と内部GND(INTGND)を選択することができます。ﾊﾟｯﾄﾞGNDはﾋﾟﾝ上のGNDﾚﾍﾞﾙで、外部GNDと同じかまたは非常に近いものです。内部GNDはﾃﾞﾊﾞｲｽ内部GNDﾚﾍﾞﾙです。標準動作のADCに対し、この動作形態では応用によって利得が1倍に設定されるべきです。

符号付きｼﾝｸﾞﾙｴﾝﾄﾞ動作で他の内部信号が測定される時に負入力として内部GNDが使用されます。

符号なし動作で内部信号を測定するため、負入力は下の式によって与えられる固定値に接続され、それは符号なしｼﾝｸﾞﾙｴﾝﾄﾞ入力に対する負入力として、基準電圧(VREF)の半分−固定変位です。詳細については258頁の**表25-2.**をご覧ください。

$$V_{INN} = VREF/2 - \Delta V$$

図25-5. 符号付き動作での内部測定

図25-6. 符号なし動作での内部測定

25.4. 採取時間制御

高ｲﾝﾋﾟｰﾀﾞﾝｽ供給元出力を持つ応用を支援するため、採取時間はADCｸﾛｯｸ半周期の段階によって増加することができます。

25.5. 基準電圧選択

ADCに対する基準電圧(AREF)として以下の電圧が利用可能です。

- ﾊﾞｯﾄﾞｷﾞｬｯﾌﾟから生成された正確な内部1.00V電圧
- 内部AVCC/1.6V電圧
- 内部AVCC/2V電圧
- PORTAのAREFﾋﾟﾝに印加された外部基準電圧
- PORTDのAREFﾋﾟﾝに印加された外部基準電圧

図25-7. ｱﾅﾛｸﾞ基準電圧選択

25.6. 変換結果

A/D変換の結果はﾁｬﾈﾙ結果(RES)ﾚｼﾞｽﾀに書かれます。ADCは符号付きと符号なしのどちらかです。この設定はADCとADCﾁｬﾈﾙに対する全体設定です。

符号付き動作では、正と負の結果が生成されます。ADCﾁｬﾈﾙが差動測定に設定される時は符号付き動作が使用されなければなりません。符号なし動作ではｼﾝｸﾞﾙｴﾝﾄﾞまたは内部信号だけを測定することができます。12ﾋﾞｯﾄ分解能では符号付き結果のTOP値が2047で、結果は-2048～+2047($F800～$07FF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - VINN}{VREF} \times GAIN \times (TOP+1)$$

VINPとVINNはADCへの正入力と負入力です。

差動測定に関して利得(GAIN)は1/2～64までｿﾌﾄｳｪｱ選択可能です。ｼﾝｸﾞﾙｴﾝﾄﾞと内部測定に関して、利得(GAIN)はｿﾌﾄｳｪｱによって1倍に設定されなければならず、VINPは内部GNDです。

符号なし動作では、正の結果だけが生成されます。符号なしの結果のTOP値は4095で、結果は0～4095($0000～$0FFF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - (-\triangle V)}{VREF} \times (TOP+1)$$

VINPはｼﾝｸﾞﾙｴﾝﾄﾞまたは内部の入力です。

ADCは8ﾋﾞｯﾄまたは12ﾋﾞｯﾄの結果のどちらかを生成するように形態設定することができます。より低い分解能での結果はより早く利用可能になります。伝播遅延の記述については「ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ」をご覧ください。

結果ﾚｼﾞｽﾀは右揃えされた16ﾋﾞｯﾄとして格納される16ﾋﾞｯﾄ幅です。右揃えは下位8ﾋﾞｯﾄが下位ﾊﾞｲﾄで得られることを意味します。12ﾋﾞｯﾄの結果は左揃えまたは右揃えのどちらかで表されます。左揃えは上位8ﾋﾞｯﾄが上位ﾊﾞｲﾄで得られることを意味します。

ADCが符号付き動作のとき、最上位ﾋﾞｯﾄは符号ﾋﾞｯﾄを表します。12ﾋﾞｯﾄ右揃え動作では、直接的な符号付き16ﾋﾞｯﾄ数値を作成するために符号ﾋﾞｯﾄ(ﾋﾞｯﾄ11)値がﾋﾞｯﾄ12～15に詰められます。8ﾋﾞｯﾄ動作では符号ﾋﾞｯﾄ(ﾋﾞｯﾄ7)値が上位ﾊﾞｲﾄ全体に詰められます。

表25-1.と表25-2.は差動入力任意選択、信号入力範囲、12ﾋﾞｯﾄ右揃え動作での結果表現を示します。

表25-1. (利得付き)符号付き差動入力、入力電圧 対 出力符号

VINP	符号付き	
	読み取り符号	10進値
VINN+VREF/GAIN	$07FF	2047
VINN+0.9995×VREF/GAIN	$07FE	2046
VINN+0.9990×VREF/GAIN	$07FD	2045
～	～	～
VINN+0.5007×VREF/GAIN	$0401	1025
VINN+0.5002×VREF/GAIN	$0400	1024
VINN+0.4998×VREF/GAIN	$03FF	1023
VINN+0.4993×VREF/GAIN	$03FE	1022
～	～	～
VINN+0.0010×VREF/GAIN	$0002	2
VINN+0.0005×VREF/GAIN	$0001	1
VINN	$0000	0
VINN-0.0005×VREF/GAIN	$FFFF	-1
VINN-0.0010×VREF/GAIN	$FFFE	-2
～	～	～
VINN-0.9990×VREF/GAIN	$F802	-2046
VINN-0.9995×VREF/GAIN	$F801	-2047
VINN-VREF/GAIN	$F800	-2048

表25-2. ｼﾝｸﾞﾙ ｴﾝﾄﾞ、入力電圧 対 出力符号

VINP	符号付き		符号なし	
	読み取り符号	10進値	読み取り符号	10進値
VREF	$07FF	2047	$0FFF (飽和)	4095 (飽和)
0.9998×VREF	-	-	$0FFF (飽和)	4095 (飽和)
0.9995×VREF	$07FE	2046	$0FFF (飽和)	4095 (飽和)
0.9993×VREF	-	-	$0FFF (飽和)	4095 (飽和)
0.9990×VREF	$07FD	2045	$0FFF (飽和)	4095 (飽和)
～	～	～	～	～
0.9500×VREF	$0799	1945	$0FFF	4095
0.9498×VREF	-	-	$0FFE	4094
0.9495×VREF	$0798	1944	$0FFD	4093
0.9493×VREF	-	-	$0FFC	4092
0.9490×VREF	$0797	1943	$0FFB	4091
～	～	～	～	～
0.5005×VREF	$0400	1024	$08CE	2254
0.5002×VREF	-	-	$08CD	2253
0.5000×VREF	$03FF	1023	$08CC	2252
0.4998×VREF	-	-	$08CB	2251
0.4995×VREF	$03FE	1022	$08CA	2250
～	～	～	～	～
0.0005×VREF	$0001	1	$00CF	207
0.0002×VREF	-	-	$00CE	206
GND	$0000	0	$00CD	205
-0.0002×VREF	-	-	$00CC	204
-0.0005×VREF	$FFFF	-1	$00CB	203
～	～	～	～	～
-0.0493×VREF	$FF9B	-101	$0003	3
-0.0495×VREF	-	-	$0002	2
-0.0498×VREF	$FF9A	-102	$0001	1
-0.0500×VREF	-	-	$0000	0
-0.0503×VREF	$FF99	-103	$0000 (飽和)	0 (飽和)
-0.0506×VREF	-	-	$0000 (飽和)	0 (飽和)
-0.0508×VREF	$FF98	-104	$0000 (飽和)	0 (飽和)

25.7. 校正と補正

25.7.1. 製造検査校正

ADCは組み込み直接校正を持ちます。255頁の**図25-1.**で示されるように、ADC第1段と第2段での電気的要素の値はこの構成によって調整されます。製造検査校正での値は指定された精度を達成するためにｿﾌﾄｳｪｱで識票列からADC校正(CAL)ﾚｼﾞｽﾀ内に設定されなければなりません。製造検査校正は他のどのﾊｰﾄﾞｳｪｱ補正にも先立って設定されなければなりません。

25.7.2. 変位と利得の補正

固有の利得と変位(ｵﾌｾｯﾄ)の誤差はADCの絶対精度に影響を及ぼします。

変位誤差は入力電圧0での理想直線からの現状のADC伝達関数の偏差として定義されます。変位誤差相殺は12ﾋﾞｯﾄ ﾚｼﾞｽﾀ(OFFSETCORR)によって処理されます。変位補正値は結果(RES)ﾚｼﾞｽﾀ書き込みに先立って変換されたﾃﾞｰﾀから減算されます。変位誤差計算はどの利得誤差補正にも先立て行われなければなりません。

利得誤差は変位誤差補償後の理想直線から最終出力段階の中点の偏差として定義されます。利得誤差相殺は12ﾋﾞｯﾄ ﾚｼﾞｽﾀ(GAINCORR)経由で処理されます。

これら2つの誤差を修正するには、補正制御(CORRCTRL)ﾚｼﾞｽﾀで補正許可(CORREN)ﾋﾞｯﾄが設定(1)されなければなりません。出力を補正するためにﾊｰﾄﾞｳｪｱで実装される式は以下です。

$$RES = (VIN - OFFSETCORR) \times GAINCORR$$

単独変換では、最終変換結果の有効性に対して13周辺ｸﾛｯｸ(clk_{PER})周期の遅延が追加されます。補正時間が常に伝播遅延よりも小さいため、連続変換(自由走行)動作では最初の変換時間にだけ影響を及ぼします。他の全ての変換は通常の採取速度で行われます。

図25-8. ADC変位誤差

図25-9. ADC利得誤差

25.7.3. 変位誤差測定

a. ADCの両入力を同じ値(GNDが推奨されます。)に接続するように多重器制御(MUXCTRL)ﾚｼﾞｽﾀでADC正入力選択(MUXPOS)とADC負入力選択(MUXNEG)を形態設定してください。

b. ﾁｬﾈﾙでの変換を開始してください。

c. 割り込み(変換終了)を待ってください。

d. 変位補正(OFFSETCORR)値に対応する、ﾁｬﾈﾙ結果(RES)ﾚｼﾞｽﾀからの値を読んでください。

25.7.4. 利得誤差測定

a. 利得係数と有り得る飽和を考慮して、最大符号近くを生成する適切な電圧ﾚﾍﾞﾙにADCの各々の入力を接続するように多重器制御(MUXCTRL)ﾚｼﾞｽﾀでADC正入力選択(MUXPOS)とADC負入力選択(MUXNEG)を形態設定してください。

b. ﾁｬﾈﾙでの変換を開始してください。

c. 割り込み(変換終了)を待ってください。

d. 獲得値に対応する、ﾁｬﾈﾙ結果(RES)ﾚｼﾞｽﾀからの値を読んでください。

利得補正は以下のように規約化されます。

$$\text{GAINCORR} = 2048 \times \frac{\text{期待値}}{\text{獲得値} - \text{OFFSETCORR}}$$

注: 1. GAINCORRは精度は0.5≦GAINCORR＜2.0を意味する、1ﾋﾞｯﾄ整数+11ﾋﾞｯﾄ小数です。
2. GAINCORR範囲は$0400(0.5)～最大$0FFF(1.99951171875)です。
3. GAINCORR=$0800(1.0)時に利得補正なし(1倍利得)が設定されます。

25.8. 変換の開始方法

変換が開始される前に望む入力元が選択されなければなりません。A/D変換は変換開始(START)ﾋﾞｯﾄへのｿﾌﾄｳｪｱ書き込みによって、または事象ｼｽﾃﾑ内の事象起動のどれかからのどちらからでも開始することができます。

25.8.1. 入力元走査

変換が開始される時に自動的に走査して測定される連続的な入力元の範囲を選択することが可能です。これは多重器制御ﾚｼﾞｽﾀ(MUXCTRL)を用いる最初(最低)の正ADCﾁｬﾈﾙ入力と連続的な正入力元数の設定によって行われます。変換が開始されると、選択された最初の入力元が測定/変換され、そして正入力選択はそれが走査のために指定された供給元数に達するまで各変換後に増やされます。

25.8.2. 比較機能

ADCは組み込みの12ﾋﾞｯﾄ比較機能を持っています。ADC比較(CMP)ﾚｼﾞｽﾀは閾値電圧を表す12ﾋﾞｯﾄを保持することができます。ADCﾁｬﾈﾙは(比較)結果が閾値以上または以下の時にだけ割り込みまたは事象を生成するために、(変換)結果をこの比較値と自動的に比較するように形態設定することができます。

25.8.3. 平均

ADCは本質的に12ﾋﾞｯﾄ分解能を持ちますが、最大1024採取までを平均することによって16ﾋﾞｯﾄの結果を得ることが可能です。平均されるべき採取数は平均制御(AVGCTRL)ﾚｼﾞｽﾀで指定され、平均された出力はﾁｬﾈﾙ出力(RES)ﾚｼﾞｽﾀに書かれます。

平均されるべき採取数は272頁の「**AVGCTRL – 平均制御ﾚｼﾞｽﾀ**」の平均採取数(SAMPNUM)ﾋﾞｯﾄによって設定されます。最大1024採取を平均することができます。最終結果は16ﾋﾞｯﾄ値に丸められます。設定ﾋﾞｯﾄ数の累積後、自動右移動によって除算が成し遂げられ、結果がﾁｬﾈﾙ結果(RES)ﾚｼﾞｽﾀで利用可能になります。

出力は次式によって計算されます。

$$\text{出力}=(\Sigma\, 2^{\text{SAMPNUM}}\text{の16ﾋﾞｯﾄ丸め})\text{>>右移動}$$

SAMPNUM>0について、**表25-3.**は累積される採取数と内部的に実行される自動右移動数を示します。

表25-3. 最終結果 対 平均用採取数

最終結果分解能 (ﾋﾞｯﾄ)	12	13	14	15	16	16	16	16	16	16	16
採取数	1	2	4	8	16	32	64	128	256	512	1024
丸め用自動右移動数	0	0	0	0	0	1	2	3	4	5	6

25.8.4. 過採取と間引き

平均化が雑音を平滑にするとは言え、分解能を増しません。ｼｽﾃﾑ内に充分な雑音が存在し、採取周波数が信号周波数よりも充分に高いなら、ADCの分解能を増すことが可能です。AVR1629応用記述を参照してください。過採取/間引き動作では、ADC分解能が12ﾋﾞｯﾄから設定された13,14,15,または16ﾋﾞｯﾄに増されます。nﾋﾞｯﾄ分解能が増されるべきなら、4^n採取が累積(加算)され、結果がnﾋﾞｯﾄ右移動されます。この方法はnﾋﾞｯﾄ追加LSBﾋﾞｯﾄ分解能に帰着します。

この増された分解能が有効であるために、以下の仮定に合致されなければなりません。

- ADCへの入力が過採取される入力で、対応する前置分周器設定が既に行われている。
- ADC採取周波数$f_s>(4^n\times 2)\times f_i$：($f_i$=入力信号の最高周波数成分、n=増やすﾋﾞｯﾄ数)
- 人為的な雑音追加は最小LSB切り替わりのための入力が必要とされる場合に追加されると仮定されます。
- 過採取出力の範囲は13～16ﾋﾞｯﾄ間と仮定されます。

表25-4. 対応する過採取出力を出力するために平均機能に対して必要とされる形態設定

結果分解能	平均のための採取数	SAMPNUM	自動右移動数	RIGHTSHIFT
13ﾋﾞｯﾄ	4^1=4	0 0 1 0	0	0 0 1
14ﾋﾞｯﾄ	4^2=16	0 1 0 0	0	0 1 0
15ﾋﾞｯﾄ	4^3=64	0 1 1 0	2	0 0 1
16ﾋﾞｯﾄ	4^4=256	1 0 0 0	4	0 0 0

25.9. ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ

ADCは周辺ｸﾛｯｸ(clk_{PER})からｸﾛｯｸ駆動されます。ADCの動作範囲内で応用の必要条件に合致するADCｸﾛｯｸ(clk_{ADC})を供給するために、ADCは周辺ｸﾛｯｸを前置分周できます。

最大ADC採取速度は以下によって与えられます。

$$\text{採取速度}=\frac{f_{ADC}}{0.5\times(RESOLUTION+SAMPVAL)+GAINFACTOR}$$

ADC測定の伝播遅延は次式によって与えられます。

$$\text{伝播遅延}=\frac{1}{\text{採取速度}}$$

図25-10. ADC前置分周器

- *RESOLUTION*は分解能で8または12ﾋﾞｯﾄです。
- *SAMPVAL*は採取時間制御(SAMPCTRL)ﾚｼﾞｽﾀに設定された値です。
- *GAINFACTOR*=0(1倍利得)、1(1/2,4倍利得)、3(32,64倍利得)

結果の最上位ﾋﾞｯﾄ(MSB)が最初に変換され、残りのﾋﾞｯﾄは次からの(8ﾋﾞｯﾄ結果に対して)3または(12ﾋﾞｯﾄ結果に対して)5周期の間に変換されます。1ﾋﾞｯﾄの変換はADCｸﾛｯｸ半周期かかります。最終周期の間で割り込み要求ﾌﾗｸﾞが設定(1)される前に結果が準備されます。結果は読み出し用の結果ﾚｼﾞｽﾀで利用可能です。

25.9.1. 1倍利得での単独変換

次頁の**図25-11.**は1倍利得での単独変換に関するADCﾀｲﾐﾝｸﾞを示します。変換開始ﾋﾞｯﾄの書き込みまたは事象が起動する変換(START)は、(START起動元の赤色(**訳注**:原書は灰色)傾斜で示される)変換が始まるADCｸﾛｯｸ周期の、最低1周辺ｸﾛｯｸ周期前に起きなければなりません。

入力元は最初の周期の前半で採取されます。

図25-11. 1倍利得での1つの変換用ADCﾀｲﾐﾝｸﾞ

図25-12. 増加された採取時間(SAMPVAL=6)での1つの変換用ADCﾀｲﾐﾝｸﾞ

25.9.2. 様々な利得設定での単独変換

図25-13.～図25-15.は様々な利得設定での単独変換に関するADCﾀｲﾐﾝｸﾞを示します。254頁の「概要」で見られるように、利得段はADC内に組み込まれます。利得は変換無しでﾊﾟｲﾌﾟﾗｲﾝ段を通して信号を走らせることによって達成されます。利得なしでの単独変換と比べて、各2倍利得がADCｸﾛｯｸ周期の半分を追加します。

図25-13. 2倍利得での単独変換用ADCﾀｲﾐﾝｸﾞ

図25-14. 8倍利得での単独変換用ADCﾀｲﾐﾝｸﾞ

図25-15. 64倍利得での単独変換用ADCﾀｲﾐﾝｸﾞ

25.10. ADC入力模式

入力電圧は最大精度を得るためにADC内の採取/保持(S/H)ｺﾝﾃﾞﾝｻを充電しなければなりません。外部的に見たADC入力は入力抵抗(Rin=Rchannel+Rswitch)とS/Hｺﾝﾃﾞﾝｻ(Csample)から成ります。図25-16.と図25-17.はADC入力ﾁｬﾈﾙを示します。

図25-16. ｼﾝｸﾞﾙ ｴﾝﾄﾞ測定用ADC入力

図25-17. (利得付き)差動測定用ADC入力

nﾋﾞｯﾄ精度を達成するために供給元出力抵抗(R_{source})はﾋﾟﾝのADC入力よりも低くなければなりません。

$$R_{source} \leqq \frac{T_s}{C_{sample} \times \ln(2^{n+1})} - R_{channel} - R_{switch}$$

ここでADC採取時間(Ts)は

$$T_s \leqq \frac{1}{2 \times f_{ADC}}$$

によって与えられる0.5ADCｸﾛｯｸ周期です。

Rchannel,Rswitch,Csampleの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄでADCとADC利得段の電気的特性を参照してください。

25.11. EDMA転送

ADCの変換結果をﾒﾓﾘや他の周辺機能へ転送するのにEDMA制御器を使用することができます。ADCﾁｬﾈﾙに対する新しい変換結果はADCﾁｬﾈﾙに対するEDMA転送処理を起動することができます。EDMA転送のより多くの詳細については37頁の「EDMA - 強化型直接ﾒﾓﾘ入出力」を参照してください。

25.12. 割り込みと事象

ADCは割り込み要求と事象を生成できます。ADCﾁｬﾈﾙは個別の割り込み設定と割り込みﾍﾞｸﾀを持ちます。割り込み要求と事象はADC変換が完了する時、またはADC測定がADC比較ﾚｼﾞｽﾀ値より上または下の時に生成することができます。

25.13. 同期採取

周辺ｸﾛｯｸがADCｸﾛｯｸよりも速いので、ADC変換の開始は開始の起動または事象と実際の変換開始の間に未知の遅延が起き得ます。到着事象で直ちにADC変換を開始するために、全ての測定に対してADCを破棄し、ADCｸﾛｯｸをﾘｾｯﾄして次の周辺ｸﾛｯｸ周期(それはその後の次のADCｸﾛｯｸ周期でもある)で変換を開始することが可能です(FLUSH=1)。これが行われた場合、ADCの進行中の変換が失われます。

ADCはｿﾌﾄｳｪｱから、またはこれを自動的に行い得る、やって来る事象で破棄することができます。この機能が使用される時に、ADCが破棄されて次の変換が開始される前に1つの変換が終了することを保証するために、各変換開始起動間の時間は伝播遅延よりも長くなければなりません。

破棄を行う前に保留の事象やADC変換開始指令を解除することも大事です。そうしなければ、破棄後直ちに保留中の変換が開始します。

2つのADC周辺機能を持つﾃﾞﾊﾞｲｽでは、両ADCを起動するのに同じ事象ﾁｬﾈﾙを使用することにより、2つのADCで2つのADC採取を同期して開始することが可能です。

25.14. ﾚｼﾞｽﾀ説明 – ADC

25.14.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	START	FLUSH	ENABLE	CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – START : 単独変換開始** (Start Single Conversion)

このﾋﾞｯﾄの設定(1)がADC変換を開始します。このﾋﾞｯﾄは変換が開始される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄの(1)書き込みはADCﾁｬﾈﾙ制御(CTRL)ﾚｼﾞｽﾀ内のﾁｬﾈﾙ変換開始(START)ﾋﾞｯﾄの(1)書き込みと等価です。

● **ﾋﾞｯﾄ1 – FLUSH : 破棄** (Flush)

このﾋﾞｯﾄの1書き込みがADCを破棄します。これが行われると、進行中の変換が中止されて失われ、ADCｸﾛｯｸは次の周辺ｸﾛｯｸ端で再始動されます。

破棄及びADCｸﾛｯｸ再開後、ADCは中断された処から再開、換言すると掃引進行中または何れかの変換保留中だった場合、それらがADC完了に至るでしょう。

● **ﾋﾞｯﾄ0 – ENABLE : ADC許可** (ADC Enable)

このﾋﾞｯﾄの設定(1)がADCを許可します。

25.14.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	CURRLIMIT1,0		CONVMODE	FREERUN	RESOLUTION1,0		–	CTRLB
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6,5 – CURRLIMIT1,0 : 電流制限** (Current Limitation)

これらのﾋﾞｯﾄは最大ADC採取速度を減らすことによって、ADCの最大消費電流を制限するのに使用することができます。利用可能な設定は表25-5.で示されます。示された電流制限は公称値で、各設定に対する実際の電流制限についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表25-5. ADC電流制限

CURRLIMIT1,0	群形態設定	内容
0 0	NO	電流制限なし
0 1	LOW	低電流制限、最大採取速度=225kSPS
1 0	MED	中電流制限、最大採取速度=150kSPS
1 1	HIGH	高電流制限、最大採取速度=75kSPS

● **ﾋﾞｯﾄ4 – CONVMODE : 両極/単極変換** (Conversion Mode)

このﾋﾞｯﾄはADCが符号付きまたは符号なしのどちらの動作で動くかを制御します。既定でのこのﾋﾞｯﾄは解除(0)され、ADCは符号なし動作に形態設定されます。このﾋﾞｯﾄが設定(1)されると、ADCは符号付き動作に形態設定されます。

● **ﾋﾞｯﾄ3 – FREERUN : 連続動作** (Free Run Mode)

このﾋﾞｯﾄはADCの連続(自由走行)動作を制御します。一旦変換が終わると、次の入力が採取されて変換されます。

● **ﾋﾞｯﾄ2,1 – RESOUSION1,0 : 分解能/整列** (Conversion Result Resolusion)

これらのﾋﾞｯﾄはADCが12ﾋﾞｯﾄまたは8ﾋﾞｯﾄのどちらの変換結果分解能で完了するかを制御します。これらは12ﾋﾞｯﾄの結果が16ﾋﾞｯﾄの結果ﾚｼﾞｽﾀで右または左のどちらの向きかも定義します。可能な設定については表25-6.をご覧ください。

表25-6. ADC変換結果分解能

RESOLUSION1,0	群形態設定	内容
0 0	12BIT	12ﾋﾞｯﾄ結果、右揃え
0 1	MT12BIT	12ﾋﾞｯﾄ越え右揃え結果、その後に過採取か平均が使用される(SAMPNUM>0)
1 0	8BIT	8ﾋﾞｯﾄ結果、右揃え
1 1	LEFT12BIT	12ﾋﾞｯﾄ結果、左揃え

● ﾋﾞｯﾄ0 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

25.14.3. REFCTRL – 基準電圧制御ﾚｼﾞｽﾀ (Reference Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	REFSEL2~0			–	–	BANDGAP	TEMPREF	REFCTRL
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ6~4 – REFSEL2~0 : 基準電圧選択 (Reference Selection)

これらのﾋﾞｯﾄは表25-7.に従ってADCに対する基準電圧設定と変換範囲を選びます。

表25-7. ADC基準電圧制御

REFSEL2~0	群形態設定	内容
0 0 0	INT1V	内部1.0V
0 0 1	INTVCC	内部VCC/1.6
0 1 0 (注1)	AREFA	PORTAのAREFﾋﾟﾝからの外部基準電圧
0 1 1 (注2)	AREFD	PORTDのAREFﾋﾟﾝからの外部基準電圧
1 0 0	INTVCC2	内部VCC/2
1 0 1～1 1 1	–	(予約)

注1: AREFがﾎﾟｰﾄAに存在する場合にだけ利用可能
注2: AREFがﾎﾟｰﾄDに存在する場合にだけ利用可能

● ﾋﾞｯﾄ3,2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – BANDGAP : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ許可 (Bandgap Enable)

このﾋﾞｯﾄの設定(1)はADC測定用ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟを許可します。他の何れかの機能が既にﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟを使用している場合、内部1.00V基準電圧が別のADCで使用される時、または低電圧検出器(Brown-out Detectr)が許可されている場合、このﾋﾞｯﾄの設定(1)が必要ないことに留意してください。

● ﾋﾞｯﾄ0 – TEMPREF : 温度基準電圧許可 (Temperature Reference Enable)

このﾋﾞｯﾄの設定(1)はADC測定用温度基準を許可します。

25.14.4. EVCTRL – 事象制御ﾚｼﾞｽﾀ (Event Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	EVSEL2~0			EVACT2~0			EVCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ4,3 – EVSEL2~0 : 事象ﾁｬﾈﾙ入力選択 (Event channel Input Select)

これらのﾋﾞｯﾄは変換用に起動元としてどの事象ﾁｬﾈﾙが使用されるのかを定義します。表25-8.をご覧ください。

表25-8. ADC事象線選択

EVSEL2~0	群形態設定	選択する事象線	EVSEL2~0	群形態設定	選択する事象線
0 0 0	0	選択する入力として事象ﾁｬﾈﾙ0	1 0 0	4	選択する入力として事象ﾁｬﾈﾙ4
0 0 1	1	選択する入力として事象ﾁｬﾈﾙ1	1 0 1	5	選択する入力として事象ﾁｬﾈﾙ5
0 1 0	2	選択する入力として事象ﾁｬﾈﾙ2	1 1 0	6	選択する入力として事象ﾁｬﾈﾙ6
0 1 1	3	選択する入力として事象ﾁｬﾈﾙ3	1 1 1	7	選択する入力として事象ﾁｬﾈﾙ7

● ﾋﾞｯﾄ2~0 – EVACT2~0 : 事象活動種別 (Event Mode)

これらのﾋﾞｯﾄは選択した事象ﾁｬﾈﾙのいくつが使用され、そして更にADCﾁｬﾈﾙ起動も制限するかを、選択そして制限します。これらは表25-9.で定義されるようにもっと特別な事象起動も定義します。

表25-9. ADC事象活動種別選択

EVACT2~0	群形態設定	選択入力動作形態
0 0 0	NONE	事象入力なし
0 0 1	CH0	EVSELで定義された最小番号の事象ﾁｬﾈﾙがADCﾁｬﾈﾙでの変換を起動
0 1 0	–	(予約)
0 1 1	–	(予約)
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	SYNCSWEEP	ADCは正確なﾀｲﾐﾝｸﾞで破棄そして再始動されます。
1 1 1	–	(予約)

25.14.5. PRESCALER – ｸﾛｯｸ前置分周ﾚｼﾞｽﾀ (Clock Prescaler register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	PRESCALER2~0			PRESCALER
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – PRESCALER2~0 : 前置分周器設定 (Prescaler Configuration)

これらのﾋﾞｯﾄは表25-10.に従って周辺ｸﾛｯｸに相対するADCｸﾛｯｸを定義します。

表25-10. ADC前置分周器設定

PRESCALER2~0	群形態設定	周辺ｸﾛｯｸ分周数
0 0 0	DIV4	4
0 0 1	DIV8	8
0 1 0	DIV16	16
0 1 1	DIV32	32
1 0 0	DIV64	64
1 0 1	DIV128	128
1 1 0	DIV256	256
1 1 1	DIV512	512

25.14.6. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	–	–	–	CH0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 – 予約 (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – CH0IF : 割り込み要求ﾌﾗｸﾞ (Interrupt Flag)

これらのﾌﾗｸﾞはADC変換が完了される時に設定(1)されます。ADCﾁｬﾈﾙが比較動作に形態設定されている場合、割り込み要求ﾌﾗｸﾞは比較条件一致時に設定(1)されます。CH0IFはADC割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。これらのﾌﾗｸﾞはそのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

25.14.7. TEMP – 一時ﾚｼﾞｽﾀ (Temporary register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値** Temporary bits)

このﾚｼﾞｽﾀはADC制御器内の16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込み時に使用されます。CPUによって下位ﾊﾞｲﾄが読まれる時に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄがここに格納されます。このﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱから読み書きすることもできます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

25.14.8. SAMPCTRL – 採取時間制御ﾚｼﾞｽﾀ (Sampling time control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	–	–	SAMPVAL5~0						SAMPCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~0 – SAMPVAL5~0 : 採取時間制御値** (sampling time control register)

これらのﾋﾞｯﾄは前置分周されたA/D変換ｸﾛｯｸ周囲の半分の数値(PRESCALER設定依存)でA/D変換採取時間を制御し、従ってADC入力ｲﾝﾋﾟｰﾀﾞﾝｽを制御します。採取時間は次式に従って設定されます。

$$採取時間 = (SAMPVAL+1)\times(clk_{ADC}/2)$$

25.14.9. CALL – 校正値ﾚｼﾞｽﾀ下位 (Calibration Value register Low)

CALHとCALLﾚｼﾞｽﾀ対は12ﾋﾞｯﾄ値CALを表します。ADCは製造書き込み中に校正され、その校正値は利得と変位(ｵﾌｾｯﾄ)の校正前にｿﾌﾄｳｪｱで識票列から読まれてCALﾚｼﾞｽﾀに書かれなければなりません。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	CAL7~0								CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CAL7~0 : ADC校正値下位ﾊﾞｲﾄ** (ADC Calibration value Low byte)

これは12ﾋﾞｯﾄCAL値の下位側8ﾋﾞｯﾄです。

25.14.10. CH0RESL – ﾁｬﾈﾙ0結果ﾚｼﾞｽﾀ下位 Channel 0 Result register Low)

CH0RESHとCH0RESLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CH0RESを表します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	CHRES3~0				–	–	–	–	
12ﾋﾞｯﾄ右揃え	CHRES7~0								CH0RESL
8ﾋﾞｯﾄ	CHRES7~0								+$10
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.14.10.1. 右揃え12ﾋﾞｯﾄ動作、8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES7~0 : ﾁｬﾈﾙ結果下位ﾊﾞｲﾄ** (Channel Result low byte)

これらはADCの結果の下位8ﾋﾞｯﾄです。

25.14.10.2. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – CHRES3~0 : ﾁｬﾈﾙ結果下位ﾊﾞｲﾄ** (Channel Result low byte)

これらは12ﾋﾞｯﾄADCの結果の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

25.14.11. CH0RESH – ﾁｬﾈﾙ0結果ﾚｼﾞｽﾀ上位 (Channel 0 Result register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	CHRES11~4								CH0RESH +$11
12ﾋﾞｯﾄ右揃え	–	–	–	–	CHRES11~8				
8ﾋﾞｯﾄ	–	–	–	–	–	–	–	–	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.14.11.1. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES11~4 : ﾁｬﾈﾙ結果上位ﾊﾞｲﾄ** (Channel Result high byte)

これらは12ﾋﾞｯﾄADCの結果の上位8ﾋﾞｯﾄです。

25.14.11.2. 右揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが差動動作で動く時のCHRES11符号ﾋﾞｯﾄの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● **ﾋﾞｯﾄ3~0 – CHRES11~8 : ﾁｬﾈﾙ結果上位ﾊﾞｲﾄ** (Channel Result high byte)

これらは12ﾋﾞｯﾄADCの結果の上位4ﾋﾞｯﾄです。

25.14.11.3. 8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが符号付き動作で動く時のCHRES7符号ﾋﾞｯﾄの拡張で、ADCがｼﾝｸﾞﾙｴﾝﾄﾞ動作で動く時に0が設定されます。

25.14.12. CMPL – 比較ﾚｼﾞｽﾀ下位 (Compare register Low)

CMPHとCMPLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CMPを表します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$18	CMP7~0								CMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CMP7~0 : 比較値上位** (Compare Value low byte)

これらは16ﾋﾞｯﾄのADC比較値の下位8ﾋﾞｯﾄです。符号付き動作では、数値表現が2の補数です。

25.14.13. CMPH – 比較ﾚｼﾞｽﾀ上位 (Compare register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$19	CMP15~8								CMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CMP15~8 : 比較値上位** (Compare Value high byte)

これらは16ﾋﾞｯﾄのADC比較値の上位8ﾋﾞｯﾄです。符号付き動作では、数値表現が2の補数で、最上位ﾋﾞｯﾄが符号ﾋﾞｯﾄです。

25.15. ﾚｼﾞｽﾀ説明 – ADCﾁｬﾈﾙ

25.15.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	START	–	–	GAIN2~0			INPUTMODE1,0		CTRL
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – START : ﾁｬﾈﾙ変換開始** (Start Conversion on Channel)

これへの1書き込みがﾁｬﾈﾙでの変換を開始します。このﾋﾞｯﾄは変換が開始される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄが既に設定(1)されている時のこのﾋﾞｯﾄへの1書き込みは無効です。このﾋﾞｯﾄの書き込みは263頁の「CTRLA – 制御ﾚｼﾞｽﾀA」の単独変換開始(START)ﾋﾞｯﾄ書き込みと等価です。

● **ﾋﾞｯﾄ6,5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4~2 – GAIN2~0 : 利得選択** (Gain Factor)

これらのﾋﾞｯﾄはADC変換前に入力信号を増幅するための利得係数を定義します。各種利得計数設定については表25-11.をご覧ください。269頁の表25-16.と表25-17.で示されるように、利得は差動動作設定でだけ有効です。ｼﾝｸﾞﾙ ｴﾝﾄﾞ動作形態では利得係数が1倍(GAIN2～0=000)に設定されなければなりません。

表25-11. ADC利得係数

GAIN2~0	群形態設定	利得係数
0 0 0	1X	1倍
0 0 1	2X	2倍
0 1 0	4X	4倍
0 1 1	8X	8倍
1 0 0	16X	16倍
1 0 1	32X	32倍
1 1 0	64X	64倍
1 1 1	DIV2	1/2倍

● **ﾋﾞｯﾄ1,0 – INPUTMODE1,0 : ﾁｬﾈﾙn入力動作種別** (Channel Input Mode)

これらのﾋﾞｯﾄはﾁｬﾈﾙ入力動作種別を定義します。この設定はADCの両極/単極変換(CONVMODE、符号付き/符号なし動作)設定と無関係ですが、差動入力動作はADC符号付き動作でだけ行うことができます。ｼﾝｸﾞﾙ ｴﾝﾄﾞ入力動作では、符号付きと符号なしの両動作に対して、ADCへの負入力が固定値に接続されます。

表25-12. ﾁｬﾈﾙ入力種別、CONVMODE=0 (符号なし動作)

INPUTMODE1,0	群形態設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	ｼﾝｸﾞﾙｴﾝﾄﾞ正入力信号
1 0	–	(予約)
1 1	–	(予約)

表25-13. ﾁｬﾈﾙ入力種別、CONVMODE=1 (符号付き動作)

INPUTMODE1,0	群形態設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	ｼﾝｸﾞﾙｴﾝﾄﾞ正入力信号
1 0	DIFFWGAINL	利得付き差動入力信号、MUXNEG選択に対して下位4ﾋﾟﾝが利用可能
1 1	DIFFWGAINH	利得付き差動入力信号、MUXNEG選択に対して上位4ﾋﾟﾝが利用可能

25.15.2. MUXCTRL – 多重器制御ﾚｼﾞｽﾀ (MUX Control register)

MUXCTRLﾚｼﾞｽﾀはﾁｬﾈﾙに対する入力元を定義します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	MUXPOS3~0				MUXNEG2~0			MUXCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~3 – MUXPOS3~0 : ADC正入力選択** (MUX selection on Positive ADC Input)

これらのﾋﾞｯﾄはADC正入力に対する多重器(MUX)選択を定義します。表25-14.は内部信号に対する、表25-15.はｼﾝｸﾞﾙ ｴﾝﾄﾞと差動入力動作に対する可能な入力選択を示します。

表25-14. INPUTMODE=00(内部信号)使用時の ADC MUXPOS形態設定

MUXPOS3~0	群形態設定	ｱﾅﾛｸﾞ入力
0 0 0 0	TEMP	温度基準電圧
0 0 0 1	BANDGAP	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
0 0 1 0	SCALEDVCC	1/10縮尺VCC
0 0 1 1	DAC	D/A変換器(DAC)出力
0100～1111	–	(予約)

表25-15. INPUTMODE=01(ｼﾝｸﾞﾙｴﾝﾄﾞ),=10,11(設定可能利得付き差動),使用時のADC MUXPOS形態設定

MUXPOS3~0	群形態設定	ｱﾅﾛｸﾞ入力	MUXPOS3~0	群形態設定	ｱﾅﾛｸﾞ入力
0 0 0 0	PIN0	ADC0ﾋﾟﾝ	1 0 0 0	PIN8	ADC8ﾋﾟﾝ
0 0 0 1	PIN1	ADC1ﾋﾟﾝ	1 0 0 1	PIN9	ADC9ﾋﾟﾝ
0 0 1 0	PIN2	ADC2ﾋﾟﾝ	1 0 1 0	PIN10	ADC10ﾋﾟﾝ
0 0 1 1	PIN3	ADC3ﾋﾟﾝ	1 0 1 1	PIN11	ADC11ﾋﾟﾝ
0 1 0 0	PIN4	ADC4ﾋﾟﾝ	1 1 0 0	PIN12	ADC12ﾋﾟﾝ
0 1 0 1	PIN5	ADC5ﾋﾟﾝ	1 1 0 1	PIN13	ADC13ﾋﾟﾝ
0 1 1 0	PIN6	ADC6ﾋﾟﾝ	1 1 1 0	PIN14	ADC14ﾋﾟﾝ
0 1 1 1	PIN7	ADC7ﾋﾟﾝ	1 1 1 1	PIN15	ADC15ﾋﾟﾝ

注: ﾃﾞﾊﾞｲｽのﾋﾟﾝ数と機能の形態設定に依存して、実際のｱﾅﾛｸﾞ入力ﾋﾟﾝの数は16よりも少ないかもしれず、詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄとﾋﾟﾝ配置記述を参照してください。

● **ﾋﾞｯﾄ2~0 – MUXNEG2~0 : ADC負入力選択** (MUX selection on Negative ADC Input)

これらのﾋﾞｯﾄは差動測定が行われる時のADC負入力に対する多重器(MUX)選択を定義します。

表25-16.と表25-17.は可能な入力選択を示します。

表25-16. INPUTMODE=10(設定可能利得付き差動)使用時の ADC MUXNEG形態設定

MUXNEG2~0	群形態設定	ｱﾅﾛｸﾞ入力
0 0 0	PIN0	ADC0ﾋﾟﾝ
0 0 1	PIN1	ADC1ﾋﾟﾝ
0 1 0	PIN2	ADC2ﾋﾟﾝ
0 1 1	PIN3	ADC3ﾋﾟﾝ
1 0 0	–	(予約)
1 0 1	GND	ﾊﾟｯﾄﾞGND
1 1 0	–	(予約)
1 1 1	INTGND	内部GND

表25-17. INPUTMODE=11(設定可能付き差動)使用時の ADC MUXNEG形態設定

MUXNEG2~0	群形態設定	ｱﾅﾛｸﾞ入力
0 0 0	PIN4	ADC4ﾋﾟﾝ
0 0 1	PIN5	ADC5ﾋﾟﾝ
0 1 0	PIN6	ADC6ﾋﾟﾝ
0 1 1	PIN7	ADC7ﾋﾟﾝ
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	GND	ﾊﾟｯﾄﾞGND

25.15.3. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	INTMODE1,0		INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – INTMODE1,0 : 割り込み種別** (Interrupt Mode)

INTMODEﾋﾞｯﾄは表25-18.に従って割り込み種別を定義します。

表25-18. ADC割り込み種別

INTMODE1,0	群形態設定	割り込み種別
0 0	COMPLETE	変換完了
0 1	BELOW	閾値以下の比較結果
1 0	–	(予約)
1 1	ABOVE	閾値以上の比較結果

● **ﾋﾞｯﾄ1,0 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interrupt Priority Level and Enable)

これらのﾋﾞｯﾄは94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(INTFLAGS)ﾚｼﾞｽﾀのADCﾁｬﾈﾙ割り込み要求ﾌﾗｸﾞ(IF)ﾋﾞｯﾄが設定(1)される時の条件に対して起動されます。

25.15.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	–	IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – IF : 割り込み要求ﾌﾗｸﾞ** (Interrupt Flag)

この割り込み要求ﾌﾗｸﾞはA/D変換完了時に設定(1)されます。ﾁｬﾈﾙが比較動作に形態設定されている場合、このﾌﾗｸﾞは比較条件に一致した時に設定(1)されます。このﾌﾗｸﾞはADCﾁｬﾈﾙ割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

25.15.5. RESL – 結果ﾚｼﾞｽﾀ下位 (Result register Low)

RESHとRESLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値RESを表します。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	RES3~0				–	–	–	–	
12ﾋﾞｯﾄ右揃え	RES7~0								RESL
8ﾋﾞｯﾄ	RES7~0								+$04
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.15.5.1. 右揃え12ﾋﾞｯﾄ動作、8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES7~0 : ﾁｬﾈﾙ結果下位** (Channel Result low byte)

これらはADCの結果の下位8ﾋﾞｯﾄです。

25.15.5.2. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – CHRES3~0 : ﾁｬﾈﾙ結果下位** (Channel Result low byte)

これらは12ﾋﾞｯﾄADCの結果の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

25.15.6. RESH – 結果ﾚｼﾞｽﾀ上位 (Result register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	RES11~4								RESH
12ﾋﾞｯﾄ右揃え	–	–	–	–	RES11~8				+$05
8ﾋﾞｯﾄ	–	–	–	–	–	–	–	–	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.15.6.1. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES11~4 : ﾁｬﾈﾙ結果上位** (Channel Result high byte)

これらは12ﾋﾞｯﾄADCの結果の上位8ﾋﾞｯﾄです。

25.15.6.2. 右揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが差動動作で動く時のRES11符号ﾋﾞｯﾄの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● **ﾋﾞｯﾄ3~0 – CHRES11~8 : ﾁｬﾈﾙ結果上位** (Channel Result high byte)

これらは12ﾋﾞｯﾄADCの結果の上位4ﾋﾞｯﾄです。

25.15.6.3. 8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが符号付き動作で動く時のRES7符号ﾋﾞｯﾄの拡張で、ADCがｼﾝｸﾞﾙ ｴﾝﾄﾞ動作で動く時に0が設定されます。

25.15.7. SCAN – 入力ﾁｬﾈﾙ走査ﾚｼﾞｽﾀ (Input Channel Scan register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	INPUTOFFSET3~0				INPUTSCAN3~0				SCAN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – INPUTOFFSET3~0 : 正多重器設定変位(ｵﾌｾｯﾄ)** (Positive MUX Setting Offset)

INPUTSCANが0と等しくない時にﾁｬﾈﾙ走査が許可され、このﾚｼﾞｽﾀはADCﾁｬﾈﾙ上で変換されるべき次の入力元に対する変位(ｵﾌｾｯﾄ)を含みます。実際の正入力用多重器設定はMUXPOS+INPUTOFFSETに等しくなります。この値はINPUTSCANによって与えられる最大値に達するまで各変換後に増加されます。INPUTOFFSETがINPUTSCANに等しい時に、INPUTOFFSETは次の変換で解除(0)されます。

● **ﾋﾞｯﾄ3~0 – INPOUTSCAN3~0 : 走査に含まれる入力ﾁｬﾈﾙ数** (Number of Input Channels Included in Scan)

このﾚｼﾞｽﾀはﾁｬﾈﾙ走査に含まれる入力供給元数を与えます。含まれる入力供給元数はINPUTSCAN+1です。含まれる入力ﾁｬﾈﾙはMUXPOS+INPUTOFFSETからMUXPOS+INPUTOFFSET+INPUTSCANまでの範囲です。

25.15.8. CORRCTRL – 補正制御ﾚｼﾞｽﾀ (Correction Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	–	–	–	–	–	–	–	CORREN	CORRCTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – CORREN : 補正許可** (Correction Enable)

このﾋﾞｯﾄへの1書き込みが変位(ｵﾌｾｯﾄ)と利得の補正を許可します。許可時、最終出力に対して13clk_{PER}遅延が追加されます。連続変換(自由走行)動作では、この遅延が最初の変換にだけ追加されます。

禁止時、ADC出力結果は変位と利得に関して補正されません。

25.15.9. OFFSETCORR0 – 変位補正ﾚｼﾞｽﾀ0 (Offset Correction register 0)

OFFSETCORR1とOFFSETCORR0ﾚｼﾞｽﾀ対は12ﾋﾞｯﾄ値OFFSETCORRを格納します。この対は16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ形式を持ちません。

補正許可(CORREN)ﾋﾞｯﾄが解除(0)される場合、これらのﾚｼﾞｽﾀ値は無視されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	OFFSETCORR7~0								OFFSETCORR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OFFSETCORR7~0 : 変位補正ﾊﾞｲﾄ0** (Offset Correction byte 0)

これらのﾋﾞｯﾄは12ﾋﾞｯﾄ変位(ｵﾌｾｯﾄ)補正値の下位8ﾋﾞｯﾄです。

25.15.10. OFFSETCORR1 – 変位補正ﾚｼﾞｽﾀ1 (Offset Correction register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	OFFSETCORR11~8				OFFSETCORR1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ7~0 – OFFSETCORR11~8 : 変位補正ﾊﾞｲﾄ1** (Offset Correction byte 1)

これらのﾋﾞｯﾄは12ﾋﾞｯﾄ変位(ｵﾌｾｯﾄ)補正値の上位4ﾋﾞｯﾄです。

25.15.11. GAINCORR0 – 利得補正ﾚｼﾞｽﾀ0 (Gain Correction register 0)

GAINCORR1とGAINCORR0ﾚｼﾞｽﾀ対は12ﾋﾞｯﾄ値GAINCORRを格納します。この対は16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽ形式を持ちません。

補正許可(CORREN)ﾋﾞｯﾄが解除(0)される場合、これらのﾚｼﾞｽﾀ値は無視されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	GAINCORR7~0								GAINCORR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – GAINCORR7~0 : 利得補正ﾊﾞｲﾄ0** (Gain Correction byte 0)

これらのﾋﾞｯﾄは12ﾋﾞｯﾄ利得補正値の下位8ﾋﾞｯﾄです。

25.15.12. GAINCORR1 – 利得補正ﾚｼﾞｽﾀ1 (Gain Correction register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	–	–	–	–	GAINCORR11~8				GAINCORR1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ7~0 – GAINCORR11~8 : 利得補正ﾊﾞｲﾄ1** (Gain Correction byte 1)

これらのﾋﾞｯﾄは12ﾋﾞｯﾄ利得補正値の上位4ﾋﾞｯﾄです。

25.15.13. AVGCTRL – 平均制御ﾚｼﾞｽﾀ (Average Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	–	RIGHTSHIFT2~0			SAMPNUM3~0				AVGCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており常に0として読みます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ6~4 – RIGHTSHIFT2~0 : 右移動 (Right Shift)

この値は平均採取数(SAMPNUM)>0の場合にだけ有効です。出力値は結果(RES)16ﾋﾞｯﾄ ﾚｼﾞｽﾀ内です。累積された値はこのﾋﾞｯﾄによって指定された値で右移動されます。右移動は0ﾋﾞｯﾄ移動から7ﾋﾞｯﾄ移動までです。

平均動作では、これらのﾋﾞｯﾄが0に設定されなければなりません。

● ﾋﾞｯﾄ3~0 – SAMPNUM3~0 : 平均採取数 (Averaged Number of Samples)

SAMPNUM>0の場合、MT12BITﾚｼﾞｽﾀが選択されなければなりません。下表は累積される採取数を指定し、結果はRES16ﾋﾞｯﾄ ﾚｼﾞｽﾀで利用可能になります。

表25-19. 採取数

SAMPNUM3~0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011～1111
群形態設定	1X	2X	4X	8X	16X	32X	64X	128X	256X	512X	1024X	–
採取数	1	2	4	8	16	32	64	128	256	512	1024	(予約)

25.16. ﾚｼﾞｽﾀ要約 - ADC

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$38	予約	-	-	-	-	-	-	-	-	
+$30	予約	-	-	-	-	-	-	-	-	
+$28	予約	-	-	-	-	-	-	-	-	
+$20	CH0変位	ADCﾁｬﾈﾙ0用変位ｱﾄﾞﾚｽ								
+$1F	予約	-	-	-	-	-	-	-	-	
+$1E	予約	-	-	-	-	-	-	-	-	
+$1D	予約	-	-	-	-	-	-	-	-	
+$1C	予約	-	-	-	-	-	-	-	-	
+$1B	予約	-	-	-	-	-	-	-	-	
+$1A	予約	-	-	-	-	-	-	-	-	
+$19	CMPH	CMP15~8								267
+$18	CMPL	CMP7~0								267
+$17	予約	-	-	-	-	-	-	-	-	
+$16	予約	-	-	-	-	-	-	-	-	
+$15	予約	-	-	-	-	-	-	-	-	
+$14	予約	-	-	-	-	-	-	-	-	
+$13	予約	-	-	-	-	-	-	-	-	
+$12	予約	-	-	-	-	-	-	-	-	
+$11	CH0RESH	CH0RES11~8または11~4								267
+$10	CH0RESL	CH0RES7~0または3~0								266
+$0F	予約	-	-	-	-	-	-	-	-	
+$0E	予約	-	-	-	-	-	-	-	-	
+$0D	予約	-	-	-	-	-	-	-	-	
+$0C	CALL	CAL7~0								266
+$0B	予約	-	-	-	-	-	-	-	-	
+$0A	予約	-	-	-	-	-	-	-	-	
+$09	予約	-	-	-	-	-	-	-	-	
+$08	SAMPCTRL	-	-	SAMPVAL5~0						266
+$07	TEMP	TEMP7~0								266
+$06	INTFLAGS	-	-	-	-	-	-	-	CH0IF	265
+$05	予約	-	-	-	-	-	-	-	-	
+$04	PRESCALER	-	-	-	-	-	PRESCALER2~0			265
+$03	EVCTRL	-	-	EVSEL2~0			EVACT2~0			264
+$02	REFCTRL	-	REFSEL2~0			-	-	BANDGAP	TEMPREF	264
+$01	CTRLB	-	CURRLIMIT1,0		CONVMODE	FREERUN	RSOLUTION1,0		-	263
+$00	CTRLA	-	-		-	-	START	FLUSH	ENABLE	263

25.17. ﾚｼﾞｽﾀ要約 – ADCﾁｬﾈﾙ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	AVGCTRL	–	RIGHTSHIFT2~0			SAMPNUM3~0				272
+$0B	GAINCORR1	–	–	–	–	GAINCORR11~8				272
+$0A	GAINCORR0	GAINCORR7~0								272
+$09	OFFSETCORR1	–	–	–	–	OFFSETCORR11~8				272
+$08	OFFSETCORR0	OFFSETCORR7~0								272
+$07	CORRCTRL	–	–	–	–	–	–	–	CORREN	271
+$06	SCAN	INPUTOFFSET3~0				INPUTSCAN3~0				271
+$05	RESH	RES11~8または11~4								271
+$04	RESL	RES7~0または3~0								270
+$03	INTFLAGS	–	–	–	–	–	–	–	IF	270
+$02	INTCTRL	–	–	–	–	INTMODE1,0		INTLVL1,0		270
+$01	MUXCTRL	–	MUXPOS3~0				MUXNEG2~0			269
+$00	CTRL	START	–	–	GAIN2~0			INPUTMODE1,0		268

25.18. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	CH0_vect	A/D変換器ﾁｬﾈﾙ0割り込みﾍﾞｸﾀ

26. DAC – D/A変換器

26.1. 要点

- 12ﾋﾞｯﾄ分解能
- 2つの独立、継続駆動ﾁｬﾈﾙ
- DACﾁｬﾈﾙ当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
  - 変位(ｵﾌｾｯﾄ)誤差
  - 利得誤差
- 複数の変換起動元
  - 利用可能な新ﾃﾞｰﾀで
  - 事象ｼｽﾃﾑからの事象
- 高い駆動能力と以下を支援
  - 抵抗性負荷
  - 容量性負荷
  - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- ｱﾅﾛｸﾞ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動力を持つ低電力動作形態
- 任意選択のEDMAﾃﾞｰﾀ転送

26.2. 概要

D/A変換器(DAC)はﾃﾞｼﾞﾀﾙ値を電圧に変換します。DACは2つのﾁｬﾈﾙ、各々12ﾋﾞｯﾄの分解能と、各ﾁｬﾈﾙで秒当たり最大100万採取(MSPS)の変換能力を持ちます。組み込み校正ｼｽﾃﾑはｿﾌﾄｳｪｱで校正値を設定した時に変位(ｵﾌｾｯﾄ)と利得の誤差を取り去ることができます。

図26-1.はDACの基本的な機能を図解します。全ての機能が示されている訳ではありません。

図26-1. DAC概要

DAC変換は変換されるべき新しいﾃﾞｰﾀが利用可能な時に自動的に開始されます。事象ｼｽﾃﾑからの事象も使用することでき、これはﾀｲﾏ/ｶｳﾝﾀのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。EDMA制御器はDACへﾃﾞｰﾀを転送するのに使用することができます。

DACは高い駆動力を持ち、抵抗性と容量性の両方と更に両方を組み合わせた負荷の駆動能力があります。低電力動作が利用可能で、これは出力の駆動能力を減らします。

内部と外部の基準電圧を使用することができます。DAC出力は内部的にｱﾅﾛｸﾞ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

26.3. 基準電圧選択

DAC用の基準(VREF)として以下の電圧を使用することができます。

- AVCC電圧
- 正確な内部1.00V電圧
- PORTAのAREFﾋﾟﾝに印加された外部電圧
- PORTDのAREFﾋﾟﾝに印加された外部電圧

26.4. 変換の開始

既定によって変換は新しいﾃﾞｰﾀがﾁｬﾈﾙ ﾃﾞｰﾀ(CHnDATA)ﾚｼﾞｽﾀに書かれる時に自動的に開始されます。変換開始を起動するために事象ｼｽﾃﾑからの事象を許可ことも可能です。これが許可されると、新しい変換はDACﾁｬﾈﾙが事象を受け取った時とﾁｬﾈﾙ ﾃﾞｰﾀﾚｼﾞｽﾀが更新された場合に開始されます。これは外部事象で同期化される、そして/または規則的で一定の変換間隔を保証するために時を定めるべき変換開始を許します。

26.5. 出力と出力ﾁｬﾈﾙ

2つのDACﾁｬﾈﾙは完全に独立した出力と個別ﾃﾞｰﾀ、それと変換制御ﾚｼﾞｽﾀを持ちます。これはDACに2つの異なるｱﾅﾛｸﾞ信号の作成を許します。ﾁｬﾈﾙ0出力はｱﾅﾛｸﾞ比較器とA/D変換器用の入力として内部的に利用可能にさせることもできます。

DACﾁｬﾈﾙからの出力電圧(VDAC)は次のように与えられます。

$$V_{DACn} = \frac{CHnDATA}{4096 - 1} \times VREF$$

26.6. DAC出力模式

各DAC出力ﾁｬﾈﾙはDAC出力ﾋﾟﾝの電圧がDACの内部電圧と等しいことを保証する帰還を持つ駆動緩衝器を持ちます。**図26-2.**はDAC出力模式を示します。Rchannelの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄでDAC特性を参照してください。

図26-2. DAC出力模式

26.7. DACｸﾛｯｸ

DACは周辺ｸﾛｯｸ(clkPER)から直接ｸﾛｯｸ駆動され、これは新しいﾃﾞｰﾀがどれだけ速くDACﾃﾞｰﾀ ﾚｼﾞｽﾀにｸﾛｯｸ駆動され得るかでの制限に帰します。

26.8. 低電力動作

D/A変換での電力消費を低減するために、DACを低電力動作に設定できます。この動作で新しい変換が開始される場合に変換時間がより長くなります。これは2つの要素によってDACﾁｬﾈﾙ当たりのDAC変換時間を増します。

26.9. 校正

改善された精度のために、DACで利得と変位の誤差を校正することが可能です。

最良の校正結果を得るため、校正中に最終応用で使用されるのと同じDAC形態設定を使用することが推奨されます。DACに対する理論上の伝達関数は「**出力と出力ﾁｬﾈﾙ**」内の式によって示されました。利得と変位(ｵﾌｾｯﾄ)の誤差を含み、DAC出力値は次のように表すことができます。

式26-1. DAC出力値の計算

$$V_{DAC} = VREF \times \left(\frac{DATA}{\$FFF} \times ERROR_{GAIN}\right) + V_{OFFSET}$$

変位誤差を校正するには、DACﾁｬﾈﾙの中間符号($800)を出力し、測定された出力値が可能な限り中間値(VREF/2)に近づくまで変位校正値を調節してください。変位校正用の式は**式26-2.**によって与えられ、そこでのOCALはOFFSETCAL、GCALはGAINCALです。

式26-2. 変位校正

$$V_{OCAL} = VREF \times (2 \times OCAL[7] - 1) \times \left(\frac{OCAL[6]}{16} + \frac{OCAL[5]}{32} + \frac{OCAL[4]}{64} + \frac{OCAL[3]}{128} + \frac{OCAL[2]}{256} + \frac{OCAL[1]}{512} + \frac{OCAL[0]}{1024}\right)$$

利得誤差を校正するには、DACﾁｬﾈﾙの最大符号(0FFF)を出力し、測定された出力値が可能な限り頂上値(VREF×4095)/4096に近づくまで利得校正値を調節してください。利得校正は中間符号周辺で伝達関数を回転することによってDAC特性の傾きを制御します。利得校正用の式は**式26-3.**によって与えられます。

式26-3. 利得校正

$$V_{GCAL} = \left(V_{DAC} - \left(\frac{VREF}{2}\right)\right) \times (1 - 2 \times GCAL[7]) \times \left(\frac{GCAL[6]}{16} + \frac{GCAL[5]}{32} + \frac{GCAL[4]}{64} + \frac{GCAL[3]}{128} + \frac{GCAL[2]}{256} + \frac{GCAL[1]}{512} + \frac{GCAL[0]}{1024}\right)$$

式での校正を含み、DAC出力は**式26-4.**によって表されます。

式26-4. DAC出力計算

$$V_{DAC_OUT} = V_{DAC} + V_{OCAL} + V_{GCAL}$$

26.10. ﾚｼﾞｽﾀ説明

26.10.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	IDOEN	CH1EN	CH0EN	LPMODE	ENABLE	CTRLA
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – IDOEN : 内部出力許可** (Internal Output Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器とA/D変換器(ADC)によって使用されることをDACﾁｬﾈﾙ0出力に許可します。そしてこれはDACﾁｬﾈﾙ0用の出力ﾋﾟﾝも禁止します。

● **ﾋﾞｯﾄ3 – CH1EN : ﾁｬﾈﾙ1出力許可** (Channel 1 Output Enable)

このﾋﾞｯﾄの設定(1)がﾁｬﾈﾙ1を出力ﾋﾟﾝで利用可能にします。

● **ﾋﾞｯﾄ2 – CH0EN : ﾁｬﾈﾙ0出力許可** (Channel 0 Output Enable)

DAC内部出力許可(IDOEN)が1に設定されていなければ、このﾋﾞｯﾄの設定(1)はﾁｬﾈﾙ0を出力ﾋﾟﾝで利用可能にします。

● **ﾋﾞｯﾄ1 – LPMODE : 低電力動作** (Low Power Mode)

このﾋﾞｯﾄの設定(1)はDACの低電力動作形態を許可します。電流を節約するためにDACは各変換の間にOFFされます。この動作形態で新しい変換が開始される時に変換時間は倍にされます。

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄ(=1)がDAC全体を許可します。

26.10.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	CHSEL1,0		–	–	–	CH1TRIG	CH0TRIG	CTRLB
Read/Write	R	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6,5 – CHSEL1,0 : ﾁｬﾈﾙ選択** (Channel Selection)

これらのﾋﾞｯﾄは許可されて動作するﾁｬﾈﾙを制御します。表26-1.は利用可能な選択を示します。

表26-1. DACﾁｬﾈﾙ選択

CHSEL1,0	群形態設定	内容
0 0	SINGLE	ﾁｬﾈﾙ0での単一ﾁｬﾈﾙ動作
0 1	SINGLE1	ﾁｬﾈﾙ1での単一ﾁｬﾈﾙ動作
1 0	DUAL	2重ﾁｬﾈﾙ動作
1 1	–	(予約)

● **ﾋﾞｯﾄ4~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – CH1TRIG : ﾁｬﾈﾙ1自動起動動作** (Auto triggered mode Channel 1)

このﾋﾞｯﾄが設定(1)されている場合、事象制御(EVCTRL)ﾚｼﾞｽﾀの設定で形態設定された事象ﾁｬﾈﾙでの事象は、それのﾃﾞｰﾀ(CH1DATA)ﾚｼﾞｽﾀが更新されていた場合にDACﾁｬﾈﾙ1での変換を起動します。

● **ﾋﾞｯﾄ0 – CH0TRIG : ﾁｬﾈﾙ0自動起動動作** (Auto triggered mode Channel 0)

このﾋﾞｯﾄが設定(1)されている場合、事象制御(EVCTRL)ﾚｼﾞｽﾀの設定で形態設定された事象ﾁｬﾈﾙでの事象は、それのﾃﾞｰﾀ(CH0DATA)ﾚｼﾞｽﾀが更新されていた場合にDACﾁｬﾈﾙ0での変換を起動します。

26.10.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	REFSEL1,0		–	–	LEFTADJ	CTRLC
Read/Write	R	R	R	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4,3 – REFSEL1,0 : 基準電圧選択** (Reference Selection)

これらのﾋﾞｯﾄは表26-2.に従ってDAC用の基準電圧を選びます。

表26-2. DAC基準電圧選択

REFSEL1,0	群形態設定	内容
0 0	INT1V	内部1.00V基準電圧
0 1	AVCC	AVCC
1 0	AREFA	PORTAのAREFﾋﾟﾝ
1 1	AREFD	PORTDのAREFﾋﾟﾝ

● **ﾋﾞｯﾄ2,1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – LEFTADJ : 左揃え値** (Left-Adjust Value)

このﾋﾞｯﾄが設定(1)なら、ﾃﾞｰﾀ(CH0DATAとCH1DATA)ﾚｼﾞｽﾀは左揃えにされます。

26.10.4. EVCTRL – 事象制御ﾚｼﾞｽﾀ (Event Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	EVSEL3~0				EVCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – EVSEL3 : 事象選択ﾋﾞｯﾄ3** (Event Selection bit 3)

このﾋﾞｯﾄの1設定はDACﾁｬﾈﾙ1に対する起動元としてEVSEL2～0+1の事象ﾁｬﾈﾙを許可します。このﾋﾞｯﾄが0の時は両DACﾁｬﾈﾙに対する起動元として同じ事象ﾁｬﾈﾙが使用されます。

● **ﾋﾞｯﾄ2~0 – EVSEL2~0 : 事象ﾁｬﾈﾙ入力選択** (Event Channel Selection)

これらのﾋﾞｯﾄは事象ｼｽﾃﾑからのどのﾁｬﾈﾙがDAC変換の起動に使用されるかを定義します。

表26-3.は利用可能な選択を示します。

表26-3. DAC事象入力選択

EVSEL2~0	群形態設定	内容
0 0 0	0	DACへの起動入力として事象ﾁｬﾈﾙ0を選択
0 0 1	1	DACへの起動入力として事象ﾁｬﾈﾙ1を選択
0 1 0	2	DACへの起動入力として事象ﾁｬﾈﾙ2を選択
0 1 1	3	DACへの起動入力として事象ﾁｬﾈﾙ3を選択
1 0 0	4	DACへの起動入力として事象ﾁｬﾈﾙ4を選択
1 0 1	5	DACへの起動入力として事象ﾁｬﾈﾙ5を選択
1 1 0	6	DACへの起動入力として事象ﾁｬﾈﾙ6を選択
1 1 1	7	DACへの起動入力として事象ﾁｬﾈﾙ7を選択

26.10.5. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	–	–	–	–	CH1DRE	CH0DRE	STATUS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – CH1DRE : ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ空ﾌﾗｸﾞ** (Channel 1 Data Register Empty)

このﾌﾗｸﾞが設定(1)の時はﾁｬﾈﾙ1用のﾃﾞｰﾀ(CH1DATA)ﾚｼﾞｽﾀが空で、新しい値が書けることを示します。このﾋﾞｯﾄが解除(0)されている時のﾃﾞｰﾀ ﾚｼﾞｽﾀ書き込みは保留中の変換ﾃﾞｰﾀ上書きを引き起こします。このﾋﾞｯﾄはEDMA要求に対して直接的に使用されます。

● **ﾋﾞｯﾄ0 – CH0DRE : ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ空ﾌﾗｸﾞ** (Channel 0 Data Register Empty)

このﾌﾗｸﾞが設定(1)の時はﾁｬﾈﾙ0用のﾃﾞｰﾀ(CH0DATA)ﾚｼﾞｽﾀが空で、新しい値が書けることを示します。このﾋﾞｯﾄが解除(0)されている時のﾃﾞｰﾀ ﾚｼﾞｽﾀ書き込みは保留中の変換ﾃﾞｰﾀ上書きを引き起こします。このﾋﾞｯﾄはEDMA要求に対して直接的に使用されます。

26.10.6. CH0GAINCAL – ﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ (Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CH0GAINCAL7~0								CH0GAINCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH0GAINCAL7~0 : ﾁｬﾈﾙ0利得校正値** (Gain Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ0での利得誤差に対する補償に使用されます。詳細については272頁の「**校正**」をご覧ください。

26.10.7. CH0OFFSETCAL – ﾁｬﾈﾙ0変位校正ﾚｼﾞｽﾀ (Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	CH0OFFSETCAL7~0								CH0OFFSETCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH0OFFSETCAL7~0 : ﾁｬﾈﾙ0変位校正値** (Offset Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ0での変位誤差に対する補償に使用されます。詳細については272頁の「**校正**」をご覧ください。

26.10.8. CH1GAINCAL – ﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ (Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	CH1GAINCAL7~0								CH1GAINCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH1GAINCAL7~0 : ﾁｬﾈﾙ1利得校正値** (Gain Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ1での利得誤差に対する補償に使用されます。詳細については272頁の「**校正**」をご覧ください。

26.10.9. CH1OFFSETCAL – ﾁｬﾈﾙ1変位校正ﾚｼﾞｽﾀ (Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	CH1OFFSETCAL7~0								CH1OFFSETCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH1OFFSETCAL7~0 : ﾁｬﾈﾙ1変位校正値** (Offset Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ1での変位誤差に対する補償に使用されます。詳細については277頁の「**校正**」をご覧ください。

26.10.10. CH0DATAH – ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (Channel 0 Data register High)

CHnDATAHとCHnDATALのこれら2つのﾚｼﾞｽﾀはDACﾁｬﾈﾙnで電圧に変換される12ﾋﾞｯﾄ値CHnDATAの各々上位ﾊﾞｲﾄと下位ﾊﾞｲﾄです。既定では、この12ﾋﾞｯﾄがCHnDATALの8ﾋﾞｯﾄとCHnDATAHの下位4ﾋﾞｯﾄ位置の4ﾋﾞｯﾄに分配されます(右揃え)。左揃えのﾃﾞｰﾀの選択は、制御ﾚｼﾞｽﾀC(CTRLC)の左揃え(LEFTADJ)ﾋﾞｯﾄを設定(1)してください。

左揃えﾃﾞｰﾀが選択されると、CHnDATAの上位ﾊﾞｲﾄ、換言するとCHnDATAHだけの書き込みによって8ﾋﾞｯﾄ変換を行うことが可能です。8ﾋﾞｯﾄ変換動作だけが使用される場合、一時(TEMP)ﾚｼﾞｽﾀは0に初期化されるべきです(訳注:TEMPﾚｼﾞｽﾀ記述なし)。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	–	–	–	–	CHDATA11~8				CH0DATAH +$19
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

26.10.10.1. 右揃え

- **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ3~0 – CHDATA11~8 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ上位** (Conversion Data Channel 0, 4 MSB bits)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の上位4ﾋﾞｯﾄです。

26.10.10.2. 左揃え

- **ﾋﾞｯﾄ7~0 – CHDATA11~4 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ上位** (Conversion Data Channel 0, 8 MSB bits)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の上位8ﾋﾞｯﾄです。

26.10.11. CH0DATAL – ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (Channel 0 Data register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH0DATAL +$18
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				–	–	–	–	
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

26.10.11.1. 右揃え

- **ﾋﾞｯﾄ7~0 – CHDATA7~0 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ下位** (Conversion Data Channel 0, 8 LSB bits)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の下位8ﾋﾞｯﾄです。

26.10.11.2. 左揃え

- **ﾋﾞｯﾄ7~4 – CHDATA3~0 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ下位** (Conversion Data Channel 0, 4 LSB bits)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の下位4ﾋﾞｯﾄです。

26.10.12. CH1DATAH – ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (Channel 1 Data register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	–	–	–	–	CHDATA11~8				CH1DATAH +$1B
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

26.10.12.1. 右揃え

- **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ3~0 – CHDATA11~8 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ上位** (Conversion Data Channel 1, 4 MSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の上位4ﾋﾞｯﾄです。

26.10.12.2. 左揃え

● **ﾋﾞｯﾄ7~0 – CHDATA11~4 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ上位** (Conversion Data Channel 1, 8 MSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の上位8ﾋﾞｯﾄです。

26.10.13. CH1DATAL – ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (Channel 1 Data register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH1DATAL +$1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				–	–	–	–	
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

26.10.13.1. 右揃え

● **ﾋﾞｯﾄ7~0 – CHDATA7~0 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ下位** (Conversion Data Channel 1, 8 LSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の下位8ﾋﾞｯﾄです。

26.10.13.2. 左揃え

● **ﾋﾞｯﾄ7~4 – CHDATA3~0 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ下位** (Conversion Data Channel 1, 4 LSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

26.11. ﾚｼﾞｽﾀ要約

これはD/A変換器が標準的な12ﾋﾞｯﾄの結果を与えるように形態設定された時のﾚｼﾞｽﾀ要約です。左揃え12ﾋﾞｯﾄ結果用のﾚｼﾞｽﾀ要約は同様ですが、CHnDATAHとCHnDATALのﾃﾞｰﾀ ﾚｼﾞｽﾀ内でいくつかの変更を伴います。

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$1B	CH1DATAH	CHDATA11~8または11~4								281
+$1A	CH1DATAL	CHDATA7~0または3~0								282
+$19	CH0DATAH	CHDATA11~8または11~4								281
+$18	CH0DATAL	CHDATA7~0または3~0								281
+$17	予約	–	–	–	–	–	–	–	–	
+$16	予約	–	–	–	–	–	–	–	–	
+$15	予約	–	–	–	–	–	–	–	–	
+$14	予約	–	–	–	–	–	–	–	–	
+$13	予約	–	–	–	–	–	–	–	–	
+$12	予約	–	–	–	–	–	–	–	–	
+$11	予約	–	–	–	–	–	–	–	–	
+$10	予約	–	–	–	–	–	–	–	–	
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CH1OFFSETCAL	CH1OFFSETCAL7~0								280
+$0A	CH1GAINCAL	CH1GAINCAL7~0								280
+$09	CH0OFFSETCAL	CH0OFFSETCAL7~0								280
+$08	CH0GAINCAL	CH0GAINCAL7~0								280
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	STATUS	–	–	–	–	–	–	CH1DRE	CH0DRE	280
+$04	予約	–	–	–	–	–	–	–	–	
+$03	EVCTRL	–	–	–	–	EVSEL3~0				279
+$02	CTRLC	–	–	–	REFSEL1,0		–	–	LEFTADJ	279
+$01	CTRLB	–	CHSEL1,0		–	–	–	CH1TRIG	CH0TRIG	278
+$00	CTRLA	–	–	–	IDOEN	CH1EN	CH0EN	LPMODE	ENABLE	278

27. AC – ｱﾅﾛｸﾞ比較器

27.1. 要点

- 選択可能なﾋｽﾃﾘｼｽ
  - なし
  - 小
  - 大
- ﾋﾟﾝで利用可能なｱﾅﾛｸﾞ比較器出力
- 柔軟な入力選択
  - ﾎﾟｰﾄ上の全ﾋﾟﾝ
  - D/A変換器(DAC)からの出力
  - ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
  - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
  - 上昇端
  - 下降端
  - 切り替わり
- 以下での窓機能割り込みと事象の生成
  - 窓以上の信号
  - 窓内側の信号
  - 窓以下の信号
- 形態設定可能な出力ﾋﾟﾝ選択を持つ定電流源
- 非同期事象の供給元

27.2. 概要

ｱﾅﾛｸﾞ比較器(AC)は2つの入力の電圧ﾚﾍﾞﾙを比較してその比較に基いたﾃﾞｼﾞﾀﾙ出力を与えます。ｱﾅﾛｸﾞ比較器は多数の異なる入力変化の組み合わせで割り込み要求や同期/非同期事象を生成するように形態設定できます。

ｱﾅﾛｸﾞ比較器の動的な動きの重要な特性はﾋｽﾃﾘｼｽです。それは各応用に対して最適な動作を達成するために調節することができます。

入力選択はｱﾅﾛｸﾞ ﾎﾟｰﾄ ﾋﾟﾝ、多数の内部信号、64段階の設定可能な分圧器を含みます。ｱﾅﾛｸﾞ比較器出力の状態は外部ﾃﾞﾊﾞｲｽによって使用するためにﾋﾟﾝ上に出力することもできます。

定電流源を許可することができ、選択可能なﾋﾟﾝ上に出力することができます。これは例えば容量性接触感知応用でｺﾝﾃﾞﾝｻを充電するのに使用される外部抵抗を置き換えるのに使用することができます。

ｱﾅﾛｸﾞ比較器は常に各ﾎﾟｰﾄ上の対で分類されます。それらはｱﾅﾛｸﾞ比較器0(AC0)とｱﾅﾛｸﾞ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御ﾚｼﾞｽﾀを持ちます。対として使用すると、それらは電圧ﾚﾍﾞﾙの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

図27-1. ｱﾅﾛｸﾞ比較器概要

27.3. 入力元

各ｱﾅﾛｸﾞ比較器は1つの正入力と1つの負入力を持っています。各入力はｱﾅﾛｸﾞ入力ﾋﾟﾝ、内部入力、AVCCを縮尺した入力から選ぶことができます。ｱﾅﾛｸﾞ比較器からのﾃﾞｼﾞﾀﾙ出力は正と負の入力電圧間の差が正の時に1、差が負の時に0です。

27.3.1. ﾋﾟﾝ入力

ﾎﾟｰﾄのｱﾅﾛｸﾞ入力ﾋﾟﾝのどれもがｱﾅﾛｸﾞ比較器への入力として選択することができます。

27.3.2. 内部入力

ｱﾅﾛｸﾞ比較器に対して3つの内部入力が利用可能です。

- DACからの出力
- ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
- 内部AVCC電圧を縮尺した64段階を提供する分圧器

27.4. 信号比較

信号比較を開始するため、この部署が許可される前に、ｱﾅﾛｸﾞ比較器は望んだ特性と入力で形態設定されなければなりません。比較結果は連続的に更新され、応用ｿﾌﾄｳｪｱと事象ｼｽﾃﾑで利用可能です。

27.5. 割り込みと事象

ｱﾅﾛｸﾞ比較器は出力が切り替わる時、出力が0から1に変化する(上昇端)時、または出力が1から0に変化する(下降端)時に割り込みを生成するように形態設定することができます。割り込みが許可されているか否かのどちらかに拘らず、同期/非同期事象は割り込みと同じ条件の間、常時生成されます。各ｱﾅﾛｸﾞ比較器出力は非同期事象の供給元です。

27.6. 窓動作

同じﾎﾟｰﾄの2つのｱﾅﾛｸﾞ比較器は窓動作で共に動作するように形態設定することができます。この動作では電圧範囲が定義され、ｱﾅﾛｸﾞ比較器は入力信号がこの範囲内か否かのどちらかかについての情報を提供できます。

図27-2. ｱﾅﾛｸﾞ比較器窓動作

27.7. 入力ﾋｽﾃﾘｼｽ

応用ｿﾌﾄｳｪｱは比較に関してﾋｽﾃﾘｼｽのなし、低、高を選ぶことができます。ﾋｽﾃﾘｼｽ付加は入力信号(値)がお互いに近い時に雑音によって引き起こされ得る定常的な出力切り換わりを防ぐのを手助けします。

27.8. ﾚｼﾞｽﾀ説明

27.8.1. ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ (Analog Comparator n Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00,$01	INTMODE1,0		INTLVL1,0		–	HYSMODE1,0		ENABLE	ACnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – INTMODE1,0 : 割り込み種別** (Interrupt Modes)

これらのﾋﾞｯﾄは表27-1.に従ってｱﾅﾛｸﾞ比較器に対する割り込み種別を形態設定します。

表27-1. ｱﾅﾛｸﾞ比較器n割り込み設定

INTMODE1,0	群形態設定	内容
0 0	BOTHEDGES	出力切り替わりでの比較器割り込みまたは事象
0 1	–	(予約)
1 0	FALLING	出力下降端での比較器割り込みまたは事象
1 1	RISING	出力上昇端での比較器割り込みまたは事象

● **ﾋﾞｯﾄ5,4 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄはｱﾅﾛｸﾞ比較器nの割り込みを許可して94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは割り込み種別(INTMODE)設定に従って起動します。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2,1 – HYSMODE1,0 : ﾋｽﾃﾘｼｽ選択** (Hysteresis Mode Select)

これらのﾋﾞｯﾄは表27-2.に従ってﾋｽﾃﾘｼｽ形態を選択します。実際のﾋｽﾃﾘｼｽ ﾚﾍﾞﾙの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表27-2. ｱﾅﾛｸﾞ比較器nﾋｽﾃﾘｼｽ設定

HYSMODE1,0	群形態設定	内容
0 0	NO	ﾋｽﾃﾘｼｽなし
0 1	SMALL	ﾋｽﾃﾘｼｽ小
1 0	LARGE	ﾋｽﾃﾘｼｽ大
1 1	–	(予約)

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がｱﾅﾛｸﾞ比較器を許可します。

27.8.2. ACnMUXCTRL – ｱﾅﾛｸﾞ比較器n多重器(MUX)制御ﾚｼﾞｽﾀ (Analog Comparator n MUX Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02,$03	–	–	MUXPOS2~0			MUXNEG2~0			ACnMUXCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~3 – MUXPOS2~0 : 正入力選択** (Positive Input MUX Selection)

これらのﾋﾞｯﾄは表27-3.に従ってｱﾅﾛｸﾞ比較器の正入力にどの入力が接続されるかを選びます。

表27-3. ｱﾅﾛｸﾞ比較器n正入力多重器(MUX)選択

MUXPOS2~0	群形態設定	正入力
0 0 0	PIN0	ｱﾅﾛｸﾞ入力ﾋﾟﾝ0
0 0 1	PIN1	ｱﾅﾛｸﾞ入力ﾋﾟﾝ1
0 1 0	PIN2	ｱﾅﾛｸﾞ入力ﾋﾟﾝ2
0 1 1	PIN3	ｱﾅﾛｸﾞ入力ﾋﾟﾝ3
1 0 0	PIN4	ｱﾅﾛｸﾞ入力ﾋﾟﾝ4
1 0 1	PIN5	ｱﾅﾛｸﾞ入力ﾋﾟﾝ5
1 1 0	PIN6	ｱﾅﾛｸﾞ入力ﾋﾟﾝ6
1 1 1	DAC	DAC出力

● ﾋﾞｯﾄ2~0 – MUXNEG2~0 : 負入力選択 (Negative Input MUX Selection)

これらのﾋﾞｯﾄは表27-4.に従ってｱﾅﾛｸﾞ比較器の負入力にどの入力が接続されるかを選びます。

表27-4. ｱﾅﾛｸﾞ比較器n負入力多重器(MUX)選択

MUXPOS2~0	群形態設定	負入力
0 0 0	PIN0	ｱﾅﾛｸﾞ入力ﾋﾟﾝ0
0 0 1	PIN1	ｱﾅﾛｸﾞ入力ﾋﾟﾝ1
0 1 0	PIN3	ｱﾅﾛｸﾞ入力ﾋﾟﾝ3
0 1 1	PIN5	ｱﾅﾛｸﾞ入力ﾋﾟﾝ5
1 0 0	PIN7	ｱﾅﾛｸﾞ入力ﾋﾟﾝ7
1 0 1	DAC	DAC出力
1 1 0	BANDGAP	内部ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
1 1 1	SCALER	縮尺AVCC電圧

27.8.3. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	AC1INVEN	AC0INVEN	AC1OUT	AC0OUT	CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3 – AC1INVEN : ｱﾅﾛｸﾞ比較器1出力反転許可 (Analog Comparator 1 Output Invert Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器1(AC1)出力を反転します。許可時、ﾋﾟﾝへの出力と事象生成が直接的に影響を及ぼされます。

● ﾋﾞｯﾄ2 – AC0INVEN : ｱﾅﾛｸﾞ比較器0出力反転許可 (Analog Comparator 0 Output Invert Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器0(AC0)出力を反転します。許可時、ﾋﾟﾝへの出力と事象生成が直接的に影響を及ぼされます。

● ﾋﾞｯﾄ1 – AC1OUT : ｱﾅﾛｸﾞ比較器1出力許可 (Analog Comparator 1 Output)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器1(AC1)の出力をﾎﾟｰﾄ ﾋﾟﾝで利用可能にします。ﾎﾟｰﾄ選択の詳細については110頁の「ACEVOUT – ｱﾅﾛｸﾞ比較器/事象出力ﾚｼﾞｽﾀ」を参照してください。各ﾎﾟｰﾄに対して利用可能なﾋﾟﾝの詳細については各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

● ﾋﾞｯﾄ0 – AC0OUT : ｱﾅﾛｸﾞ比較器0出力許可 (Analog Comparator 0 Output)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器0(AC0)の出力をﾎﾟｰﾄ ﾋﾟﾝで利用可能にします。ﾎﾟｰﾄ選択の詳細については110頁の「ACEVOUT – ｱﾅﾛｸﾞ比較器/事象出力ﾚｼﾞｽﾀ」を参照してください。各ﾎﾟｰﾄに対して利用可能なﾋﾟﾝの詳細については各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

27.8.4. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	SCALEFAC5~0						CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5~0 – SCALEFAC5~0 : ｱﾅﾛｸﾞ比較器AVCC入力縮尺 (Input Voltage Scalling Factor)

これらのﾋﾞｯﾄはAVCC電圧縮尺器に対する縮尺係数を定義します。ｱﾅﾛｸﾞ比較器への入力V_{SCALE}は以下です。

$$V_{SCALE} = \frac{AVCC \times (SCALEFAC + 1)}{64}$$

27.8.5. WINCTRL – 窓制御ﾚｼﾞｽﾀ (Window Function Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		WINCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – WEN : 窓動作許可** (Window Mode Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器窓動作を許可します。

● **ﾋﾞｯﾄ3,2 – WINTMODE1,0 : 窓割り込み種別** (Window Interrupt Mode Settings)

これらのﾋﾞｯﾄは表27-5.に従ってｱﾅﾛｸﾞ比較器窓動作に対する割り込み動作種別を形態設定します。

表27-5. 窓動作割り込み設定

WINTMODE1,0	群形態設定	内容
0 0	ABOVE	窓以上の信号で割り込み
0 1	INSIDE	窓内の信号で割り込み
1 0	BELOW	窓以下の信号で割り込み
1 1	OUTSIDE	窓外の信号で割り込み

● **ﾋﾞｯﾄ1,0 – WINTLVL1,0 : ｱﾅﾛｸﾞ比較器窓割り込みﾚﾍﾞﾙ** (Window Interrupt Enable)

これらのﾋﾞｯﾄはｱﾅﾛｸﾞ比較器窓動作割り込みを許可して94頁の「PMIC – 割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは窓割り込み種別(WINTMODE)設定に従って起動します。

27.8.6. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	WSTATE1,0		AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF	STATUS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – WSTATE1,0 : 窓動作現状** (Window Mode Current State)

これらのﾋﾞｯﾄは表27-6.に従って窓動作が許可された場合の信号の現在の状態を示します。

表27-6. 窓動作での現在の状態

WSTATE1,0	群形態設定	内容
0 0	ABOVE	信号は窓以上
0 1	INSIDE	信号は窓内
1 0	BELOW	信号は窓以下
1 1	OUTSIDE	信号は窓外

● **ﾋﾞｯﾄ5 – AC1STATE : ｱﾅﾛｸﾞ比較器1現状** (Analog Comparator 1 Current State)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器1からの出力信号の現在の状態を示します。

● **ﾋﾞｯﾄ4 – AC0STATE : ｱﾅﾛｸﾞ比較器0現状** (Analog Comparator 0 Current State)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器0からの出力信号の現在の状態を示します。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – WIF : ｱﾅﾛｸﾞ比較器窓割り込み要求ﾌﾗｸﾞ** (Analog Comparator Window Interrupt Flag)

このﾋﾞｯﾄは窓動作に対する割り込み要求ﾌﾗｸﾞです。WIFは「WINCTRL – 窓制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器窓割り込み種別(WINTMODE)設定に従って設定(1)されます。

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器窓割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

● ﾋﾞｯﾄ1 – AC1IF : ｱﾅﾛｸﾞ比較器1割り込み要求ﾌﾗｸﾞ (Analog Comparator 1 Interrupt Flag)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器1に対する割り込み要求ﾌﾗｸﾞです。AC1IFは281頁の「ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器1割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

● ﾋﾞｯﾄ0 – AC0IF : ｱﾅﾛｸﾞ比較器0割り込み要求ﾌﾗｸﾞ (Analog Comparator 0 Interrupt Flag)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器0に対する割り込み要求ﾌﾗｸﾞです。AC0IFは286頁の「ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器0割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

27.8.7. CURRCTRL – 電流源制御ﾚｼﾞｽﾀ (Current Source Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CURRENT	CURRMODE	–	–	–	–	AC1CURR	AC0CURR	CURRCTRL
Read/Write	R/W	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – CURRENT : 電流源許可 (Current Source Enable)

このﾋﾞｯﾄの1設定は定電流源を許可します。

● ﾋﾞｯﾄ6 – CURRMODE : 電流形態 (Current Mode)

このﾋﾞｯﾄの1設定は各ｱﾅﾛｸﾞ比較器に対して出力電流を2倍にするために2つのｱﾅﾛｸﾞ比較器電流源を結合します。

● ﾋﾞｯﾄ5~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – AC1CURR : ｱﾅﾛｸﾞ比較器1電流源出力許可 (AC1 Current Source Output Enable)

このﾋﾞｯﾄの1設定はｱﾅﾛｸﾞ比較器1多重器(MUX)制御(AC1MUXCTRL)ﾚｼﾞｽﾀ内の負入力選択(MUXNEG)によって選択されたﾋﾟﾝ上での定電流源出力を許可します。

● ﾋﾞｯﾄ0 – AC0CURR : ｱﾅﾛｸﾞ比較器0電流源出力許可 (AC0 Current Source Output Enable)

このﾋﾞｯﾄの1設定はｱﾅﾛｸﾞ比較器0多重器(MUX)制御(AC0MUXCTRL)ﾚｼﾞｽﾀ内の負入力選択(MUXNEG)によって選択されたﾋﾟﾝ上での定電流源出力を許可します。

27.8.8. CURRCALIB – 電流源校正ﾚｼﾞｽﾀ (Current Source Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	CALIB3~0				CURRCALIB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – CALIB3~0 : 電流源校正 (Current Source Calibration)

定電流源は製造中に校正されます。校正値はｿﾌﾄｳｪｱで識票列から読んでCURRCALIBﾚｼﾞｽﾀに書くことができます。既定校正値と使用者校正範囲についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

27.9. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$09	CURRCALIB	–	–	–	–	CALIB3~0				289
+$08	CURRCTRL	CURRENT	CURRMODE	–	–	–	–	AC1CURR	AC0CURR	289
+$07	STATUS	WSTATE1,0		AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF	288
+$06	WINCTRL	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		288
+$05	CTRLB	–	–	SCALEFACL5~0						287
+$04	CTRLA	–	–	–	–	AC1INVEN	AC0INVEN	AC1OUT	AC0OUT	287
+$03	AC1MUXCTRL	–	–	MUXPOS2~0			MUXNEG2~0			286
+$02	AC0MUXCTRL	–	–	MUXPOS2~0			MUXNEG2~0			286
+$01	AC1CTRL	INTMODE1,0		INTLVL1,0		–	HYSMODE1,0		ENABLE	286
+$00	AC0CTRL	INTMODE1,0		INTLVL1,0		–	HYSMODE1,0		ENABLE	286

27.10. 割り込みﾍﾞｸﾀ要約

変位	記述例	割り込み内容
$00	COMP0_vect	ｱﾅﾛｸﾞ比較器0割り込みﾍﾞｸﾀ
$02	COMP1_vect	ｱﾅﾛｸﾞ比較器1割り込みﾍﾞｸﾀ
$04	WINDOW_vect	ｱﾅﾛｸﾞ比較器窓割り込みﾍﾞｸﾀ

28. PDI – ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ

28.1. 要点

- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - PDIｲﾝﾀｰﾌｪｰｽを通す外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
    - 高速動作のための最小の規約付随負荷
    - 確かな動作のための組み込みの異常検出と処理
  - 何れかの通信ｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾌﾞｰﾄ ﾛｰﾀﾞ支援
- ﾃﾞﾊﾞｯｸﾞ
  - 不干渉、実時間、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ
  - ﾋﾟﾝ接続を除き、ﾃﾞﾊﾞｲｽから必要とされるｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱなし
  - ﾌﾟﾛｸﾞﾗﾑの流れ制御
    - 実行、停止、ﾘｾｯﾄ、1行実行、内側実行、外側実行、ｶｰｿﾙまで実行
  - 無制限数の使用者ﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - 無制限数の使用者ﾃﾞｰﾀ中断点、以下で中断
    - ﾃﾞｰﾀ位置読み、書き、または読み書き両方
    - ﾃﾞｰﾀ位置内容が値と等しいまたは等しくない
    - ﾃﾞｰﾀ位置内容が値よりも大きいまたは小さい
    - ﾃﾞｰﾀ位置内容が範囲の内側または外側
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数での制限なし
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)
  - 外部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ
  - ﾘｾｯﾄ ﾋﾟﾝと専用ﾋﾟﾝを使用
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはﾃﾞﾊﾞｯｸﾞ中にI/Oﾋﾟﾝの必要なし

28.2. 概要

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)はﾃﾞﾊﾞｲｽの外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ用のAtmel専有ｲﾝﾀｰﾌｪｰｽです。

PDIはﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、使用者識票列の不揮発性ﾒﾓﾘ(NVM)の高速ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを支援します。これはNVM制御器をｱｸｾｽして、299頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」で記述されるようにNVM制御器命令を実行することによって行われます。

ﾃﾞﾊﾞｯｸﾞは不干渉、実時間のﾃﾞﾊﾞｯｸﾞを提供するﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑを通して支援されます。これはﾃﾞﾊﾞｲｽ ﾋﾟﾝ接続を除いてどんなｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱも必要としません。Atmelのﾂｰﾙ ﾁｪｰﾝ使用は完全なﾌﾟﾛｸﾞﾗﾑの流れ制御を提供し、ﾌﾟﾛｸﾞﾗﾑと複雑なﾃﾞｰﾀの無制限数の中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)を支援します。応用ﾃﾞﾊﾞｯｸﾞはｱｾﾝﾌﾞﾗと逆ｱｾﾝﾌﾞﾗ ﾚﾍﾞﾙからだけでなく、Cまたは他の高位言語ｿｰｽｺｰﾄﾞのﾚﾍﾞﾙからも行うことができます。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞはPDI物理層を通して行えます。これはｸﾛｯｸ入力用のﾘｾｯﾄ ﾋﾟﾝ(PDI_CLK)とﾃﾞｰﾀ入出力用の他の1つの専用検査ﾋﾟﾝ(PDI_DATA)を使用する2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽです。何れかの外部書き込み器またはﾁｯﾌﾟ上ﾃﾞﾊﾞｯｶﾞ/ｴﾐｭﾚｰﾀがこれらｲﾝﾀｰﾌｪｰｽのどちらかへ直接的に接続することができます。

図28-1. PDI物理層でのPDI、密接に関連する部署(青枠)

28.3. PDI物理層

PDI物理層は低位直列通信を扱います。これは(丁度USRT動作でのUSARTのように)双方向半二重同期直列送受信器を使用します。物理層は構造体開始検出、構造体異常検出、ﾊﾟﾘﾃｨ生成、ﾊﾟﾘﾃｨ異常検出、衝突検出を含みます。

PDI_CLKとPDI_DATAに加え、PDI_DATAﾋﾟﾝは内部ﾌﾟﾙｱｯﾌﾟ抵抗を持ち、VCCとGNDは外部書き込み器/ﾃﾞﾊﾞｯｶﾞとﾃﾞﾊﾞｲｽ間で接続されなければなりません。図28-2.は代表的な接続を示します。

図28-2. PDI接続

本項の残りはAtmel AVR XMEGAﾃﾞﾊﾞｲｽに対する第3者開発書き込み器またはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ支援による使用だけを意図したものです。

28.3.1. 許可方法

PDI物理層は使用前に許可されなければなりません。これは最初にPDI_DATA線を外部ﾘｾｯﾄ最小ﾊﾟﾙｽ幅と等しい長さよりも長い期間、Highに強制することによって行われます(外部ﾘｾｯﾄ ﾊﾟﾙｽ幅のﾃﾞｰﾀについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください)。これはﾋｭｰｽﾞ設定によって未だ禁止されていない場合に、ﾘｾｯﾄ ﾋﾟﾝの$\overline{\text{RESET}}$機能を禁止します。

次に、PDI_DATAを16PDI_CLK周期間、High保持を継続してください。最初のPSI_CLK周期はﾘｾｯﾄ ﾋﾟﾝの$\overline{\text{RESET}}$機能が禁止された後、100μsよりも遅れてはなりません。これがその時間で起きない場合、許可手順は始めから再び開始されなければなりません。許可の流れは図28-3.で示されます。

図28-3. PDI許可の流れ

$\overline{\text{RESET}}$ﾋﾟﾝはPDIｲﾝﾀｰﾌｪｰｽが許可されている時に採取されます。そしてﾘｾｯﾄ ﾚｼﾞｽﾀは$\overline{\text{RESET}}$ﾋﾟﾝの状態に従って設定され、このﾋﾟﾝのﾘｾｯﾄ機能が禁止された後でのｺｰﾄﾞ走行からﾃﾞﾊﾞｲｽを保護します。

28.3.2. 禁止方法

PDI_CLKのｸﾛｯｸ周波数が概ね10kHzよりも低い場合、これはｸﾛｯｸ線での無活動と見なします。それはPDIを自動的に禁止します。ﾋｭｰｽﾞによって禁止されていなければ、ﾘｾｯﾄ(PDI_CLK)ﾋﾟﾝのﾘｾｯﾄ機能が再び許可されます。これは最低ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ周波数が概ね10kHzであることも意味します。

28.3.3. 構造体形式とｷｬﾗｸﾀ

PDI物理層は開始ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、2つの停止ﾋﾞｯﾄを持つ8ﾋﾞｯﾄ ﾃﾞｰﾀの1ｷｬﾗｸﾀで定義される固定構造体形式を使用します。

図28-4. PDI直列構造体形式

DATA,BREAK,IDLEの3つの異なるｷｬﾗｸﾀが使用されます。BREAKｷｬﾗｸﾀは12ﾋﾞｯﾄ長のLowﾚﾍﾞﾙと当価です。IDLEｷｬﾗｸﾀは12ﾋﾞｯﾄ長のHighﾚﾍﾞﾙと当価です。BREAKとIDLEのｷｬﾗｸﾀは12ﾋﾞｯﾄ長を超えて延ばすことができます。

図28-5. PDI物理層に関するｷｬﾗｸﾀとﾀｲﾐﾝｸﾞ

28.3.4. 直列送受信

PDI物理層は送信動作(TX)または受信動作(RX)のどちらかです。既定ではそれがRX動作で、開始ﾋﾞｯﾄを待ちます。

書き込み器とPDIは書き込み器によって供給されるPDI_CLKで同期して動作します。ｸﾛｯｸ端とﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更の間の依存性は固定化されています。図28-6.で図解されるように、(書き込み器またはPDIのどちらかからの)出力ﾃﾞｰﾀは常にPDI_CLKの下降端で設定(変更)され、PDI_CLKの上昇端で採取されます。

図28-6. ﾃﾞｰﾀの変更と採取

28.3.5. 直列送信

ﾃﾞｰﾀ送信がPDI制御器によって開始されると、送信部は開始ﾋﾞｯﾄ、ﾃﾞｰﾀ ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、2つの停止ﾋﾞｯﾄをPDI_DATAへ単純にｼﾌﾄ出力します。送信速度はPDI_CLK信号によって指示されます。送信動作の間では、連続するDATAｷｬﾗｸﾀ間の隙間を可能な限り満たすためにIDLEﾋﾞｯﾄ(Highﾋﾞｯﾄ)が自動的に送信されます。送信中に衝突が検出された場合、出力駆動部が禁止されてｲﾝﾀｰﾌｪｰｽはBREAKｷｬﾗｸﾀを待つRX動作に置かれます。

28.3.6. 直列受信

開始ﾋﾞｯﾄが検出されると、受信部は8つのﾃﾞｰﾀ ﾋﾞｯﾄ収集を始めます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨに対応していない場合、ﾊﾟﾘﾃｨ異常が発生しています。1つまたは両方の停止ﾋﾞｯﾄがLowなら、構造体異常が発生しています。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが正しくて構造体異常が検出されないなら、受信ﾃﾞｰﾀ ﾋﾞｯﾄはPDI制御器で利用可能です。

PDIがTX動作の時に、書き込み器によるBREAKｷｬﾗｸﾀの合図はBREAK(中断)として解釈されませんが、一般的なﾃﾞｰﾀ衝突を代わりに引き起こします。PDIがRX動作の時に、BREAKｷｬﾗｸﾀはBREAKとして認識されます。(1つ以上のHighﾋﾞｯﾄによって分けられていなければならない)2つの連続するBREAKｷｬﾗｸﾀの送信によって、PDIが始めにTXまたはRX動作のどちらだったかに拘らず、最後のBREAKｷｬﾗｸﾀが常にBREAK(中断)として認識されます。これはTX動作に於いて最初のBREAKが衝突として見えるためです。その後にPDIはRX動作に移動して2つ目のBREAKをBREAK(中断)として知ります。

28.3.7. 方向変更

半二重動作に対して正しいﾀｲﾐﾝｸﾞを保証するため、保護時間機構が使用されます。PDIがRX動作からTX動作へ動作変更する時で開始ﾋﾞｯﾄが送信される前に形態設定可能なﾋﾞｯﾄ数のIDLEﾋﾞｯﾄが挿入されます。RXとTXの動作間の最小遷移時間は2IDLE周期で、これらが常に挿入されます。PDI制御器の制御(CTRL)ﾚｼﾞｽﾀ内の保護時間(GUARDTIME)ﾋﾞｯﾄ書き込みが追加保護時間を指定します。既定保護時間は128ﾋﾞｯﾄです。

図28-7. IDLEﾋﾞｯﾄ挿入によるPDI方向変更

外部書き込み器は目的PDIがRX動作からTX動作へ変更する点でPDI_DATA線の制御を失うでしょう。保護時間は通信のこの重要な段階を緩和します。書き込み器がRX動作からTX動作へ変更する時は、開始ﾋﾞｯﾄが送信される前に最小で単一IDLEﾋﾞｯﾄが挿入されるべきです。

28.3.8. 駆動競合と衝突検出

駆動競合(PDIと書き込み器が同時にPDI_DATAを駆動)の影響を低減するために衝突検出用機構が使用されます。この機構はPDI_ DATA線でのﾃﾞｰﾀ出力のPDI駆動方法に基きます。図28-8.で示されるように、PDI出力駆動部は出力値が変化(0⇒1または1⇒0)する時にだけ活性(有効)です。従って、2つ以上の連続するﾋﾞｯﾄ値が同じ場合、その値は最初のｸﾛｯｸ周期だけ能動的に駆動されます。この時点の後はPDI出力駆動部が自動的にHi-Zにされ、PDI_DATAﾋﾟﾝは出力駆動部がﾋﾞｯﾄ値での変化のために再許可されるまでﾋﾟﾝ値を無変化に保つ責任があるﾊﾞｽ保持器を持ちます。

図28-8. ﾊﾞｽ保持器を使用するPDI_DATAでのﾃﾞｰﾀ出力駆動

書き込み器とPDIの両方が同時にPDI_DATAを駆動する場合、図28-9.で図解されるように駆動競合が起きます。ﾋﾞｯﾄ値が2ｸﾛｯｸ周期以上保たれていれば、いつもPDIはPDI_DATA線で駆動されている正しいﾋﾞｯﾄ値を検証できます。PDIが予期するものと逆のﾋﾞｯﾄ値で書き込み器がPDI_DATA線を駆動する場合に衝突が検出されます。

PDI出力駆動部が活動する時はPDI_DATA線のﾎﾟｰﾘﾝｸﾞを妨げるので、PDIが1と0を切り換えながら送信する限り、衝突を検知することができません。けれども、1つの構造体内で2つの停止ﾋﾞｯﾄが常に1として送信されるべきなので、少なくても構造体当たりに1度は衝突検出を許します。

図28-9. PDI_DATAでの駆動競合と衝突検出

28.4. PDI制御器

PDI制御器はﾊﾞｲﾄ ﾚﾍﾞﾙのﾃﾞｰﾀ送受信、命令復号、高位方向制御、制御と状態のﾚｼﾞｽﾀ入出力、例外操作、ｸﾛｯｸ切り換え(TCKとPDI_CLK)を実行します。外部書き込み器とPDI制御器間の相互作用は書き込み器がPDI制御器へ様々な形式の要求を送信し、そしてPDI制御器が指定要求に応じて応答を返す仕組みに基いています。書き込み器要求は命令の形式でやって来て、それは1つまたはそれ以上のﾊﾞｲﾄ ｵﾍﾟﾗﾝﾄﾞが後続するかもしれません。PDI制御器の応答は沈黙かもしれず(例えばﾃﾞﾊﾞｲｽ内の位置へﾃﾞｰﾀ ﾊﾞｲﾄが格納される)、または書き込み器へ返されつつあるﾃﾞｰﾀを巻き込むかもしれません(例えばﾃﾞﾊﾞｲｽ内の位置からﾃﾞｰﾀ ﾊﾞｲﾄを読む)。

28.4.1. 内部ｲﾝﾀｰﾌｪｰｽの入出力

外部書き込み器がPDIとの通信を確立した後、内部ｲﾝﾀｰﾌｪｰｽは既定で入出力不能です。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用にNVM制御器と不揮発性ﾒﾓﾘへの入出力を得るには、KEY命令の使用によって固有の鍵で合図されなければなりません。内部ｲﾝﾀｰﾌｪｰｽはPDIと内部ｲﾝﾀｰﾌｪｰｽ間の専用(PDIBUS)ﾊﾞｽを使用して1つの直線的なｱﾄﾞﾚｽ空間として入出力されます。PDIBUSｱﾄﾞﾚｽ空間は309頁の図29-3.で示されます。NVM制御器はNVMｲﾝﾀｰﾌｪｰｽへのどのｱｸｾｽのためにもPDI制御器に対して許可されなければなりません。PDI制御器はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でだけNVMとNVM制御器にｱｸｾｽすることができます。PDI制御器はNVM読み書き時にNVM制御器のﾃﾞｰﾀやｱﾄﾞﾚｽﾚｼﾞｽﾀのｱｸｾｽを必要としません。

28.4.2. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ鍵

KEY命令を使用して送らなければならない鍵は64ﾋﾞｯﾄ長です。NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可する鍵は $1289AB45CDD888FF です。

28.4.3. 例外操作

通常動作から考察される例外が様々な状態であります。例外はPDIがRXまたはTXのどちらの動作形態が使用されているのかに依存します。

PDIがRX動作の間の例外は以下です。

- 物理層がﾊﾟﾘﾃｨ異常を検出
- 物理層が構造体異常を検出
- 物理層がBREAKｷｬﾗｸﾀを認識 (構造体異常としても検出)

PDIがTX動作の間の例外は以下です。

- 物理層がﾃﾞｰﾀ衝突を検出

例外はPDI制御器に合図されます。そして実行中の全ての動作が中止され、PDIがERROR状態に置かれます。PDIは外部書き込み器からBREAKが送られるまでERROR状態に留まり、これはPDIを既定RX状態に引き戻します。

この構造のため、書き込み器は2つの連続するBREAKｷｬﾗｸﾀを送信することによって常に規約を同期することができます。

28.4.4. ﾘｾｯﾄ指示

ﾘｾｯﾄ(RESET)ﾚｼﾞｽﾀを通して書き込み器はﾘｾｯﾄを発行してﾃﾞﾊﾞｲｽをﾘｾｯﾄに強制できます。ﾘｾｯﾄ ﾚｼﾞｽﾀの解除(0)後、別のいくつかのﾘｾｯﾄ元が活性(有効)でなければ、ﾘｾｯﾄが開放されます。

28.4.5. 命令一式

PDIはPDI自身と内部ｲﾝﾀｰﾌｪｰｽの両方の入出力に使用される小さな一式の命令を持っています。全ての命令はﾊﾞｲﾄ命令です。命令は外部書き込み器にPDI制御器、NVM制御器、不揮発性ﾒﾓﾘの入出力を許します。

28.4.5.1. LDS – 直接ｱﾄﾞﾚｽ指定を使用するPDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ取得

LDS命令は読み出し用にPDIﾊﾞｽ ﾃﾞｰﾀ空間からﾃﾞｰﾀを取得するのに使用されます。LDS命令は直接ｱﾄﾞﾚｽ指定に基き、それはｱﾄﾞﾚｽが命令の引数として与えられなければならないことを意味します。例え規約がﾊﾞｲﾄ単位通信に基いていても、LDS命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。LDS命令使用時、ﾃﾞｰﾀ転送の前にｱﾄﾞﾚｽ ﾊﾞｲﾄが送信されなければなりません。

28.4.5.2. STS – 直接ｱﾄﾞﾚｽ指定を使用するPDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ格納

STS命令は物理層のｼﾌﾄ ﾚｼﾞｽﾀ内へ直列でｼﾌﾄ入力してPDIﾊﾞｽ ﾃﾞｰﾀ空間内の位置にﾃﾞｰﾀを格納するのに使用されます。STS命令は直接ｱﾄﾞﾚｽ指定に基き、それはｱﾄﾞﾚｽが命令の引数として与えられなければならないことを意味します。例え規約がﾊﾞｲﾄ単位通信に基いていても、STS命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。単一ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。STS命令使用時、ﾃﾞｰﾀ転送の前にｱﾄﾞﾚｽ ﾊﾞｲﾄが送信されなければなりません。

28.4.5.3. LD – 間接ｱﾄﾞﾚｽ指定を使用するPDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ取得

LD命令は直列読み出し用にPDIﾊﾞｽ ﾃﾞｰﾀ空間からﾃﾞｰﾀを取得するのに使用されます。LD命令は間接ｱﾄﾞﾚｽ指定(ﾎﾟｲﾝﾀ入出力)に基き、それはﾃﾞｰﾀ入出力に先行してｱﾄﾞﾚｽがﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されていなければならないことを意味します。間接ｱﾄﾞﾚｽ指定はﾎﾟｲﾝﾀ進行と組み合わせることができます。PDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ読み込みに加え、LD命令はﾎﾟｲﾝﾀ ﾚｼﾞｽﾀを読むことができます。例え規約がﾊﾞｲﾄ単位通信に基いていても、LD命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。単一ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

28.4.5.4. ST – 間接ｱﾄﾞﾚｽ指定を使用するPDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ格納

ST命令は物理層のｼﾌﾄ ﾚｼﾞｽﾀ内へ直列でｼﾌﾄ入力してPDIﾊﾞｽ ﾃﾞｰﾀ空間内の位置にﾃﾞｰﾀを格納するのに使用されます。ST命令は間接ｱﾄﾞﾚｽ指定(ﾎﾟｲﾝﾀ入出力)に基き、それはﾃﾞｰﾀ入出力に先行してｱﾄﾞﾚｽがﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されていなければならないことを意味します。間接ｱﾄﾞﾚｽ指定はﾎﾟｲﾝﾀ進行と組み合わせることができます。PDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ書き込みに加え、ST命令はﾎﾟｲﾝﾀ ﾚｼﾞｽﾀに書くことができます。例え規約がﾊﾞｲﾄ単位通信に基いていても、ST命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。ﾊﾞｲﾄ、語、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

28.4.5.5. LDCS – PDI制御/状態ﾚｼﾞｽﾀ空間からのﾃﾞｰﾀ取得

LDCS命令はPDI制御/状態ﾚｼﾞｽﾀから直列読み出し用の物理層ｼﾌﾄ ﾚｼﾞｽﾀへﾃﾞｰﾀを取得するのに使用されます。LDCS命令は直接ｱﾄﾞﾚｽ指定と単一ﾊﾞｲﾄ入出力だけを支援します。

28.4.5.6. STCS – PDI制御/状態ﾚｼﾞｽﾀ空間へのﾃﾞｰﾀ格納

STCS命令は物理層のｼﾌﾄ ﾚｼﾞｽﾀ内へ直列でｼﾌﾄ入力してPDI制御/状態ﾚｼﾞｽﾀ内の位置にﾃﾞｰﾀを格納するのに使用されます。STCS命令は直接ｱﾄﾞﾚｽ指定と単一ﾊﾞｲﾄ入出力だけを支援します。

28.4.5.7. KEY – 活性化鍵設定

KEY命令はNVMｲﾝﾀｰﾌｪｰｽを活性(有効)化するのに必要とされる活性化鍵ﾊﾞｲﾄの通信に使用されます。

28.4.5.8. REPEAT – 命令繰り返し計数器設定

REPEAT命令は物理層のｼﾌﾄ ﾚｼﾞｽﾀ内へ直列でｼﾌﾄ入力して繰り返し計数器ﾚｼﾞｽﾀにﾃﾞｰﾀを格納するのに使用されます。REPEAT命令のｵﾍﾟﾗﾝﾄﾞの直後に取得された命令が指定した繰り返し計数器ﾚｼﾞｽﾀ値に対応した回数を繰り返します。故に繰り返し計数器ﾚｼﾞｽﾀ初期値+1が総命令実行回数を与えます。繰り返し計数器ﾚｼﾞｽﾀの0設定は繰り返しなしの後続命令1回動作を行います。

REPEAT命令は繰り返すことができません。KEY命令は繰り返すことができず、繰り返し計数器ﾚｼﾞｽﾀの現在値を無効にします。

28.4.6. 命令一式要約

PDI命令一式要約は図28-10.で示されます。

図28-10. PDI命令一式要約

	指令				A量		D量	
LDS	0	0	0	0	x	x	x	x
STS	0	1	0	0	x	x	x	x
					P種別		A/D量	
LD	0	0	1	0	x	x	x	x
ST	0	1	1	0	x	x	x	x
					CSアドレス			
LDCS	1	0	0	0	x	x	x	x
STCS	1	1	0	0	x	x	x	x
							D量	
REPEAT	1	0	1	0	0	0	x	x
KEY	1	1	1	0	0	0	0	0

指令			
0	0	0	LDS (直接アドレス指定データ取得)
0	0	1	LD (間接アドレス指定データ取得)
0	1	0	STS (直接アドレス指定データ設定)
0	1	1	ST (間接アドレス指定データ設定)
1	0	0	LDCS (LDS 制御/状態レジスタ)
1	0	1	REPEAT (繰り返し指定)
1	1	0	STCS (STS 制御/状態レジスタ)
1	1	1	KEY (NVMインターフェース許可鍵)

A量 (直接アドレス指定時アドレス長)		
0	0	バイト
0	1	語 (2バイト)
1	0	3バイト
1	1	ロング (4バイト)

D量 (データ長)		
0	0	バイト
0	1	語 (2バイト)
1	0	3バイト
1	1	ロング (4バイト)

P種別 (間接アドレス指定時)		
0	0	*(ptr) (ポインタ間接データ)
0	1	*(ptr++) (上記+ポインタ進行)
1	0	ptr (ポインタ レジスタ)
1	1	ptr++ (予約)

CSアドレス (制御/状態レジスタ)																			
0	0	0	0	レジスタ0	0	1	0	0	(予約)	1	0	0	0	(予約)	1	1	0	0	(予約)
0	0	0	1	レジスタ1	0	1	0	1	(予約)	1	0	0	1	(予約)	1	1	0	1	(予約)
0	0	1	0	レジスタ2	0	1	1	0	(予約)	1	0	1	0	(予約)	1	1	1	0	(予約)
0	0	1	1	(予約)	0	1	1	1	(予約)	1	0	1	1	(予約)	1	1	1	1	(予約)

28.5. ﾚｼﾞｽﾀ説明 – PDI命令とｱﾄﾞﾚｽ指定ﾚｼﾞｽﾀ

PDI命令とｱﾄﾞﾚｽ指定のﾚｼﾞｽﾀは全て命令復号とPDIBUSｱﾄﾞﾚｽ指定に利用される内部ﾚｼﾞｽﾀです。これらのﾚｼﾞｽﾀはﾚｼﾞｽﾀ空間でのﾚｼﾞｽﾀとして入出力不能です。

28.5.1. 命令ﾚｼﾞｽﾀ

命令が成功裏に物理層のｼﾌﾄ ﾚｼﾞｽﾀ内へｼﾌﾄされると、それが命令ﾚｼﾞｽﾀに複写されます。命令は別の命令が格納されるまで保持されます。この理由は必要な指令の復号を繰り返し行って同じ命令を多数回実行するために、REPEAT命令が同じ命令を強制するかもしれないからです。

28.5.2. ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ

ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀはPDIBUSｱﾄﾞﾚｽ空間内の位置を指定するｱﾄﾞﾚｽ値の格納に使用されます。直接ﾃﾞｰﾀ入出力の間、ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは命令ﾊﾞｲﾄのｵﾍﾟﾗﾝﾄﾞとして与えられたｱﾄﾞﾚｽ ﾊﾞｲﾄの指定値によって更新されます。間接ﾃﾞｰﾀ入出力の間、その入出力自体に先行して既にﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されているｱﾄﾞﾚｽに基いてｱﾄﾞﾚｽ指定を行います。間接ﾃﾞｰﾀ入出力は他のどのﾚｼﾞｽﾀ入出力もなしでﾎﾟｲﾝﾀ ﾚｼﾞｽﾀの読み書きを可能する任意選択を持ちます。どのﾚｼﾞｽﾀ更新もﾘﾄﾙ ｴﾝﾃﾞｨｱﾝ(下位側優先)形式で実行されます。従って、ｱﾄﾞﾚｽ ﾚｼﾞｽﾀの単一ﾊﾞｲﾄ格納は常にLSB側ﾊﾞｲﾄが更新され、一方MSB側ﾊﾞｲﾄは無変化のままです。

ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀはPDI制御/状態ﾚｼﾞｽﾀ空間(CSRS)内のｱﾄﾞﾚｽ指定ﾚｼﾞｽﾀと無関係です。

28.5.3. 繰り返し計数器ﾚｼﾞｽﾀ

REPEAT命令は繰り返されるべき次の命令回数を定義する1つ以上のｵﾍﾟﾗﾝﾄﾞ ﾊﾞｲﾄを常に伴います。これらのｵﾍﾟﾗﾝﾄﾞ ﾊﾞｲﾄは受信で繰り返し計数器ﾚｼﾞｽﾀ内に複写されます。REPEAT命令とそのｵﾍﾟﾗﾝﾄﾞの直ぐに後続する命令の繰り返し実行の間、繰り返し計数器ﾚｼﾞｽﾀはそれが全ての繰り返し完了を示す0に達するまで減数(-1)されます。繰り返し計数器は鍵受信にも関係します。

28.5.4. ｵﾍﾟﾗﾝﾄﾞ計数ﾚｼﾞｽﾀ

(LDCSとSTCS命令を除く)命令直後、(命令の量部分によって与えられる)指定数のｵﾍﾟﾗﾝﾄﾞまたはﾃﾞｰﾀ ﾊﾞｲﾄが期待されます。ｵﾍﾟﾗﾝﾄﾞ計数ﾚｼﾞｽﾀは何ﾊﾞｲﾄが転送されたかの経過を保持するのに使用されます。

28.6. ﾚｼﾞｽﾀ説明 – PDI制御/状態ﾚｼﾞｽﾀ

PDIの制御と状態のﾚｼﾞｽﾀはLDCSとSTCSの命令を使用して入出力可能なPDI制御/状態ﾚｼﾞｽﾀ空間(CSRS)内のﾚｼﾞｽﾀです。CSRSはPDI自身の形態設定と状態監視に直接関係するﾚｼﾞｽﾀを含みます。

28.6.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	–	NVMEN	–	STATUS
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – NVMEN : 不揮発性ﾒﾓﾘ許可** (Non-Volatile Memory Enable)

この状態ﾋﾞｯﾄは鍵指令がNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽを許可する時に設定(1)されます。外部書き込み器は許可の成功を検証するために、このﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすることができます。NVMENﾋﾞｯﾄ書き込みはNVMｲﾝﾀｰﾌｪｰｽを禁止します。

● **ﾋﾞｯﾄ0 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

28.6.2. RESET – ﾘｾｯﾄ ﾚｼﾞｽﾀ (Reset register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	RESET7～0								RESET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～0 – RESET7～0 : ﾘｾｯﾄ識票** (Reset Signature)

ﾘｾｯﾄ識票($59)がRESETﾚｼﾞｽﾀに書かれると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄを強制されます。ﾃﾞﾊﾞｲｽはRESETﾚｼﾞｽﾀがﾘｾｯﾄ識票と異なるﾃﾞｰﾀ値で書かれるまでﾘｾｯﾄを維持します。LSBﾋﾞｯﾄ読み込みはRESETﾚｼﾞｽﾀ(ﾘｾｯﾄ)の状態を返します。上位7ﾋﾞｯﾄはﾃﾞﾊﾞｲｽがﾘｾｯﾄか否かのどちらかに拘らず常に0を返します。

28.6.3. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	GUARDTIME2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – GUADTIME2~0 : 保護時間** (Guard Time)

これらのﾋﾞｯﾄはPDI送受信方向の変更間に挿入される保護時間のIDLEﾋﾞｯﾄ数を指定します。既定保護時間は128 IDLEﾋﾞｯﾄで、利用可能な設定は**表28-1.**で示されます。通信速度向上のために、保護時間は許容される安全で最低の形態設定にされるべきです。保護時間はTX動作からRX動作への切り換え時に全く挿入されません。

表28-1. 保護時間設定

GUARDTIME2~0	IDLEﾋﾞｯﾄ数
0 0 0	128
0 0 1	64
0 1 0	32
0 1 1	16
1 0 0	8
1 0 1	4
1 1 0	2
1 1 1	2

28.7. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	予約	–	–	–	–	–	–	–	–	
+$02	CTRL	–	–	–	–	–	GUARDTIME2~0			246
+$01	RESET	RESET7~0								245
+$00	STATUS	–	–	–	–	–	–	NVMEN	–	245

29. ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

29.1. 要点

- 以下からの全ﾒﾓﾘ空間への読み書きｱｸｾｽ
  - 外部書き込み器
  - 応用ｿﾌﾄｳｪｱ自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞの支援
  - どの通信ｲﾝﾀｰﾌｪｰｽもﾌﾟﾛｸﾞﾗﾑの両方向転送に使用可能
- 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - 実装時と製造時のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ支援
  - 直列PDIを通したﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 以下に対する独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄでの高い安全性
  - 外部書き込み器ｱｸｾｽ
  - ﾌﾞｰﾄﾛｰﾀﾞ領域ｱｸｾｽ
  - 応用領域ｱｸｾｽ
  - 応用表領域ｱｸｾｽ
- 以下の先頭でのﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽを選択するためのﾘｾｯﾄ ﾋｭｰｽﾞ
  - 応用領域、または
  - ﾌﾞｰﾄﾛｰﾀﾞ領域

29.2. 概要

本項はAtmel AVR XMEGAﾃﾞﾊﾞｲｽ内の不揮発性ﾒﾓﾘ(NVM)のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ方法を記述し、自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方を網羅します。NVMはﾌﾟﾛｸﾞﾗﾑ ﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列と製品識票(校正)列、ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ、ﾃﾞｰﾀ用EEPROMから成ります。実際のﾒﾓﾘ詳細、それらがどう構成されるかと、ﾒﾓﾘをｱｸｾｽするのに使用されるNVM制御器に関するﾚｼﾞｽﾀ記述については15頁の「**ﾒﾓﾘ**」を参照してください。

NVMは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを通す応用ｿﾌﾄｳｪｱと外部書き込み器から読み書きに関してｱｸｾｽすることができます。NVMｱｸｾｽはNVM制御器を通して行われ、ﾌﾗｯｼｭ ﾒﾓﾘに関して、この2つのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ方法は同様です。ﾒﾓﾘ ｱｸｾｽは選択したﾒﾓﾘまたはNVM制御器にｱﾄﾞﾚｽと/またはﾃﾞｰﾀを設定することによって行われ、1式の命令の使用と起動元がNVM制御器に不揮発性ﾒﾓﾘでの特別な作業をさせます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞからは、読み込みだけ可能な製品識票列を除いて、全ﾒﾓﾘ空間が読み書きできます。ﾃﾞﾊﾞｲｽは実装ﾌﾟﾛｸﾞﾗﾐﾝｸﾞができ、PDI物理ｲﾝﾀｰﾌｪｰｽを用いてPDIを通してｱｸｾｽされます。309頁の「**外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」はPDIを詳細に記述します。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援はﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、EEPROMの読み書きと、より安全な設定への施錠ﾋﾞｯﾄ書き込みと、製品識票列とﾋｭｰｽﾞの読み込みをﾃﾞﾊﾞｲｽ内の応用ｿﾌﾄｳｪｱに許します。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時、CPUは停止され、ﾌﾗｯｼｭ操作の完了を待ちます。302頁の「**自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援**」はこれを詳細に記述します。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方について、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ後の内容を検証するためにﾌﾗｯｼｭ ﾒﾓﾘまたはﾌﾗｯｼｭ ﾒﾓﾘの領域でのCRC検査を走行することが可能です。

ﾃﾞﾊﾞｲｽはNVMの読みと/または書きを防ぐために施錠することができます。外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのｱｸｾｽと、ﾌﾞｰﾄﾛｰﾀﾞ領域、応用領域、応用表領域への自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのｱｸｾｽに対して独立した施錠ﾋﾞｯﾄがあります。

29.3. NVM制御器

不揮発性ﾒﾓﾘへのｱｸｾｽはNVM制御器を通して行われます。これは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方に対する共通NVMｲﾝﾀｰﾌｪｰｽで、NVMﾀｲﾐﾝｸﾞとｱｸｾｽ権限を制御してNVMの状態を保持します。より多くの詳細については313頁の「**ﾚｼﾞｽﾀ説明**」を参照してください。

29.4. NVM指令

NVM制御器はNVMで作業を実行するのに使用される1組の指令を持っています。これはNVM指令(CMD)ﾚｼﾞｽﾀへ選択した指令を書くことによって行われます。加えてﾒﾓﾘ読み書き操作についてはﾃﾞｰﾀとｱﾄﾞﾚｽがNVMﾃﾞｰﾀとNVMｱﾄﾞﾚｽのﾚｼﾞｽﾀと読み書きされなければなりません。

操作に関するｱﾄﾞﾚｽとﾃﾞｰﾀが設定され、選択した指令が格納されると、各指令はその操作を開始する起動源を持ちます。それらの起動源に基くものには主に3つの命令形式があります。

29.4.1. 活動起動指令

活動起動指令はNVM制御ﾚｼﾞｽﾀA(CTRLA)で指令実行(CMDEX)ﾋﾞｯﾄが書かれる時に起動されます。活動起動指令は代表的にCRC検査のような、NVM読み書きをしない操作に対して用いられます。

29.4.2. NVM読み込み起動指令

NVM読み込み起動指令はNVMが読まれる時に起動され、これは代表的にNVM読み込み操作に用いられます。

29.4.3. NVM書き込み起動指令

NVM書き込み起動指令はNVMが書かれる時に起動され、これは代表的にNVM書き込み操作に用いられます。

29.4.4. 書き込み/実行保護

殆どの指令起動源は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の不慮の変更/実行から保護されます。これはﾋﾞｯﾄ変更または指令実行のために特別な書き込みや実行の手順を必要とする、形態設定変更保護(CCP)機能を使用して行われます。CCPの詳細については10頁の「**形態設定変更保護**」を参照してください。

29.5. NVM制御器多忙状態

NVM制御器が操作実行中で多忙のとき、NVM状態(STATUS)ﾚｼﾞｽﾀの多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、以下のﾚｼﾞｽﾀが書き込みｱｸｾｽに対して防がれます。

- NVM指令(CMD)ﾚｼﾞｽﾀ
- NVM制御A(CTRLA)ﾚｼﾞｽﾀ
- NVM制御B(CTRLB)ﾚｼﾞｽﾀ
- NVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀ
- NVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀ

これは新しい操作の開始前に与えられた指令が実行されて操作が終了するのを保証します。外部書き込み器または応用ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作で多忙の間にVNMがｱﾄﾞﾚｽ指定されないことを保証しなければなりません。

NVMのどの部分のﾌﾟﾛｸﾞﾗﾐﾝｸﾞも以下のように自動的に防がれます。

- NVMの他の部分への全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ緩衝部の全ての格納/消去
- 外部書き込み器からの全てのNVM読み込み
- 応用領域からの全てのNVM読み込み

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの間は割り込みが禁止されなければならないか、または94頁の「**PMIC – 割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾍﾞｸﾀ表がﾌﾞｰﾄﾛｰﾀﾞ領域へ移動されなければなりません。

29.6. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ緩衝部

ﾌﾗｯｼｭ ﾒﾓﾘはﾍﾟｰｼﾞ単位で更新されます。EEPROMはﾊﾞｲﾄ単位とﾍﾟｰｼﾞ単位で更新することができます。ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ書き込みは最初に関連するﾍﾟｰｼﾞ緩衝部を満たし、そしてﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROM内の選択したﾍﾟｰｼﾞにﾍﾟｰｼﾞ緩衝部全体を書くことによって行われます。

ﾍﾟｰｼﾞとﾍﾟｰｼﾞ緩衝部の容量は各ﾃﾞﾊﾞｲｽでのﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの容量に依存し、ﾍﾟｰｼﾞ容量とﾍﾟｰｼﾞ数の詳細はﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄで記述されます。

29.6.1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部は1語(ﾜｰﾄﾞ)づつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でﾍﾟｰｼﾞ緩衝部が格納される時の結果はﾍﾟｰｼﾞ緩衝部位置の内容と新しい値間の2進でのANDです。ﾍﾟｰｼﾞ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

未格納のﾍﾟｰｼﾞ緩衝部位置は$FFFFの値を持ち、(**訳補**:そのままで書かれたなら、)その後この値が対応するﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ位置に書かれます。

ﾍﾟｰｼﾞ緩衝部は以下の後で自動的に消去されます。

- ﾃﾞﾊﾞｲｽ ﾘｾｯﾄ
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み指令実行
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去&書き込み指令実行
- 識票列書き込み指令実行
- 施錠ﾋﾞｯﾄ書き込み指令実行

29.6.2. EEPROM ﾍﾟｰｼﾞ緩衝部

EEPROMﾍﾟｰｼﾞ緩衝部は1ﾊﾞｲﾄづつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でﾍﾟｰｼﾞ緩衝部が格納される時の結果はﾍﾟｰｼﾞ緩衝部位置の内容と新しい値間の2進でのANDです。EEPROMﾍﾟｰｼﾞ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

格納されたEEPROMﾍﾟｰｼﾞ緩衝部位置はNVM制御器によって付箋付けがなされます。ﾍﾟｰｼﾞ書き込みまたはﾍﾟｰｼﾞ消去の間で目的位置だけが書かれ、または消去されます。目的でない位置は書かれず、または消去されず、対応するEEPROM位置は無変化に留まります。これはEEPROMﾍﾟｰｼﾞ消去(**訳補**:緩衝部ではなくEEPROM自体)前にもそれらに付箋付けするために選択したﾍﾟｰｼﾞ緩衝部位置へﾃﾞｰﾀが格納されなければならないことを意味します。EEPROMﾍﾟｰｼﾞ消去実行時に目的位置の実際の値は問題です。

EEPROMﾍﾟｰｼﾞ緩衝部は以下の後で自動的に消去されます。

- ｼｽﾃﾑ ﾘｾｯﾄ
- EEPROMﾍﾟｰｼﾞ書き込み指令実行
- EEPROMﾍﾟｰｼﾞ消去&書き込み指令実行
- 施錠ﾋﾞｯﾄ書き込みとﾋｭｰｽﾞ書き込み指令実行

29.7. フラッシュ メモリとEEPROMのプログラミング手順

ページ プログラミングに関して、ページ緩衝部を満たすのと、フラッシュ メモリまたはEEPROM内へページ緩衝部を書くのは2つの独立した操作です。この手順は自己プログラミングと外部プログラミングの両方について同じです。

29.7.1. フラッシュ メモリ プログラミング手順

フラッシュ ページ緩衝部のデータでフラッシュ ページを書く前に、フラッシュ ページは消去されなければなりません。未消去フラッシュ ページ書き込みはそのフラッシュ ページ内容を不正にするでしょう。

フラッシュ ページ緩衝部は以下のようにフラッシュ ページ消去操作前、またはフラッシュ ページ消去とフラッシュ ページ書き込みの間のどちらででも満たすことができます。

選択1:

- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ消去を実行してください。
- フラッシュ ページ書き込みを実行してください。

選択2:

- フラッシュ ページ緩衝部を満たしてください。
- 非分断フラッシュ ページ消去&書き込みを実行してください。

選択3: ページ消去後のページ緩衝部満たし

- フラッシュ ページ消去を実行してください。
- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ書き込みを実行してください。

NVM指令一式は非分離消去&書き込み操作と、分離したページ消去とページ書き込み命令の両方を支援します。この分離指令は各指令に対してより短い書き込み時間を可能にし、消去操作は時間が際どくないプログラミング実行の間に行うことができます。**選択3**が使用される場合はページが既に消去されているので、格納中に旧データを読むのは不可能です。**選択1**または**3**を使用する時にページアドレスはページ消去とページ書き込みの両操作に対して同じでなければなりません。

29.7.2. EEPROMプログラミング手順

EEPROMページ緩衝部に格納された付箋付けしたデータ バイト数でEEPROMを書く前に、EEPROMページ内の選択位置は消去されなければなりません。未消去EEPROMページ書き込みはそれの内容を不正にするでしょう。どのページ消去またはページ書き込み操作にも先立って、EEPROMページ緩衝部が格納されなければなりません。

選択1:

- 選択したバイト数でEEPROMページ緩衝部を満たしてください。
- EEPROMページ消去を実行してください。
- EEPROMページ書き込みを実行してください。

選択2:

- 選択したバイト数でEEPROMページ緩衝部を満たしてください。
- EEPROMページ消去&書き込みを実行してください。

29.8. NVMの保護

フラッシュ メモリとEEPROMを読みと/または書きから保護するために、外部書き込み器と応用ソフトウェアからのアクセスを制限するように施錠ビットを設定することができます。利用可能な施錠ビット設定の詳細とそれらの使用法については24頁の「LOCKBITS – 施錠ビット レジスタ」を参照してください。

29.9. NVM化けの防止

VCC電圧がデバイスに対する最低動作電圧未満の間、供給電圧が正しく動作するCPUとフラッシュ メモリに対して低すぎるため、フラッシュ メモリ書き込みの結果は不正になり得ます。フラッシュ メモリのプログラミング手順全体の間に電圧が充分足ることを保証するため、POR閾値(VPOT+)を用いた電圧検出器が許可されます。チップ消去中とPDIが許可される時に低電圧検出器(BOD)がそれの形態設定されたレベルで自動的に許可されます。

プログラミング操作に依存して、それらのVCC電圧レベルのどれかに達したなら、プログラミング手順は直ちに中止されます。これが起きたなら、書き込み手順失敗または部分のみ成功の場合、NVMプログラミングは電力が再び充分になった時に改めて開始されるべきです。

29.10. CRC機能

プログラム用フラッシュ メモリで自動巡回冗長検査(CRC)を走行することが可能です。CRC部署を制御するのにNVMが使用されると、最低フラッシュ範囲動作で偶数のバイト数が読まれます。使用者が奇数のバイト数で範囲を選ぶ場合、追加のバイトが読まれ、チェックサムは選択した範囲に対応しないでしょう。

より多くの詳細については249頁の「CRC – 巡回冗長検査生成器」を参照してください。

29.11. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援

ﾃﾞﾊﾞｲｽ内の応用ｿﾌﾄｳｪｱからのEEPROMとﾌﾗｯｼｭ ﾒﾓﾘの読み書きは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとして参照されます。ﾌﾞｰﾄﾛｰﾀﾞ(ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄﾛｰﾀﾞ領域に配置された応用ｺｰﾄﾞ)はﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、EEPROMの読み書き両方と、もっと安全な設定への施錠ﾋﾞｯﾄ書き込みができます。応用領域内の応用ｺｰﾄﾞはﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、製品識票(校正)列、ﾋｭｰｽﾞの読み込みと、EEPROMの読み書きができます。

29.11.1. ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾞｰﾄﾛｰﾀﾞはｺｰﾄﾞ読み込みとﾌﾗｯｼｭ ﾒﾓﾘへのｺｰﾄﾞ書き込み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｺｰﾄﾞ読み出しのために、利用可能な通信ｲﾝﾀｰﾌｪｰｽと関連する規約のどれでも使用することができます。それはﾌﾞｰﾄﾛｰﾀﾞ領域を含むﾌﾗｯｼｭ ﾒﾓﾘ全体に書く能力を持ちます。従ってﾌﾞｰﾄﾛｰﾀﾞは自身を変更でき、この機能がそれ以上必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘからそれ自身を消去することもできます。

29.11.1.1. 応用領域とﾌﾞｰﾄﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘ内の応用領域とﾌﾞｰﾄﾛｰﾀﾞ領域は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行う時に異なります。

- 応用領域内に配置されたﾍﾟｰｼﾞの消去または書き込み時、ﾌﾞｰﾄﾛｰﾀﾞ領域はその操作中に読めますが、その操作全体でCPUが停止され、ﾌﾞｰﾄﾛｰﾀﾞ領域から実行することはできません。
- ﾌﾞｰﾄﾛｰﾀﾞ領域内に配置されたﾍﾟｰｼﾞの消去または書き込み時、CPUはその操作全体の間、停止され、ｺｰﾄﾞは実行できません。

使用者識票列領域はﾌﾞｰﾄﾛｰﾀﾞ領域と同じ特性を持ちます。

表29-1. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能の要約

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀでｱﾄﾞﾚｽ指定されている領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作
応用領域	ﾌﾞｰﾄﾛｰﾀﾞ領域	停止
ﾌﾞｰﾄﾛｰﾀﾞ領域	なし	停止
使用者識票列領域	なし	停止

29.11.1.2. ﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

読み書きｱｸｾｽに対するﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽを保持するのにZﾎﾟｲﾝﾀが使用されます。Zﾎﾟｲﾝﾀのより多くの詳細については8頁の「X, Y,Zﾚｼﾞｽﾀ」を参照してください。

ﾌﾗｯｼｭ ﾒﾓﾘがﾍﾟｰｼﾞで構成され、語(ﾜｰﾄﾞ)でｱｸｾｽされるため、Zﾎﾟｲﾝﾀは2つの領域を持つように扱うことができます。最下位側ﾋﾞｯﾄはﾍﾟｰｼﾞ内の語をｱﾄﾞﾚｽ指定し、一方最上位側ﾋﾞｯﾄはﾌﾗｯｼｭ ﾒﾓﾘ内のﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは図28-1.で示されます。ﾍﾟｰｼﾞ内の語ｱﾄﾞﾚｽ(FWORD)はZﾎﾟｲﾝﾀ内のﾋﾞｯﾄWORDMSB～1によって保持されます。Zﾎﾟｲﾝﾀ内の残りのﾋﾞｯﾄPAGAMSB～WORDMSB+1はﾌﾗｯｼｭ ﾍﾟｰｼﾞ ｱﾄﾞﾚｽ(FPAGE)を保持します。FPAGEとFWORDを併せて、ﾌﾗｯｼｭ ﾒﾓﾘ内の語への絶対ｱﾄﾞﾚｽを保持します。

ﾌﾗｯｼｭ ﾒﾓﾘ読み込み操作(LPMとELPM)については1度に1ﾊﾞｲﾄが読まれます。これに関して語ｱﾄﾞﾚｽ内の上位ﾊﾞｲﾄと下位ﾊﾞｲﾄを選択するために、Zﾎﾟｲﾝﾀ内の最下位ﾋﾞｯﾄ(ﾋﾞｯﾄ0)が使用されます。このﾋﾞｯﾄが0ならば下位ﾊﾞｲﾄが読まれ、このﾋﾞｯﾄが1ならば上位ﾊﾞｲﾄが読まれます。

FPAGEとFWORDの容量はﾃﾞﾊﾞｲｽのﾌﾗｯｼｭ容量とﾍﾟｰｼﾞ容量に依存します。各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

一旦ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作が開始されると、ｱﾄﾞﾚｽはﾗｯﾁされ、Zﾎﾟｲﾝﾀは更新して他の操作に使用することができます。

図29-1. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対するﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ指定

29.11.2. NVM フラッシュ指令

プログラム用フラッシュ メモリ、使用者識票列、製品識票(校正)列をアクセスするのに使用できるNVM指令が表29-2.で一覧されます。

フラッシュ メモリの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が形態設定変更保護(CCP)によって保護されるかどうかを示します。これは自己プログラミング中に起動源を書く/実行するための特別な手順です。より多くの詳細については11頁の「CCP – 形態設置変更保護レジスタ」を参照してください。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使用されるアドレス ポインタと転送元/転送先データ レジスタを示します。

29.11.2.1.項～254頁の29.11.2.13.項は各NVM操作に対する方法を詳細に説明します。

表29-2. フラッシュ メモリ自己プログラミング指令

CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレス ポインタ	データ レジスタ
$00	NO_OPERATION	無操作/フラッシュ読み込み	-/(E)LPM	-/N	N	-/N	-/Zポインタ	-/Rd
フラッシュ ページ緩衝部								
$23	LOAD_FLASH_BUFFER	フラッシュ ページ緩衝部格納(設定)	SPM	N	N	-/N	Zポインタ	R1:R0
$26	ERASE_FLASH_BUFFER	フラッシュ ページ緩衝部消去	CMDEX	N	Y	Y	Zポインタ	-
フラッシュ メモリ全体								
$2B	ERASE_FLASH_PAGE	フラッシュ ページ消去	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$2E	WRITE_FLASH_PAGE	フラッシュ ページ書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$2F	ERASE_WRITE_FLASH_PAGE	フラッシュ ページ消去&書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$3A	FLASH_RANGE_CRC (注2)	フラッシュ範囲CRC	CMDEX	Y	Y	Y	DATA/ADDR	DATA
応用領域フラッシュ メモリ								
$22	ERASE_APP_PAGE	応用領域ページ消去	SPM	N	Y	Y	Zポインタ	-
$24	WRITE_APP_PAGE	応用領域ページ書き込み	SPM	N	Y	Y	Zポインタ	-
$25	ERASE_WRITE_APP_PAGE	応用領域ページ消去&書き込み	SPM	N	Y	Y	Zポインタ	-
$38	APP_CRC	応用領域CRC	CMDEX	Y	Y	Y	-	DATA
ブートローダ領域フラッシュ メモリ								
$2A	ERASE_BOOT_PAGE	ブートローダ領域ページ消去	SPM	Y	Y	Y	Zポインタ	-
$2C	WRITE_BOOT_PAGE	ブートローダ領域ページ書き込み	SPM	Y	Y	Y	Zポインタ	-
$2D	ERASE_WRITE_BOOT_PAGE	ブートローダ領域ページ消去&書き込み	SPM	Y	Y	Y	Zポインタ	-
$39	BOOT_CRC	ブートローダ領域CRC	CMDEX	Y	Y	Y	-	DATA
使用者識票列								
$01(注3)	READ_USER_SIG_ROW	使用者識票列読み込み	LPM	N	N	N	Zポインタ	Rd
$18	ERASE_USER_SIG_ROW	使用者識票列消去	SPM	Y	Y	Y	-	-
$1A	WRITE_USER_SIG_ROW	使用者識票列書き込み	SPM	Y	Y	Y	-	-
製品識票(校正)列 (注4)								
$02(注3)	READ_CALIB_ROW	校正列読み込み	LPM	N	N	N	Zポインタ	Rd

注1: 実際にアドレス指定されるフラッシュ領域(応用またはブートローダ)に依存します。

注2: この指令は施錠ビットで制限され、ブート施錠ビットが非プログラム(1)であることを必要とします。

注3: LPM命令の通常の動きを変える指令(READ_USER_SIG_ROWとREAD_CALIB_ROW)の使用時、LPM命令の正しい実行を保証するために割り込みを禁止することが推奨されます。

注4: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。

29.11.2.1. フラッシュ読み込み

フラッシュ メモリから1バイトを読むのに(E)LPM命令が使用されます。

1. 読むバイト アドレスをZポインタに格納してください。
2. 無操作指令をNVM指令(CMD)レジスタに格納してください。
3. (E)LPM命令を実行してください。

転送先レジスタは(E)LPM命令の実行中に格納されます。

29.11.2.2. フラッシュ ページ緩衝部消去

フラッシュ ページ緩衝部を消去するのにフラッシュ ページ緩衝部消去指令が使用されます。

1. フラッシュ ページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください(これは自己プログラミング中にCCP時間手順を必要とします)。

ページ緩衝部が消去されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

29.11.2.3. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納(設定)

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部内に1語(ﾜｰﾄﾞ)のﾃﾞｰﾀを格納するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納指令が使用されます。

1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. 書く語ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。
3. R1:R0ﾚｼﾞｽﾀに書かれるべきﾃﾞｰﾀ語を格納してください。
4. SPM命令を実行してください。SPM命令はﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時に保護されません。

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部全体が格納されるまで手順2.～4.を繰り返してください。未格納(未設定)位置は$FFFFの値を持ちます。

29.11.2.4. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去

ﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞを消去するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去指令が使用されます。

1. 消去するﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

29.11.2.5. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み

ﾌﾗｯｼｭ ﾒﾓﾘの1ﾍﾟｰｼﾞ内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み指令が使用されます。

1. 書くﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この書き込み操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

29.11.2.6. ﾌﾗｯｼｭ範囲CRC

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ後にﾌﾗｯｼｭ ﾒﾓﾘのｱﾄﾞﾚｽ範囲内の内容を検証するのにﾌﾗｯｼｭ範囲CRC指令が使用されます。

1. ﾌﾗｯｼｭ範囲CRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに開始ﾊﾞｲﾄ ｱﾄﾞﾚｽを格納してください。
3. NVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀに終了ﾊﾞｲﾄ ｱﾄﾞﾚｽを格納してください。
4. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

ﾌﾗｯｼｭ範囲CRCを使用するには、全てのﾌﾞｰﾄ施錠ﾋﾞｯﾄが非ﾌﾟﾛｸﾞﾗﾑ(1,無施錠)にされなければなりません。ｱｸｾｽされる位置に対するﾌﾞｰﾄ施錠ﾋﾞｯﾄが(11以外に)設定されている場合、指令実行は失敗中止にされます。

29.11.2.7. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 ﾍﾟｰｼﾞ消去

応用領域またはﾌﾞｰﾄﾛｰﾀﾞ領域内の1ﾍﾟｰｼﾞを消去するのに応用領域ﾍﾟｰｼﾞ消去とﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去指令が使用されます。

1. 消去するﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. 応用領域ﾍﾟｰｼﾞ消去/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

Zﾎﾟｲﾝﾀの無効ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはNVM指令を失敗中止にします。応用領域ﾍﾟｰｼﾞ消去指令は応用領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とし、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去指令はﾌﾞｰﾄﾛｰﾀﾞ領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とします。(訳注:共通性から前2行追加)

29.11.2.8. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 ﾍﾟｰｼﾞ書き込み

応用領域またはﾌﾞｰﾄﾛｰﾀﾞ領域の1ﾍﾟｰｼﾞ内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ書き込みとﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令が使用されます。

1. 書くﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. 応用領域ﾍﾟｰｼﾞ書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

Zﾎﾟｲﾝﾀの無効ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはNVM指令を失敗中止にします。応用領域ﾍﾟｰｼﾞ書き込み指令は応用領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とし、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令はﾌﾞｰﾄﾛｰﾀﾞ領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とします。

29.11.2.9. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 ﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、応用領域またはﾌﾞｰﾄﾛｰﾀﾞ領域内の1ﾍﾟｰｼﾞを消去し、そしてそのﾍﾟｰｼﾞ内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ消去&書き込みとﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令が使用されます。

1. 書くﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. 応用領域ﾍﾟｰｼﾞ消去&書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

Zﾎﾟｲﾝﾀの無効ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはNVM指令を失敗中止にします。応用領域ﾍﾟｰｼﾞ消去&書き込み指令は応用領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とし、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令はﾌﾞｰﾄﾛｰﾀﾞ領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とします。

29.11.2.10. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ後に応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域の内容を検証するのに応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令が使用されます。

1. 応用領域CRC/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

CRC指令実行の間、NVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、CPUは停止されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になるでしょう。

29.11.2.11. 使用者識票列消去

使用者識票列を消去するのに使用者識票列消去指令が使用されます。

1. 使用者識票列消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、CPUは停止されます。使用者識票列はNRWWです。

29.11.2.12. 使用者識票列書き込み

使用者識票列内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに使用者識票列書き込み指令が使用されます。

1. 使用者識票列書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、この指令実行の間、CPUは停止されます。指令実行の間の書き込み操作後にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部が解除されますが、CPUはこの段階中、停止されません。

29.11.2.13. 使用者識票列/製品識票列 読み込み

使用者識票列または製品識票(校正)列から1ﾊﾞｲﾄを読むのに使用者識票列/製品識票(校正)列読み込み指令が使用されます。

1. 読むﾊﾞｲﾄ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。
2. 使用者識票列読み込み/製品識票(校正)列読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. LPM命令を実行してください。

転送先ﾚｼﾞｽﾀはLPM命令実行の間に格納されます。

ﾌﾗｯｼｭ読み込みに対してLPMが正しく実行されることを保証するため、それらの指令のどれかを使用する間、割り込みを禁止することが勧告されます。

29.11.3. NVM ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ指令

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄをｱｸｾｽするのに使用できるNVM指令が表29-3.で一覧されます。

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に形態設定変更保護(CCP)によって保護されるかどうかを示します。右端側2列はｱﾄﾞﾚｽ指定に使用されるｱﾄﾞﾚｽ ﾎﾟｲﾝﾀと転送元/転送先ﾃﾞｰﾀ ﾚｼﾞｽﾀを示します。

29.11.3.1.項～29.11.3.2.項は各NVM操作に対する方法を詳細に説明します。

表29-3. ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ指令

CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ	ﾃﾞｰﾀ ﾚｼﾞｽﾀ
$00	NO_OPERATION	無操作	-	-	-	-	-	-
ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ								
$07	READ_FUSES	ﾋｭｰｽﾞ読み込み	CMDEX	N	Y	N	ADDR	DATA
$08	WRITE_LOCK_BITS	施錠ﾋﾞｯﾄ書き込み	CMDEX	N	Y	Y	ADDR	-

29.11.3.1. 施錠ﾋﾞｯﾄ書き込み

ｿﾌﾄｳｪｱからﾌﾞｰﾄ施錠ﾋﾞｯﾄをもっと安全な設定にﾌﾟﾛｸﾞﾗﾐﾝｸﾞするのに施錠ﾋﾞｯﾄ書き込み指令が使用されます。

1. 新しい施錠ﾋﾞｯﾄ値をNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀに格納してください。
2. 施錠ﾋﾞｯﾄ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

この指令はﾌﾞｰﾄﾛｰﾀﾞ領域と応用領域の両方から実行することができます。施錠ﾋﾞｯﾄが書かれる時にEEPROMとﾌﾗｯｼｭのﾍﾟｰｼﾞ緩衝部が自動的に消去されます。

29.11.3.2. ﾋｭｰｽﾞ読み込み

ｿﾌﾄｳｪｱからﾋｭｰｽﾞを読むのにﾋｭｰｽﾞ読み込み指令が使用されます。

1. 読むﾋｭｰｽﾞ ﾊﾞｲﾄへのｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
2. ﾋｭｰｽﾞ読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

結果はNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀで利用可能になります。この指令の完全な実行の間、CPUは停止されます。

29.11.4. EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

EEPROMはﾌﾗｯｼｭ ﾒﾓﾘのどの部分の応用ｺｰﾄﾞからでも読み書きすることができます。それはﾊﾞｲﾄとﾍﾟｰｼﾞの両方でｱｸｾｽ可能です。これは1度に1ﾊﾞｲﾄまたは1ﾍﾟｰｼﾞのどちらでもEEPROMに書けることを意味します。読み込みではEEPROMから1ﾊﾞｲﾄが読まれます。

29.11.4.1. EEPROMのｱﾄﾞﾚｽ指定

EEPROMはSRAMと同様にｱｸｾｽされるﾃﾞｰﾀ ﾒﾓﾘ空間内にﾒﾓﾘ割り当てされます。

EEPROMﾍﾟｰｼﾞ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対して、ADDRﾚｼﾞｽﾀは2つの領域を持つように扱うことができます。最下位側ﾋﾞｯﾄはﾍﾟｰｼﾞ内のﾊﾞｲﾄをｱﾄﾞﾚｽ指定し、一方最上位側ﾋﾞｯﾄはEEPROM内のﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは**図29-2.**で示されます。ﾍﾟｰｼﾞ内のﾊﾞｲﾄ ｱﾄﾞﾚｽ(E2BYTE)はADDRﾚｼﾞｽﾀ内のﾋﾞｯﾄBYTEMSB～0によって保持されます。ADDRﾚｼﾞｽﾀ内の残りのﾋﾞｯﾄPAGAMSB～BYTEMSB+1はEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽ(E2PAGE)を保持します。E2PAGEとE2BYTEを併せて、EEPROM内のﾊﾞｲﾄへの絶対ｱﾄﾞﾚｽを保持します。E2PAGEとE2BYTEの容量はﾃﾞﾊﾞｲｽのEEPROM容量とﾍﾟｰｼﾞ容量に依存します。この詳細については各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

図29-2. EEPROMのｱﾄﾞﾚｽ指定

EEPROMﾍﾟｰｼﾞ緩衝部内へのﾊﾞｲﾄ ﾃﾞｰﾀ格納は直接または間接の格納(設定)命令を通して実行することができます。ﾍﾟｰｼﾞ緩衝部内の位置を決めるのにEEPROMｱﾄﾞﾚｽの最下位側ﾋﾞｯﾄだけが使用されますが、正しいｱﾄﾞﾚｽ割り当てを保証するために完全なﾒﾓﾘ割り当てEEPROMｱﾄﾞﾚｽが常に必要とされます。EEPROMからの読み込みは直接または間接の格納 (設定)命令を使用して直接的に行うことができます。EEPROMﾍﾟｰｼﾞ緩衝部格納操作が実行されると、CPUは次の命令が実行されるのに先立って2周期停止されます。

29.11.5. NVM EEPROM指令

NVM制御器を通してEEPROMをｱｸｾｽするのに使用できるNVM EEPROM指令が**表29-4.**で一覧されます。

EEPROMの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令と書き込み起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令はNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀを読むことによって起動されます。

(表の)変更保護列は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に起動源が形態設定変更保護(CCP)によって保護されるかどうかを示します。これは起動源を書く/実行するのに時間手順を必要とします。外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞにCCPは必要とされません。右端側2列はｱﾄﾞﾚｽ指定に使用されるｱﾄﾞﾚｽ ﾎﾟｲﾝﾀと転送元/転送先ﾃﾞｰﾀ ﾚｼﾞｽﾀを示します。

29.11.5.1.項～次頁の**29.11.5.7.**項は各EEPROM操作に対する方法を詳細に説明します。

表29-4. EEPROM自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令

CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ	ﾃﾞｰﾀ ﾚｼﾞｽﾀ
$00	NO_OPERATION	無操作	–	–	–	–	–	–
EEPROM ﾍﾟｰｼﾞ緩衝部								
$36	ERASE_EEPROM_BUFFER	EEPROMﾍﾟｰｼﾞ緩衝部消去	CMDEX	N	Y	Y	–	–
EEPROM								
$32	ERASE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ消去	CMDEX	N	Y	Y	ADDR	–
$34	WRITE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ書き込み	CMDEX	N	Y	Y	ADDR	–
$35	ERASE_WRITE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ消去&書き込み	CMDEX	N	Y	Y	ADDR	–
$39	ERASE_EEPROM	EEPROM消去	CMDEX	N	Y	Y	–	–

29.11.5.1. EEPROMﾍﾟｰｼﾞ緩衝部格納(設定)

EEPROMﾍﾟｰｼﾞ緩衝部内に格納(設定)するには、直接または間接の格納命令を用いてﾍﾟｰｼﾞ緩衝部内に任意のﾊﾞｲﾄ数が格納されるまで繰り返されなければなりません。

29.11.5.2. EEPROMﾍﾟｰｼﾞ緩衝部消去

EEPROMﾍﾟｰｼﾞ緩衝部を消去するのにEEPROMﾍﾟｰｼﾞ緩衝部消去指令が使用されます。

1. EEPROMﾍﾟｰｼﾞ緩衝部消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.11.5.3. EEPROMﾍﾟｰｼﾞ消去

1つのEEPROMﾍﾟｰｼﾞを消去するのにEEPROMﾍﾟｰｼﾞ消去指令が使用されます。

1. EEPROMﾍﾟｰｼﾞ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 消去するEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

このﾍﾟｰｼﾞ消去指令はEEPROMﾍﾟｰｼﾞ緩衝部に於いて格納されて付箋付けされた位置だけを消去します。

29.11.5.4. EEPROMﾍﾟｰｼﾞ書き込み

EEPROMの1ﾍﾟｰｼﾞ内にEEPROMﾍﾟｰｼﾞ緩衝部に格納された全位置を書くのにEEPROMﾍﾟｰｼﾞ書き込み指令が使用されます。

1. EEPROMﾍﾟｰｼﾞ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 書くEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.11.5.5. EEPROMﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、最初にEEPROMﾍﾟｰｼﾞを消去してEEPROMの1ﾍﾟｰｼﾞ内にEEPROMﾍﾟｰｼﾞ緩衝部を書くのにEEPROMﾍﾟｰｼﾞ消去&書き込み指令が使用されます。

1. EEPROMﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 書くEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.11.5.6. EEPROM消去

EEPROMﾍﾟｰｼﾞ緩衝部に格納されて付箋付けされた位置に対応する全EEPROMﾍﾟｰｼﾞ内の全位置を消去するのにEEPROM消去指令が使用されます。

1. EEPROM消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.11.5.7. EEPROM読み込み

EEPROMから1ﾊﾞｲﾄを読むのに直接または間接の取得命令が用いられなければなりません。

29.12. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは外部の書き込み器またはﾃﾞﾊﾞｯｶﾞからﾃﾞﾊﾞｲｽ内のｺｰﾄﾞと不揮発性ﾃﾞｰﾀをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするための方法です。これは実装(実装書き込み)で、または大量生産ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方によって行うことができます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対して、ﾃﾞﾊﾞｲｽはPDI物理接続を使用し、PDIとPDI制御器を通してｱｸｾｽされます。PDIの詳細と物理ｲﾝﾀｰﾌｪｰｽの許可と使用法ついては291頁の「PDI – ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ」を参照してください。本項の残り部分はPDIへの正しい物理接続が許可されているとの前提です。

これを行うことでﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘ空間の全てが直線的なPDIﾒﾓﾘ空間に割り当てられます。図29-3.はPDIﾒﾓﾘ空間とﾃﾞﾊﾞｲｽ内の各ﾒﾓﾘ空間に対する基準ｱﾄﾞﾚｽを示します。

図29-3. ﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘのPDIｱｸｾｽ用ﾒﾓﾘ割り当て

29.12.1. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ インﾀｰﾌｪｰｽの許可

PDIからのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞは以下の手順を用いる許可が必要です。

1. $59をPDIのﾘｾｯﾄ(RESET)ﾚｼﾞｽﾀに格納してください。
2. PDIにNVM鍵を格納してください。
3. NVM許可(NVMEN)が設定(1)されるまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVMENをﾎﾟｰﾘﾝｸﾞしてください。

PDI状態ﾚｼﾞｽﾀのNVMENﾋﾞｯﾄが設定(1)されると、NVMｲﾝﾀｰﾌｪｰｽはPDIから許可され、活性(有効)です。

29.12.2. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

PDI NVMｲﾝﾀｰﾌｪｰｽが許可されると、ﾃﾞﾊﾞｲｽ内の全てのﾒﾓﾘがPDIｱﾄﾞﾚｽ空間にﾒﾓﾘ割り当てされます。PDI制御器はVNM制御器のｱﾄﾞﾚｽやﾃﾞｰﾀのﾚｼﾞｽﾀのｱｸｾｽが必要ありませんが、NVM制御器は正しい指令を格納されなければなりません(換言すると、どれかのNVMから読むには、PDIBUSｱﾄﾞﾚｽ空間からﾃﾞｰﾀを取得する前に制御器がNVM読み込み指令を格納されなければなりません)。本項の残り部分でのPDIからのﾃﾞｰﾀまたはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽの読み書きへの全ての参照については、309頁の**図29-3.**で示されるﾒﾓﾘ割り当てを参照してください。

PDIはﾊﾞｲﾄ ｱﾄﾞﾚｽ指定を使用し、従って全てのﾒﾓﾘ ｱﾄﾞﾚｽはﾊﾞｲﾄ ｱﾄﾞﾚｽでなければなりません。ﾌﾗｯｼｭまたはEEPROMのﾍﾟｰｼﾞ緩衝部を満たす時に、ﾍﾟｰｼﾞ緩衝部内の位置を決めるのにｱﾄﾞﾚｽの最下位側だけが使用されます。それでも、正しいｱﾄﾞﾚｽ割り当てを保証するために、ﾌﾗｯｼｭまたはEEPROMのﾍﾟｰｼﾞに対して完全なﾒﾓﾘ割り当てｱﾄﾞﾚｽが必要とされます。使用者はﾍﾟｰｼﾞ緩衝部の取得と書き込みの両方に関し、ﾍﾟｰｼﾞ境界に注意を払わなければなりません。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中でNVMが多忙の時に、NVMが読み込みに対して防がれます。

29.12.3. NVM指令

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞからNVMﾒﾓﾘをｱｸｾｽするのに使用できるNVM指令が次頁の**表29-5.**で一覧されます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令はPDIからの直接または間接の取得(LDSまたはLD)命令によって起動されます(PDI読み)。書き込み起動指令はPDIからの直接または間接の格納(STSまたはST)命令によって起動されます(PDI書き)。

312頁の「**ﾁｯﾌﾟ消去**」～313頁の「**ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ書き込み**」は各NVM操作に対する方法を詳細に説明します。指令は施錠ﾋﾞｯﾄによって保護されており、読み書き施錠が設定されている場合、ﾁｯﾌﾟ消去とﾌﾗｯｼｭCRC指令だけが利用可能です。

表29-5. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞで利用可能なNVM指令

CMD6~0	指令/操作	起動源	NVM多忙	変更保護
$00	無操作	-	-	-
$40	ﾁｯﾌﾟ消去 (注1)	CMDEX	Y	Y
$43	NVM読み込み	PDI読み	N	N
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部				
$23	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納(設定)	PDI書き	N	N
$26	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去	CMDEX	Y	Y
ﾌﾗｯｼｭ ﾒﾓﾘ全体				
$2B	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$2E	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$2F	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$78	ﾌﾗｯｼｭ CRC	CMDEX	Y	Y
応用領域ﾌﾗｯｼｭ ﾒﾓﾘ				
$20	応用領域消去	PDI書き	Y	N
$22	応用領域ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$24	応用領域ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$25	応用領域ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$38	応用領域 CRC	CMDEX	Y	Y
ﾌﾞｰﾄﾛｰﾀﾞ領域ﾌﾗｯｼｭ ﾒﾓﾘ				
$68	ﾌﾞｰﾄﾛｰﾀﾞ領域消去	PDI書き	Y	N
$2A	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$2C	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$2D	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$39	ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC	CMDEX	Y	Y
製品識票(校正)領域(注2)と使用者識票領域				
$01	使用者識票列読み込み	PDI読み	N	N
$18	使用者識票列消去	PDI書き	Y	N
$1A	使用者識票列書き込み	PDI書き	Y	N
$02	校正列読み込み	PDI読み	N	N
ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ				
$07	ﾋｭｰｽﾞ読み込み	PDI読み	N	N
$4C	ﾋｭｰｽﾞ書き込み	PDI書き	Y	N
$08	施錠ﾋﾞｯﾄ書き込み	PDI書き/CMDEX	Y	N/Y
EEPROM ﾍﾟｰｼﾞ緩衝部				
$33	EEPROM ﾍﾟｰｼﾞ緩衝部格納(設定)	PDI書き	N	N
$36	EEPROM ﾍﾟｰｼﾞ緩衝部消去	CMDEX	Y	Y
EEPROM				
$30	EEPROM消去	PDI書き	Y	N
$32	EEPROMﾍﾟｰｼﾞ消去	PDI書き	Y	N
$34	EEPROMﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$35	EEPROMﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$06	EEPROM読み込み	PDI読み	N	N

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMはﾁｯﾌﾟ消去の間、保護されます。

注2: 一貫性のため、名称の校正列はﾃﾞｰﾀｼｰﾄ全体を通して製品識票列に改名されています。

29.12.3.1. ﾁｯﾌﾟ消去

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、施錠ﾋﾞｯﾄを消去するのにﾁｯﾌﾟ消去指令が使用されます。EEPROMの消去はEESAVEﾋｭｰｽﾞ設定に依存し、この詳細については23頁の「FUSEBYTE5-ﾋｭｰｽﾞ ﾊﾞｲﾄ5」を参照してください。使用者識票列、製品識票(校正)列、それとﾋｭｰｽﾞは影響を及ぼされません。

1. ﾁｯﾌﾟ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性ﾒﾓﾘ(NVM)間のPDIﾊﾞｽは禁止され、この操作が終了するまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVM許可(NVMEN)ﾋﾞｯﾄが解除(0)されます。NVMENﾋﾞｯﾄが設定(1)されるまでﾎﾟｰﾘﾝｸﾞしてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.2. NVM読み込み

ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、識票列、製品識票(校正)列を読むのにNVM読み込み指令が使用されます。

1. NVM読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI読み込み操作を実行することによって選択したﾒﾓﾘ ｱﾄﾞﾚｽを読んでください。

専用のEEPROM読み込み、ﾋｭｰｽﾞ読み込み、識票列読み込み、製品識票(校正)列読み込み指令も各種ﾒﾓﾘ領域に対して利用可能です。これらの指令に対する方法はNVM読み込み指令に対するものと同じです。

29.12.3.3. ﾍﾟｰｼﾞ緩衝部消去

ﾌﾗｯｼｭとEEPROMのﾍﾟｰｼﾞ緩衝部を消去するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去とEEPROMﾍﾟｰｼﾞ緩衝部消去指令が使用されます。

1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去/EEPROMﾍﾟｰｼﾞ緩衝部消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.4. ﾍﾟｰｼﾞ緩衝部格納(設定)

ﾌﾗｯｼｭとEEPROMのﾍﾟｰｼﾞ緩衝部内に1ﾊﾞｲﾄのﾃﾞｰﾀを格納するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納とEEPROMﾍﾟｰｼﾞ緩衝部格納指令が使用されます。

1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納/EEPROMﾍﾟｰｼﾞ緩衝部格納指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI書き込み操作を行うことによって選択したﾒﾓﾘ ｱﾄﾞﾚｽに書いてください。

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部は語(ﾜｰﾄﾞ)ｱｸｾｽで、PDIがﾊﾞｲﾄ ｱｸｾｽを使用するので、PDIは正しい順序でﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部に書かなければなりません。書き込み操作については語の下位ﾊﾞｲﾄが上位ﾊﾞｲﾄに先立って書かれなければなりません。この下位ﾊﾞｲﾄは一時ﾚｼﾞｽﾀ内に書かれます。そしてPDIが語位置の上位ﾊﾞｲﾄを書くのと同じｸﾛｯｸ周期で、この下位ﾊﾞｲﾄがﾍﾟｰｼﾞ緩衝部の語位置に書かれます。

PDIは次のPDI命令を実行できるようになるのに先立って自動的に停止されます。

29.12.3.5. ﾍﾟｰｼﾞ消去

選択したﾒﾓﾘ空間の内の1ﾍﾟｰｼﾞを消去するのに応用領域ﾍﾟｰｼﾞ消去、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去、EEPROMﾍﾟｰｼﾞ消去、使用者識票列消去指令が使用されます。

1. 応用領域ﾍﾟｰｼﾞ消去/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去/EEPROMﾍﾟｰｼﾞ消去/使用者識票列消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.6. ﾍﾟｰｼﾞ書き込み

選択したﾒﾓﾘ空間内に格納(設定)されたﾌﾗｯｼｭ/EEPROM ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ書き込み、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み、EEPROMﾍﾟｰｼﾞ書き込み、使用者識票列書き込み指令が使用されます。

1. 応用領域ﾍﾟｰｼﾞ書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み/EEPROMﾍﾟｰｼﾞ書き込み/使用者識票列書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択ﾍﾟｰｼﾞを書いてください。ﾍﾟｰｼﾞはﾍﾟｰｼﾞ内の何処かのﾊﾞｲﾄ位置をｱﾄﾞﾚｽ指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.7. ﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、選択したﾒﾓﾘ空間に於いて1ﾍﾟｰｼﾞを消去してその後にそのﾍﾟｰｼﾞ内にﾌﾗｯｼｭ/EEPROMﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ消去&書き込み、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み、EEPROMﾍﾟｰｼﾞ消去&書き込み指令が使用されます。

1. 応用領域ﾍﾟｰｼﾞ消去&書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み/EEPROMﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択ﾍﾟｰｼﾞを書いてください。ﾍﾟｰｼﾞはﾍﾟｰｼﾞ内の何処かのﾊﾞｲﾄ位置をｱﾄﾞﾚｽ指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.8. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域/EEPROM消去

選択した領域全体を消去するのに応用領域消去、ﾌﾞｰﾄﾛｰﾀﾞ領域消去、EEPROM消去指令が使用されます。

1. 応用領域消去/ﾌﾞｰﾄﾛｰﾀﾞ領域消去/EEPROM消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択したﾒﾓﾘ領域を書いてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

29.12.3.9. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)後に選択した領域内容を検証するのに応用領域CRCとﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令が使用されます。

1. 応用領域CRC/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間制限手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になります。

29.12.3.10. ﾌﾗｯｼｭ CRC

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)後にﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの内容を検証するのにﾌﾗｯｼｭCRC指令が使用されます。

1. ﾌﾗｯｼｭCRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間制限手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性ﾒﾓﾘ(NVM)間のPDIﾊﾞｽは禁止され、この操作が終了するまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVM許可(NVMEN)ﾋﾞｯﾄが解除(0)されます。PDIﾊﾞｽの許可を示すNVMENﾋﾞｯﾄが再び設定(1)されるまでﾎﾟｰﾘﾝｸﾞしてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になります。

29.12.3.11. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ書き込み

ﾋｭｰｽﾞともっと安全な設定へ施錠ﾋﾞｯﾄを書くのにﾋｭｰｽﾞ書き込みと施錠ﾋﾞｯﾄ書き込み指令が使用されます。

1. ﾋｭｰｽﾞ書き込み/施錠ﾋﾞｯﾄ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI書き込み操作を行うことによって選択したﾋｭｰｽﾞまたは施錠ﾋﾞｯﾄを書いてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

施錠ﾋﾞｯﾄ書き込みに関しては(CMDEX起動の)施錠ﾋﾞｯﾄ書き込み指令も使用できます。

29.13. ﾚｼﾞｽﾀ説明

NVM制御器の完全なﾚｼﾞｽﾀ記述については19頁の「**ﾚｼﾞｽﾀ説明 – NVM制御器**」を参照してください。

PDIの完全なﾚｼﾞｽﾀ記述については297頁の「**ﾚｼﾞｽﾀ説明 – PDI制御/状態ﾚｼﾞｽﾀ**」を参照してください。

29.14. ﾚｼﾞｽﾀ要約

NVM制御器の完全なﾚｼﾞｽﾀ要約については34頁の「**ﾚｼﾞｽﾀ要約 – NVM制御器**」を参照してください。

PDIの完全なﾚｼﾞｽﾀ要約については298頁の「**ﾚｼﾞｽﾀ要約**」を参照してください。

30. 周辺機能部署ｱﾄﾞﾚｽ割り当て

ｱﾄﾞﾚｽ割り当て表はXMEGA内の各周辺機能と部署に対する基準ｱﾄﾞﾚｽを示します。全てのXMEGAﾃﾞﾊﾞｲｽに全ての周辺機能と部署が存在する訳ではなく、特定ﾃﾞﾊﾞｲｽに対する周辺機能部署ｱﾄﾞﾚｽ割り当てについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表30-1. 周辺機能部署ｱﾄﾞﾚｽ割り当て

基準ｱﾄﾞﾚｽ	名称	意味	頁	基準ｱﾄﾞﾚｽ	名称	意味	頁
$0000	GPIO	汎用I/Oﾚｼﾞｽﾀ	36	$0300	DACA	ﾎﾟｰﾄAのD/A変換器	283
$0010	VPORT0	仮想ﾎﾟｰﾄ0	113	$0380	ACA	ﾎﾟｰﾄAのｱﾅﾛｸﾞ比較器	290
$0014	VPORT1	仮想ﾎﾟｰﾄ1		$0400	RTC	実時間計数器	166
$0018	VPORT2	仮想ﾎﾟｰﾄ2		$0480	XCL	XMEGA注文論理回路	242
$001C	VPORT3	仮想ﾎﾟｰﾄ3		$0480	TWIC	ﾎﾟｰﾄCの2線ｲﾝﾀｰﾌｪｰｽ	185
$0030	CPU	CPU	14	$0600	PORTA	ﾎﾟｰﾄA	112
$0040	CLK	ｸﾛｯｸ制御	79	$0640	PORTC	ﾎﾟｰﾄC	
$0048	SLEEP	休止制御器	85	$0660	PORTD	ﾎﾟｰﾄD	
$0050	OSC	発振器制御	79	$07E0	PORTR	ﾎﾟｰﾄR	
$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	79	$0800	TCC4	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ4	138
$0070	PR	電力削減	85	$0840	TCC5	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ5	
$0078	RST	ﾘｾｯﾄ制御器	89	$0880	FAULT4	ﾀｲﾏ/ｶｳﾝﾀ4の障害拡張	160
$0080	WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ	93	$0890	FAULT5	ﾀｲﾏ/ｶｳﾝﾀ5の障害拡張	
$0090	MCU	MCU制御	36	$08A0	WEXC	ﾎﾟｰﾄCの波形拡張	147
$00A0	PMIC	設定可能な多段割り込み制御器	98	$08B0	HIRESC	ﾎﾟｰﾄCの高分解能拡張	149
$00B0	PORTCFG	ﾎﾟｰﾄ形態設定	112	$08C0	USARTC0	ﾎﾟｰﾄCのUSART0	217
$00D0	CRC	CRC部署	253	$08E0	SPIC	ﾎﾟｰﾄCの直列周辺ｲﾝﾀｰﾌｪｰｽ	198
$0100	EDMA	EDMA制御器	55	$08F8	IRCOM	赤外線通信部署	220
$0180	EVSYS	事象ｼｽﾃﾑ	65	$0940	TCD5	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ5	138
$01C0	NVM	不揮発性ﾒﾓﾘ(NVM)制御器	34	$09C0	USARTD0	ﾎﾟｰﾄDのUSART0	217
$0200	ADCA	ﾎﾟｰﾄAのA/D変換器	274				

31. 命令一式要約 (1/3)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
算術、論理演算命令					
ADD	Rd,Rr	汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長加算	RdH:RdL ← RdH:RdL + K	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用ﾚｼﾞｽﾀから即値の減算	Rd ← Rd - K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長減算	RdH:RdL ← RdH:RdL - K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr - C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用ﾚｼﾞｽﾀからｷｬﾘｰと即値の減算	Rd ← Rd - K - C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF - Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ解除(0)	Rd ← Rd AND ($FF - K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用ﾚｼﾞｽﾀの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用ﾚｼﾞｽﾀの減少(-1)	Rd ← Rd - 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用ﾚｼﾞｽﾀのｾﾞﾛとﾏｲﾅｽ検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用ﾚｼﾞｽﾀの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用ﾚｼﾞｽﾀの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	ﾃﾞｰﾀ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zﾚｼﾞｽﾀ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zﾚｼﾞｽﾀ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← EIND:Z	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		ｻﾌﾞﾙｰﾁﾝからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用ﾚｼﾞｽﾀ間比較、一致でｽｷｯﾌﾟ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用ﾚｼﾞｽﾀと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	ｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	ｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(ﾏｲﾅｽ)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(ﾌﾟﾗｽ)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時ﾌﾗｸﾞが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時ﾌﾗｸﾞが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れﾌﾗｸﾞが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れﾌﾗｸﾞが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

命令一覧 (2/3)

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		ﾌﾟﾛｸﾞﾗﾑ領域から拡張Zﾚｼﾞｽﾀ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	(Z) ← R1:R0, RAMPZ:Z ← RAMPZ:Z + 2	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	Temp←Rd, Rd←(Z), (Z)←Temp	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ﾋﾞｯﾄ設定(1)	Temp←Rd, Rd←(Z), (Z)←Temp OR (Z)	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ﾋﾞｯﾄ解除(0)	Temp←Rd, Rd←(Z), (Z)←($FF-Temp) AND (Z)	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ﾋﾞｯﾄ反転	Temp←Rd, Rd←(Z), (Z)←Temp EOR (Z)	I,T,H,S,V,N,Z,C	2

命令一覧 (3/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左シフト	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右シフト	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右シフト	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ステータス レジスタのビット設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ステータス レジスタのビット解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		キャリー フラグを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ゼロ フラグを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ゼロ フラグを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリー フラグを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッガが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K : 4, 6, 8ビット定数
X, Y, Z : X, Y, Zレジスタ
q : 符号なし6ビット定数(変位)
P : I/Oレジスタ
b : ビット(0～7)
s : ステータス フラグ(C,Z,N,V,X,H,T,I)
Rd, Rr : 汎用レジスタ(R0～R31)
k : アドレス定数(7,12,16ビット)

注1: データ メモリ アクセスに対する周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA E系に外部メモリ インターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

32. 改訂履歴

本章での頁番号参照が本資料への参照であることに注意してください。本章での改訂参照は資料改訂版への参照です。

32.1. 42005A-04/2013

1. 初版

32.2. 42005B-04/2013

1. 260頁の「**ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ**」を更新

32.3. 42005C-08/2013

1. ADC:
   - 以下で”任意選択利得”を”設定可能な利得”に置換
     - 254頁の「**要点**」、254頁の「**概要**」、255頁の「**入力元**」
     - 269頁の**表25-15.**、**表25-16.**、**表25-17.**の表題
   - 255頁の「**差動入力**」を更新
   - 256頁の「**ｼﾝｸﾞﾙｴﾝﾄﾞ入力**」を更新
   - 256頁の「**内部入力**」を更新
   - 260頁の「**1倍利得での単独変換**」:「**利得なし単独変換**」から表題更新
   - 261頁の「**様々な利得設定での単独変換**」:「**利得付き単独変換**」から更新
2. DACﾚｼﾞｽﾀとﾋﾞｯﾄの更新:
   280頁の「**CH0GAINCAL – ﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ**」:”+0x0A”ｱﾄﾞﾚｽを削除
   280頁の「**CH0OFFSETCAL – ﾁｬﾈﾙ0変位校正ﾚｼﾞｽﾀ**」:ﾋﾞｯﾄ7～0の名称をCH0OFFSETCAL7～0に修正
   280頁の「**CH1GAINCAL – ﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ**」:ﾋﾞｯﾄ7～0の名称をCH1GAINCAL7～0に修正

32.4. 42005D-08/2014

1. 4頁の**図2-1.**にAVCCとVCCの電力供給の脚注を追加
2. 109頁の**表12-7.**でRTCOUT1,0に対する最終行の値を1xから11に変更
3. 109頁の**表12-9.**で最終行のPOEREをPORTRに変更(Xmega EﾃﾞﾊﾞｲｽにPORTEはありません。)
4. 125頁の**表13-8.**で脚注を変更
5. 233頁の「**23.7. ﾚｼﾞｽﾀ説明**」内のﾚｼﾞｽﾀ図で脚注文をBCT0からBTC0とBCT1からBTC1に変更
6. CALHﾚｼﾞｽﾀの情報を削除
7. 257頁の「**基準電圧選択**」と284頁の「**AC – ｱﾅﾛｸﾞ比較器**」とそれ以降でVCCをAVCCに変更
8. 新雛形に従って下見出しと裏表紙を更新 (**訳注**:本書では裏表紙のみ)

32.5. 42005E-11/2014

1. 26頁の「**4.15. ﾚｼﾞｽﾀ説明 – 製品識票列**」に製品識票列に対する初期値の注意を追加
2. 186頁から「**19. TWI SMBus階層1適合性**」章を追加
3. 299頁の「**29. ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」章でNVMEXをCMDEXに変更
4. 311頁の**表29-5.**でNVMAAをCMDEXへと、施錠ﾋﾞｯﾄ書き込みとEEPROM消去を”PDI書き込み”に変更
5. 313頁の**29.12.3.8.**項で第2点内の文章を変更

目次

1. 手引書について ・・・・・・・・・・・・・・・・・・・・・・・・ 2
1.1. 手引書の読み方 ・・・・・・・・・・・・・・・・・・・・・・・・ 2
1.2. 資料 ・・・・・・・・・・・・・・・・・・・

10. WDT-ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ・・・・・・・・・・・・・・・・・・・・ 90
10.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 90
10.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 90
10.3. 標準動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 90
10.4. 窓動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 90
10.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ｸﾛｯｸ ・・・・・・・・・・・・・・・・・・・・ 90
10.6. 形態設定保護と施錠 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 91
10.7. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 92
10.8. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 93
11. PMIC-割り込みと設定可能な多段割り込み制御器・・ 94
11.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 94
11.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 94
11.3. 動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 94
11.4. 割り込み ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 94
11.5. 割り込みﾚﾍﾞﾙ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 96
11.6. 割り込み優先権 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 96
11.7. 割り込みﾍﾞｸﾀ位置 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 96
11.8. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 97
11.9. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 98
12. 入出力ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 99
12.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 99
12.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 99
12.3. I/Oﾋﾟﾝの使い方と形態設定 ・・・・・・・・・・・・・・ 100
12.4. ﾋﾟﾝ値の読み方・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 102
12.5. 入力感知形態設定 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 102
12.6. ﾎﾟｰﾄ割り込み ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 102
12.7. ﾎﾟｰﾄ事象・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 103
12.8. ﾎﾟｰﾄ機能交換 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 103
12.9. ｽﾘｭｰﾚｰﾄ制御 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 104
12.10. ｸﾛｯｸと事象の出力・・・・・・・・・・・・・・・・・・・・・・・・・・・ 104
12.11. 複数ﾋﾟﾝ形態設定 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 104
12.12. 仮想ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 104
12.13. ﾚｼﾞｽﾀ説明-ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 105
12.14. ﾚｼﾞｽﾀ説明-ﾎﾟｰﾄ形態設定 ・・・・・・・・・・・・・・・・ 109
12.15. ﾚｼﾞｽﾀ説明-仮想ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・ 111
12.16. ﾚｼﾞｽﾀ要約-ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 112
12.17. ﾚｼﾞｽﾀ要約-ﾎﾟｰﾄ形態設定 ・・・・・・・・・・・・・・・・ 112
12.18. ﾚｼﾞｽﾀ要約-仮想ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・・・・ 113
12.19. 割り込みﾍﾞｸﾀ要約-ﾎﾟｰﾄ ・・・・・・・・・・・・・・・・・・ 113
13. TC4/5-16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ4型と5型 ・・・・・・ 114
13.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 114
13.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 114
13.3. 構成図 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 116
13.4. ｸﾛｯｸ元と事象元 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 117
13.5. 2重緩衝 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 117
13.6. 計数器動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 118
13.7. 捕獲ﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 119
13.8. 比較ﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 120
13.9. 割り込みと事象 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 122
13.10. EDMA支援 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 122
13.11. ﾀｲﾏ/ｶｳﾝﾀ指令 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 122
13.12. ﾚｼﾞｽﾀ説明-標準形態設定 ・・・・・・・・・・・・・・・・・ 123
13.13. ﾚｼﾞｽﾀ説明-ﾊﾞｲﾄ動作形態設定・・・・・・・・・・・・ 131
13.14. ﾚｼﾞｽﾀ要約-標準形態設定 ・・・・・・・・・・・・・・・・・ 138
13.15. ﾚｼﾞｽﾀ要約-ﾊﾞｲﾄ形態設定 ・・・・・・・・・・・・・・・・・ 139
13.16. 割り込みﾍﾞｸﾀ要約-標準形態設定 ・・・・・・・・・ 140
13.17. 割り込みﾍﾞｸﾀ要約-ﾊﾞｲﾄ形態設定 ・・・・・・・・・ 140
14. WeX-波形生成拡張 ・・・・・・・・・・・・・・・・・・・・・・ 141
14.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 141
14.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 141
14.3. ﾎﾟｰﾄ無効化 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 142
14.4. 出力配列 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 142
14.5. 沈黙時間挿入・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 143
14.6. 模様型生成・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 143
14.7. 変更保護 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 144
14.8. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 145
14.9. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 147
15. Hi･Res-高分解能拡張 ・・・・・・・・・・・・・・・・・・ 148
15.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 148
15.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 148
15.3. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 149
15.4. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 149
16. 障害拡張 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
16.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
16.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
16.3. ﾀｲﾏ/ｶｳﾝﾀの考慮 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
16.4. 障害・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 150
16.5. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 155
16.6. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 160
17. RTC-実時間計数器 ・・・・・・・・・・・・・・・・・・・・ 161
17.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 161
17.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 161
17.3. ｸﾛｯｸ領域 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 161
17.4. 割り込みと事象 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 161
17.5. 補正 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 162
17.6. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 163
17.7. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 166
17.8. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 166
18. TWI-2線ｲﾝﾀｰﾌｪｰｽ・・・・・・・・・・・・・・・・・・・・・ 167
18.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 167
18.2. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 167
18.3. 一般的なTWIﾊﾞｽの概念 ・・・・・・・・・・・・・・・・・・ 167
18.4. TWIﾊﾞｽ状態論理 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 171
18.5. TWI主装置動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 171
18.6. TWI従装置動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 172
18.7. 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可 ・・・・・・・・・・・・・・・ 174
18.8. 橋渡し(ﾌﾞﾘｯｼﾞ)動作 ・・・・・・・・・・・・・・・・・・・・・・・・ 174
18.9. SMBus階層1適合・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 174
18.10. ﾚｼﾞｽﾀ説明-TWI ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 176
18.11. ﾚｼﾞｽﾀ説明-TWI主装置 ・・・・・・・・・・・・・・・・・・ 176
18.12. ﾚｼﾞｽﾀ説明-TWI従装置 ・・・・・・・・・・・・・・・・・・ 180
18.13. ﾚｼﾞｽﾀ説明-TWI制限時間 ・・・・・・・・・・・・・・・・ 183
18.14. ﾚｼﾞｽﾀ要約-TWI ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
18.15. ﾚｼﾞｽﾀ要約-TWI主装置 ・・・・・・・・・・・・・・・・・・ 185
18.16. ﾚｼﾞｽﾀ要約-TWI従装置 ・・・・・・・・・・・・・・・・・・ 185
18.17. ﾚｼﾞｽﾀ説明-TWI制限時間 ・・・・・・・・・・・・・・・・ 185
18.18. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 185
19. TWI SMBus階層1適合性 ・・・・・・・・・・・・・・・・ 186
19.1. 要点・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
19.2. TWI SMBus階層1適合性・・・・・・・・・・・・・・・・・ 186
19.3. 概要・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
19.4. 操作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 186
19.5. ﾚｼﾞｽﾀ説明 – TWI主装置 ・・・・・・・・・・・・・・・・・ 188
19.6. ﾚｼﾞｽﾀ説明 – TWI従装置 ・・・・・・・・・・・・・・・・・ 188
19.7. ﾚｼﾞｽﾀ説明 – TWI制限時間 ・・・・・・・・・・・・・・・ 188
19.8. ﾚｼﾞｽﾀ要約 – TWI ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 190
19.9. ﾚｼﾞｽﾀ要約 – TWI主装置 ・・・・・・・・・・・・・・・・・・ 190
19.10. ﾚｼﾞｽﾀ要約 – TWI従装置 ・・・・・・・・・・・・・・・・・・ 190
19.11. ﾚｼﾞｽﾀ要約 – TWI制限時間 ・・・・・・・・・・・・・・・・ 190
20. SPI-直列周辺ｲﾝﾀｰﾌｪｰｽ ・・・・・・・・・・・・・・・・ 191

20.1. 要点 191
20.2. 概要 191
20.3. 主装置動作 191
20.4. 従装置動作 192
20.5. 緩衝動作形態 192
20.6. データ転送種別 192
20.7. 割り込み 193
20.8. EDMA支援 194
20.9. レジスタ説明 195
20.10. レジスタ要約 198
20.11. 割り込みベクタ要約 198
21. USART 199
21.1. 要点 199
21.2. 概要 199
21.3. クロック生成 201
21.4. 構造体構成 203
21.5. USART全二重初期化 203
21.6. USART単線初期化 204
21.7. データ送信-USART送信部 204
21.8. データ受信-USART受信部 205
21.9. 非同期データ受信 206
21.10. 分数ボーレート生成 208
21.11. 主装置SPI動作でのUSART 209
21.12. USART SPIとSPIの比較 209
21.13. 複数プロセッサ通信動作 210
21.14. 単線動作 210
21.15. データ符号化/復号 210
21.16. 赤外線通信(IRCOM)動作 211
21.17. EDMA支援 211
21.18. レジスタ説明 212
21.19. レジスタ要約 217
21.20. 割り込みベクタ要約-USART 217
22. IRCOM-赤外線通信部署 218
22.1. 要点 218
22.2. 概要 218
22.3. レジスタ説明 219
22.4. レジスタ要約 220
23. XCL-XMEGA注文論理回路 221
23.1. 要点 221
23.2. 概要 221
23.3. タイマ/カウンタ形態設定 223
23.4. タイマ/カウンタ操作 223
23.5. 接続用論理回路 229
23.6. 割り込みと事象 232
23.7. レジスタ説明 233
23.8. レジスタ要約 242
23.9. 割り込みベクタ要約 248
23.10. T/CとPECレジスタ要約 対 形態設定と動作種別 248
24. CRC-巡回冗長検査生成器 249
24.1. 要点 249
24.2. 概要 249
24.3. 動作 249
24.4. フラッシュ メモリでのCRC 250
24.5. EDMAデータでのCRC 250
24.6. I/Oインターフェースを用いるCRC 250
24.7. レジスタ説明 251
24.8. レジスタ要約 253
25. ADC-A/D変換器 254
25.1. 要点 254
25.2. 概要 254
25.3. 入力元 255
25.4. 採取時間制御 256
25.5. 基準電圧選択 257
25.6. 変換結果 257
25.7. 校正と補正 258
25.8. 変換の開始方法 259
25.9. ADCクロックと変換タイミング 260
25.10. ADC入力模式 262
25.11. EDMA転送 262
25.12. 割り込みと事象 262
25.13. 同期採取 262
25.14. レジスタ説明-ADC 263
25.15. レジスタ説明-ADCチャネル 268
25.16. レジスタ要約-ADC 274
25.17. レジスタ要約-ADCチャネル 275
25.18. 割り込みベクタ要約 275
26. DAC-D/A変換器 276
26.1. 要点 276
26.2. 概要 276
26.3. 基準電圧選択 276
26.4. 変換の開始 276
26.5. 出力と出力チャネル 277
26.6. DAC出力模式 277
26.7. DACクロック 277
26.8. 低電力動作 277
26.9. 校正 277
26.10. レジスタ説明 278
26.11. レジスタ要約 283
27. AC-アナログ比較器 284
27.1. 要点 284
27.2. 概要 284
27.3. 入力元 285
27.4. 信号比較 285
27.5. 割り込みと事象 285
27.6. 窓動作 285
27.7. 入力ヒステリシス 285
27.8. レジスタ説明 286
27.9. レジスタ要約 290
27.10. 割り込みベクタ要約 290
28. PDI-プログラミングとデバッグ用インターフェース 291
28.1. 要点 291
28.2. 概要 291
28.3. PDI物理層 292
28.4. PDI制御器 294
28.5. レジスタ説明-PDI命令とアドレス指定レジスタ 297
28.6. レジスタ説明-PDI制御/状態レジスタ 297
28.7. レジスタ要約 298
29. メモリ プログラミング 299
29.1. 要点 299
29.2. 概要 299
29.3. NVM制御器 299
29.4. NVM指令 299
29.5. NVM制御器多忙状態 300
29.6. フラッシュ メモリとEEPROMのページ緩衝部 300
29.7. フラッシュ メモリとEEPROMのプログラミング手順 301
29.8. NVMの保護 301
29.9. NVM化けの防止 301
29.10. CRC機能 301
29.11. 自己プログラミングとブートローダ支援 302
29.12. 外部プログラミング 309

29.13. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 313
29.14. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 313
30. 周辺機能部署ｱﾄﾞﾚｽ割り当て ・・・・・・・・・・・ 314
31. 命令一式要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 315
32. 改訂履歴 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 318
32.1. 42005A-04/2013 ・・・・・・・・・・・・・・・・・・・・・・ 318
32.2. 42005B-04/2013 ・・・・・・・・・・・・・・・・・・・・・・ 318
32.3. 42005C-08/2013 ・・・・・・・・・・・・・・・・・・・・・・ 318
32.4. 42005D-08/2014 ・・・・・・・・・・・・・・・・・・・・・・ 318
32.5. 42005E-11/2014 ・・・・・・・・・・・・・・・・・・・・・・ 318

Atmel | Enabling Unlimited Possibilities®

Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 | www.atmel.com

© 2014 Atmel Corporation. / 改訂:Atmel-8201E-AVR-XMEGA E Manual_11/2014

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、AVR®、Enabling Unlimited Possilities®、QTouch®、XMEGA®とその他は米国及び他国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(”安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とｼｽﾃﾑ、核施設と武器ｼｽﾃﾑの操作用の装置やｼｽﾃﾑを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© *HERO* 2014.

本ﾃﾞｰﾀｼｰﾄはAtmelのATxmega E英語版手引書(Rev.42005E-11/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。