

特徴

- 高性能、低消費Atmel® AVR® XMEGA® 8/16ビット マイクロ コントローラ
- データ メモリと不揮発性プログラム メモリ
 - 実装自己書き換え(ISP)可能な8K~32Kバイト(4K~16K語)フラッシュ メモリ
 - 独立した施錠ビットを持つ2K~4Kバイト(1K~2K語)ブート コード領域
 - 512~1KバイトのEEPROM
 - 1K~4Kバイトの内部SRAM
- 内蔵周辺機能
 - 8/16ビット アドレス一致を持つ4チャネルの強化型DMA制御器
 - 8チャネルの事象システム
 - 非同期と同期の信号配線
 - 回転濾波器付き直交符号器
 - 3つの16ビット タイマ/カウンタ
 - 4つの比較チャネルまたは捕獲チャネルを持つ、1つのタイマ/カウンタ
 - 2つの比較チャネルまたは捕獲チャネルを持つ、2つのタイマ/カウンタ
 - 4ns以下への分解能を可能にする高分解能拡張
 - 電動機、LED、調光、Hブリッジ、H駆動部その他多くの制御用の波形拡張
 - 外部駆動部の安全、決定的処理、停止用の障害拡張
 - CRC-16(CRC-CCITT)とCRC-32(IEEE 802.3)生成器
 - 計時器、計数器と論理機能を持つ、XMEGA注文論理回路(XCL)
 - 捕獲/比較と16ビット直列動作を持つ、2つのタイマ/カウンタ
 - 独自データ フレーム長を支援するために1つのUSARTへ接続
 - 設定可能な論理回路機能を行うために入出力ピンと事象システムへ接続
 - MUX,AND,NAND,OR,NOR,XOR,XNOR,NOT,Dフリップフロップ,Dラッチ,RSラッチ
 - 全二重と単線半二重の形態設定を持つ、2つのUSART
 - 主装置SPI動作
 - 形態設定可能な256ビットまでのデータ フレーム長を持つ、独自規約を支援
 - 内部8MHz発振器使用時に深い休止動作形態からシステムを起動
 - 2重アドレス一致を持つ、2つの2線インターフェース (I²CとSMBus適合)
 - 同時主装置/従装置動作の橋渡し(ブリッジ)形態設定
 - 1MHzまでのバス速度を支援
 - 1つの直列周辺インターフェース(SPI:Serial Peripheral Interface)周辺機能
 - 独立した発振器とデジタル補正を持つ、16ビット実時間計数器
 - 以下を持つ、16チャネル、12ビット、300k採取/秒の1つのA/D変換器
 - オフセットと利得の補正
 - 平均
 - 過採取と間引き
 - 2チャネル、12ビット、1M採取/秒の1つのD/A変換器
 - 窓比較機能と電流源を持つ、2つのアナログ比較器
 - 全ての汎用I/Oピンでの外部割り込み
 - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグ タイマ
 - QTouch® ライフライン支援
 - 容量性接触釦、滑動部、輪
- 特殊マイクロ コントローラ機能
 - 電源ONリセットと設定可能な低電圧検出(BOD)
 - PLLを持つ、内部及び外部のクロック任意選択
 - 設定可能な多段割り込み制御器
 - 5つの休止形態動作
 - プログラミングとデバッグ用インターフェース
 - PDI(Program and Debug Interface)
- I/Oと外圍器
 - 設定可能な26本のI/O線
 - 7×7mm 32ピンTQFP、5×5mm 32ピンVQFN、4×4mm 32ピンUQFN
- 動作電圧
 - 1.6~3.6V
- 動作速度
 - 0~12MHz/1.6~V
 - 0~32MHz/2.7~V

1. 注文情報

注文コード*	フラッシュ (バイト)	EEPROM (バイト)	SRAM (バイト)	外囲器 (注1,2,3)	速度 (MHz)	電源電圧 (V)	温度 (℃)
ATxmega8E5-AU	8K+2K	512	1K	32A (7×7mm TQFP)			
ATxmega8E5-AUR (注4)							
ATxmega16E5-AU	16K+4K	512	2K				
ATxmega16E5-AUR (注4)							
ATxmega32E5-AU	32K+4K	1K	4K				
ATxmega32E5-AUR (注4)							
ATxmega8E5-MU	8K+2K	512	1K	32Z (5×5mm VQFN)	32	1.6～3.6	-40～85
ATxmega8E5-MUR (注4)							
ATxmega16E5-MU	16K+4K	512	2K				
ATxmega16E5-MUR (注4)							
ATxmega32E5-MU	32K+4K	1K	4K				
ATxmega32E5-MUR (注4)							
ATxmega8E5-M4U	8K+2K	512	1K	32MA (4×4mm UQFN)			
ATxmega8E5-M4UR (注4)							
ATxmega16E5-M4U	16K+4K	512	2K				
ATxmega16E5-M4UR (注4)							
ATxmega32E5-M4U	32K+4K	1K	4K				
ATxmega32E5-M4UR (注4)							
ATxmega8E5-AN	8K+2K	512	1K	32A (7×7mm TQFP)			
ATxmega8E5-ANR (注4)							
ATxmega16E5-AN	16K+4K	512	2K				
ATxmega16E5-ANR (注4)							
ATxmega32E5-AN	32K+4K	1K	4K				
ATxmega32E5-ANR (注4)							
ATxmega8E5-MN	8K+2K	512	1K	32Z (5×5mm VQFN)	32	1.6～3.6	-40～105
ATxmega8E5-MNR (注4)							
ATxmega16E5-MN	16K+4K	512	2K				
ATxmega16E5-MNR (注4)							
ATxmega32E5-MN	32K+4K	1K	4K				
ATxmega32E5-MNR (注4)							
ATxmega8E5-M4N	8K+2K	512	1K	32MA (4×4mm UQFN)			
ATxmega8E5-M4NR (注4)							
ATxmega16E5-M4N	16K+4K	512	2K				
ATxmega16E5-M4NR (注4)							
ATxmega32E5-M4N	32K+4K	1K	4K				
ATxmega32E5-M4NR (注4)							

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 外囲器情報については51頁の「外囲器情報」をご覧ください。

注4: テープとリール。

外囲器形式

32A	32リード 7×7×1.0mm厚 0.8mmピッチ 薄型プラスチック4方向平板外囲器 (TQFP)
32Z	32パッド 5×5 0.5mmピッチ 極薄4方向平板リードなし外囲器 (VQFN)
32MA	32パッド 4×4×0.60mm厚 0.4mmピッチ 超薄4方向平板リードなし外囲器 (UQFN)

代表的な応用

- ・ 工業制御

・ 工場自動化

・ 建築制御

・ 基板制御

・ 白物家電
- ・ 環境制御

・ RFとZigBee®

・ USB接続性

・ 感知器制御

・ 光学
- ・ 低電力電池応用

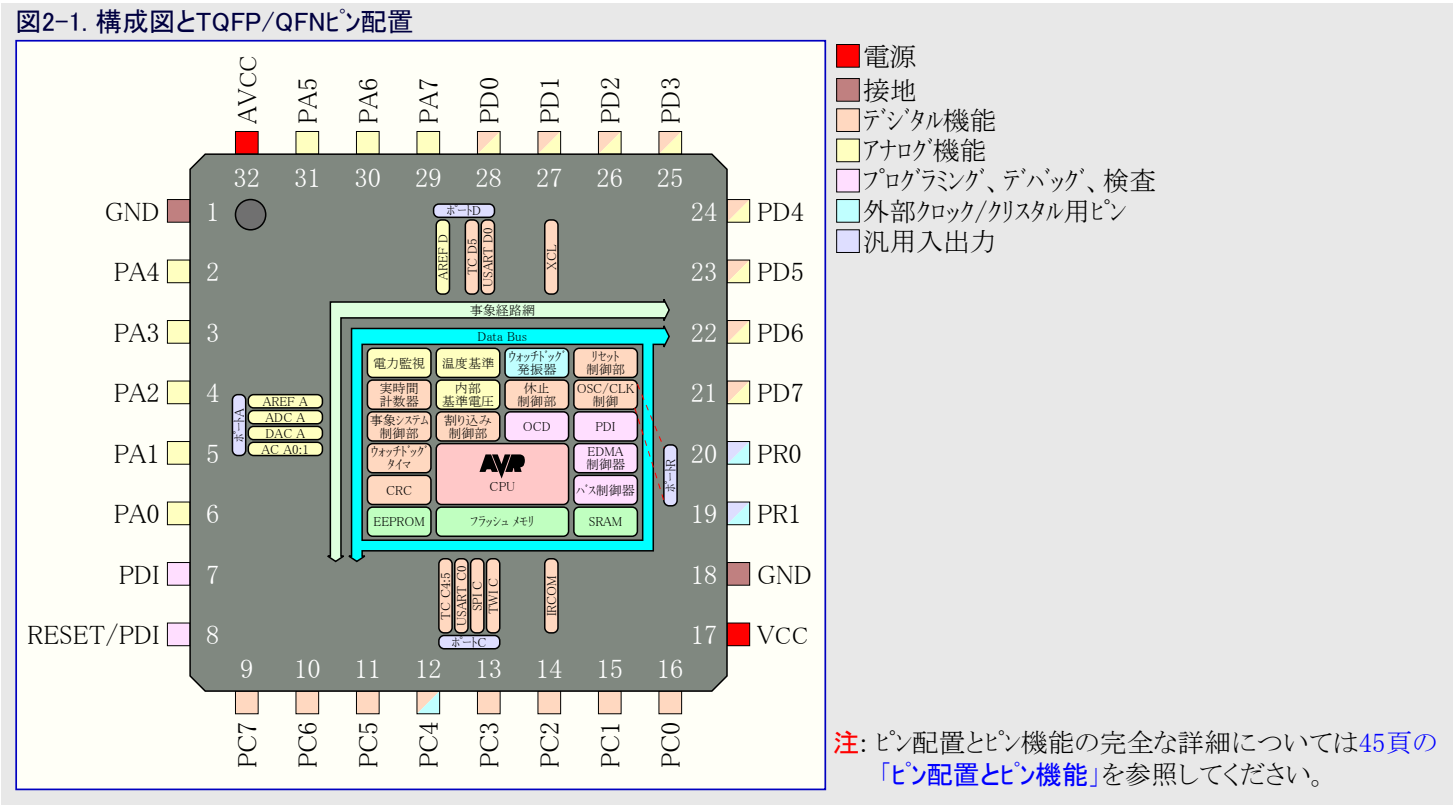
・ 電力ツール

・ 室内環境制御(HVAC)

・ 実用計器

・ 医療応用

2. ピン配置/構成図



3. 概要

Atmel AVR XMEGAはAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する命令によって、AVR XMEGAデバイスはシステム設計者に対して電力消費対処理速度の最適化を可能とするMHz当たり100万命令に達するCPU単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA E5デバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、4チャンネルの強化型DMA(EDMA)制御器、非同期事象支援を持つ8チャンネルの事象システム、設定可能な多段割り込み制御器、26本の汎用入出力線、CRC-16(CRC-CCITT)とCRC-32(IEEE 802.3)の生成器、計時器、計数器、論理回路機能を持つ1つのXMEGA注文論理回路(XCL)部署、デジタル補正を持つ16ビットの実時間計数器(RTC)、比較動作とPWM付きの3つの柔軟な16ビット タイマ/カウンタ、2つのUSART、同時に主装置と従装置を許す1つの2線直列インターフェース(TWI)、1つの直列周辺インターフェース(SPI)、設定可能な利得と、変位(オフセット)と利得の補正、平均、過採取と間引きを持つ1つの16チャンネル 12ビットA/D変換器、1つの2チャンネル 12ビットD/A変換器、窓動作と電流源を持つ2つのアナログ比較器(AC)、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。

AVR XMEGA E5デバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、SRAM、EDMA制御器、事象システム、割り込み制御器と全ての周辺機能に機能の継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWIまたはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作では水晶発振子/セラミック振動子用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部水晶からの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けますパワーセーブ、スタンバイ、拡張スタンバイの各々の動作形態では、内部8MHz発振器の低電力動作が非常に低い消費電力と組み合わせられた非常に速い始動時間を許します。

更なる消費電力低減のため、各個別周辺機能への周辺クロックは活動動作とアイドル動作に於いて任意で停止することができ、内部8MHz発振器の低電力動作を許可することができます。

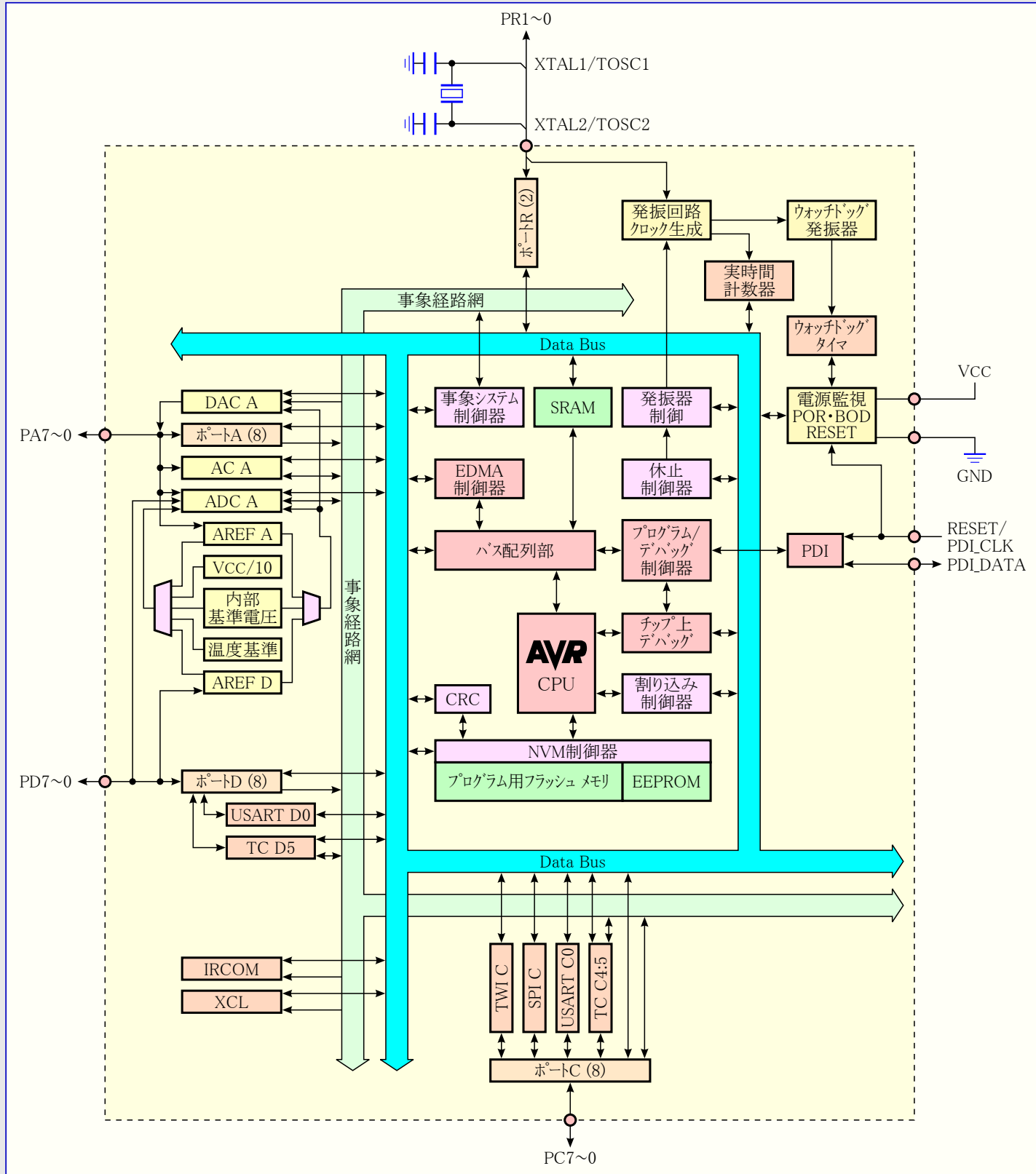
AtmelはAVRマイクロ コントローラへ容量性接触卸、滑動部、輪を組み込むためのQTouchライブラリを提供します。

デバイスはAtmelの高密度不揮発性メモリ技術を使用して製造されています。プログラム用フラッシュ メモリはPDIを通して実装書き換えをすることができます。デバイス内で走行するブートローダはフラッシュ メモリにアプリケーションプログラムを取得格納するのにどんなインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダ ソフトウェアは走行を続けることができます。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

全てのAtmel AVR XMEGAデバイスはCコンパイラ、マクロ アセンブラ、プログラム デバッグ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃いで支援されます。

3.1. 構成図

図3-1. XMEGA E5構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>でのダウンロードに関して利用可能です。

4.1. 推奨読物

- XMEGA E手引書
- XMEGA応用記述

このデバイス データシートは各部署と周辺機能の短い記述と共にデバイス固有情報だけを含みます。XMEGA E手引書は部署と周辺機能を広く深く記述します。XMEGA応用記述はコード例を含み、部署と周辺機能を適用する使い方を示します。

全ての資料は www.atmel.com/avr から利用可能です。

5. 容量性接触感知

AtmelのQTouch[®]ライブラリはAtmelの殆どのAVRマイクロ コントローラ上の接触感知インターフェース実現の解決策を使用するための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制TM(AKSTM)技術を含みます。QTouchライブラリはQTouchとQMatrix採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なAtmel QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のAtmelのウェブサイトからダウンロードすることができます。 www.atmel.com/qtouchlibrary
実装の詳細とその他の情報についてはAtmelのウェブサイトからも入手可能な「**QTouchライブラリ使用者の手引き**」を参照してください。

6. AVR CPU

6.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 141命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- SRAM内のスタック
- I/Oメモリ空間内をアクセス可能なスタックポインタ
- 16Mバイトまでのプログラムと16Mバイトのデータのメモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の形態設定変更保護

6.2. 概要

Atmel AVR XMEGAデバイスは8/16ビットAVR CPUを使用します。CPUの主な機能は、コードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムを実行することができます。割り込みの扱いは独立した章で記述され、22頁の「割り込みと設定可能な多段割り込み制御器」を参照してください。

6.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとバスを持つハーバード構造を使用します。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の詳細については<http://atmel.com/avr>を参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はレジスタ間または定数とレジスタ間の算術と論理の操作を支援します。単一レジスタ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レジスタファイルに直接的に接続されます。32×8ビット汎用作業レジスタの全てがレジスタ間またはレジスタと即値間での単一周期算術論理部(ALU)操作を許す単一周期アクセス時間を持ちます。32個中の6つのレジスタは効率的なアドレス計算を許す、プログラムとデータの空間をアドレス指定するための3つの16ビットアドレスポインタとして使用することができます。

メモリ空間は直線状です。データメモリ空間とプログラムメモリ空間は2つの異なるメモリ空間です。

データメモリ空間はI/Oレジスタ、SRAM、メモリ割り当てEEPROMに分けられます。

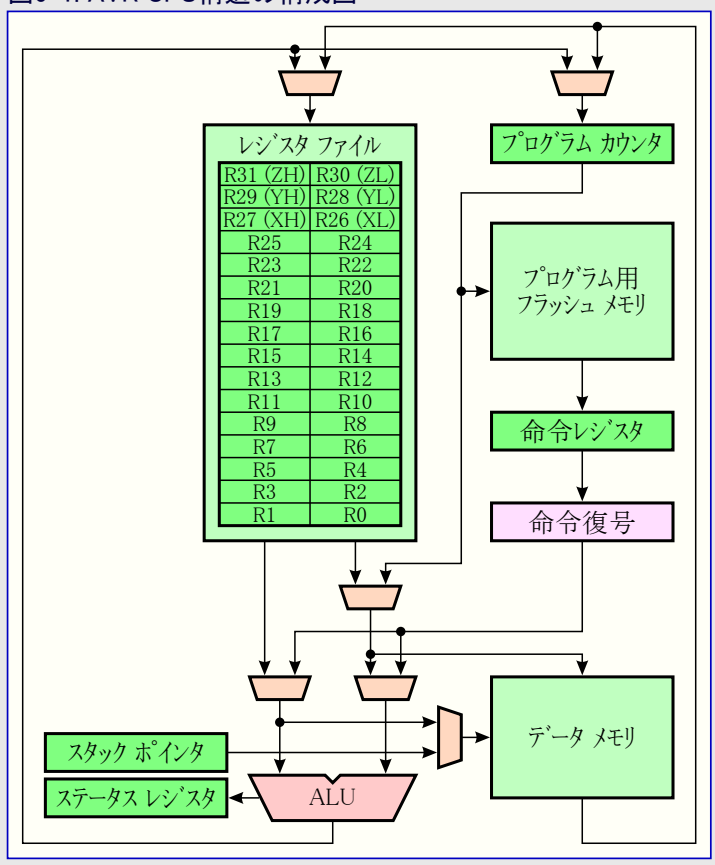
全てのI/Oの状態と制御のレジスタはデータメモリの最下位4Kバイトのアドレスに属します。これはI/Oメモリ空間として参照されます。最下位60アドレスは直接、または\$00~\$3Fのデータ空間位置としてアクセスすることができます。残りは\$0040~\$0FFFに連なる拡張I/Oメモリ空間です。このI/Oレジスタは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。SRAMはAVR構造で支援される5つの異なるアドレス指定形態を通して容易にアクセスすることができます。

\$1000~\$1FFFのデータアドレスはメモリ割り当てEEPROM用に予約されています。

プログラムメモリは応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ビットを持ちます。応用フラッシュメモリの自己プログラミングに使用されるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラムメモリ内の不揮発性データの格納を減らすのに使用することができます。

図6-1. AVR CPU構造の構成図



6.4. 算術論理演算器(ALU)

算術論理演算器(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作の実行もできます。ALUは32個の汎用レジスタ全てとの直接接続で動作します。単一クロック周期内で、汎用レジスタ間、またはレジスタと即値間の算術操作が実行されて結果がレジスタ ファイルに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにステータスレジスタが更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主要分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、**命令一式**は効率的な32ビット演算の実装を可能にします。ハードウェア乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

6.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付きと符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUクロック周期かかります。

6.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アドレス'000000'から命令の実行を始めます。プログラム カウンタ(PC)は取得されるべき次の命令を指示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ビット語形式を用い、一方限られた若干が32ビット形式を使用します。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC(値)がスタックに格納されます。スタックは一般的なデータ用SRAM内に割り当てられ、結果としてスタック容量は総SRAM容量とSRAMの使い方だけによって制限されます。リセット後のスタック ポインタ(SP)は内部SRAM内の最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセスが可能で、スタックまたはスタック領域の容易な複数実装を可能にします。データ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にアクセスすることができます。

6.6. ステータス レジスタ

ステータスレジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使用できます。ステータスレジスタは「**命令セット参考書**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータスレジスタはI/Oメモリ空間でアクセスできます。

6.7. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使用されます。一時データの格納にも使用できます。スタック ポインタ(SP)レジスタは常にスタックの先頭(**訳注**:次に使用されるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。データは**PUSH**命令と**POP**命令を使用してスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されます。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/-2されます。128Kバイトを超えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスは**RETI**命令を使用して割り込みから、または**RET**命令を使用してサブルーチン呼び出しから戻る時にスタックから取得されます。

データが**PUSH**命令でスタックに格納される時にSPは-1され、**POP**命令を使用してスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

6.8. レジスタ ファイル

レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレス レジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

7. メモリ

7.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Reprogrammable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダコード用ブートローダ領域
 - 全領域に対する独立した読み/書き保護施錠ビット
 - 選択可能なフラッシュ プログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - バイトまたはページでのアクセスが可能
 - 直接取得/格納に対するメモリ配置割り当て
 - I/Oメモリ
 - 全ての部署と周辺機能に対する形態設定と状態のレジスタ
 - 全体変数またはフラグ用にビット アクセス可能な4個の汎用I/Oレジスタ
 - バス調停
 - CPU、EDMA制御器、他のバス所有者間の決定論的な優先順処理
 - SRAM、EPROM、I/Oメモリのアクセスに対する独立バス
 - CPUとEDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識別票列メモリ
 - 各マイクロ コントローラに対するID
 - 各デバイスに対する通番
 - 工場校正された周辺機能用の校正バイト
- 使用者識別票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後も内容保持

7.2. 概要

Atmel AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コードはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズ バイトを含みます。これらは重要なシステム機能の形態設定に使用され、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は2ページの「注文情報」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュメモリ識別票列を持っています。

7.3. フラッシュ プログラム メモリ

Atmel AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各アドレス位置は16ビットです。フラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使用されるSPM(Store Program Memory)命令はブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶を許します。

応用表領域とブート領域は一般的な応用ソフトウェアにも使用することができます。

図7-1. フラッシュ プログラム メモリ (16進アドレス)

語アドレス			
ATxmega32E5	ATxmega16E5	ATxmega8E5	
0000	0000	0000	応用領域 (32K/16K/8Kバイト)
37FF	17FF	0BFF	
3800	1800	0C00	応用表領域 (4K/4K/2Kバイト)
3FFF	1FFF	0FFF	
4000	2000	1000	ブート領域 (4K/4K/2Kバイト)
47FF	27FF	13FF	

7.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コードを格納するのに使用されるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

7.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使用できるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使用されないなら、ここに応用コードが存在できます。

7.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コードの格納に使用される一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダソフトウェアはブートローダ領域に配置されなければなりません。プログラミング時、CPUは停止され、フラッシュ操作の完了を待ちます。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダソフトウェア用に使用されないなら、ここに応用コードを格納することができます。

7.3.4. 製品識別票列 (Production Signature Row)

製品識別票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正值はリセット中に対応する部署または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識別票列から取得されて対応する周辺機能レジスタに書かれなければなりません。校正条件の詳細については52頁の「電気的特性」を参照してください。

製品識別票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。利用可能なデバイスに対するデバイスIDは表7-1.で示されます。

製品識別票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

表7-1. XMEGA E5デバイス用デバイスIDバイト

デバイス	内容		
	第1バイト	第2バイト	第3バイト
ATxmega8E5	1E	93	41
ATxmega16E5	1E	94	45
ATxmega32E5	1E	95	4C

7.3.5. 使用者識別票列 (User Signature Row)

使用者識別票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュメモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

7.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を形態設定するのに使用され、外部プログラミングインターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元形態設定や始動形態設定などに使用されます。

施錠ビットは各種フラッシュ領域の保護段階設定に使用されます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトウェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えばチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

ヒューズと施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

7.5. データ メモリ

データ メモリはI/Oメモリ、内部SRAM、EEPROMを含みます。データ メモリは1つの続いたメモリ領域として構成されます。図7-2をご覧ください。開発を簡単化するため、全てのAtmel AVR XMEGAデバイスでI/Oメモリ、EEPROMとSRAMは常に同じ開始アドレスを持ちます。

図7-2. データ メモリ割り当て (16進アドレス)

バイト アドレス			
ATxmega32E5	ATxmega16E5	ATxmega8E5	
0000	0000	0000	I/Oメモリ (4K/4K/4Kバイト)
0FFF	0FFF	0FFF	
1000	1000	1000	
13FF	11FF	11FF	EEPROM (1K/512/512バイト)
			(予約)
2000	2000	2000	内部SRAM (4K/2K/2Kバイト)
2FFF	27FF	27FF	

7.6. EEPROM

Atmel AVR XMEGA E5デバイスは不揮発性データ記憶用にEEPROMを持ちます。それはメモリ配置割り当てされ、通常のデータ空間でアクセスされます。EEPROMはバイトとページの両アクセスを支援します。EEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。EEPROMは取得と格納の命令を使用してアクセスできます。EEPROMは常に16進アドレス\$1000で始まります。

7.7. I/Oメモリ

CPUを含む部署と周辺機能に関する状態と形態設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタ ファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使用されます。IN命令とOUT命令は\$0000～\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000～\$001Fでは個別ビットの操作と検査の命令が利用できます。

XMEGA E5での全ての周辺機能と部署に対するI/Oメモリ アドレスは47頁の「周辺機能部署アドレス割り当て」で示されます。

7.7.1. 汎用I/Oレジスタ

最下位4個のI/Oメモリ アドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI, SBIS,SBIC命令を使用して直接ビット アクセスが可能のため、全体変数とフラグの格納に使用することができます。

7.8. データ メモリとバス調停

データ メモリが3つの独立したメモリの組として構成されるため、異なるバス主権部(CPU、EDMA制御器読み、EDMA制御器書き、など)が同時に異なるメモリをアクセスし得ます。

7.9. メモリ タイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(EDMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

7.10. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

7.11. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは形態設定変更保護機構によって保護されます。

7.12. フラッシュ メモリとEEPROMのページ容量

プログラム用フラッシュ メモリとデータ用EEPROMはページで構成されています。ページはフラッシュ メモリに対して語アクセス可能で、EEPROMに対してバイト アクセス可能です。

表7-2.はプログラム用フラッシュ メモリ構成とプログラム カウンタ(PC)の大きさを示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュ アクセスに関してはアドレス指定にZポインタ(Zn~0)が使用されます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレスビット(FWORD)がページ内の語(位置)を与えます。

表7-2. フラッシュ メモリ内のページ数と語数									
デバイス	フラッシュ容量	ページ容量	FPAGE	FWORD	応用領域		ブート領域		PC大きさ
	(バイト)	(語)			容量	ページ数	容量	ページ数	
ATxmega8E5	8K+2K	64	Z13~8	Z6~1	8KB	64	2KB	16	13
ATxmega16E5	16K+4K	64	Z14~8	Z6~1	16KB	128	4KB	32	14
ATxmega32E5	32K+4K	64	Z15~8	Z6~1	32KB	256	4KB	32	15

表7-3.はXMEGA E5デバイスに対するEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレスレジスタ(ADDRn~0)が使用されます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレスビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数					
デバイス	EEPROM容量	ページ容量	E2PAGE	E2BYTE	ページ数
	(バイト)	(バイト)			
ATxmega8E5	512	32	ADDR8~5	ADDR4~0	16
ATxmega16E5	512	32	ADDR8~5	ADDR4~0	16
ATxmega32E5	1K	32	ADDR9~5	ADDR4~0	32

(訳補) フラッシュ メモリは応用領域とブート領域が\$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュ メモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使用されます。表7-2.のFPAGE及びFWORDのZポインタはSPM命令に対するものです。

8. EDMA – 強化型直接メモリ入出力制御器 (Enhanced Direct Memory Access Controller)

8.1. 要点

- EDMA制御器は最小CPU介在での高速転送を許容
 - データ メモリからデータ メモリへ
 - データ メモリから周辺機能へ
 - 周辺機能からデータ メモリへ
 - 周辺機能から周辺機能へ
- 以下が独立した4つの周辺機能EDMAチャネル
 - 転送起動元
 - 割り込みベクタ
 - アドレス指示種別
 - データ一致
- 以下が独立した1つの標準チャネルに組み合わせることができる2つの周辺機能チャネル
 - 転送起動元
 - 割り込みベクタ
 - アドレス指示種別
 - データ検索
- 設定可能なチャネル優先順
- 単一転送処理で1バイトから128Kバイトまでのデータ
 - 繰り返し付きでの64Kバイトまでの塊転送
 - 1または2バイトの集中転送
- 複数のアドレス指示種別
 - 静止
 - 増加
- 各終了での転送元と転送先の再設定任意選択
 - 集中
 - 塊
 - 単位処理
- 単位転送終了での割り込み任意選択
- EDMAデータ上のCRCに対するCRC発生器への接続任意選択

8.2. 概要

4チャネル強化型直接メモリ入出力(EDMA)制御器はメモリと周辺機能間でデータを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いデータ転送速度を許し、CPU時間を自由にします。4つのEDMAチャネルは4つまでの独立した平行転送を許します。

EDMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能レジスタ間のデータを直接移動することができます。全ての周辺機能へのアクセスとで、EDMA制御器は通信部署との自動的なデータ転送を扱うことができます。EDMA制御器はEEPROMから読むこともできます。

データ転送は1または2バイトの継続集中で行われます。それらは1バイトから64Kバイトまでの形態設定可能な量の塊転送を構築します。繰り返し任意選択は単一転送処理に対して最大128Kバイトまで各塊転送をもう一度繰り返すのに使用することができます。転送元と転送先のアドレス指示は静止または増加にすることができます。転送元と/または転送先のアドレスの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ソフトウェア、周辺機能と事象がEDMA転送を起動することができます。

4つのEDMAチャネルは個別の形態設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはEDMA制御器がEDMAチャネルで異常を検出した時に生成することができます。

転送での柔軟性を許すため、チャネルは1つ目が終了された時に2つ目が転送を引き継ぐように相互接続することができます。

EDMA制御器は2重緩衝、周辺機能に対するデータ一致、SRAMまたはEEPROMに対するデータ検索のような拡張機能を支援します。

EDMA制御器は2つの形式のチャネルを支援します。各チャネル形式は個別に選択することができます。

9. 事象システム

9.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
 - CPUとEDMAの個別動作
 - 100%予測可能な信号タイミング
 - 短く保証された応答時間
 - 同期と非同期の事象経路
- 8つまでの異なる平行信号経路と形態設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出や使用が可能
- 以下を含む付加機能
 - 回転濾波器付き直交復号
 - 入出力ピン変化のデジタル濾波
 - 周辺機能へ同時に提供される同期と非同期の事象
- 全ての休止動作形態で作動

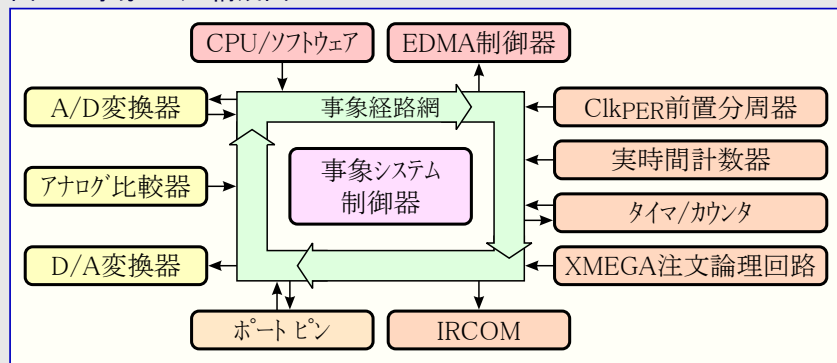
9.2. 概要

事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込み、CPU、またはEDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能部署での同期した活動タイミングを許します。事象システムは周辺機能での瞬間的な活動に対する非同期事象経路も許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使用されるかはソフトウェアで形態設定されます。

図9-1は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、IR通信部署(IRCOM)、XMEGA注文論理回路(設定可能な論理回路)塊(XCL)を共に直接的に接続することができます。これはEDMA単位転送処理起動(EDMA制御器)に使用することもできます。事象はソフトウェアと周辺クロックからも生成することができます。

図9-1. 事象システム構成図



事象配線網は事象がどう配線され、どう使用されるかを制御する、ソフトウェアで形態設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象配線形態設定と配線を許します。外部事象の最大配線遅れは再同期のために2周辺クロック周期ですが、多数の周辺機能はどんなクロック遅延もなしに非同期事象を直接的に使用することができます。事象システムは全ての電力休止動作形態で動きますが、システムクロックが利用できない休止動作形態では非同期事象だけを配線することができます。

10. システム クロックとクロック選択

10.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
 - 32MHz走行時校正付き調整可能な発振器
 - 2MHz出力任意選択と高速始動を持つ、8MHz校正付き発振器
 - 32.768kHz校正付き発振器
 - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - デジタル補正付き32.768kHzクリスタル用発振器
 - 選択可能なピン位置での外部クロック信号
- 20~128MHz出力周波数を持つPLL
 - 内部及び外部クロック任意選択と1~31通倍
 - 固定化検出器
- 1~2048分周のクロック前置分周器
- CPUクロック周波数の2倍と4倍で走行する高速周辺クロック
- 32MHz内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

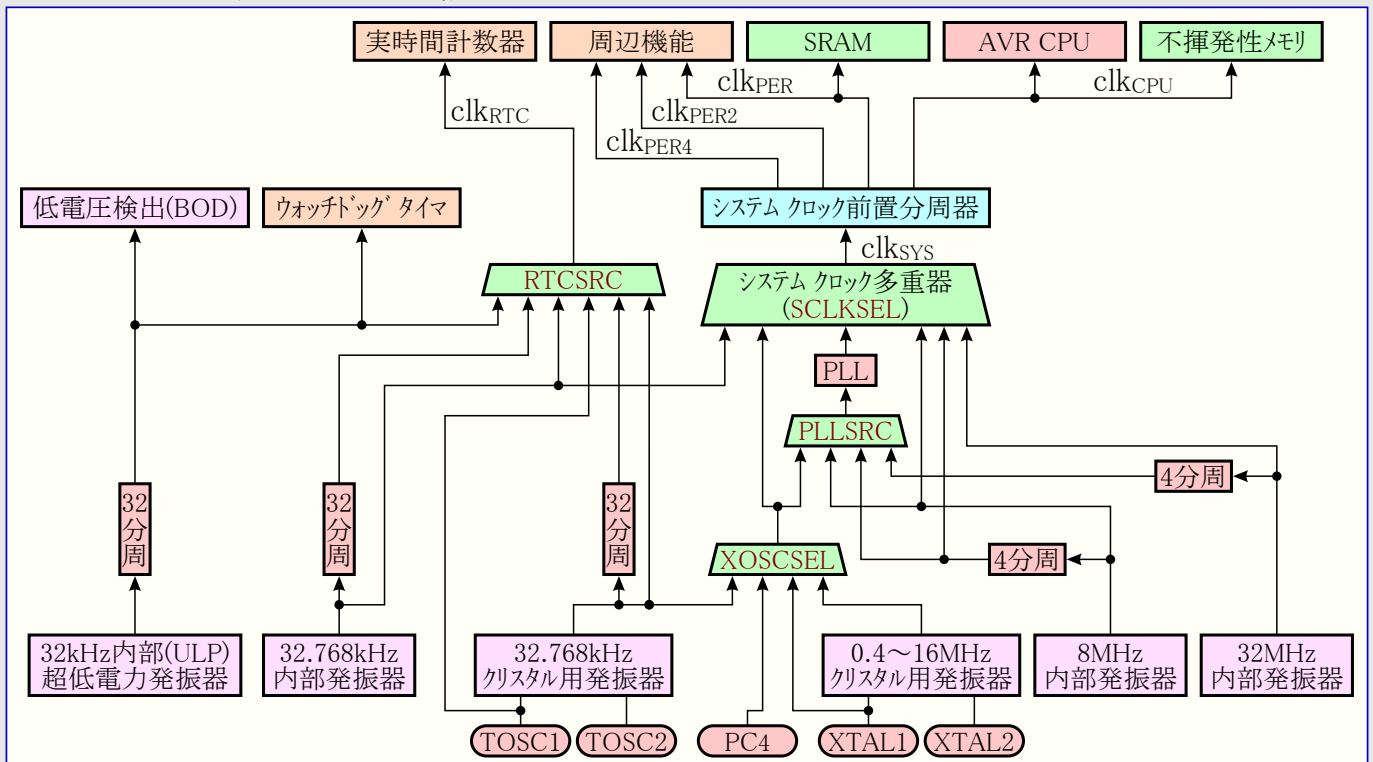
10.2. 概要

Atmel AVR XMEGA E5デバイスには多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振器とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使用できます。校正機能(DPLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための32MHz内部発振器の走行時自動校正に使用できます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に8MHz内部発振器の2MHz出力からの走行で始動します。標準動作の間はシステムクロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図10-1はXMEGA E5系デバイスの原則的なクロックシステムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは18頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使用して停止することができます。

図10-1. クロックシステム、クロック元とクロック配給



10.3. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは8MHz内部発振器の2MHz出力からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

10.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使用します。この発振器はデバイスのどれかの部分に対してクロック元として使用される時に自動的に許可/禁止が行われます。この発振器は**実時間計数器(RTC)**に対するクロック元として選択することができます。

10.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使用します。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使用することができます。

10.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使用することができます。

10.3.4. 0.4~16MHzクリスタル用発振器

この発振器は0.4~16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

10.3.5. 8MHz校正付き内部発振器

8MHz校正付き内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器周波数の走行時校正のためにソフトウェアから校正レジスタに書くこともできます。この発振器は2MHz出力を持つ組み込み分周器を使用します。リセット後と始動での既定出力周波数は2MHzです。パワーセーブ動作形態からの高速システム起動を許すために低電力動作任意選択を使用することができます。他の全ての動作形態では、内部発振器の消費電力をかなり減らすために低電力動作を許可することができます。

10.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器精度の最適化のための温度と電圧の変動に対する補償のため、走行時自動校正にデジタル周波数固定化閉路(DFLL: Digital Frequency Locked Loop)を許可することができます。この発振器は30~55MHz間のどの周波数にも調整、校正することができます。

10.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使用できます。XTAL1またはポートCの4ピン(PC4)は外部クロック信号に対する入力としても使用できます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

10.3.8. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システム クロックを生成するのに使用することができます。PLLは使用者選択可能な1~31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。

11. 電力管理と休止形態動作

11.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

11.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用部署の停止をAtmel AVR XMEGAマイクロ コントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使用されます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロ コントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

11.3. 休止形態動作

休止形態動作は節電のためにマイクロ コントローラ内の部署とクロック範囲を停止するのに使用されます。XMEGAマイクロ コントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令 (**SLEEP**) が利用できます。休止からデバイスを起動するのに割り込みが使用され、利用可能な割り込み起動元は形態設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、**SLEEP** 命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

レジスタ ファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセット ベクタから始動して実行します。

11.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、**割り込み制御器**、**事象システム**と**EDMA制御器**を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

11.3.2. パワーダウン動作

パワーダウン動作では**実時間計数器**クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期部署だけの動作を許します。MCUを起動できる割り込みは**2線インターフェース** アドレス一致割り込みと**非同期ポート割り込み**だけです。

11.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いて**パワーダウン動作**と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することができます。8MHz内部発振器の低電力動作任意選択は瞬時発振器起動時間を許します。これはMCU起動時間を減らしたり、またはUARTバスからのMCU起動を許します。

11.3.4. スタンバイ動作

スタンバイ動作は許可されているシステム クロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いて**パワーダウン動作**と同じです。これは起動時間を減らします。8MHz内部発振器の低電力動作任意選択は消費電力の更なる減少を許すことができます。

11.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステム クロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いて**パワーセーブ動作**と同じです。これは起動時間を減らします。8MHz内部発振器の低電力動作任意選択は消費電力の更なる減少を許すことができます。

12. システム制御とリセット

12.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグ リセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェア リセット
- 非同期動作
 - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コートをリセット元を読み取るためのリセット状態レジスタ

12.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがその電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

12.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通して行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

12.4. リセット元

12.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。

12.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

12.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間t_{EXT}より長くRESETピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセット ピンは内部プルアップ抵抗を内包します。

12.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。より多くの詳細については21頁の「WDT - ウォッチドッグ タイマ」をご覧ください。

12.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

12.4.6. プログラミングとデバッグ用インターフェース リセット

[プログラミングとデバッグ用インターフェース](#) リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使用される独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

13. WDT – ウォッチドッグ タイマ

13.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための形態設定施錠

13.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滯コードのような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に形態設定され、許可された時に定常的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロ コントローラ リセットを発行します。WDTは応用コードからの**WDR**(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコード異常が一定の**WDR**実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例え主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

形態設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒューズも利用可能です。

14. 割り込みと設定可能な多段割り込み制御器

14.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した形態設定と独立した割り込みベクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
 - 低位割り込み内での選択可能なラウンドロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはポート ロード領域に任意選択で配置される割り込みベクタ

14.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使用できます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、形態設定されます。割り込みが形態設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラム カウンタが割り込みベクタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのベクタ アドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベクタ アドレスから決められ、それは最下位割り込みベクタ アドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンドロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使用することができます。

14.3. 割り込みベクタ

割り込みベクタは周辺機能の基準割り込みアドレスと各周辺機能内の特定割り込みに対する変位アドレスの合計です。Atmel AVR XMEGA E5デバイスに関する基準アドレスは表14-1.で示されます。周辺機能で利用可能な各割り込みに対する変位アドレスはXMEGA E5手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または部署については表14-1.で割り込みベクタが示されます。プログラム アドレスは語アドレスです。

表14-1. リセットと割り込みのベクタ

プログラム アドレス (基準アドレス)	供給元	割り込み内容
\$000000	RESET	
\$000002	OSCF_INT_vect	クリスタル用発振器停止割り込みベクタ (NMI)
\$000004	PORTR_INT_base	ポートR割り込み基準
\$000006	EDMA_INT_base	EDMA制御器割り込み基準
\$00000E	RTC_INT_base	実時間計数器割り込み基準
\$000012	PORTC_INT_base	ポートC割り込み基準
\$000014	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
\$000018	TCC4_INT_base	ポートC上のタイマ/カウンタ4割り込み基準
\$000024	TCC5_INT_base	ポートC上のタイマ/カウンタ5割り込み基準
\$00002C	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込み基準
\$00002E	USARTC0_INT_base	ポートC上のUSART0割り込み基準
\$000034	NVM_INT_base	不揮発性メモリ割り込み基準
\$000038	XCL_INT_vect	XCL(設定可能な論理回路)部署割り込み基準
\$00003C	PORTA_INT_base	ポートA割り込み基準
\$00003E	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
\$000044	ADCA_INT_base	ポートA上のA/D変換器割り込み基準
\$000046	PORTD_INT_base	ポートD割り込み基準
\$000048	TCD5_INT_base	ポートD上のタイマ/カウンタ5割り込み基準
\$000050	USARTD0_INT_base	ポートD上のUSART0割り込み基準

15. 入出力ポート

15.1. 要点

- 個別形態設定を持つ26本の汎用入出力ピン
- 形態設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 割り込みと事象を持つ非同期感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 入力とワイヤードOR/AND形態設定での任意選択のプルアップとプルダウンの抵抗
- 入出力ポート毎のスレーブ制御任意選択
- 全休止形態からデバイス起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ1つのポート割り込み
- ポートピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハードウェア読み-変更-書き
 - 単一操作で複数ピンの形態設定
 - ビットアクセス可能なI/Oメモリ空間へポートレジスタの割り当て
- ポートピンでの周辺クロック出力
- ポートピンでの実時間計数器クロック出力
- 事象チャンネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSARTとタイマ/カウンタの入出力ピン位置
 - 選択可能なアナログ比較器出力ピン位置

15.2. 概要

1つのポートはピン0〜7まで続く8つまでのポートピンから成ります。各ポートピンは形態設定可能な駆動部と引き込み設定を持つ入力または出力として形態設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ非同期入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で形態設定可能ですが、単一操作で多数のピンを形態設定することができます。ピンは駆動値と/または引き込み抵抗の形態設定の安全で正しい変更のためのハードウェア読み-変更-書き(RMW)機能を持ちます。1つのポートピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポートピン形態設定は他のデバイス機能の入出力選択も制御します。それはポートピンへの周辺クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使用できる、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、タイマ/カウンタ、アナログ比較器出力のような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

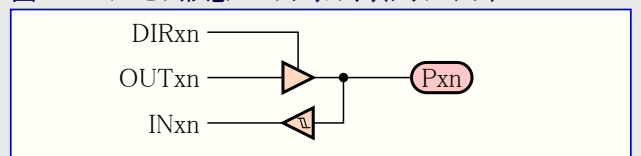
ポートの表記は、PORTA、PORTC、PORTD、PORTRです。

15.3. 出力駆動部

全てのポートピン(Pxn)は設定可能な出力形態設定を持ちます。電磁放射を減らすため、ポートピンは形態設定可能なスレーブ制限も持ちます。

15.3.1. コンプリメンタリ(プッシュプル)

図15-1. I/Oピン形態 – コンプリメンタリ(プッシュプル)



15.3.2. プルダウン

15.3.3. プルアップ

15.3.4. バス保持

バス保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならプルアップとして、最後の値が0だったなら、プルダウンとして働きます。

15.3.5. その他

図15-2. I/Oピン形態 – 入力プルダウン付きコンプリメンタリ

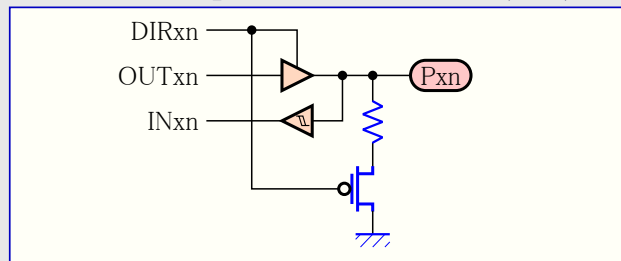


図15-3. I/Oピン形態 – 入力プルアップ付きコンプリメンタリ

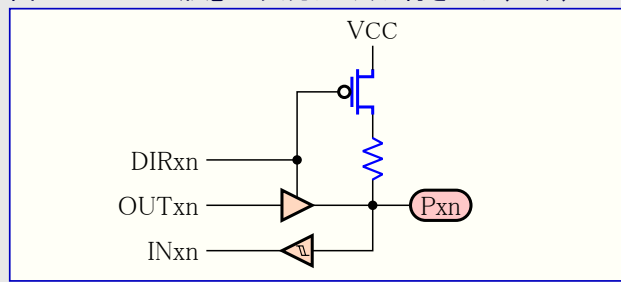


図15-4. I/Oピン形態 – バス保持付きコンプリメンタリ

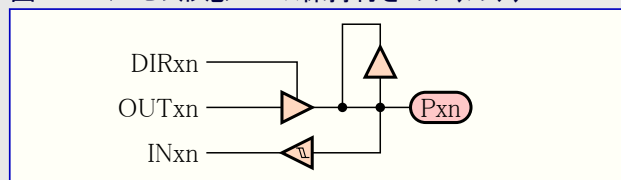


図15-5. 出力形態 – 任意選択プルダウン付きワイヤードOR

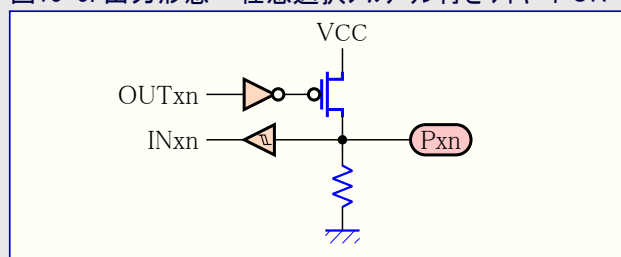
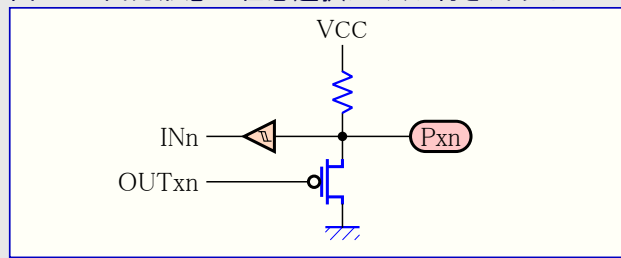


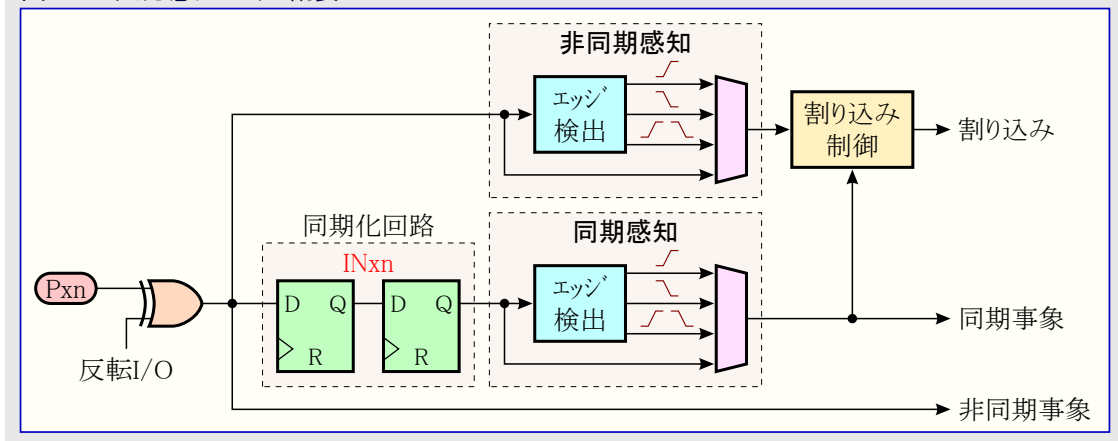
図15-6. 出力形態 – 任意選択プルアップ付きワイヤードAND



15.4. 入力感知

入力感知はポートに対して許可されたクロックに依存して同期または非同期で、この形態は図15-7.で示されます。

図15-7. 入力感知システム概要



ピンが反転I/Oで形態設定されると、ピン値は入力感知前に反転されます。

15.5. 交換ポート機能

殆どのポートピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポートピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに形態設定される時に起きます。周辺機能がどう無効にして、ピンをどう使用するかはその周辺機能に関する章で記述されます。45頁の「[ピン配置とピン機能](#)」は周辺機能でどの部署がピンでの交換機能を許可するのかと、どの交換機能がピンで利用可能かを示します。

16. タイマ/カウンタ4型と5型

16.1. 要点

- 3つの16ビット タイマ/カウンタ
 - 1つの4型タイマ/カウンタ
 - 2つの5型タイマ/カウンタ
- 2つタイマ/カウンタの縦列接続によって支援される32ビット タイマ/カウンタ
- 4つまでの比較と捕獲(CC)チャネル
 - 4型のタイマ/カウンタに対して4つのCCチャネル
 - 5型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成動作形態:
 - 周波数生成
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲入力
- タイマ経過溢れと異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
 - 直交復号
 - 計数と方向の制御
 - 捕獲
- EDMAと共にEDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
 - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- WeX – 波形拡張
 - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
- 障害拡張
 - 駆動部の安全な禁止のために事象制御された誤り保護

16.2. 概要

Atmel AVR XMEGAデバイスには柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使用できます。これは方向制御とタイミングに使用することができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅変調(PWM)は勿論、様々な入力捕獲動作を行うのにも使用することができます。タイマ/カウンタは比較、捕獲、または比較と捕獲のどれかの機能に形態設定できます。

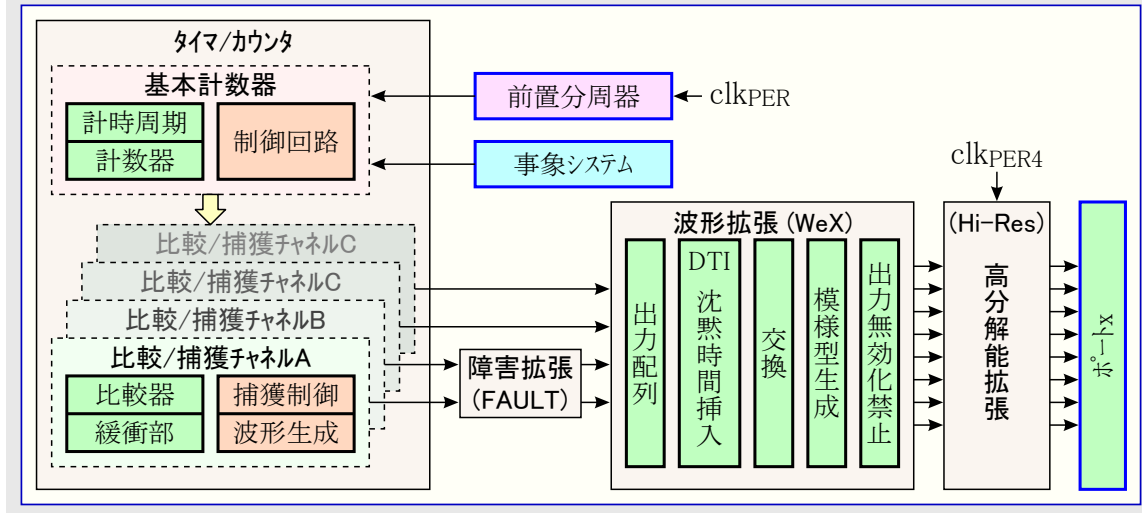
タイマ/カウンタは任意選択の前置分周付きの周辺クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使用することができます。

タイマ/カウンタの4型と5型の間には2つの違いがあります。タイマ/カウンタ4は4つのCCチャネルを持ち、タイマ/カウンタ5は2つのCCチャネルを持ちます。タイマ/カウンタ4と5の両方は応用に8ビット分解能で2倍の比較と捕獲のチャネル数を許す8ビット動作に設定することができます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。**波形拡張(WeX)**は電動機制御、安定器、LED、Hブリッジ、電力変換器や他の形式の電力制御応用を意図されています。それはもっと独自化された波形出力分配と、任意の沈黙時間挿入を持つLow側とHigh側のチャネル出力を許します。ポートピンを渡って同期したビット模様を生成することもできます。**高分解能(Hi-Res)拡張**は周辺クロックよりも4倍速い内部クロック元を使用することによって、波形出力分解能を4または8倍に増すことができます。**障害拡張(FAULT)**は外部駆動部の安全と決定的な処理、禁止や停止のための障害保護を許します。

密接に関連する(青枠の(訳注:原書は灰色の))周辺機能部署と拡張を伴う16ビット タイマ/カウンタの構成図が図16-1.で示されます。

図16-1. 16ビット タイマ/カウンタと密接に関連する周辺機能



ポートCは1つのタイマ/カウンタ4と1つのタイマ/カウンタ5を持ちます。ポートDは1つのタイマ/カウンタ5を持ちます。これらの表記は各々、TCC4(タイマ/カウンタC4)、TCC5、TCD5です。

17. WeX – 波形生成拡張

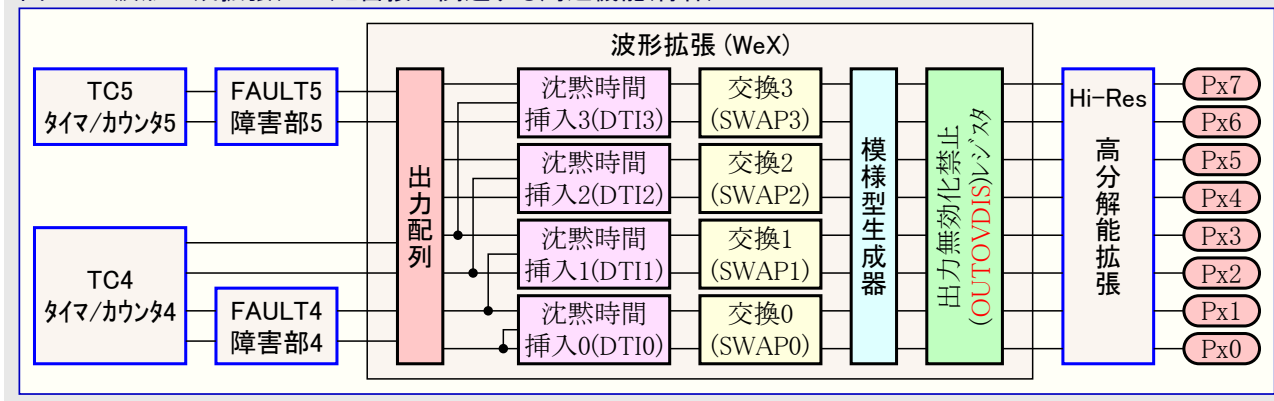
17.1. 要点

- より独自化されて進化した波形生成用部署
 - 様々な形式の電動機、安定器、電力段制御に最適化
- タイマ/カウンタ波形出力分配用出力配列
 - ポートピンに渡って形態設定可能な比較チャネル出力の分配
 - TC4とTC5間での沈黙時間挿入資源の再分配
- 各々が以下を持つ、4つの沈黙時間挿入(DTI)部
 - 非重複補完のHigh側とLow側の出力
 - 独立したHigh側とLow側の沈黙時間設定
 - 8ビット分解能
- 4つの交換(SWAP)部
 - 独立したポート対またはHigh/Low側駆動部交換
 - 2重緩衝された交換機能
- ポートピンに渡って同期したビット模様を生成する模様型生成部
 - 2重緩衝された模様型生成

17.2. 概要

波形拡張(WeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主に各種形式の電動機制御、安定器、LED、Hブリッジ、電力変換器や他の電力制御応用での使用が意図されます。図17-1.で示されるように、WeXは独立して連続する5つの単位部から成ります。

図17-1. 波形生成拡張(WeX)と密接に関連する周辺機能(青枠)



出力配列(OTMX)は各種応用形式用に各々最適化され、各種形態設定でポートピンに渡ってタイマ/カウンタ4と5からの波形出力を分配して引き出すことができます。沈黙時間挿入(DTI:Dead Time Insertion)部は4つの下位側OTMX出力を、Low側(LS)とHigh側(HS)切り換え間の任意選択沈黙時間挿入を持つ波形出力の非反転LSと反転HSの2つの非重複信号に分けます。

交換(SWAP)部はLSとHSのピン位置を交換できます。これは高速減衰電動機制御に使用することができます。模様型生成部は一定の論理レベルで同期した出力波形を生成します。これは簡単なステップモータと全ブリッジ制御に使用することができます。

出力無効化禁止部はピンの使い方を最適化するために選択可能なポートピンでの波形出力を禁止することができます。これはそれらがOTMX形態設定によって選択することができるため、応用が全てのポートピンに渡って波形出力を展開する必要がない時に、他の機能が使うためにピンを空けることです。

波形拡張はTCC4とTCC5に対して利用可能です。この表記はWEXCです。

18. Hi-Res – 高分解能拡張

18.1. 要点

- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使用される時にWeXを支援

18.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使用することができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使用することができます。これが同じタイマ/カウンタに使用される場合、WeXと共に使用することもできます。

Hi-Res拡張は4倍周辺クロック(clkPER4)を使用します。システム クロック前置分周器はHi-Res拡張が許可される時に4倍周辺クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように形態設定されなければなりません。

ポートCのタイマ/カウンタに対して許可することができる1つのHi-Res拡張があります。この表記はHIRESAです。

19. 障害拡張

19.1. 要点

- タイマ/カウンタ出力と波形拡張入力に接続
- 瞬間と予測可能な障害起動に対する事象制御された障害保護
- 高速、同期、非同期の障害起動
- 複数障害元での柔軟な形態設定
- 回復可能な障害動作
 - 障害条件でのタイマ/カウンタ再始動または停止
 - 障害条件でのタイマ/カウンタ入力捕獲
 - 障害条件での波形出力活性時間削減
- 回復不可障害
 - 波形出力は障害条件で予め形態設定された安全状態を強制されます。
 - システムリセット中の出力状態を定義する任意の出力値形態設定ヒューズ¹
- 柔軟な障害濾過選択
 - 入出力ピンの不具合からの誤った起動を防ぐためのデジタル濾波器
 - 整流(転流)中の誤った軌道を防ぐための障害消去
 - 不活性出力比較状態中の誤った入力を濾過するための障害入力制限

19.2. 概要

障害拡張はタイマ/カウンタ比較出力から生成された波形で直接的に動くことによって事象制御される障害保護を許します。それは以下の活動を持つ2つの障害形式を起動するのに使用することができます。

- 回復可能障害：タイマ/カウンタは障害条件が存在する限り再始動または休止され得ます。比較出力パルス活性時間は障害条件が存在する限り減少されます。これは代表的に電流感知調整、0交差再起動、消磁再起動、以下同様に対して使用されます。
- 回復不能障害：比較出力は応用のために安全で予め形態設定された値に強制されます。これは代表的に瞬間且つ予測可能な停止(遮断)と高電流または高電圧の駆動部を禁止するのに使用されます。

事象は障害条件を起動するのに使用されます。1つまたは多数の同時に起こる事象が同期または非同期の両方で支援されます。既定により、障害拡張はシステムクロックが停止されるシステム電力動作形態を含み、予測可能で瞬間の障害反応を保証する非同期事象動作を支援します。

入力消去、障害入力制限またはデジタル濾波器任意選択の使用により、誤った障害検出を避けるために障害元を濾過することができます。

ポートCのタイマ/カウンタ4とタイマ/カウンタ5の各々に1つで、2つの障害拡張があります。これらの表記は各々、FAULTC4とFAULTC5です。

20. RTC – 16ビット実時間計数器

20.1. 要点

- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な10ビット クロック前置分周
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象
- 外部クリスタル発振器周波数を±0.5ppm精度以下にするための補正

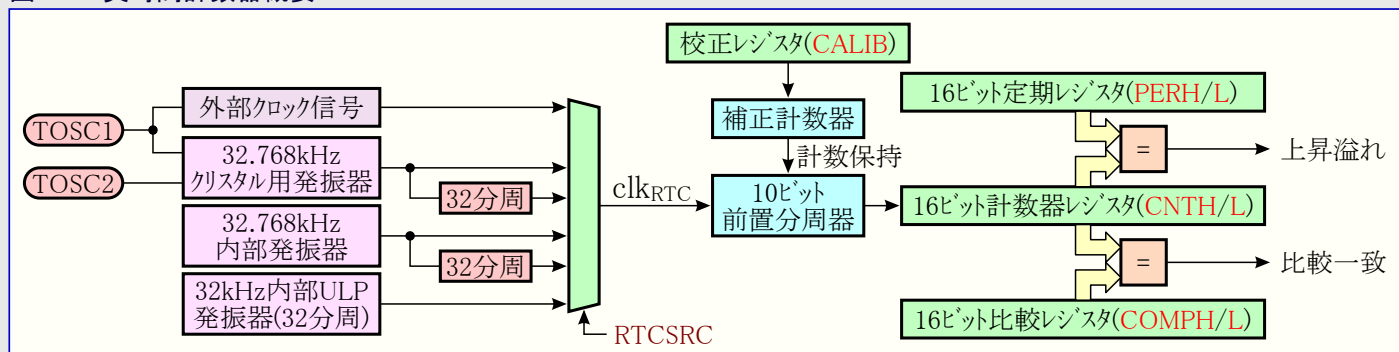
20.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された形態設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げることで設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を形態設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ s、時間経過期間は2000sまでに行えます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図20-1. 実時間計数器概要



RTCは外部32.768kHzクリスタル発振器を使用して操作する時に補正も支援します。外部的に校正された値が補正に使用されます。この校正はシステムクロックとしてデバイスに入力されるもっと正確なクロックに対する既定RTC周波数を測定することによって行うことができます。RTCは±0.5ppmの精度に校正することができます。RTC補正動作はクリスタル発振器誤差に対して清算するために、前置分周器を(計数を飛ばすことによって)速度向上する、または(余分な周期を追加して)速度低下するのどちらかです。

21. TWI – 2線インターフェース

21.1. 要点

- 1つの2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
 - 独立且つ同時の主装置と従装置の動作を持つ、橋渡し(ブリッジ)動作
- 柔軟な従装置アドレス一致機能
 - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビット アドレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHz、400kHz、1MHzのバス周波数支援
- スレーブ制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)
- SMBus階層1の時間超過を支援
- 形態設定可能な時間超過値
- 主装置と従装置での独立した時間超過計数器(橋渡し動作形態支援)

21.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。

TWI部署は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と形態設定、同時動作ができます。主装置部署は複数主装置バス動作と調停を支援します。それはホーレート発生器を含みます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。主装置は100kHz、400kHz、1MHzのバス周波数を支援することができます。

従装置部署はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。橋渡し動作の使用により、従装置は違うピン位置に割り当てることができます。主装置と従装置は100kHz、400kHz、1MHzのバス周波数を支援することができます。

TWI部署は**開始条件**、**停止条件**、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使用されるのとは違うVCC電圧で動作する応用に使用することができます。

橋渡し動作を許可することも可能です。この動作形態では、従装置の入出力ピンが代替ポートから選択され、独立且つ同時の主装置と従装置の動作を許します。

ポートCは1つのTWIを持ちます。この周辺機能の表記はTWICです。橋渡し動作での代替TWI従装置位置はポートDです。

22. SPI – 直列周辺インターフェース

22.1. 要点

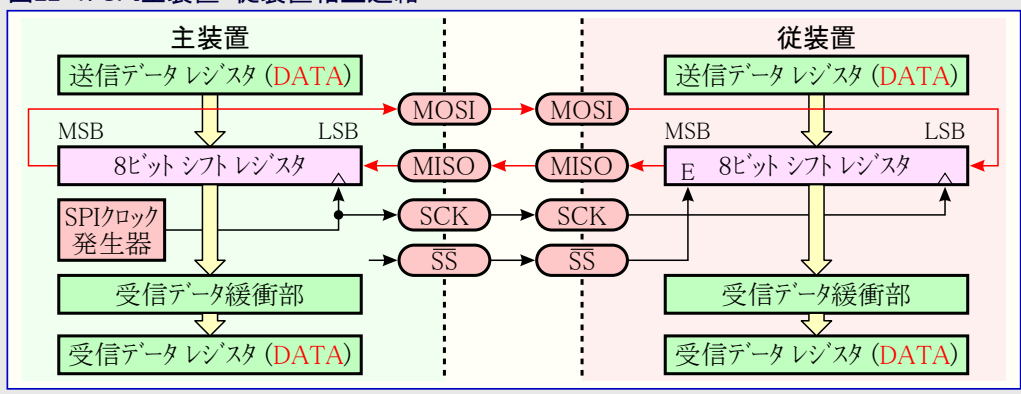
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 任意選択の2重緩衝受信
- 任意選択の緩衝送信
- 以下に対する任意選択の独立した割り込み
 - 受信完了
 - 送信完了
 - 送信データレジスタ空
 - 従装置選択線Low引き込み
- データ オーバーラン検出
- アイドル休止動作からの起動
- 倍速主装置動作

22.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使用する高速全二重同期データ転送インターフェースです。それはAtmel AVR XMEGAデバイスと周辺装置間、または多数のマイクロ コントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が図22-1.で示されます。このシステムは2つのシフトレジスタとクロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)ピンをLowに引くことによって通信を開始します。主装置と従装置は送るべきデータをそれらの各々のシフトレジスタに用意して、データを交換するためにSCK線に必要とするクロックパルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へシフトされます。各データ パケット後、主装置はSS線をHighに引くことによって従装置を同期化することができます。

図22-1. SPI主装置-従装置相互連絡



既定により、SPI部署は送信方向では単一緩衝され、受信方向では2重緩衝されます。送信データレジスタに書かれたバイトは完全な文字(バイト)が受信された時にシフトレジスタへ複写されます。データ受信時、データ損失を避けるため、受信した文字(バイト)は3つ目の文字(バイト)が完全にシフトされてしまう前に受信データレジスタから読まなければなりません。任意で、緩衝動作を許可することができます。これが使用されると、送信部に対して1つの緩衝部が、受信に対して2重緩衝が利用可能です。

ポートCは1つのSPIを持ちます。この表記はSPICです。

23. USART

23.1. 要点

- 2つの同様なUSART周辺機能
- 全二重または単線半二重動作
- 非同期と同期での動作
 - デバイス クロック周波数の1/2までの同期クロック速度
 - デバイス クロック周波数の1/8までの非同期クロック速度
- 以下での直列構造体支援
 - 5,6,7,8,9データビット
 - 任意の奇数と偶数のパリティビット
 - 1または2つの停止ビット
- 分数ボーレート発生器
 - どのシステム クロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データ オーバーランと構造体異常(Framing Error)の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データ レジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 開始ビットでのシステム起動
- 主装置SPI動作
 - 2重緩衝された動作
 - 形態設定可能なデータ順
 - 周辺クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)部署
- 1つのUSARTは以下を持つXMEGA注文論理回路(XCL)部署に接続されます。
 - 周辺機能計数器を使用することによる256ビットまでの拡張直列フレーム(構造体)長
 - 接続用論理回路出力を使用することによるフレーム(構造体)内でのデータの変調/復調

23.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信部署です。USARTは非同期と同期の動作での全二重通信と非同期動作での単線半二重通信を支援します。USARTはSPI主装置での動作形態に形態設定してSPI通信に使用することができます。

通信は構造体に基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向に於いて緩衝され、構造体間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。構造体異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

単線形態設定では、TxDピンが内部的にRxDピンに接続され、入出力ピンの使用を制限します。送信している時に受信部が許可された場合、送品部が送っているものを受信します。この動作形態はビット異常検出に使用することができます。

クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使用することの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

赤外線通信(IRCOM)部署は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。

1つのUSARTはXMEGA注文論理回路(XCL)部署に接続することができます。XCLと使用されると、USART/SPIフレームでのデータ長はXCL内の周辺機能計数器(PEC)によって制御されます。これは256ビットまで形態設定可能なフレーム長を許します。加えて、USARTがXCL参照表(LUT)出力に接続される時に、TxD/RxDデータは信号が信号が送信部から出力された後、またはUSART受信部に供給される前に符号化/復号することができます。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、シフトレジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使用されますが、いくつかの制御設定について機能が異なります。

ポートCとポートDは各々1つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0とUSARTD0です。

24. IRCOM – 赤外線通信部署

24.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

24.2. 概要

Atmel AVR XMEGAデバイスには115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信部署です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにUSARTに接続することができます。

25. XCL – XMEGA注文論理回路

25.1. 要点

- 以下を持つ2つの独立した8ビット タイマ/カウンタ
 - 各タイマ/カウンタに対する定期と比較チャネル
 - 各タイマ/カウンタに対する入力捕獲
 - 各タイマ/カウンタに対する直列周辺機能データ長制御
 - 各計時器に対する時間制限支援
 - タイマ/カウンタ下側溢れ割り込み/事象
 - 各タイマ/カウンタに対する比較一致または入力捕獲割り込み/事象
- 2つのタイマ/カウンタの直列接続による、以下を持つ1つの16ビット タイマ/カウンタ
 - 定期と比較チャネル
 - 入力捕獲
 - 時間制限支援
 - タイマ/カウンタ下側溢れ割り込み/事象
 - 比較一致または入力捕獲割り込み/事象
- 多数の形態設定を支援する設定可能な参照表
 - 2つの2入力部
 - 1つの3入力部
 - RS(Reset/Set)形態設定
 - 1つの入力または出力での遅延を持つ重複入力
 - 外部入出力ピン、事象システム、または選択可能な1つのUSARTへの接続
- 設定可能な真理値表を用いる組み合わせ論理回路機能
 - AND,NAND,OR,NOR,XOR,XNOR,NOT,MUX
- 逐次論理回路機能
 - Dフリップフロップ、Dラッチ、RSラッチ
- 入力元
 - 外部ピンまたは事象システムから
 - 選択可能な遅延または同期任意選択を含む1つの入力元
 - 選択可能なUSARTピン位置との共用可能
- 出力
 - 外部ピンまたは事象システムで利用可能
 - 選択可能な遅延または同期任意選択を含む
 - 選択可能なUSARTピン位置上書き可能
- 活動動作形態と全休止動作形態で動作

25.2. 概要

XMEGA注文論理回路(XCL)部署は各々が柔軟な設定を持つ8ビット タイマ/カウンタ、1つのソフトウェア選択可能なUSART部署と動く周辺機能計数器、遅延素子、設定可能な真理値表を持つ接続用論理回路(glue logic)、全体論理回路相互接続配列を含む2つの部分要素から成ります。

タイマ/カウンタけちアイ設定は2つの8ビット タイマ/カウンタを許します。各タイマ/カウンタは各々の計時器に対して共通する柔軟なクロック選択と事象チャネルとで標準、比較、入力捕獲を支援します。2つの8ビット タイマ/カウンタを縦列接続することにより、XCLは16ビット タイマ/カウンタとして使用することができます。

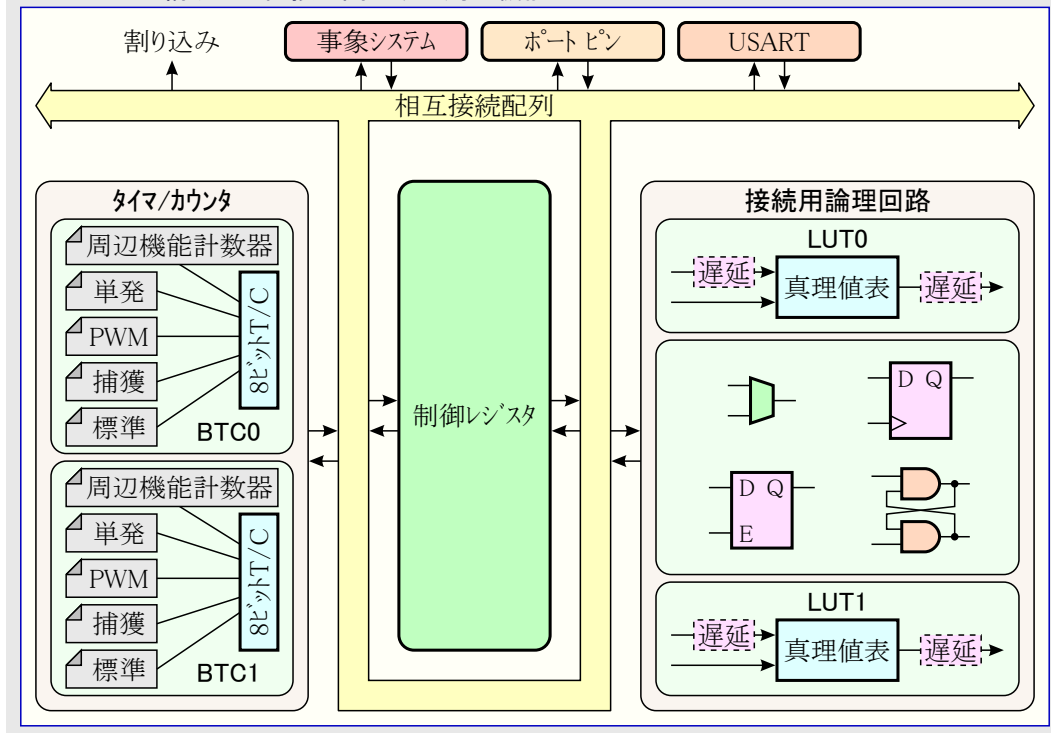
周辺機能計数器(PEC)形態設定で、XCLはソフトウェア選択可能な1つのUSARTに接続されます。このUSARTは計数器操作を制御し、PECはUSARTフレーム内のデータ長を任意に制御することができます。

接続用論理回路形態設定で、XCLは設定可能な2つの参照表(LUT)を実装します。各々は2つの入力間の論理状態に対応する真理値表を定義します。どの組み合わせ論理回路機能も可能です。LUT入力の入出力ピンまたは事象システムのチャネルに接続することができます。LUTがUSART0ピン位置に接続される場合、データ線(TxD/RxD)のデータの符号化/復号が可能です。LUT部と共にRSラッチ、2つの作用対象または3つの入力間のどの組み合わせ論理回路の接続も許可することができます。

LUTは全休止動作形態で動きます。事象システムと1つの入出力ピンと組み合わせたLUTは最大3つの入力ピンの状態が真の場合にだけシステムを起こすことができます。

拡張を持つ設定可能な論理回路と密接に関連する周辺機能部署の構成図は図25-1.で示されます。

図25-1. XCL構成図と密接に関連する周辺機能



26. CRC – 巡回冗長検査(Cyclic Redundancy Check)生成器

26.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
 - 通信データ
 - フラッシュ メモリ内のプログラムまたはデータ
 - SRAMとI/Oメモリ空間内のデータ
- フラッシュ メモリ、EDMA制御器、CPUとの統合
 - EDMAチャネルを通して行うデータでの継続的なCRC
 - フラッシュ メモリの全体または選択可能な範囲の自動CRC
 - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
 - CRC-16 (CRC-CCITT)
 - CRC-32 (IEEE 802.3)
- 0剰余検出

26.2. 概要

巡回冗長検査(CRC)はデータ内の偶発的な誤りを見つけるのに使用される誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使用され、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使用することができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の $1-2^{-n}$ を検出します。Atmel AVR XMEGAデバイスのCRC部署は一般的に使用される2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

● CRC-16:

生成多項式 : $X^{16}+X^{12}+X^5+1$

16進値 : \$1021

● CRC-32:

生成多項式 : $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$

16進値 : \$04C11DB7

27. ADC – 12ビット A/D変換器

27.1. 要点

- 12ビット分解能
- 1秒当たり最大30万採取
 - 8ビット分解能で $2.3\mu\text{s}$ 以下の変換時間
 - 12ビット分解能で $3.35\mu\text{s}$ 以下の変換時間
- 差動とシングルエンドの入力
 - 最大16のシングルエンド入力
 - 16×8 種の任意利得付き差動入力
- 組み込み差動利得段
 - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
 - 内部温度感知器
 - D/A変換器(DAC)出力
 - AVCCの1/10の電圧
 - 1.1Vバンドギャップ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 変位(オフセット)と利得の修正
- 平均化
- 過採取と間引き
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の比較結果での割り込み/事象
- 任意選択の変換結果EDMA転送

27.2. 概要

A/D変換器(ADC)はアナログ信号をデジタル値に変換します。ADCは12ビット分解能と秒当たり30万(300k)採取(sps)までの変換能力を持ちます。入力選択は柔軟で、シングルエンドと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力を利用可能です。ADCは符号付と符号なしの結果を提供できます。

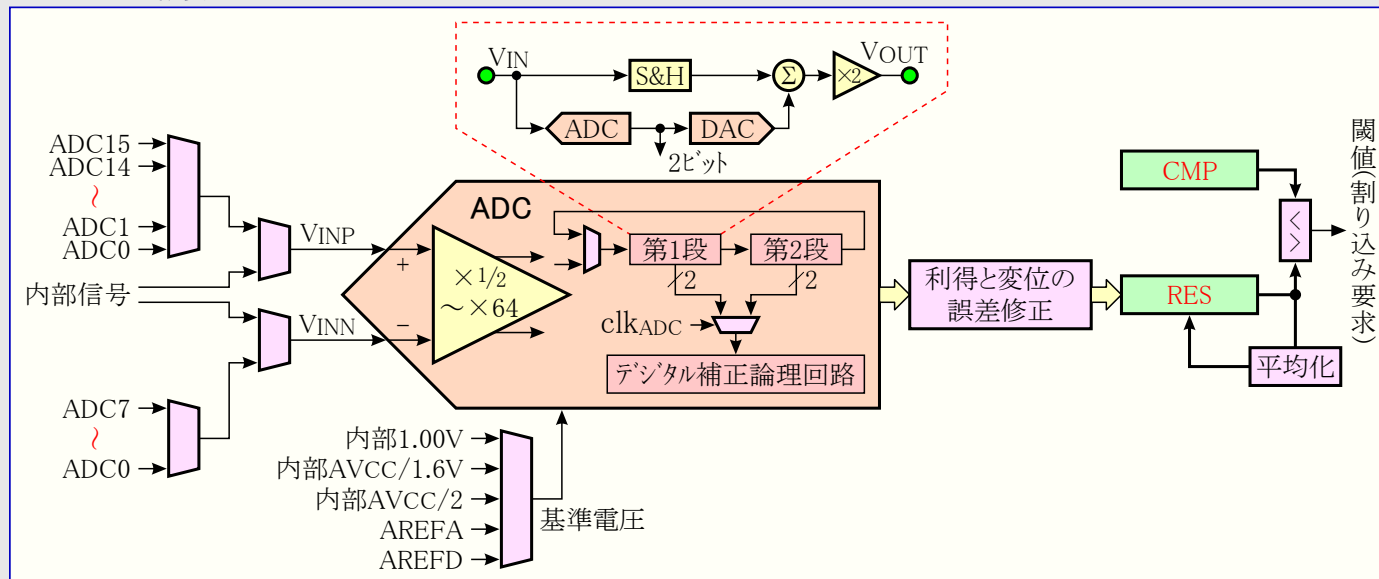
ADC測定は応用ソフトウェアまたはデバイス内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はソフトウェアの介在なしで予め予測されたタイミングで開始することができます。変換が終了した時にADCの結果を直接、メモリまたは周辺機能へ移動するのにEDMAを使用することが可能です。

内部と外部の両方の基準電圧が使用できます。統合された温度感知器がADCとで利用可能です。AVCC/10、バンドギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

雑音がある状況での操作時、ADC分解能を増すために平均機能を許可することができます。最大1024採取を平均化することができます、最大16ビット分解能の結果を許します。同様に、過採取と間引きの動作形態を使用して、ADC分解能は最大4ビットの追加LSB分解能に帰着する16ビットまで増加されます。標準製造校正に加え、使用者は絶対ADC精度を改善するために変位(オフセット)と利得の修正を許可することができます。

図27-1. ADC概要



ADCは8または12ビットの結果に形態設定することができ、最小変換時間(伝播遅延)を12ビットに対する $3.35\mu\text{s}$ から8ビットの結果に対する $2.3\mu\text{s}$ に減らします。ADC変換結果は結果が符号付きとして表現される時に計算を簡単にする、左詰めまたは右詰めの調整が提供されます。

ポートAは1つのADCを持ちます。この周辺機能の表記はADCAです。

28. DAC – 12ビット D/A変換器

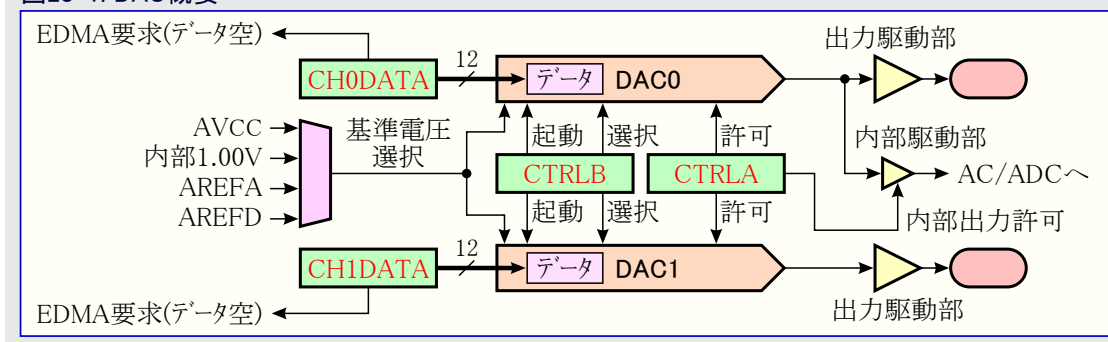
28.1. 要点

- 1つのD/A変換器
- 12ビット分解能
- 2つの独立で継続駆動のチャンネル
- DACチャンネル当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
 - 変位(オフセット)誤差
 - 利得誤差
- 複数の変換起動元
 - 利用可能な新データで
 - 事象システムからの事象
- 高い駆動能力と以下を支援
 - 抵抗性負荷
 - 容量性負荷
 - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- アナログ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動能力を持つ低電力動作形態
- 任意選択のEDMAデータ転送

28.2. 概要

D/A変換器(DAC)はデジタル値を電圧に変換します。DACは各々が12ビット分解能を持つ2つのチャンネルを持ち、各チャンネルでの秒当たり100万採取(MSPS)の変換能力を持ちます。組み込み校正システムはソフトウェアで校正値を設定した時に変位(オフセット)と利得の誤差を取り去ることができます。

図28-1. DAC概要



DAC変換は変換されるべき新しいデータが利用可能な時に自動的に開始されます。事象システムからの事象も変換を起動するのに使用することができ、これはタイマ/カウンタのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。EDMA制御器はDACへデータを転送するのに使用することができます。

DACは抵抗性と容量性の両方だけでなくこれを組み合わせた負荷の駆動能力もあります。低電力動作が利用可能で、これは出力の駆動能力を減らします。内部と外部の両方の基準電圧を使用することができます。DAC出力は内部的にアナログ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

ポートAは1つのDACを持ちます。この周辺機能の表記はDACAです。

29. AC – アナログ比較器

29.1. 要点

- 2つのアナログ比較器
- 選択可能な伝播遅延
- 選択可能なヒステリシス
 - なし
 - 小
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポート上の全ピン
 - D/A変換器(DAC)からの出力
 - バントギャップ基準電圧
 - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 形態設定可能な出力ピン選択を持つ定電流源
- 非同期事象の供給元

29.2. 概要

アナログ比較器(AC)は2つの入力の電圧レベルを比較してその比較に基いたデジタル出力を与えます。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や同期/非同期事象を与えるように形態設定することができます。

動的な動きになる時のアナログ比較器の1つの重要な特性はヒステリシスです。このパラメータは各応用に対して最適な動作を得るために調節することができます。

入力選択はアナログポートピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使用するためにピン上で利用可能にすることもできます。対として使用すると、それらは電圧レベルの代わりに電圧窓と信号を比較するように窓動作で設定することができます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使用される外部抵抗を置き換えるのに使用することができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使用すると、それらは電圧レベルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ポートAは1つのAC対を持ちます。表記はACAです。

図29-1. アナログ比較器概要

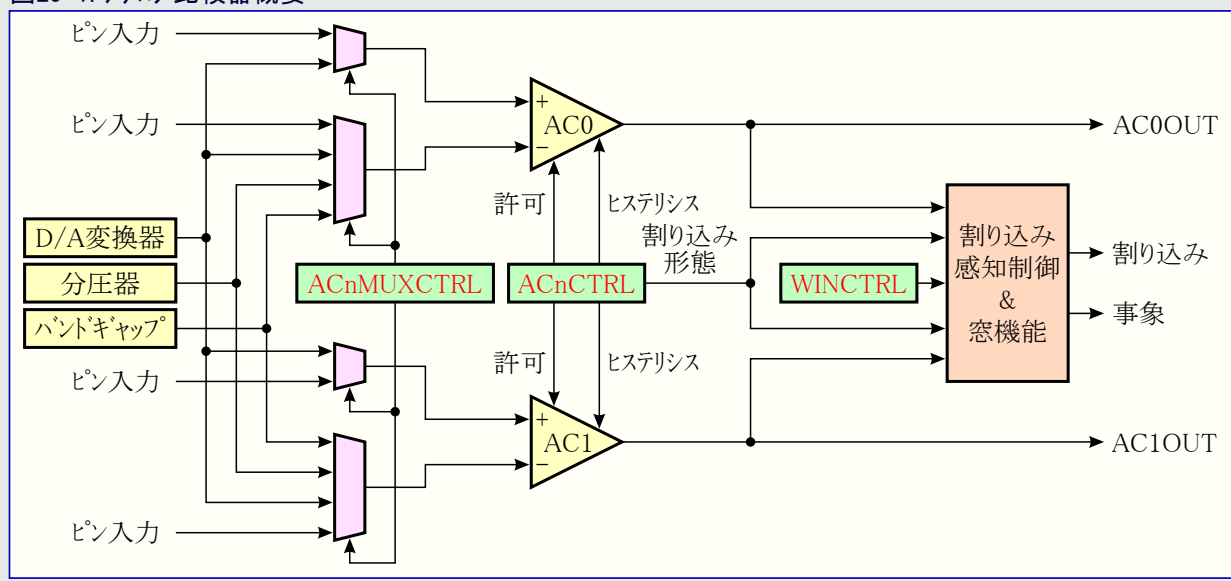
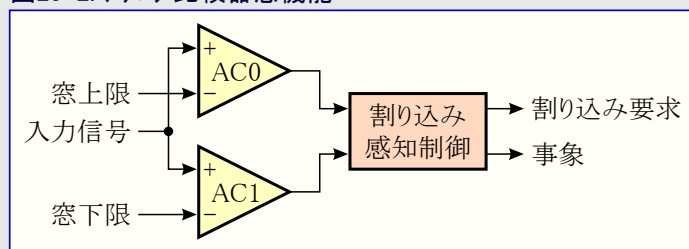


図29-2.で示されるように、窓機能は2つのアナログ比較器の外部入力を接続することによって実現されます。

図29-2. アナログ比較器窓機能



30. プログラミングとデバッグ

30.1. 要点

- プログラミング
 - PDIインターフェースを通す外部プログラミング
 - 高速動作のための最小の規約付随負荷
 - 確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すプログラミング用のブート ロータ 支援
- デバッグ
 - 不干涉、実時間、チップ上デバッグ システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
 - データ位置読み、書き、または読み書き両方
 - データ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- プログラミングとデバッグ用インターフェース(PDI)
 - 外部のプログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - プログラミングまたはデバッグ中にI/Oピンの必要なし

30.2. 概要

プログラミングとデバッグ用インターフェース(PDI)はデバイスの外部プログラミングとチップ上デバッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒューズ、施錠ビット、使用者識別列の不揮発性メモリ(NVM)の高速プログラミングを支援します。

デバッグは不干涉、実時間のデバッグを提供するチップ上デバッグ システムを通して支援されます。これはデバイスピン接続を除いてどんなソフトウェアまたはハードウェアも必要としません。Atmelのツールチェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラレベルからだけでなく、Cまたは他の高位言語ソースコードのレベルからも行うことができます。

プログラミングとデバッグはPDI物理層を通して行えます。これはクロック入力用のリセットピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使用する2ピン インターフェースです。どの外部書き込み器またはチップ上デバッグ/エミュレータもこのインターフェースへ直接的に接続することができます。

31. ピン配置とピン機能

デバイスのピン配置は3頁の「[ピン配置/構成図](#)」で示されます。汎用I/O機能に加え、各ピンは様々な交換機能を持ち得ます。これはどの周辺機能が許可され、そして現実のピンに接続されるかに依存します。ピン機能は同時に1つだけを使用することができます。

31.1. 交換ピン機能の種類

下表は利用可能な全てのピン機能に対する表記とその機能の内容を示します。

31.1.1. 活動/電力供給

VCC	デジタル供給電圧
AVCC	アナログ供給電圧
GND	接地

31.1.2. ホート割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つポートピン
ASYNC	完全な同期と完全な非同期の割り込み機能を持つポートピン

31.1.3. アナログ機能

ACn	アナログ比較器入力ピンn
ACnOUT	アナログ比較器n出力
ADCn	A/D変換器入力ピンn
DACn	D/A変換器出力ピンn
AREF	アナログ基準電圧入力ピン

31.1.4. タイマ/カウンタとWeX機能

OCnx	タイマ/カウンタn用比較チャネルx出力
OCnx	タイマ/カウンタn用比較チャネルx反転出力
OCnxLS	タイマ/カウンタn用比較チャネルx Low側出力
OCnxHS	タイマ/カウンタn用比較チャネルx High側出力

31.1.5. 通信機能

SCL	I ² C用直列クロック
SDA	I ² C用直列データ
SCLIN	外部駆動インターフェース許可時のI ² C用直列クロック入力
SCLOUT	外部駆動インターフェース許可時のI ² C用直列クロック出力
SDAIN	外部駆動インターフェース許可時のI ² C用直列データ入力
SDAOUT	外部駆動インターフェース許可時のI ² C用直列データ出力
XCKn	USARTn用転送クロック
RXDn	USARTn用受信データ
TXDn	USARTn用送信データ
SS	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列クロック

31.1.6. 発振器、クロック、事象

TOSCn	計時器用発振器ピンn
XTALn	発振器用入出力ピンn
CLKOUT	周辺クロック出力
EVOUT	事象チャネルn出力
RTCCOUT	RTCクロック元出力

31.1.7. デバッグ/システム機能

RESET	リセットピン
PDI_CLK	プログラミングとデバッグ用インターフェースクロックピン
PDI_DATA	プログラミングとデバッグ用インターフェースデータピン

31.2. 交換ピン機能

下表は最初の列でポートの各ピンに対する主/既定の機能、第2列でピン番号、そして残りの列で全ての交換ピン機能を示します。先頭行は何の周辺機能が交換ピン機能を許可して使用するかを示します。

より良い柔軟性のため、いくつかの交換機能はそれらの機能に対して選択可能なピン位置も持ち、これはこれが適用される最初の表の下で注記されます。

表31-1. ポートA – 交換機能

PORTA	ピン番号	ADCA 正入力		ADCA 負入力		DACA		ACA 正入力	ACA 負入力	ACA 出力	REFA	
PA0	6	ADC0		ADC0				AC0	AC0		AREF	
PA1	5	ADC1		ADC1				AC1	AC1			
PA2	4	ADC2		ADC2		DAC0		AC2				
PA3	3	ADC3		ADC3		DAC1		AC3	AC3			
PA4	2	ADC4		ADC4				AC4				
PA5	31	ADC5		ADC5				AC5	AC5			
PA6	30	ADC6		ADC6				AC6		AC1OUT		
PA7	29	ADC7		ADC7					AC7	AC0OUT		

表31-2. ポートC – 交換機能

PORTC	ピン番号	TCC4	WEXC	TCC5	USARTC0	SPIC	TWIC	XCL(LUT)	ACA 出力	クロック出力	事象出力
PC0	16	OC4A	OC4ALS				SDA/SDA_IN	IN1/OUT0			
PC1	15	OC4B	OC4AHS		XCK0		SCL/SCL_IN	IN2			
PC2	14	OC4C	OC4BLS		RXD0		SDA_OUT	IN0			
PC3	13	OC4D	OC4BHS		TXD0		SCL_OUT	IN3			
PC4	12	OC4A	OC4CLS	OC5A		SS		IN1/OUT0		CLKOUT	EVOUT
PC5	11	OC4B	OC4CHS	OC5B	XCK0	MOSI		IN2			
PC6	10	OC4C	OC4DLS		RXD0	MISO		IN0	AC1OUT	RTCOUT	
PC7	9	OC4D	OC4DHS		TXD0	SCK		IN3	AC0OUT	CLKOUT	EVOUT

表31-3. デバッグ – プログラミングとデバッグ機能

デバッグ	ピン番号	PDI
RESET	8	PDI_CLOCK
PDI	7	PDI_DATA

表31-4. ポートR – 交換機能

PORTR	ピン番号	XTAL	TOSC	外部 クロック		ACA 出力	クロック出力	事象出力
PR0	20	XTAL2	TOSC2			AC1OUT	CLKOUT・RTCOUT	EVOUT
PR1	19	XTAL1	TOSC1	EXTCLK		AC0OUT		

表31-5. ポートD – 交換機能

PORTD	ピン番号	ADCA 正入力	TCD5	USARTD0	TWIC (橋渡し動作)	XCL(LUT)	XCL (TC)	ACA 出力	REFD	クロック出力	事象出力
PD0	28	ADC8			SDA	IN1/OUT0			AREF		
PD1	27	ADC9		XCK0	SCL	IN2					
PD2	26	ADC10		RXD0		IN0	OC0				
PD3	25	ADC11		TXD0		IN3	OC1				
PD4	24	ADC12	OC5A			IN1/OUT0				CLKOUT	EVOUT
PD5	23	ADC13	OC5B	XCK0		IN2					
PD6	22	ADC14		RXD0		IN0		AC1OUT		RTCOUT	
PD7	21	ADC15		TXD0		IN3		AC0OUT		CLKOUT	EVOUT

32. 周辺機能部署アドレス割り当て

アドレス割り当て表はAtmel AVR XMEGA E5内の各周辺機能と部署に対する基準アドレスを示します。各周辺機能部署に対する一覧と完全なレジスタ記述についてはXMEGA E手引書を参照してください。

表32-1. 周辺機能部署アドレス割り当て

基準アドレス	名称	意味	基準アドレス	名称	意味
\$0000	GPIO	汎用I/Oレジスタ	\$0300	DACA	ポートAのD/A変換器
\$0010	VPORT0	仮想ポートA	\$0380	ACA	ポートAのアナログ比較器
\$0014	VPORT1	仮想ポートC	\$0400	RTC	実時間計数器
\$0018	VPORT2	仮想ポートD	\$0460	XCL	XMEGA注文論理回路
\$001C	VPORT3	仮想ポートR	\$0480	TWIC	ポートCの2線インターフェース
\$0030	CPU	CPU	\$0600	PORTA	ポートA
\$0040	CLK	クロック制御	\$0640	PORTC	ポートC
\$0048	SLEEP	休止制御器	\$0660	PORTD	ポートD
\$0050	OSC	発振器制御	\$07E0	PORTR	ポートR
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	\$0800	TCC4	ポートCのタイマ/カウンタ4
\$0070	PR	電力削減	\$0840	TCC5	ポートCのタイマ/カウンタ5
\$0078	RST	リセット制御器	\$0880	FAULTC4	ポートCのTCC4での障害拡張
\$0080	WDT	ウォッチドッグ タイマ	\$0890	FAULTC5	ポートCのTCC5での障害拡張
\$0090	MCU	MCU制御	\$08A0	WEXC	ポートCの波形拡張
\$00A0	PMIC	設定可能な多段割り込み制御器	\$08B0	HIRES	ポートCの高分解能拡張
\$00B0	PORTCFG	ポート形態設定	\$08C0	USARTC0	ポートCのUSART0
\$00D0	CRC	CRC部署	\$08E0	SPIC	ポートCの直列周辺インターフェース
\$0100	EDMA	EDMA部署	\$08F8	IRCOM	赤外線通信部署
\$0180	EVSYS	事象システム	\$0940	TCD5	ポートDのタイマ/カウンタ5
\$01C0	NVM	不揮発性メモリ(NVM)制御器	\$09C0	USARTD0	ポートDのUSART0
\$0200	ADCA	ポートAのA/D変換器			

33. 命令一式要約 (1/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	$\text{SREG}(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$\text{SREG}(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

命令一覧 (2/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp$	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ビット設定(1)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ OR } (Z)$	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ビット解除(0)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow (\$FF - Temp) \text{ AND } (Z)$	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ビット反転	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ EOR } (Z)$	I,T,H,S,V,N,Z,C	2

命令一覧 (3/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左シフト	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右シフト	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右シフト	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,I	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,I	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,I,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K6, K : 6, 8ビット定数

X, Y, Z : X, Y, Zレジスタ

q : 符号なし6ビット定数(変位)

P : I/Oレジスタ

b : ビット(0~7)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

Rd, Rr : 汎用レジスタ(R0~R31)

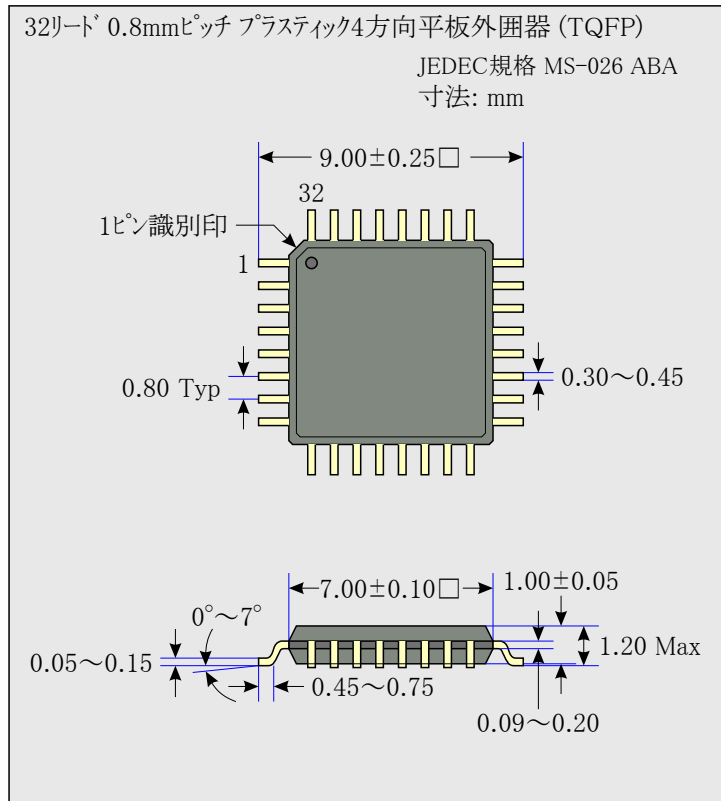
k : アドレス定数(7,12,16ビット)

注1: データメモリアクセスに対する周期数は内部メモリアクセスを仮定し、外部メモリインターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA E5系に外部メモリインターフェースはありません。)

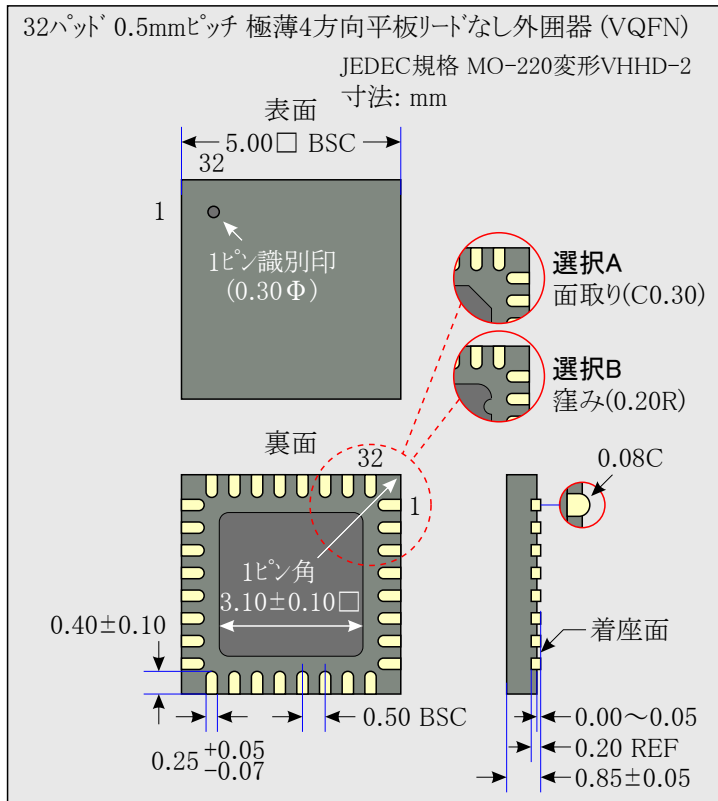
注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

34. 外周器情報

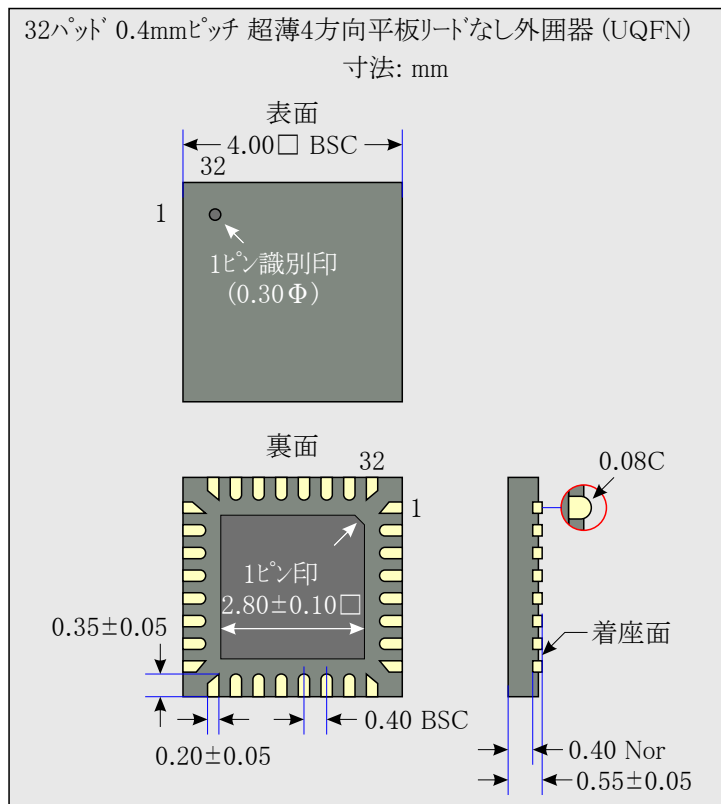
34.1. 32A



34.2. 32Z



34.3. 32MA



35. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25℃で測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

35.1. 絶対最大定格

表35-1. 絶対最大定格						
シンボル	項目	条件	Min	Typ	Max	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	mA
IGND	GNDピンの電流出力				200	
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン シンク/ソース電流		-25		25	mA
TA	保存温度		-65		150	
Tj	ジャンクション温度				150	℃

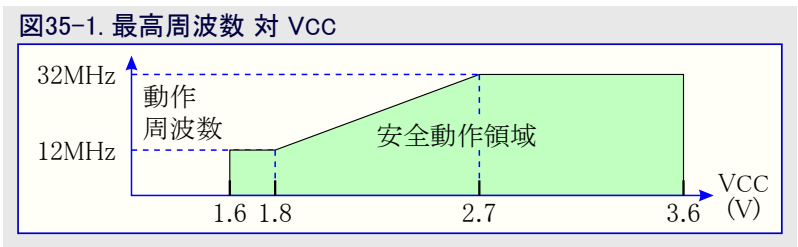
35.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、表35-2.で一覧にされる定格内で動作しなければなりません。

表35-2. 全般動作条件						
シンボル	項目	条件	Min	Typ	Max	単位
VCC	電源電圧		1.6		3.6	V
AVCC	アナログ供給電圧		1.6		3.6	
TA	保存温度		-40		85	℃
Tj	ジャンクション温度		-40		105	

表35-3. 動作電圧と周波数						
シンボル	項目	条件	Min	Typ	Max	単位
clkCPU	CPUクロック周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高システム周波数は動作電圧に依存します。図35-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。



35.3. 消費電流

表35-4. 活動動作と休止動作の消費電流

シンボル	項目	条件		Min	Typ	Max	単位
I _{CC}	活動動作消費電流 (注1)	32kHz外部クロック	VCC=1.8V		20		μA
			VCC=3.0V		35		
		1MHz外部クロック	VCC=1.8V		155		
			VCC=3.0V		290		
		2MHz外部クロック	VCC=1.8V		300	400	mA
			VCC=3.0V		0.6	1.2	
	アイドル動作消費電流 (注1)	32kHz外部クロック	VCC=1.8V		7		μA
			VCC=3.0V		12		
		1MHz外部クロック	VCC=1.8V		55		
			VCC=3.0V		105		
		2MHz外部クロック	VCC=1.8V		110	250	mA
			VCC=3.0V		200	350	
	パワーダウン動作消費電流	全て禁止、T=25°C			0.1	0.9	mA
		全て禁止、T=85°C			1	3	
		全て禁止、T=105°C			2	5	
		採取動作BODとWDTを許可	T=25°C		0.5		
			T=85°C		1.2	3.5	
			T=105°C		2.5	6	
	パワーセーブ動作消費電流	採取動作BODとWDTを許可、ULPクロックでのRTC、T=25°C	VCC=1.8V		0.4		μA
			VCC=3.0V		0.6		
		採取動作BODとWDTを許可、ULPクロックでのRTC、低電力動作での8MHz内部発振器、T=25°C	VCC=1.8V		0.5		
			VCC=3.0V		0.6		
		低電力32.768kHz TOSCの1.024kHzでのRTC、T=25°C	VCC=1.8V		0.8		mA
			VCC=3.0V		0.9		
	リセット消費電流	基台のRESETピンを通る電流	VCC=1.8V		0.9		mA
			VCC=3.0V		1.0		
	リセット消費電流	基台のRESETピンを通る電流	VCC=3.0V		110		mA
			VCC=3.0V		110		

注1: 全ての電力削減レジスタは設定(1)。

表35-5. 部署と周辺機能に関する消費電流

シンボル	項目	条件	(注1)	Min	Typ	Max	単位
I _{CC}	超低電力(ULP)発振器				0.1		μA
	32.768kHz内部発振器				27		
	8MHz内部発振器	標準電力動作			65		
		低電力動作			45		
	32MHz内部発振器				275		
		基準として32.768kHz内部発振器でDFLL許可			400		
	PLL	通倍率=20倍, 32MHz内部, 基準としてDIV4			230		
	ウォッチドッグ タイマ				0.3		
	低電圧検出器(BOD)	継続動作			245		
		採取動作			0.4		
	1.00V内部基準電圧				200		mA
	内部温度感知器				100		
	A/D変換器(ADC)	16k採取/秒, VREF=外部基準	電流制限(CURRLIMIT)=低		1.5		
			電流制限(CURRLIMIT)=中		1.4		
			電流制限(CURRLIMIT)=高		1.3		
		75k採取/秒, VREF=外部基準, CURRLIMIT=低			1.2		
		300k採取/秒, VREF=外部基準			1.7		
					3.1		
	D/A変換器(DAC)	250k採取/秒, VREF=外部基準, 無負荷	標準動作		1.9		
			低電力動作		1.1		
	アナログ比較器(AC)	低電力動作			200		μA
	EDMA				200		
	タイマ/カウンタ				25		
	USART	9600bps, 送受信許可			8		
	XCL	16ビット タイマ/カウンタ			6		
	フラッシュ メモリ/EEPROMプログラミング				4		mA

注1: 全て項目は周辺機能/部署の許可/禁止間の消費電力差としての測定です。他の条件が与えられない限り、全てはVCC=3.0V、前置分周なしでのclk_{sys}=外部1MHzクロック、T=25℃でのデータです。

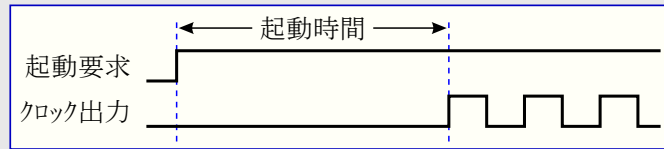
35.4. 休止形態からの起動時間

表35-6. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンボル	項目	条件	Min	Typ	Max	単位
t _{wakeup}	アイドル、スタンバイ、拡張スタンバイからの起動時間	外部2MHzクロック		0.2		
		32.768kHz内部発振器		120		
		8MHz内部発振器		0.5		
		32MHz内部発振器		0.2		
	パワーセーブからの起動時間	外部2MHzクロック		4.5		μs
		32.768kHz内部発振器		320		
		8MHz内部発振器	標準動作	4.5		
			低電力動作	0.5		
		32MHz内部発振器		5.0		
	パワーダウンからの起動時間	外部2MHzクロック		4.5		
		32.768kHz内部発振器		320		
		8MHz内部発振器		4.5		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからピンで周辺クロックが利用可能になるまでで、図35-2をご覧ください。全ての周辺機能と部署はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。

図35-2. 起動時間定義



35.5. 入出力ピン特性

入出力ピンはJEDEC LVTTTLとLVCMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

表35-7. 入出力ピン特性

シンボル	項目	条件	Min	Typ	Max	単位
I_{OH} (注1) I_{OL} (注2)	I/Oピン吐き出し/吸い込み電流		-15		15	mA
V_{IH}	Highレベル入力電圧	$V_{CC}=2.4\sim 3.6V$	$0.7V_{CC}$		$V_{CC}+0.3$	V
		$V_{CC}=1.6\sim 2.4V$	$0.8V_{CC}$		$V_{CC}+0.3$	
V_{IL}	Lowレベル入力電圧	$V_{CC}=2.4\sim 3.6V$	-0.3		$0.3V_{CC}$	
		$V_{CC}=1.6\sim 2.4V$	-0.3		$0.2V_{CC}$	
V_{OH}	Highレベル出力電圧	$V_{CC}=3.3V$ $I_{OH}=-4mA$	2.6	3.1		V
		$V_{CC}=3.0V$ $I_{OH}=-3mA$	2.1	2.7		
		$V_{CC}=1.8V$ $I_{OH}=-1mA$	1.4	1.7		
V_{OL}	Lowレベル出力電圧	$V_{CC}=3.3V$ $I_{OL}=8mA$		0.20	0.76	V
		$V_{CC}=3.0V$ $I_{OL}=5mA$		0.15	0.64	
		$V_{CC}=1.8V$ $I_{OL}=3mA$		0.10	0.46	
I_{IN}	I/Oピン入力漏れ電流	$T=25^{\circ}C$		<0.01	0.1	μA
R_P	I/Oピンプル/バス保持 抵抗			27		k Ω

注1: ポートAのPA7～5に対する全ての I_{OH} の合計は100mAを超えてはなりません。
 ポートAのPA4～0に対する全ての I_{OH} の合計は200mAを超えてはなりません。
 ポートDとポートRに対する全ての I_{OH} の合計は100mAを超えてはなりません。
 ポートCとPDIに対する全ての I_{OH} の合計は100mAを超えてはなりません。

注2: ポートAのPA7～5に対する全ての I_{OL} の合計は100mAを超えてはなりません。
 ポートAのPA4～0に対する全ての I_{OL} の合計は100mAを超えてはなりません。
 ポートDとポートR0に対する全ての I_{OL} の合計は100mAを超えてはなりません。
 ポートCとPDIに対する全ての I_{OL} の合計は100mAを超えてはなりません。

35.6. A/D変換器特性

表35-8. 電源、基準電圧と入力範囲

シンボル	項目	条件	Min	Typ	Max	単位
AV_{CC}	アナログ供給電圧		$V_{CC}-0.3$		$V_{CC}+0.3$	V
V_{REF}	基準電圧		1		$AV_{CC}-0.6$	V
R_{in}	入力抵抗	切り替え			4.5	k Ω
C_{in}	入力容量	切り替え			5	pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		M Ω
C_{AREF}	基準電圧入力容量	静止負荷		7		pF
V_{in}	入力範囲		0		V_{REF}	V
	変換範囲	差動動作、 $V_{inP}-V_{inN}$	$-0.95V_{REF}$		$0.95V_{REF}$	
		符号なしシングル エント動作、 V_{inP}	$-0.05V_{REF}$		$0.95V_{REF}$	

表35-9. クロックとタイミング

シンボル	項目	条件	Min	Typ	Max	単位
clk _{ADC}	A/D変換クロック周波数	Maxは周辺クロック周波数の1/4	100		1800	kHz
		内部信号測定		125		
fC _{lkADC}	採取速度		16		300	
f _{ADC}	採取(変換)速度	電流制限(CURRLIMIT)OFF	16		300	ksps
		電流制限(CURRLIMIT)=低(LOW)			250	
		電流制限(CURRLIMIT)=中(MEDIUM)			150	
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2 clk _{ADC} 周期	0.25		5	μs
	変換時間(伝播遅延)	(RES+2) ÷ 2 + GAIN... 計算式 (RES=8または12, GAIN=0以外)	6		10	clk _{ADC} 周期
	始動時間	A/D変換クロック周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	

表35-10. 精度特性

シンボル	項目	条件	(注2)	Min	Typ	Max	単位
RES	分解能	12ビット分解能	差動	8	12	12	ビット
			符号付きシングル エント	7	11	11	
			符号なしシングル エント	8	12	12	
INL	積分性非直線誤差 (注1)	差動動作	16ksps, VREF=3V		1		LSB
			16ksps, VREF=1V		2		
			300ksps, VREF=3V		1		
			300ksps, VREF=1V		2		
		符号なしシングル エント動作	16ksps, VREF=3V		1	1.5	
			16ksps, VREF=1V		2	3	
DNL	微分性非直線誤差 (注1)	差動動作	16ksps, VREF=3V		1		LSB
			16ksps, VREF=1V		2		
			300ksps, VREF=3V		1		
			300ksps, VREF=1V		2		
		符号なしシングル エント動作	16ksps, VREF=3V		1	1.5	
			16ksps, VREF=1V		2	3	
	変位(オフセット)誤差				8		mV
		温度変動			0.01		mV/K
		動作電圧変動			0.25		mV/V
	利得誤差	差動動作	外部基準電圧		-5		mV
			AVCC/1.6		-5		
			AVCC/2.0		-6		
			ハントギャップ		±10		mV/K
			温度変動		0.02		
			動作電圧変動		2		mV/V
		符号なしシングル エント動作	外部基準電圧		-5		mV
			AVCC/1.6		-5		
			AVCC/2.0		-6		
			ハントギャップ		±10		mV/K
			温度変動		0.02		
			動作電圧変動		2		mV/V

注1: 最大値は特性付けに基づき、製造に於いて検査されず、10~90%の入力範囲に対して有効です。

注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使用される条件下で有効です。

表35-11. 利得段特性

シンボル	項目	条件	Min	Typ	Max	単位
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
	信号範囲	利得段出力	0		VCC-0.6	V
	伝播遅延	A/D変換速度	1/2	1.0	3	clk _{ADC} 周期
	採取速度	ADCと同じ	100		1800	kHz
	利得誤差	0.5倍利得		-1		%
		1倍利得		-1		
		8倍利得		-1		
		64倍利得		-1.5		
	(入力基準での)変位(オフセット)誤差	0.5倍利得		10		mV
		1倍利得		5		
		8倍利得		5		
		64倍利得		5		

35.7. D/A変換器特性

表35-12. 電源、基準電圧と出力範囲

シンボル	項目	条件	Min	Typ	Max	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
AVREF	外部基準電圧		1.0		VCC-0.6	
Rchannel	DC出力インピーダンス				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
RAREF	基準電圧入力抵抗			>10		MΩ
CAREF	基準電圧入力容量			7		pF
	最小抵抗性負荷		1			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	正確な仕様内での動作			AVCC/1000	mA
		安全動作			10	

表35-13. クロックとタイミング

シンボル	項目	条件	Min	Typ	Max	単位
Fclk	変換速度	Cload=100pF, 標準動作	0		1000	ksps
		最大段階量 低電力動作	0		500	

表35-14. 精度特性

シンボル	項目	条件	Min	Typ	Max	単位
RES	入力分解能				12	ビット
INL	積分性非直線誤差 (注)	VREF=外部1.0V		±2.0	±3	
		VCC=1.6V				
		VCC=3.6V		±1.5	±2.5	
		VREF=AVCC		±2.0	±4	
		VCC=3.6V		±1.5	±4	
		VREF=内部1.0V		±5.0		
DNL	微分性非直線誤差 (注)	VREF=外部1.0V,		±1.5	3	LSB
		VCC=1.6V				
		VCC=3.6V		±0.6	1.5	
		VREF=AVCC,		±1.0	3.5	
		VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V		±4.5		
	利得誤差	校正後		<4		
	利得校正段階量			4		
	利得校正変動	VREF=外部1.0V		<0.2		
	変位(オフセット)誤差	校正後		<1		LSB
	変位(オフセット)校正段階量			1		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5~95%の出力電圧範囲に対して有効です。

35.8. アナログ比較器特性

表35-15. アナログ比較器特性

シンボル	項目	条件	Min	Typ	Max	単位
V _{off}	入力変位(オフセット)電圧			10		mV
I _{lk}	入力漏れ電流			<10	50	nA
	入力電圧範囲		-0.1		AVCC	V
	始動時間			50		μs
V _{hyst1}	ヒステリシス(なし)	VCC=1.6~3.6V		0		mV
V _{hyst2}	ヒステリシス(小)	VCC=1.6~3.6V		12		
V _{hyst3}	ヒステリシス(大)	VCC=1.6~3.6V		28		
t _{delay}	伝播遅延	VCC=3.0V, T=85°C		22	30	ns
		VCC=1.6~3.6V		21	40	
	64レベル分圧器積分直線性(INL)			0.3	0.5	LSB
	校正後電流源精度			5		%
	電流源校正範囲	単一動作	4		6	μA
		2倍動作	8		12	

35.9. バントギャップと内部1.0V基準電圧特性

表35-16. バントギャップと内部1.0V基準電圧特性

シンボル	項目	条件	Min	Typ	Max	単位
	始動時間	ADCまたはDACの基準電圧として	1clk _{PER} +2.5μs			μs
		ADCまたはACの入力電圧として		1.5		
BANDGAP	バンドギャップ電圧			1.1		V
INT1V	ADC/DAC用内部1.00V基準電圧	校正後, T=25°C	0.99	1.0	1.01	
	電圧と温度に渡る変動	T=25°Cで校正後		±3		%

35.10. 低電圧検出(Brownout Detection)特性

表35-17. 低電圧検出特性

シンボル	項目	条件	Min	Typ	Max	単位
	VCC降下検出レベル0		1.50	1.65	1.75	V
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		
	VCC降下検出レベル4			2.4		
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レベル7			3.0		
tBOD	検出時間	継続動作		0.4		μ s
		採取動作		1000		
VHYST	ヒステリシス	BODレベル0で測定された最小値		1.0		%

35.11. 外部リセット特性

表35-18. 外部リセット特性

シンボル	項目	条件	Min	Typ	Max	単位
tEXT	最小リセット パルス幅			90	1000	ns
VRST	リセット閾値電圧 (VIH)	VCC=2.7~3.6V	0.6VCC			V
		VCC=1.6~2.7V	0.6VCC			
	リセット閾値電圧 (VIL)	VCC=2.7~3.6V			0.5VCC	
		VCC=1.6~2.7V			0.4VCC	
RRST	リセット ピン プルアップ抵抗			25		k Ω

35.12. 電源ONリセット特性

表35-19. 電源ONリセット(POR)特性

シンボル	項目	条件	Min	Typ	Max	単位
VPOT-	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		V
		1V/msまたはより遅いVCC下降	0.8	1.3		
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はVPOT-=VPOT+です。

35.13. フラッシュ メモリとEEPROMの特性

表35-20. 耐久性とデータ保持力

シンボル	項目	条件	Min	Typ	Max	単位
フラッシュ メモリ耐久性	書き込み/消去繰り返し	25°C	10,000			回
		85°C	10,000			
		105°C	2,000			
フラッシュ メモリ データ保持力		25°C	100			年
		85°C	25			
		105°C	10			
EEPROM耐久性	書き込み/消去繰り返し	25°C	100,000			回
		85°C	100,000			
		105°C	30,000			
EEPROMデータ保持力		25°C	100			年
		85°C	25			
		105°C	10			

表35-21. プログラミング時間

シンボル	項目	条件	Min	Typ (注1)	Max	単位
	チップ消去時間	32KBフラッシュとEEPROM(注2)の消去		50		
		16KBフラッシュとEEPROM(注2)の消去		45		
		8KBフラッシュとEEPROM(注2)の消去		42		
	フラッシュメモリプログラミング時間	ページ消去		4		ms
		ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		
	EEPROMプログラミング時間	ページ消去		4		
		ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		

注1: プログラミングは内部8MHz発振器の2MHz出力から計時されます。

注2: EESAVEヒューズがプログラム(0)されている場合、EEPROMは消去されません。

35.14. クロックと発振器の特性

35.14.1. 校正付き32.768kHz内部発振器特性

表35-22. 校正付き32.768kHz内部発振器特性

シンボル	項目	条件	Min	Typ	Max	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V, T=25°C	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

35.14.2. 校正付き8MHz内部発振器特性

表35-23. 8MHz内部発振器特性

シンボル	項目	条件	Min	Typ	Max	単位
	周波数範囲		4.4		9.4	MHz
	工場校正周波数			8		
	工場校正精度	VCC=3.0V, T=85°C	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

35.14.3. 校正付き32MHz内部発振器特性

表35-24. 32MHz内部発振器特性

シンボル	項目	条件	Min	Typ	Max	単位
	周波数範囲	電圧と温度に対してDFLLがこの周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V, T=85°C	-1.5		1.5	%
	使用者校正精度		-0.2		0.2	
	DFLL校正段階量			0.23		

35.14.4. 32kHz内部ULP発振器特性

表35-25. 32kHz内部ULP発振器特性

シンボル	項目	条件	Min	Typ	Max	単位
	出力周波数			32		kHz
	精度		-30		30	%

35.14.5. 内部位相固定化閉路(PLL)特性

表35-26. 内部PLL特性

シンボル	項目	条件	Min	Typ	Max	単位
f_{IN}	入力周波数	出力周波数は f_{OUT} 以内	0.4		64	MHz
f_{OUT}	出力周波数 (注)	VCC=1.6~1.8V	20		48	
		VCC=2.7~3.6V	20		128	
	始動時間			25		μs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはできません。

35.14.6. 外部クロック特性

図35-3. 外部クロック駆動波形

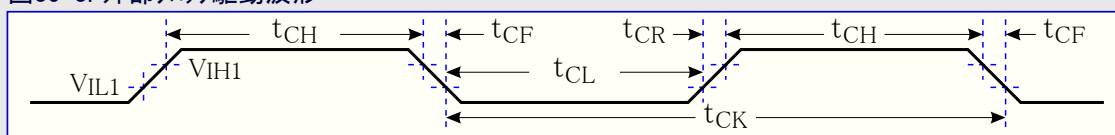


表35-27. 前置分周なしでシステムクロックとして使用される外部クロック

シンボル	項目	条件	Min	Typ	Max	単位
$1/t_{CK}$	クロック周波数 (注)	VCC=1.6~1.8V	0		12	MHz
		VCC=2.7~3.6V	0		32	
t_{CK}	クロック周期	VCC=1.6~1.8V	83.3			
		VCC=2.7~3.6V	31.5			
t_{CH}	クロックHigh時間	VCC=1.6~1.8V	30.0			
		VCC=2.7~3.6V	12.5			
t_{CL}	クロックLow時間	VCC=1.6~1.8V	30.0			ns
		VCC=2.7~3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6~1.8V			10	
		VCC=2.7~3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6~1.8V			10	
		VCC=2.7~3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。

表35-28. システムクロック用に前置分周器(注1)を持つ外部クロック

シンボル	項目	条件	Min	Typ	Max	単位
$1/t_{CK}$	クロック周波数 (注2)	VCC=1.6~1.8V	0		90	MHz
		VCC=2.7~3.6V	0		142	
t_{CK}	クロック周期	VCC=1.6~1.8V	11			
		VCC=2.7~3.6V	7			
t_{CH}	クロックHigh時間	VCC=1.6~1.8V	4.5			
		VCC=2.7~3.6V	2.4			
t_{CL}	クロックLow時間	VCC=1.6~1.8V	4.5			ns
		VCC=2.7~3.6V	2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6~1.8V			1.5	
		VCC=2.7~3.6V			1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6~1.8V			1.5	
		VCC=2.7~3.6V			1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: システムクロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。

注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。

35.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表35-29. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件	Min	Typ	Max	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0		<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3		<1		
		XOSCPWR=1		<1		
	長期間微動	XOSCPWR=0,FRQRANGE=0		<6		
		XOSCPWR=0,FRQRANGE=1,2,3		<0.5		
		XOSCPWR=1		<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0		<0.1		
		XOSCPWR=0,FRQRANGE=1		<0.05		
		XOSCPWR=0,FRQRANGE=2,3		<0.005		
		XOSCPWR=1		<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0		40		%
		XOSCPWR=0,FRQRANGE=1		42		
		XOSCPWR=0,FRQRANGE=2,3		45		
		XOSCPWR=1		48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF			Ω
			1MHzクリスタル,CL=20pF			
			2MHzクリスタル,CL=20pF			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル			
			8MHzクリスタル			
			9MHzクリスタル			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル			
			9MHzクリスタル			
			12MHzクリスタル			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル			
			12MHzクリスタル			
			16MHzクリスタル			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル			
			12MHzクリスタル			
			16MHzクリスタル			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル			
			12MHzクリスタル			
			16MHzクリスタル			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル			
			16MHzクリスタル			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル			
			16MHzクリスタル			
	等価直列抵抗(ESR)	SF=安全係数			min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量			5.4		pF
CXTAL2	XTAL2ピン寄生容量			7.1		
CLOAD	寄生容量性負荷			3.07		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

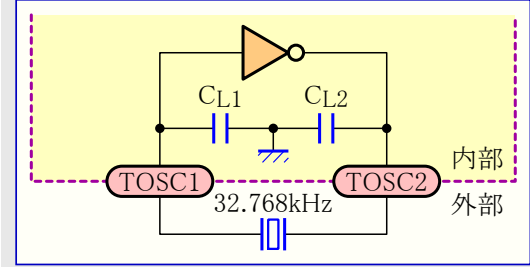
35.14.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

表35-30. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンボル	項目	条件	Min	Typ	Max	単位
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量6.5pF			60	kΩ
		クリスタル負荷容量9.0pF			35	
CTOSC1	TOSC1ピン寄生容量			5.3		pF
CTOSC2	TOSC2ピン寄生容量			7.4		
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3.0			

注: 定義については図35-4をご覧ください。

図35-4. TOSC入力容量



TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列でCL1+CL2です。

35.15. SPIタイミング特性

図35-5. 主装置動作でのSPI タイミング必要条件

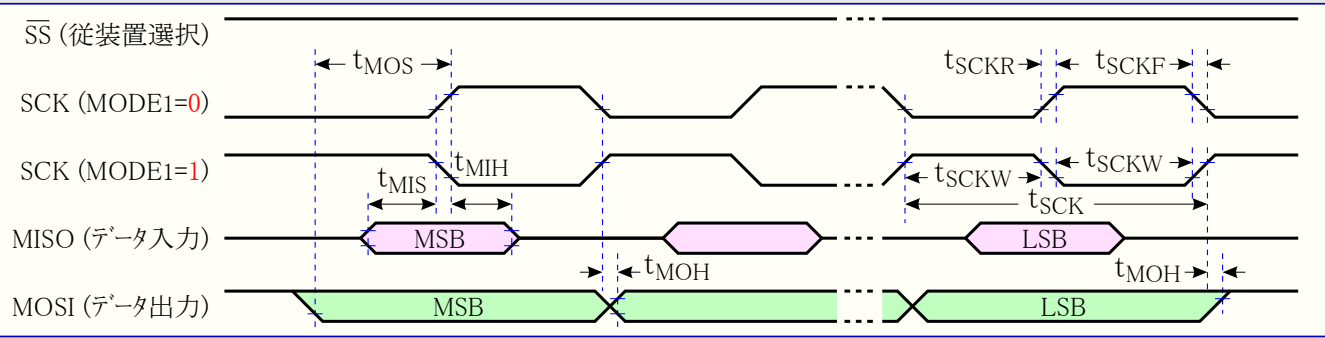


図35-6. 従装置動作でのSPI タイミング必要条件

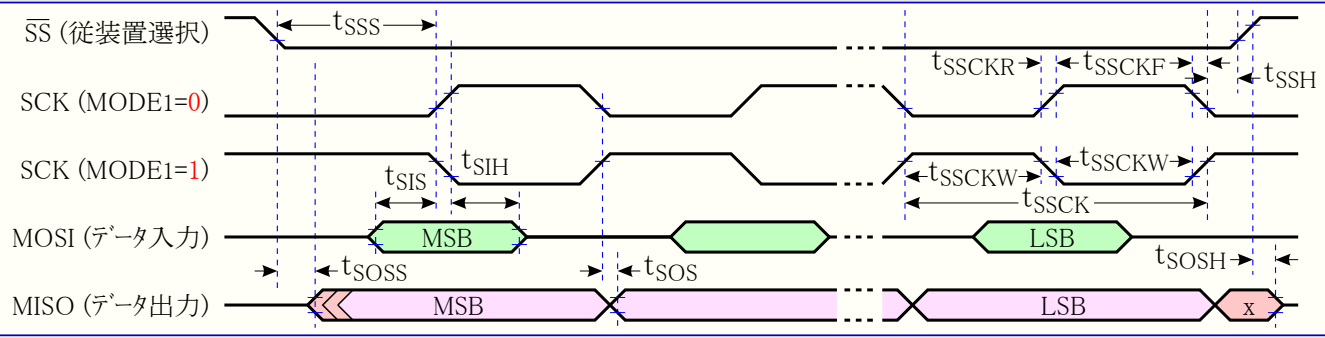


表35-31. SPI タイミング特性と必要条件

シンボル	項目	動作種別	Min	Typ	Max	単位
t_{SCK}	SCK周期	主装置	XMEGA E 手引書の表19-4をご覧ください。			ns
t_{SCKW}	SCK High/Low期間	主装置		$0.5 \times SCK$		
t_{SCKR}	SCK 上昇時間	主装置		2.7		
t_{SCKF}	SCK 下降時間	主装置		2.7		
t_{MIS}	入力データ セットアップ時間	主装置		10		
t_{MIH}	入力データ 保持時間	主装置		10		
t_{MOS}	SCK 先行端対、出力データ セットアップ時間	主装置		$0.5 \times SCK$		
t_{MOH}	SCKからの出力遅延時間	主装置		1.0		
t_{SSCK}	SCK周期	従装置	$4 \times t_{clk_{PER}}$			ns
t_{SSCKW}	SCK High/Low期間	従装置	$2 \times t_{clk_{PER}}$			
t_{SSCKR}	SCK 上昇時間	従装置			1600	
t_{SSCKF}	SCK 下降時間	従装置			1600	
t_{SIS}	入力データ セットアップ時間	従装置	3.0			
t_{SIH}	入力データ 保持時間	従装置	$t_{clk_{PER}}$			
t_{SSS}	SCK 先行端に対する \overline{SS} ↓ セットアップ時間	従装置	21			
t_{SSH}	SCK 後行端からの \overline{SS} Low 保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8.0		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	\overline{SS} ↓ からの出力セットアップ時間	従装置		11		ns
t_{SOSH}	\overline{SS} ↑ からの出力保持時間	従装置		8.0		

(訳注) 表35-31.の t_{SOH} は図35-6.で対応するシンボル記載がありません。

35.16. 2線インターフェース特性

表35-32.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図35-7.を参照してください。

図35-7. 2線インターフェース バス タイミング

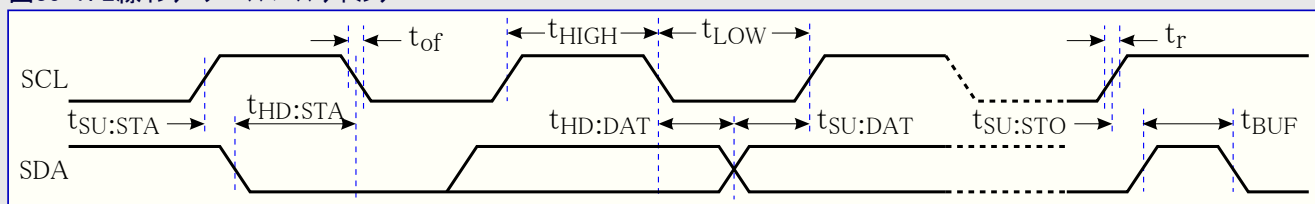


表35-32. 2線直列バス特性

シンボル	項目	条件	Min	Typ	Max	単位
V_{IH}	Highレベル入力電圧		$0.7V_{CC}$		$V_{CC}+0.5$	V
V_{IL}	Lowレベル入力電圧		-0.5		$0.3V_{CC}$	V
V_{hys}	シュミットトリガ入力ヒステリシス電圧		① $0.05V_{CC}$			V
V_{OL}	Lowレベル出力電圧	$I_{OL}=3mA$	0		0.4	V
I_{OL}	Lowレベル出力電流	$V_{OL}=0.4V$	3			mA
		$f_{SCL} \leq 400kHz$	20			mA
		$f_{SCL} \leq 1MHz$				mA
t_r	SDAとSCL両方の出力上昇時間	$f_{SCL} \leq 400kHz$	① $20+0.1Cb$ ②		300	ns
		$f_{SCL} \leq 1MHz$			120	ns
t_{of}	出力下降時間($V_{IHmin} \rightarrow V_{ILmax}$)	$10pF < Cb$ ②	① $20+0.1Cb$ ②		250	ns
		$< 400pF$			120	ns
t_{SP}	入力濾波による尖頭雑音消去		0		50	ns
I_i	入力電流(ピン単位)	$0.1V_{CC} < V_i < 0.9V_{CC}$	-10		10	μA
C_i	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	$f_{PER} \textcircled{3} > \max(10f_{SCL}, 250kHz)$	0		1	MHz
R_p	プルアップ抵抗値	$f_{SCL} \leq 100kHz$	$(V_{CC}-0.4V)$		100ns/Cb	Ω
		$f_{SCL} \leq 400kHz$	I_{OL}		300ns/Cb	Ω
		$f_{SCL} \leq 1MHz$			550ns/Cb	Ω
$t_{HD:STA}$	(再送)開始条件保持時間	$f_{SCL} \leq 100kHz$	4.0			μs
		$f_{SCL} \leq 400kHz$	0.6			μs
		$f_{SCL} \leq 1MHz$	0.26			μs
t_{LOW}	SCLクロックLowレベル時間	$f_{SCL} \leq 100kHz$	4.7			μs
		$f_{SCL} \leq 400kHz$	1.3			μs
		$f_{SCL} \leq 1MHz$	0.5			μs
t_{HIGH}	SCLクロックHighレベル時間	$f_{SCL} \leq 100kHz$	4.0			μs
		$f_{SCL} \leq 400kHz$	0.6			μs
		$f_{SCL} \leq 1MHz$	0.26			μs
$t_{SU:STA}$	再送開始条件セットアップ時間	$f_{SCL} \leq 100kHz$	4.7			μs
		$f_{SCL} \leq 400kHz$	0.6			μs
		$f_{SCL} \leq 1MHz$	0.26			μs
$t_{HD:DAT}$	データ保持時間	$f_{SCL} \leq 100kHz$	0		3.45	μs
		$f_{SCL} \leq 400kHz$	0		0.9	μs
		$f_{SCL} \leq 1MHz$	0		0.45	μs
$t_{SU:DAT}$	データ セットアップ時間	$f_{SCL} \leq 100kHz$	250			ns
		$f_{SCL} \leq 400kHz$	100			ns
		$f_{SCL} \leq 1MHz$	50			ns
$t_{SU:STO}$	停止条件セットアップ時間	$f_{SCL} \leq 100kHz$	4			μs
		$f_{SCL} \leq 400kHz$	0.6			μs
		$f_{SCL} \leq 1MHz$	0.26			μs
t_{BUF}	停止条件→開始条件間バス開放時間	$f_{SCL} \leq 100kHz$	4.7			μs
		$f_{SCL} \leq 400kHz$	1.3			μs
		$f_{SCL} \leq 1MHz$	0.5			μs

① $f_{SCL} > 100kHz$ についてのみ必要とされます。

② Cbは1つのバス信号線の容量(pF)です。

③ f_{PER} は周辺クロック周波数です。

36. 代表特性

36.1. 消費電流

36.1.1. 活動動作消費電流

図36-1. 活動動作消費電流 対 周波数 ($f_{\text{SYS}}=0\sim1.0\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

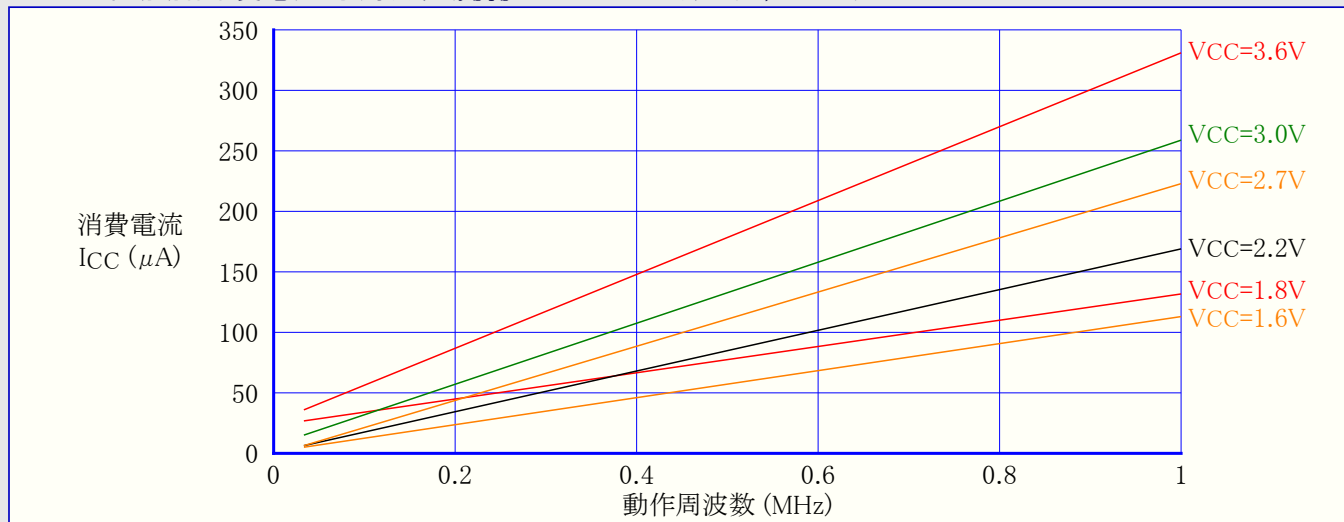


図36-2. 活動動作消費電流 対 周波数 ($f_{\text{SYS}}=1\sim32\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

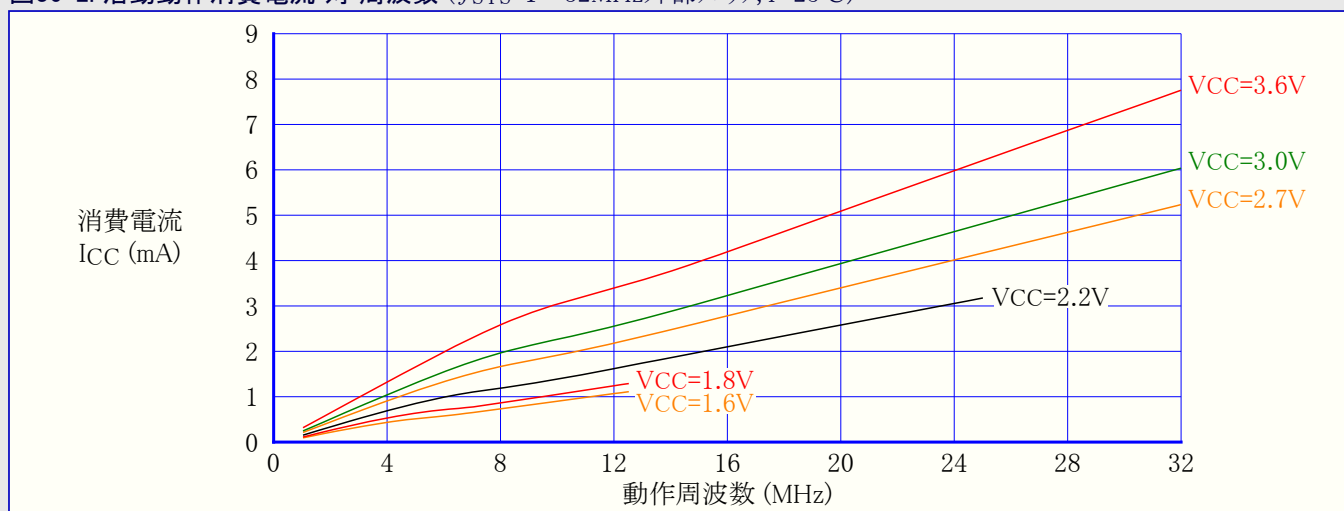


図36-3. 活動動作消費電流 対 動作電圧 ($f_{\text{SYS}}=32.768\text{kHz}$ 内部発振器)

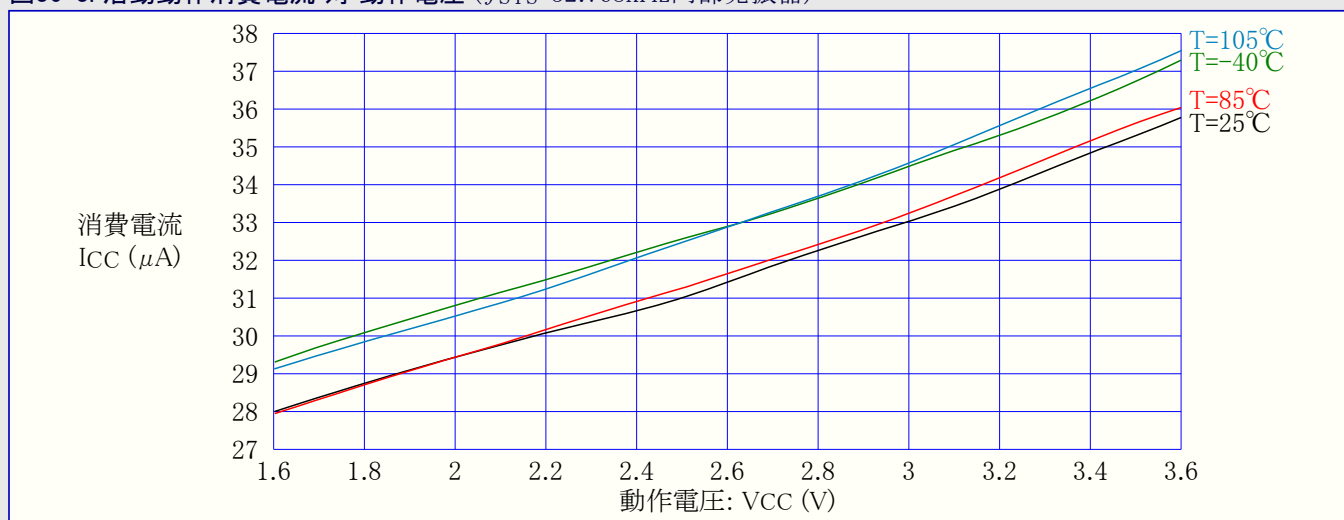


図36-4. 活動動作消費電流 対 動作電圧 ($f_{SYS}=1\text{MHz}$ 外部クロック)

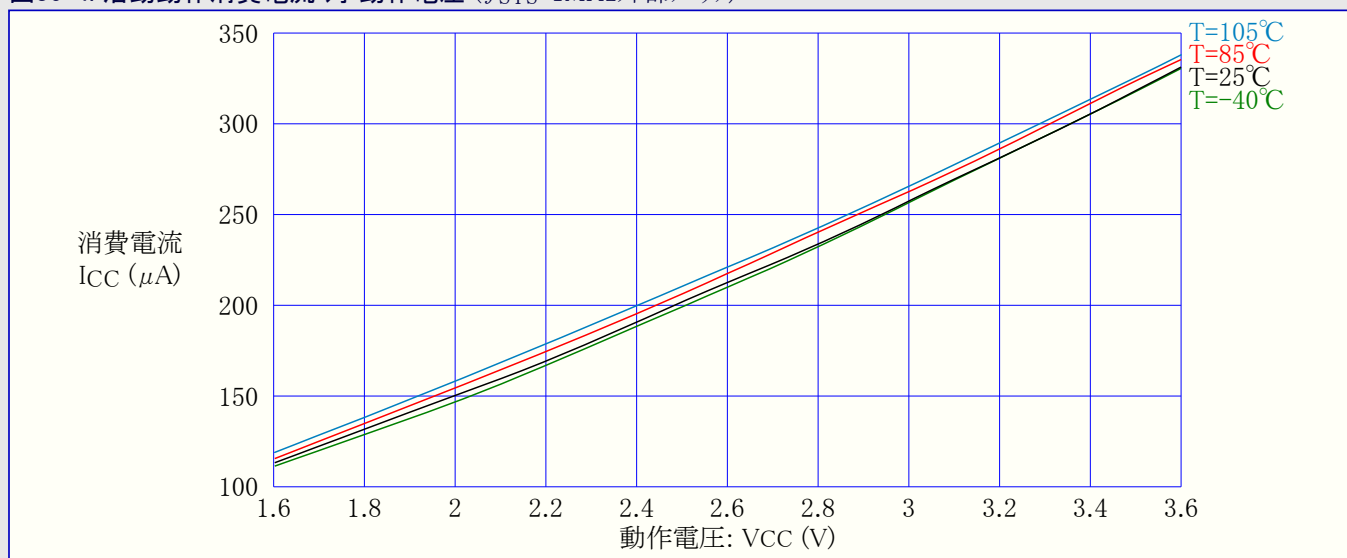


図36-5. 活動動作消費電流 対 動作電圧 ($f_{SYS}=2\text{MHz}$ に前置分周した8MHz内部発振器)

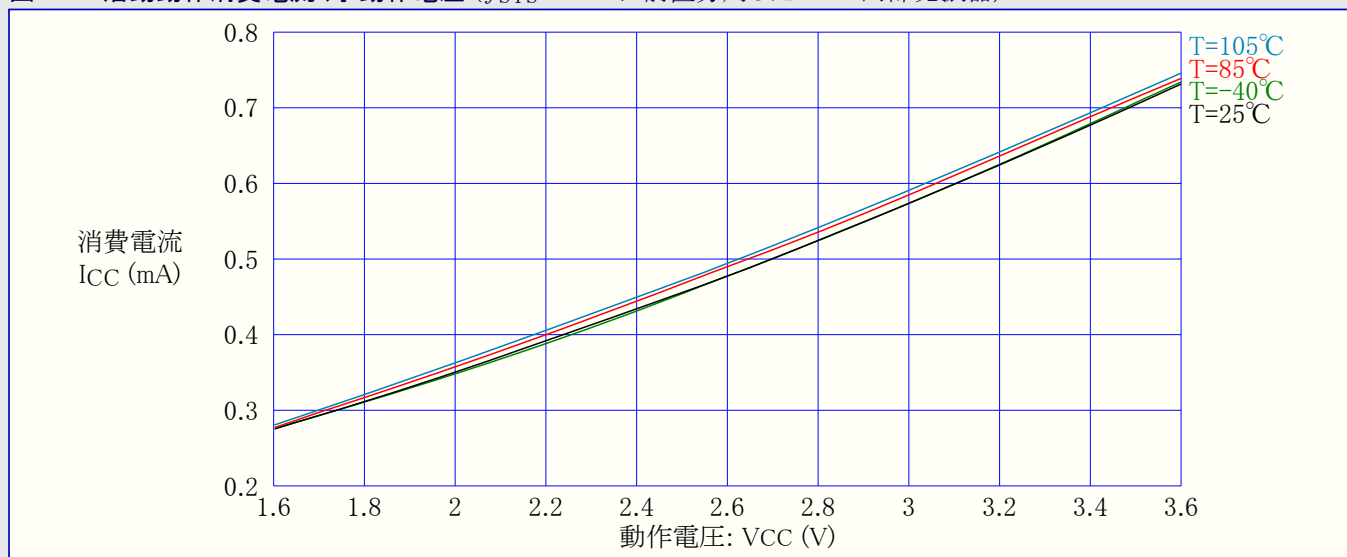


図36-6. 活動動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ 内部発振器)

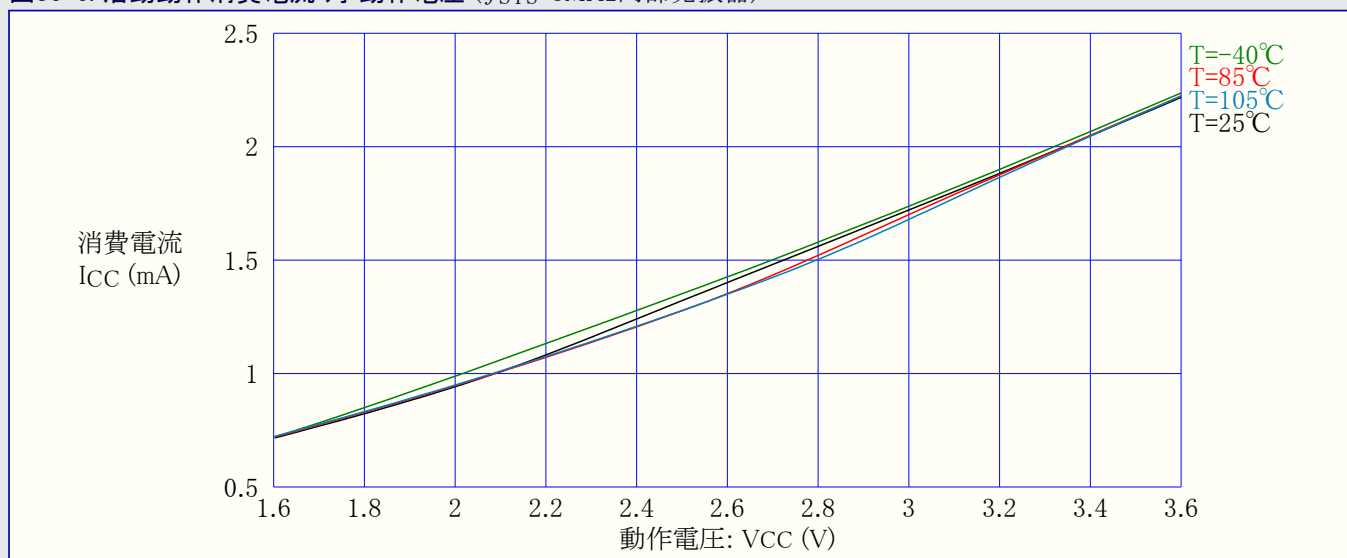


図36-7. 活動動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ に前置分周した32MHz内部発振器)

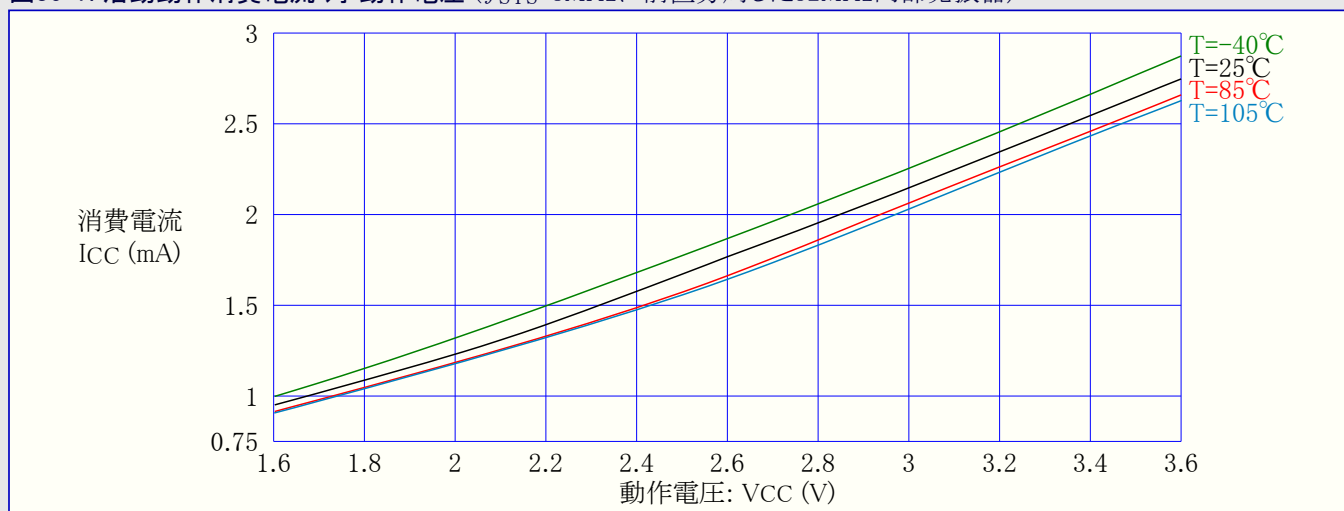
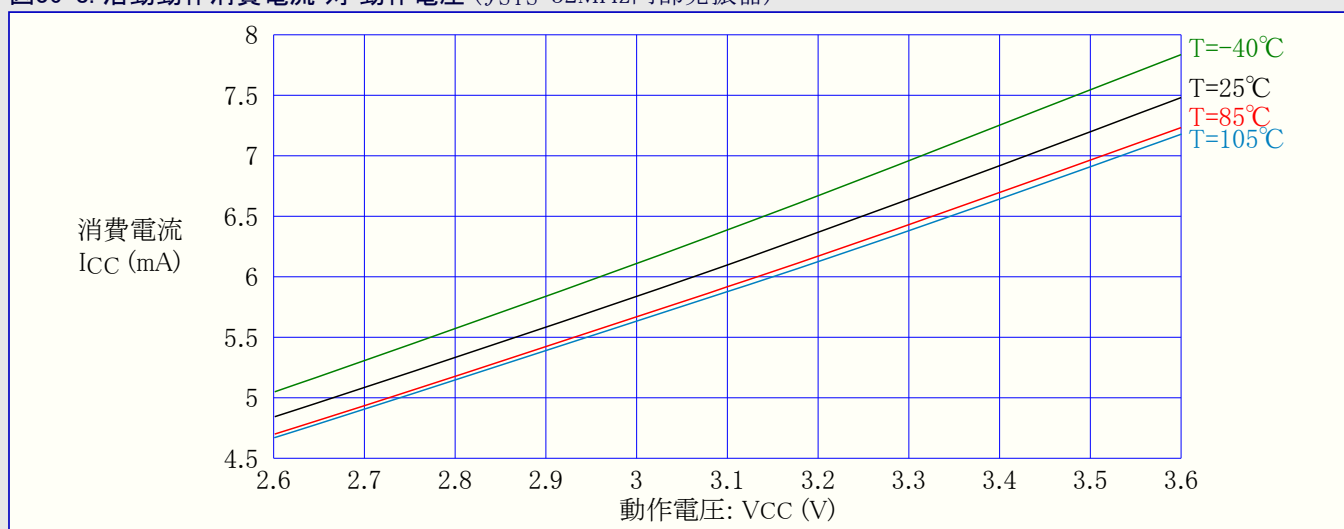


図36-8. 活動動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部発振器)



36.1.2. アイドル動作消費電流

図36-9. アイドル動作消費電流 対 周波数 ($f_{SYS}=0\sim 1.0\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

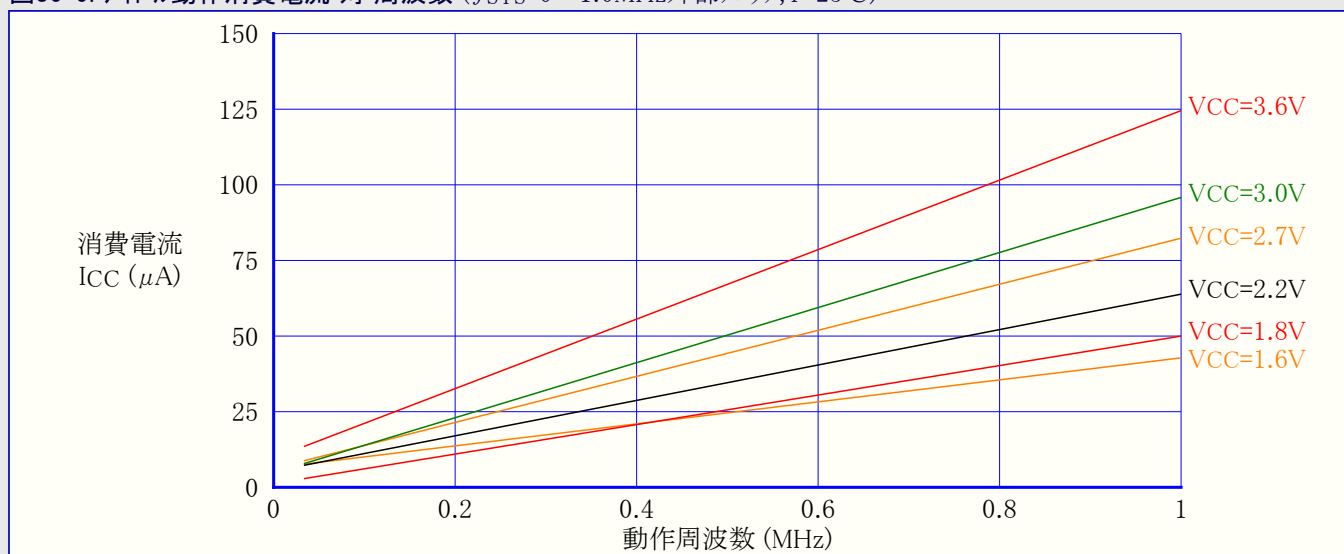


図36-10. アイトル動作消費電流 対 周波数 ($f_{SYS}=1\sim 32\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

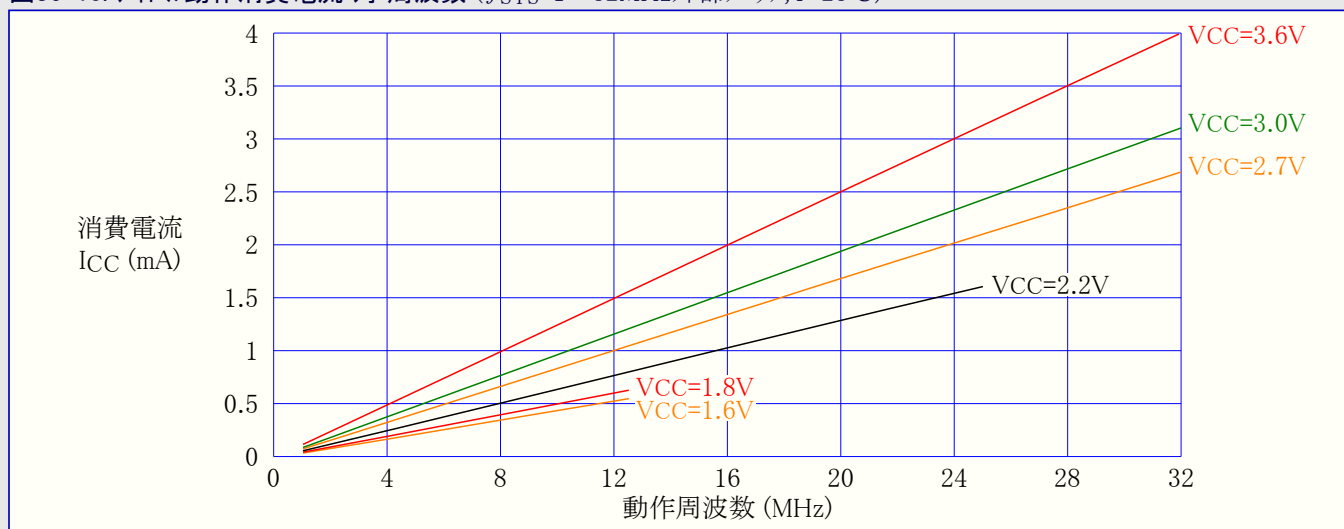


図36-11. アイトル動作消費電流 対 動作電圧 ($f_{SYS}=32.768\text{kHz}$ 内部発振器)

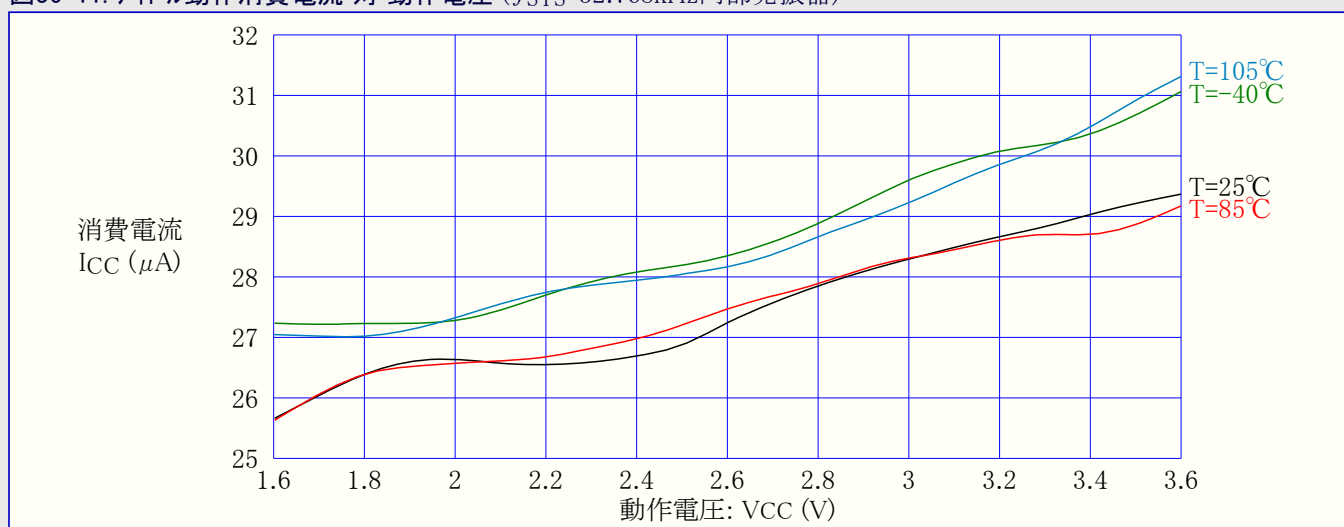


図36-12. アイトル動作消費電流 対 動作電圧 ($f_{SYS}=1\text{MHz}$ 外部クロック)

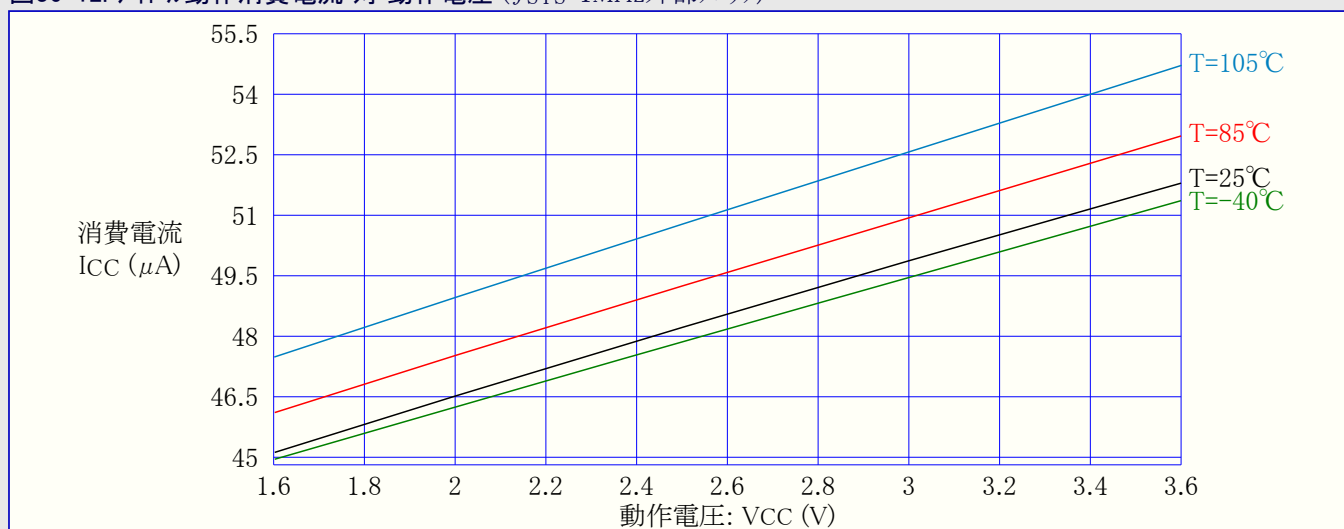


図36-13. アトル動作消費電流 対 動作電圧 ($f_{SYS}=2\text{MHz}$ へ前置分周した8MHz内部発振器)

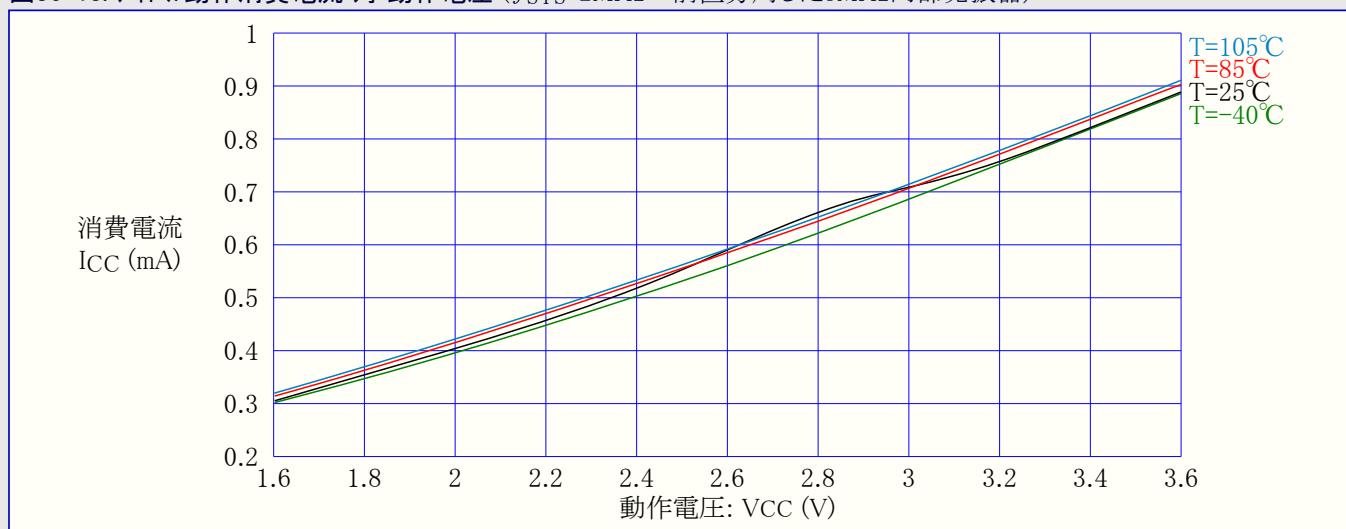


図36-14. アトル動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ 内部発振器)

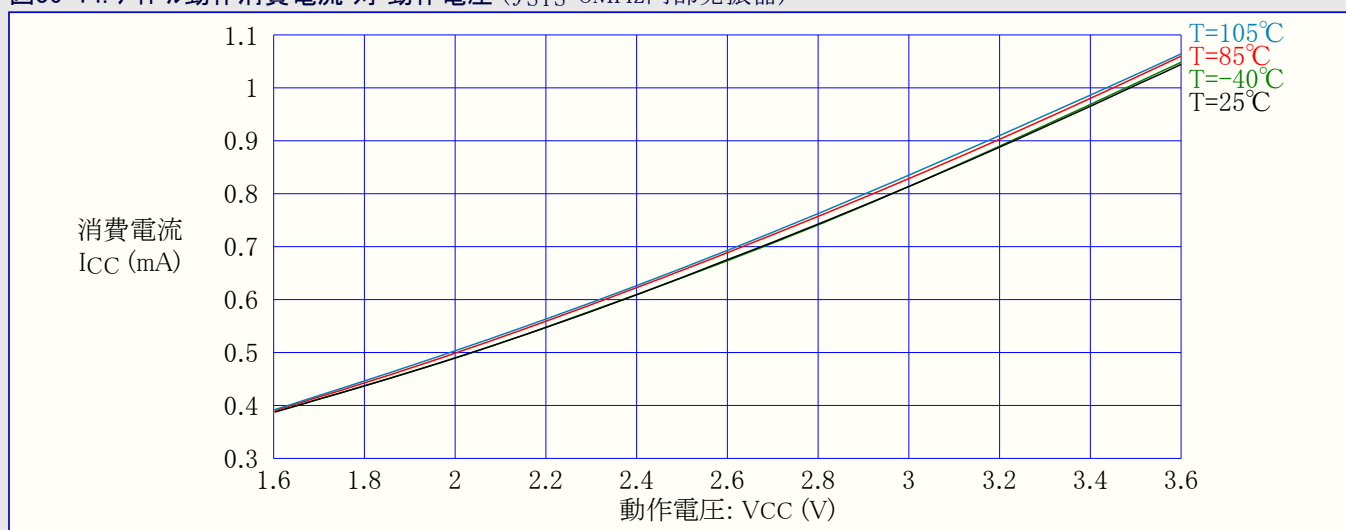


図36-15. アトル動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ へ前置分周された32MHz内部発振器)

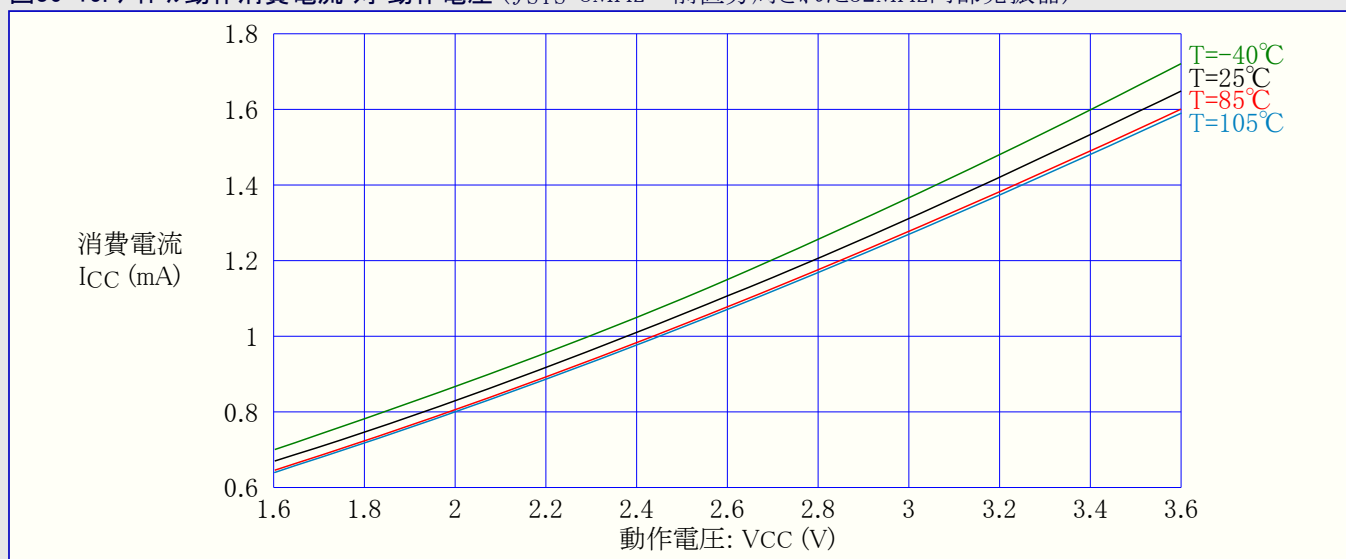
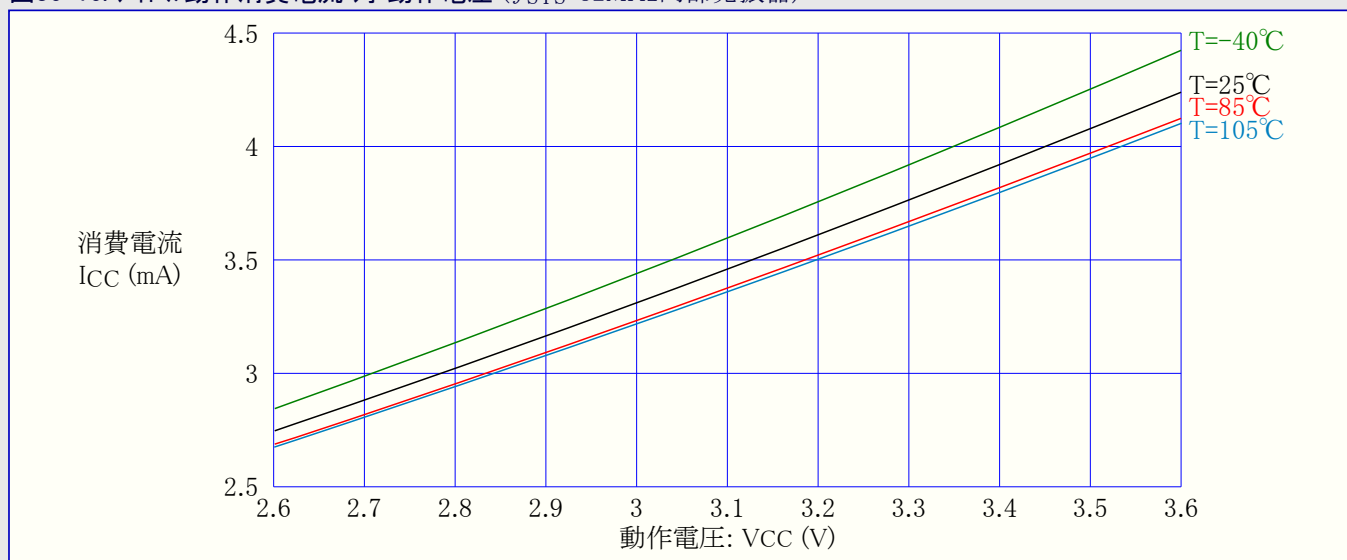


図36-16. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部発振器)



36.1.3. パワーダウン動作消費電流

図36-17. パワーダウン動作消費電流 対 動作温度 (全機能禁止)

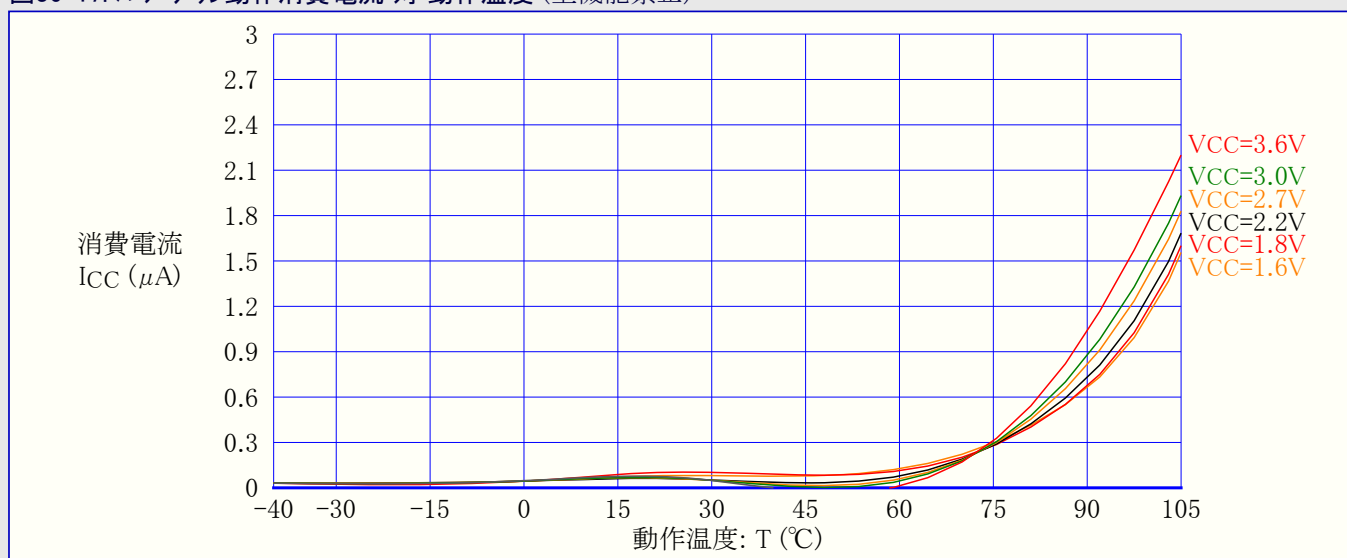


図36-18. パワーダウン動作消費電流 対 動作電圧 (全機能禁止)

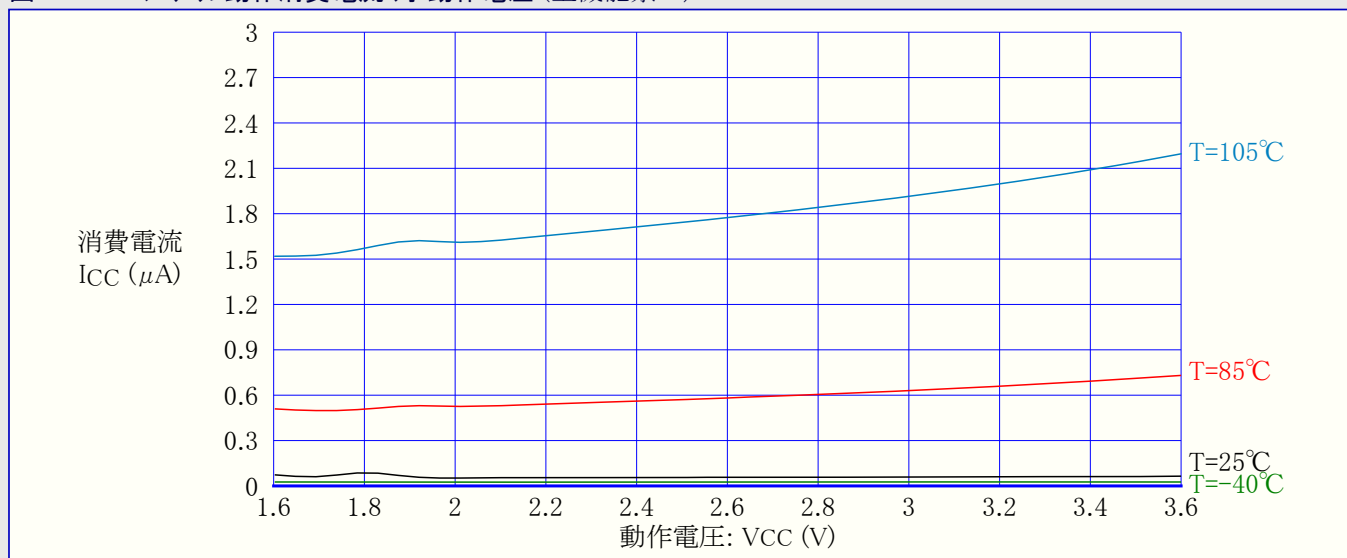
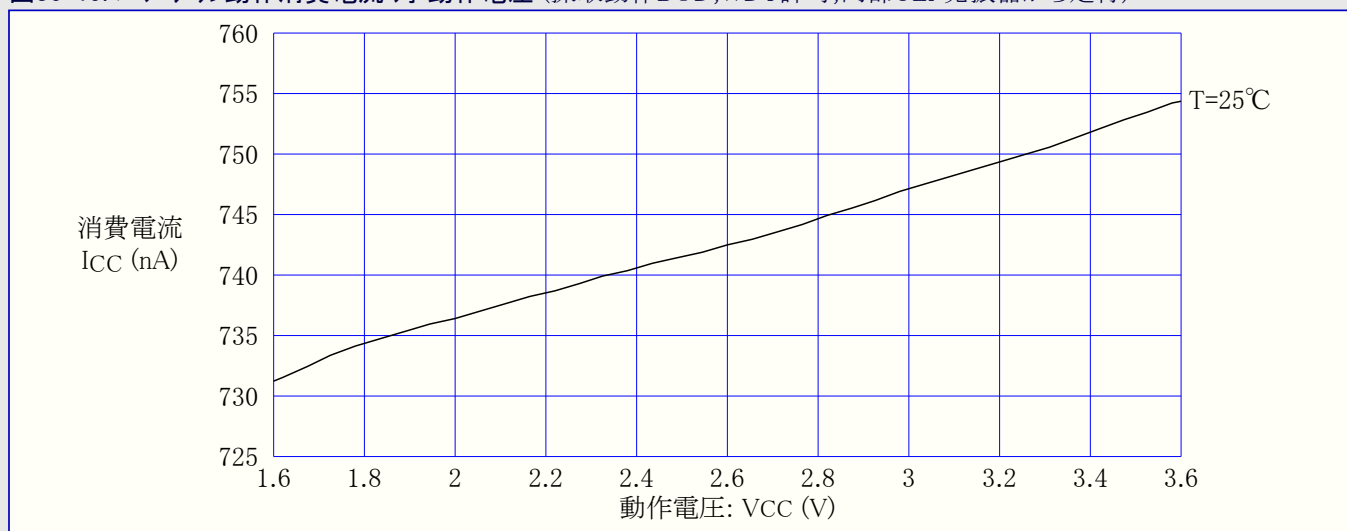
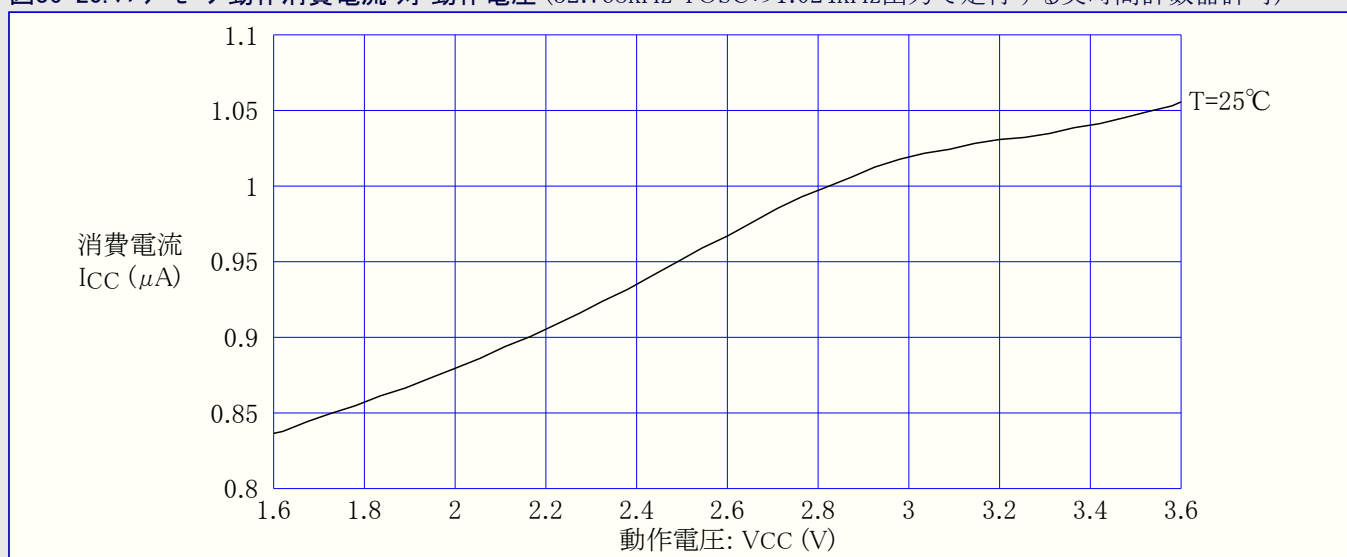


図36-19. パワーダウン動作消費電流 対 動作電圧 (採取動作BOD,WDT許可,内部ULP発振器から走行)



36.1.4. パワーセーブ動作消費電流

図36-20. パワーセーブ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



36.1.5. スタンバイ動作消費電流

図36-21. スタンバイ動作消費電流 対 動作電圧 ($f_{SYS}=1\text{MHz}$)

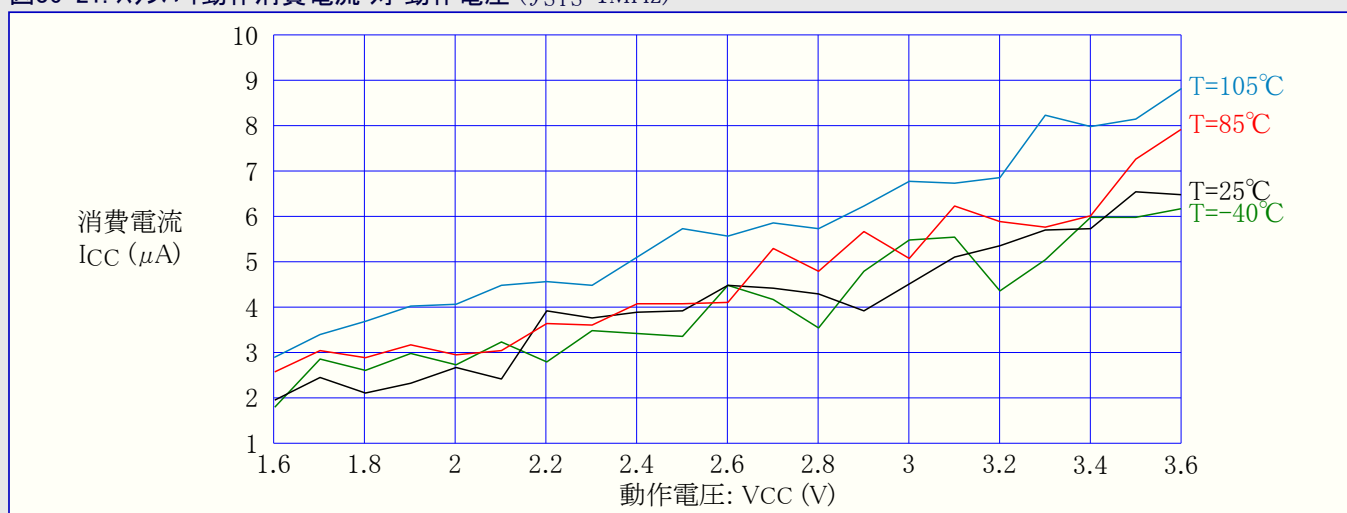
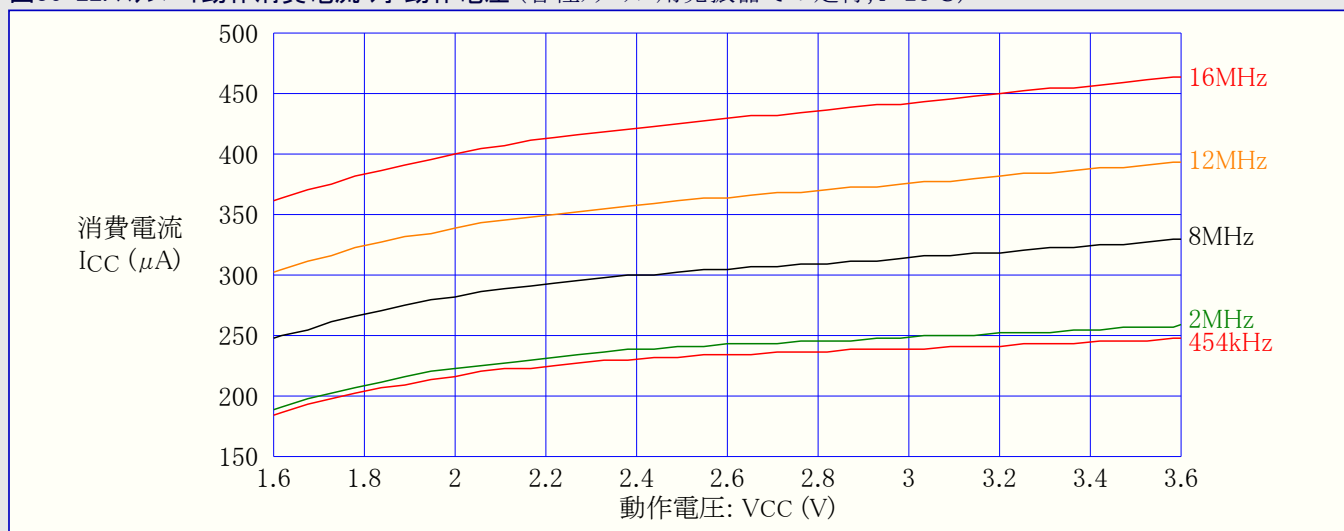


図36-22. スタンバイ動作消費電流 対 動作電圧 (各種クリスタル用発振器での走行, T=25°C)



36.2. 入出力ピン特性

36.2.1. プルアップ[°]

図36-23. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

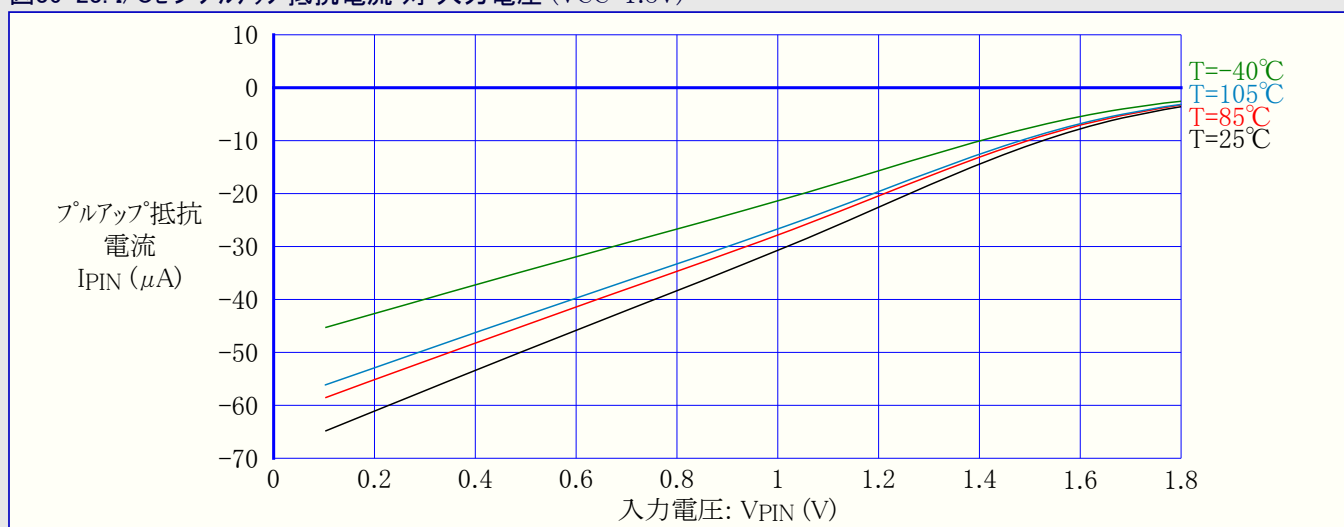


図36-24. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=3.0V)

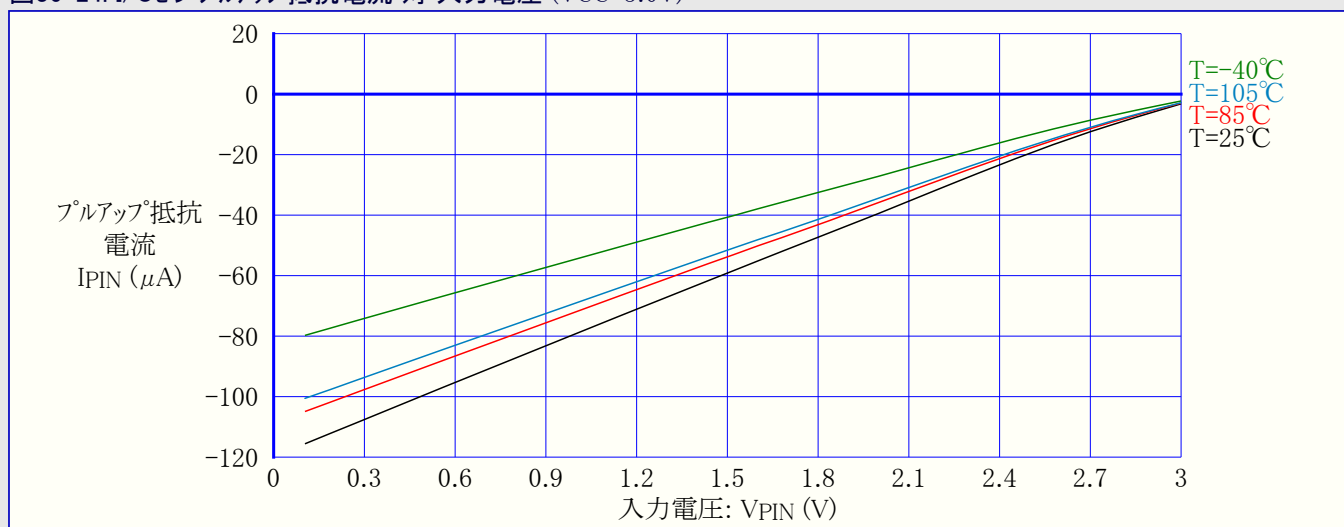
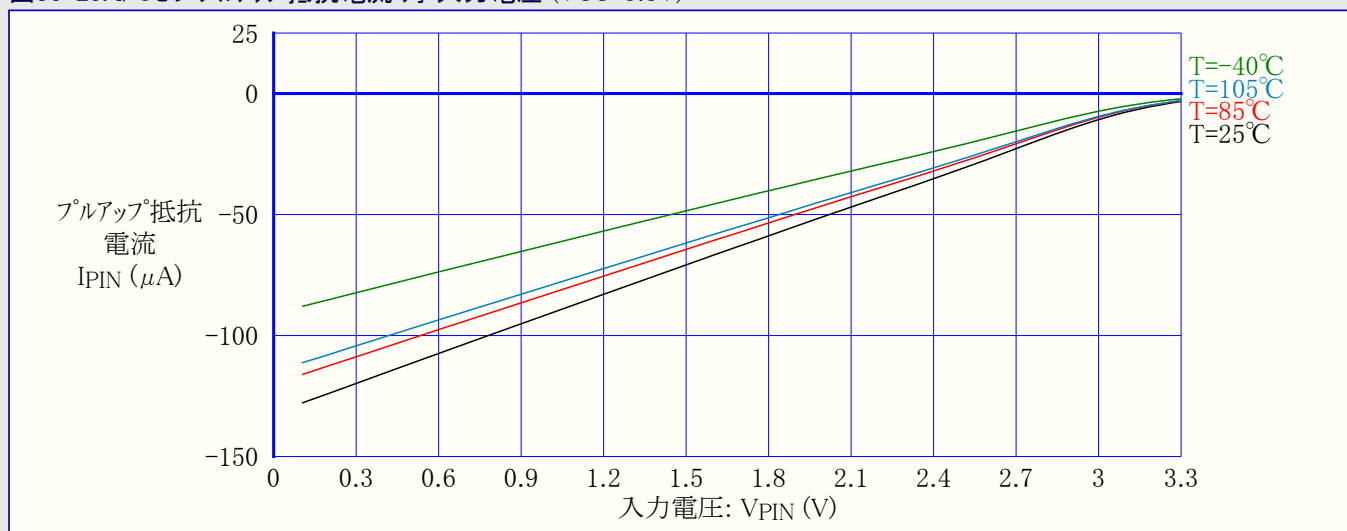


図36-25. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



36.2.2. 出力電圧 対 シンク/ソース電流

図36-26. I/Oピン出力電圧 対 ソース電流 (VCC=1.8V)

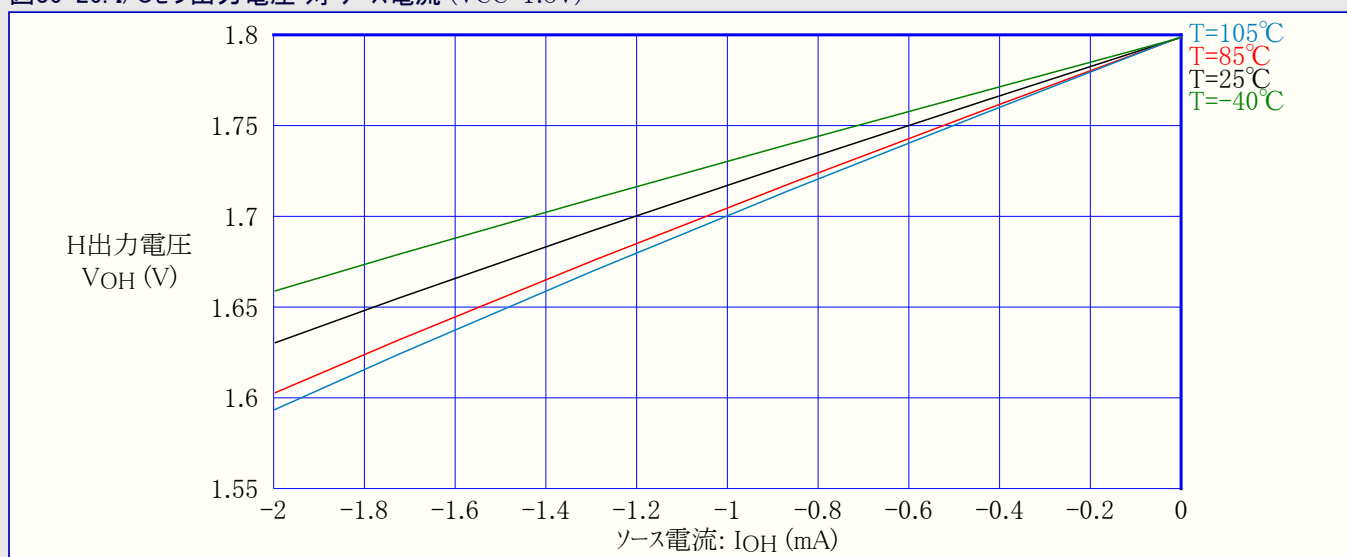


図36-27. I/Oピン出力電圧 対 ソース電流 (VCC=3.0V)

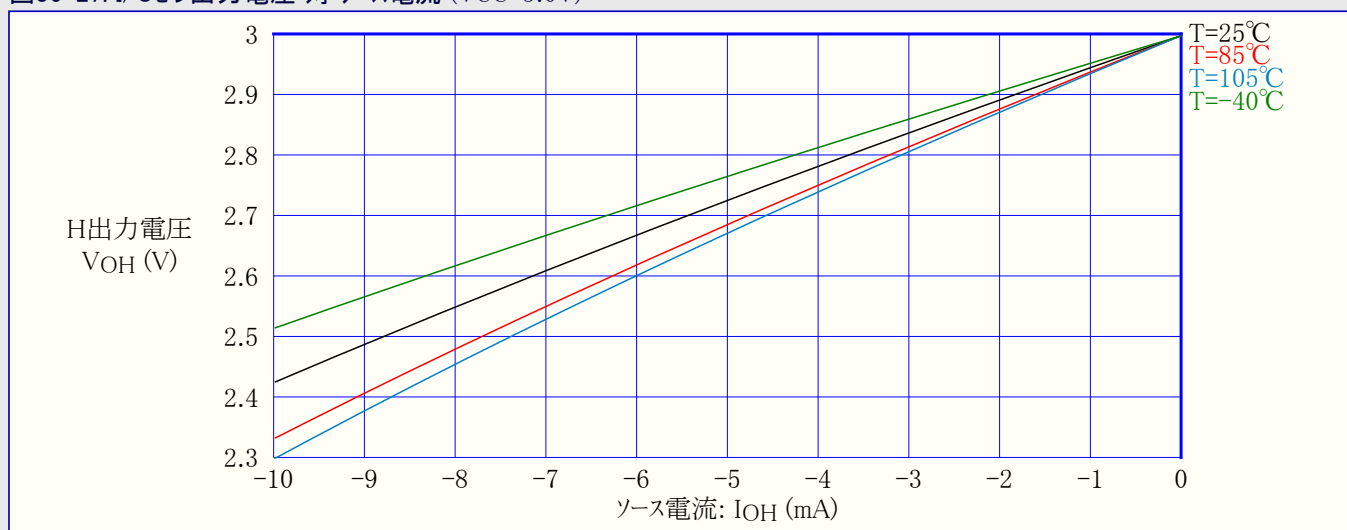


図36-28. I/Oピン出力電圧 対 ソース電流 (VCC=3.3V)

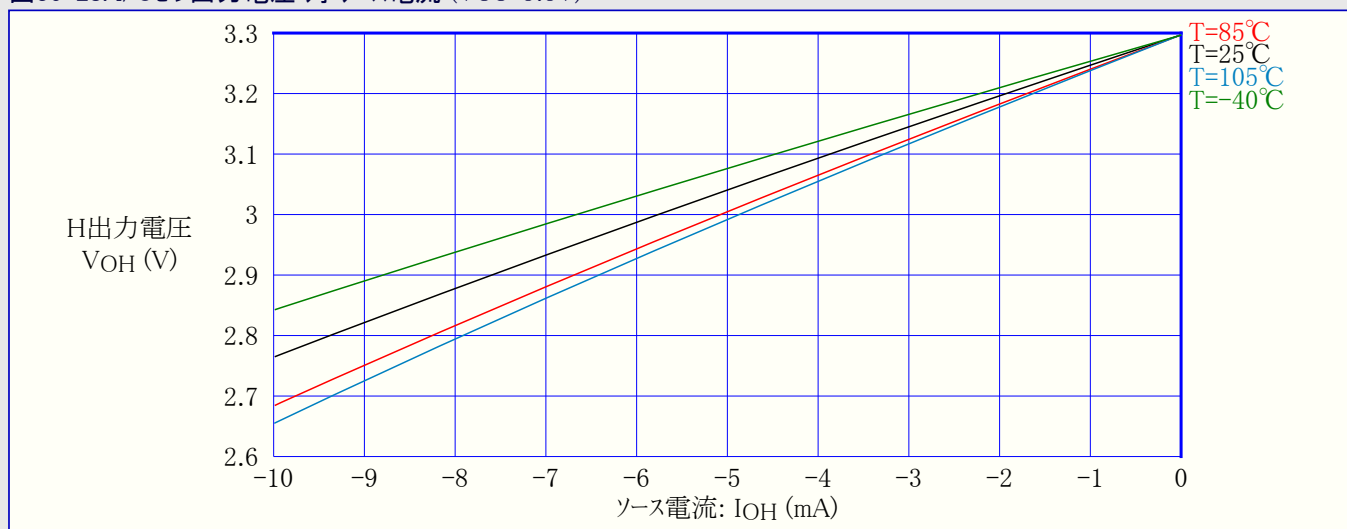


図36-29. I/Oピン出力電圧 対 ソース電流 (T=25°C)

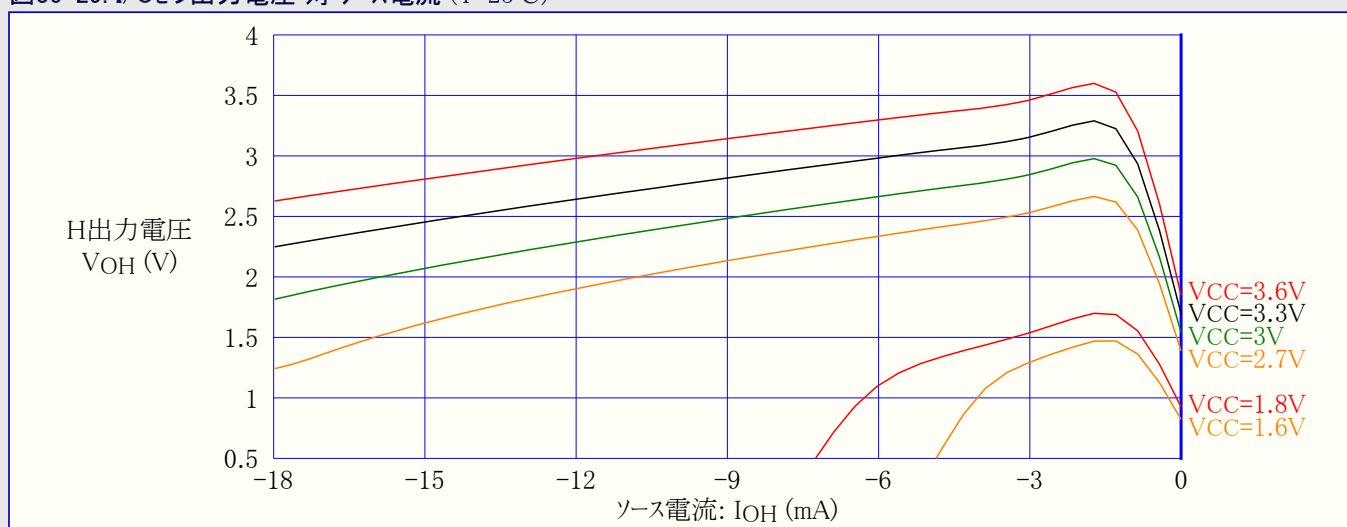


図36-30. I/Oピン出力電圧 対 シンク電流 (VCC=1.8V)

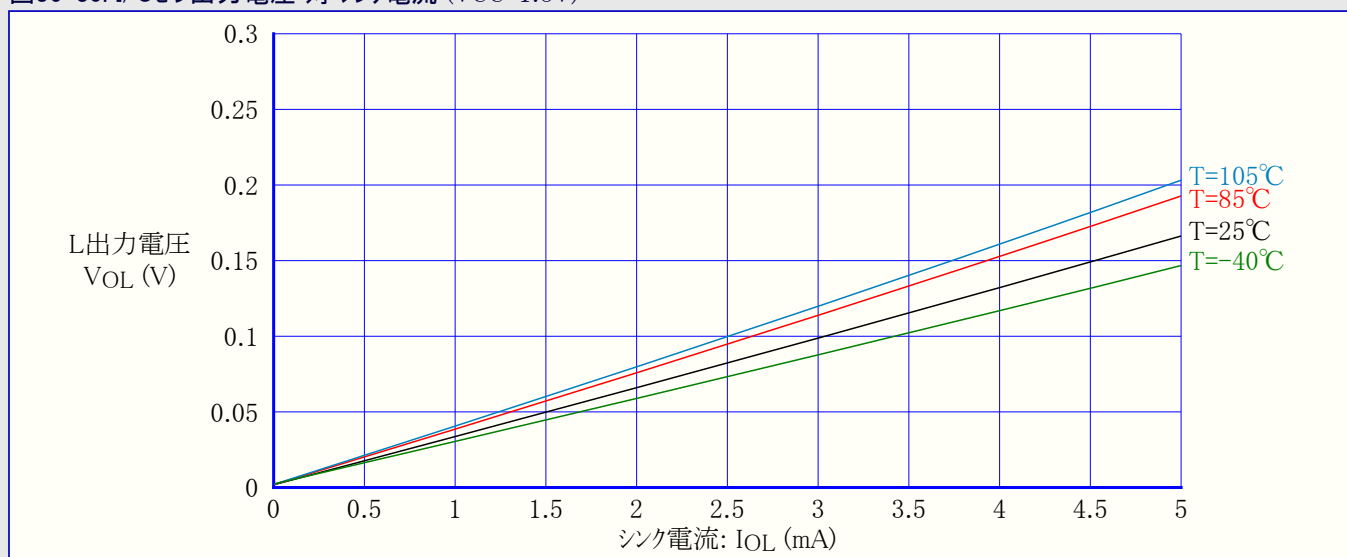


図36-31. I/Oピン出力電圧 対 シンク電流 (VCC=3.0V)

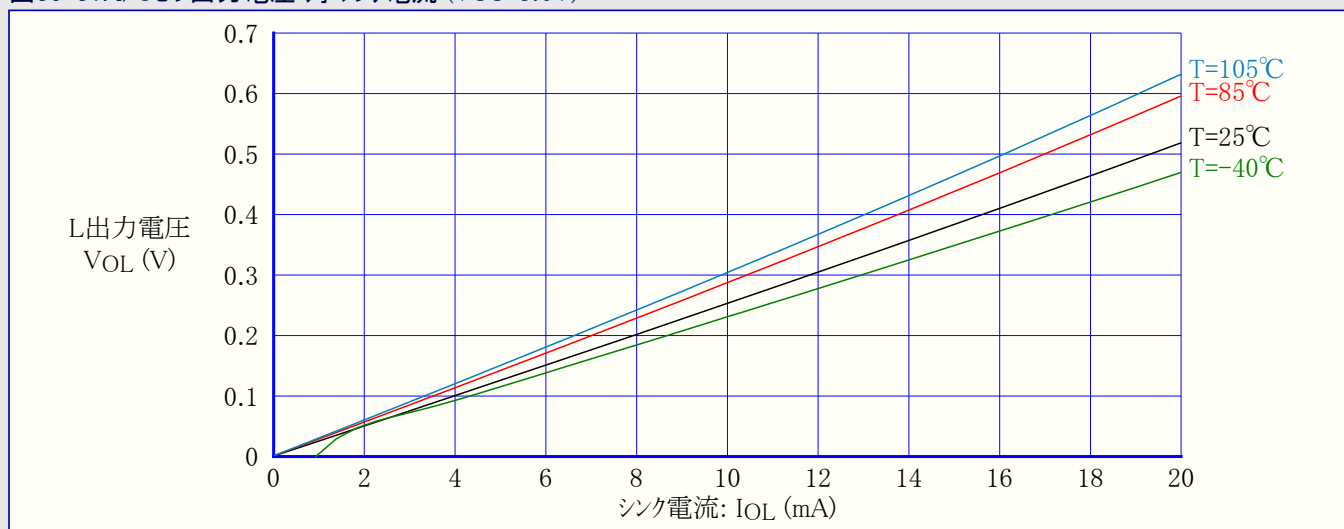


図36-32. I/Oピン出力電圧 対 シンク電流 (VCC=3.3V)

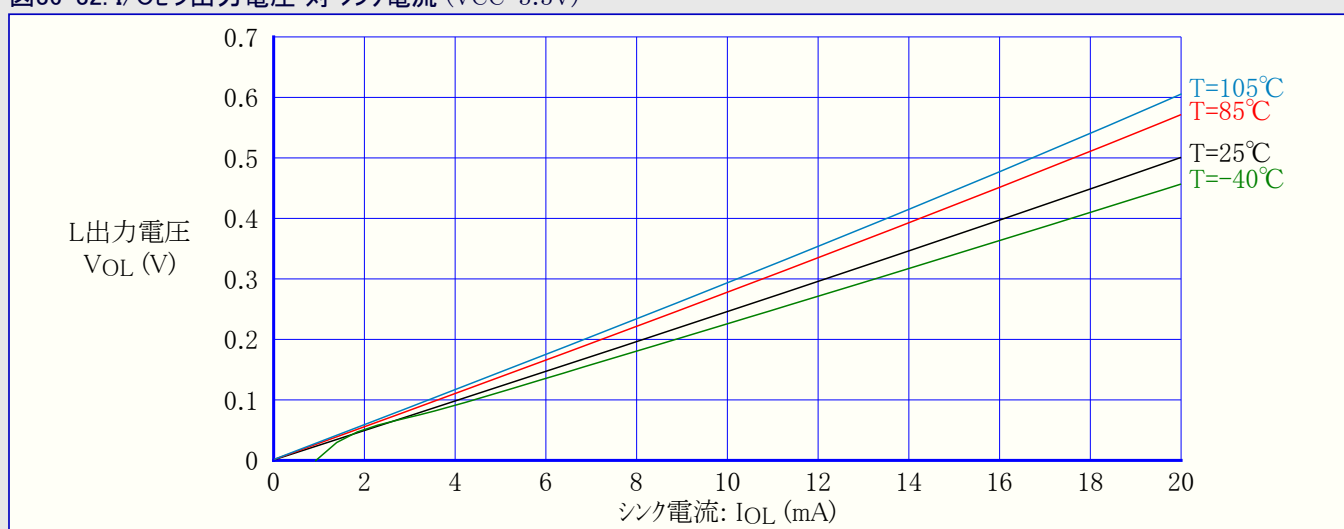
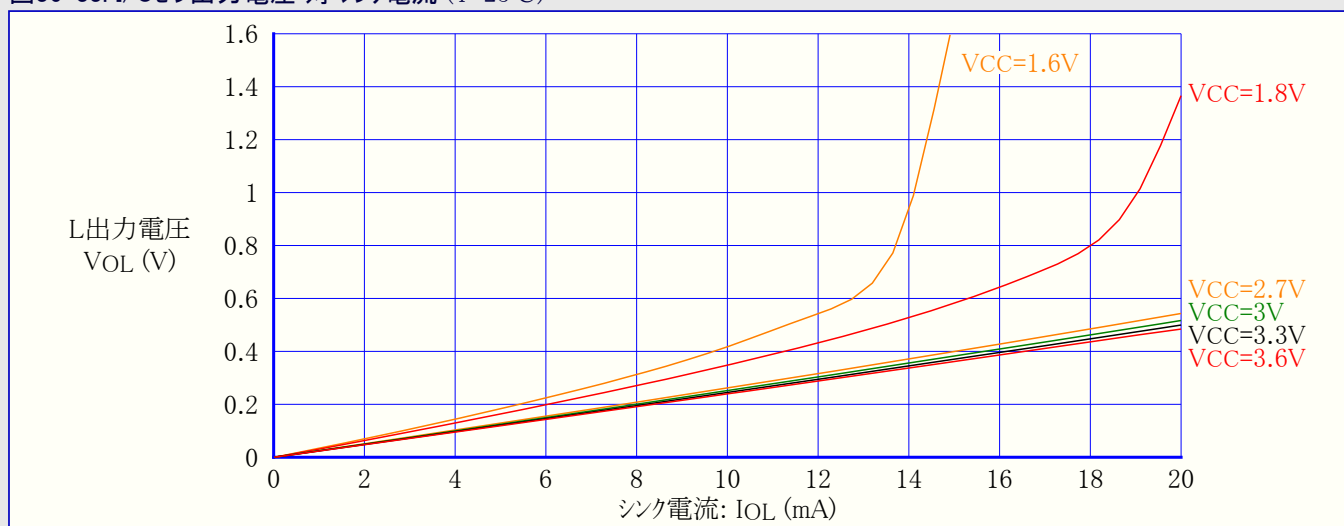


図36-33. I/Oピン出力電圧 対 シンク電流 ($T=25^{\circ}C$)



36.2.3. 閾値とヒステリシス

図36-34. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (T=25°C)

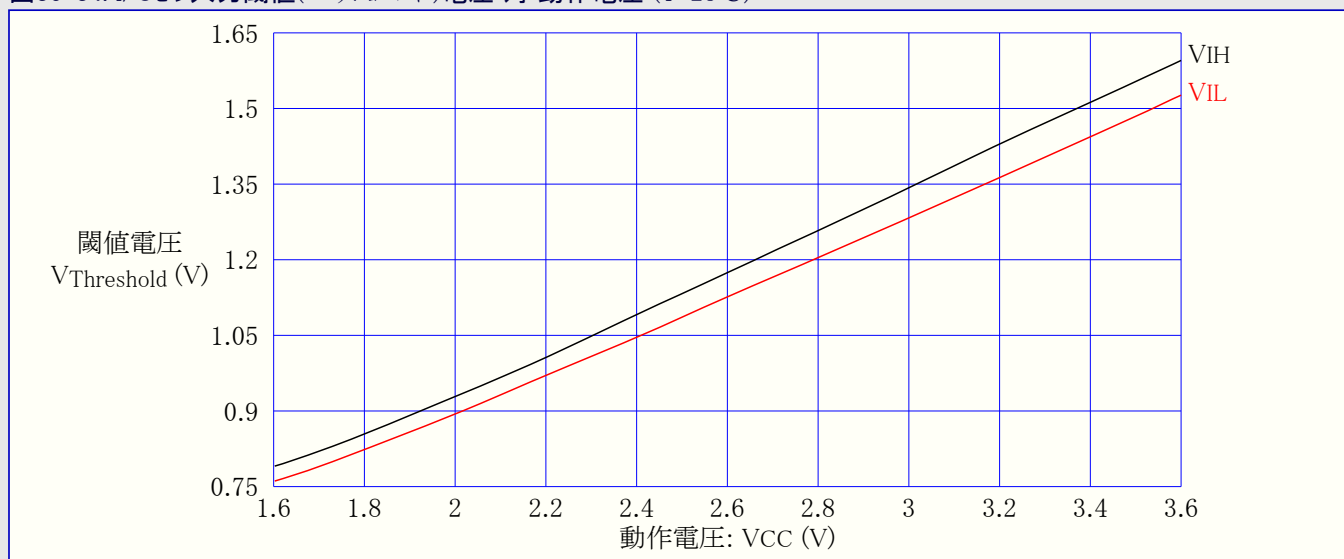


図36-35. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH}, 1読み値)

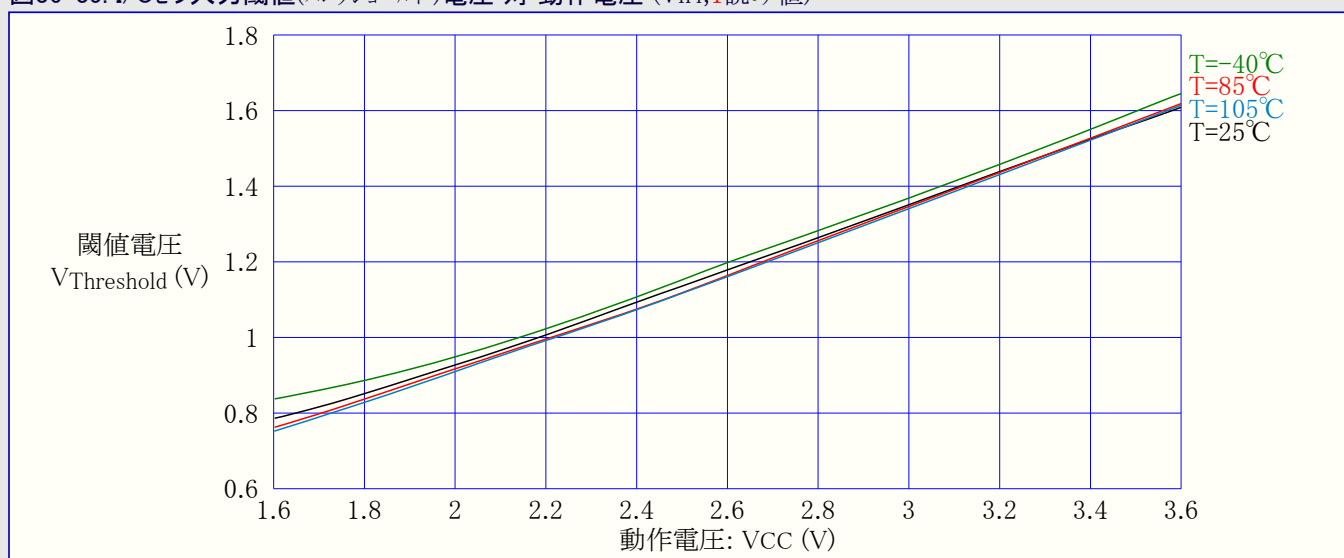


図36-36. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL}, 0読み値)

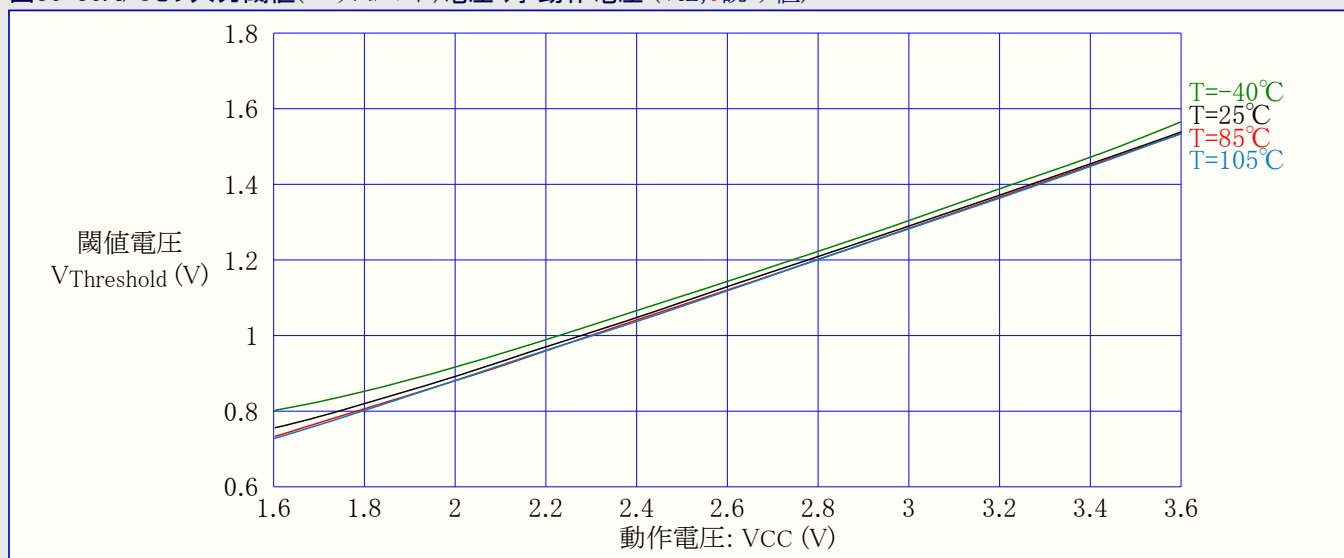
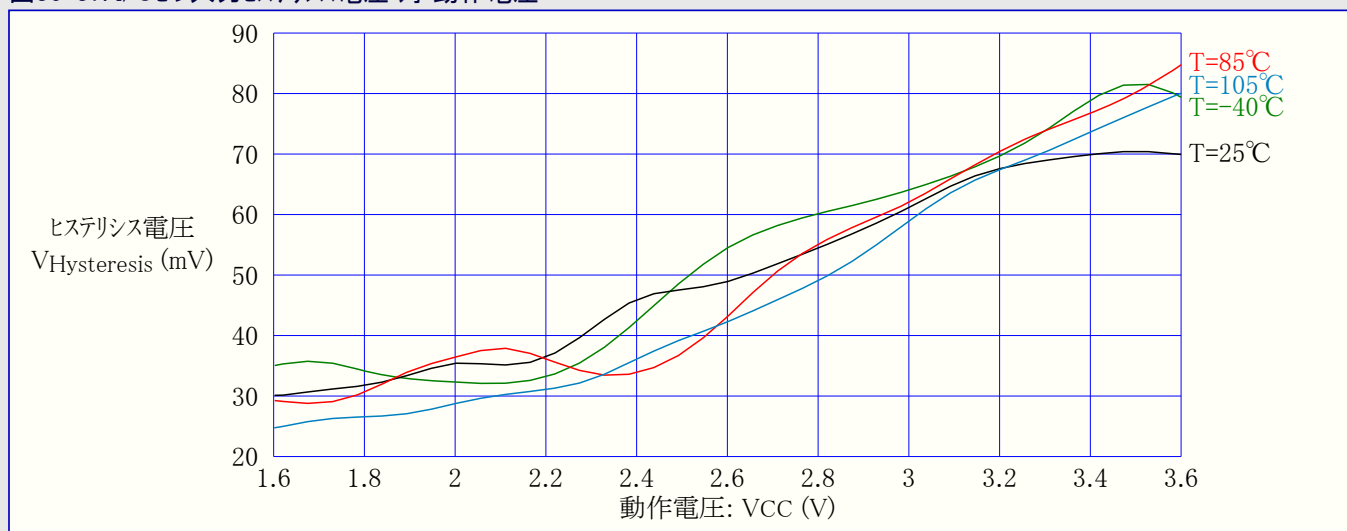


図36-37. I/Oピン入力ヒステリシス電圧 対 動作電圧



36.3. A/D変換器(ADC)特性

図36-38. ADC積分性誤差(INL) 対 外部VREF (T=25°C、VCC=3.6V)

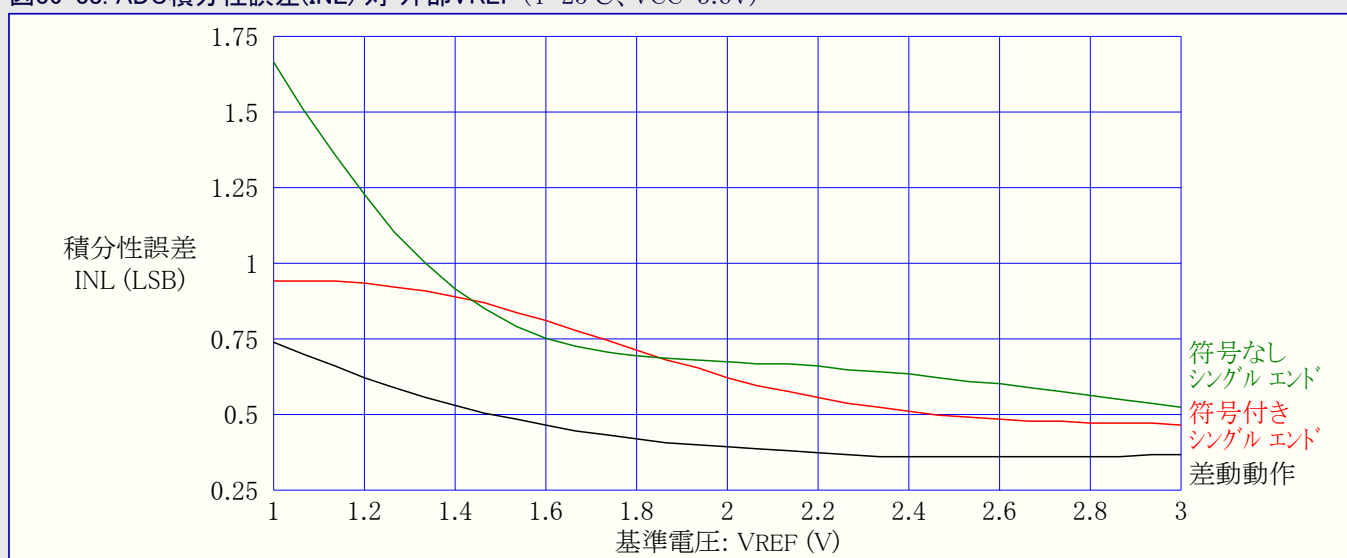


図36-39. ADC積分性誤差(INL) 対 動作電圧 (T=25°C、VREF=1.0V)

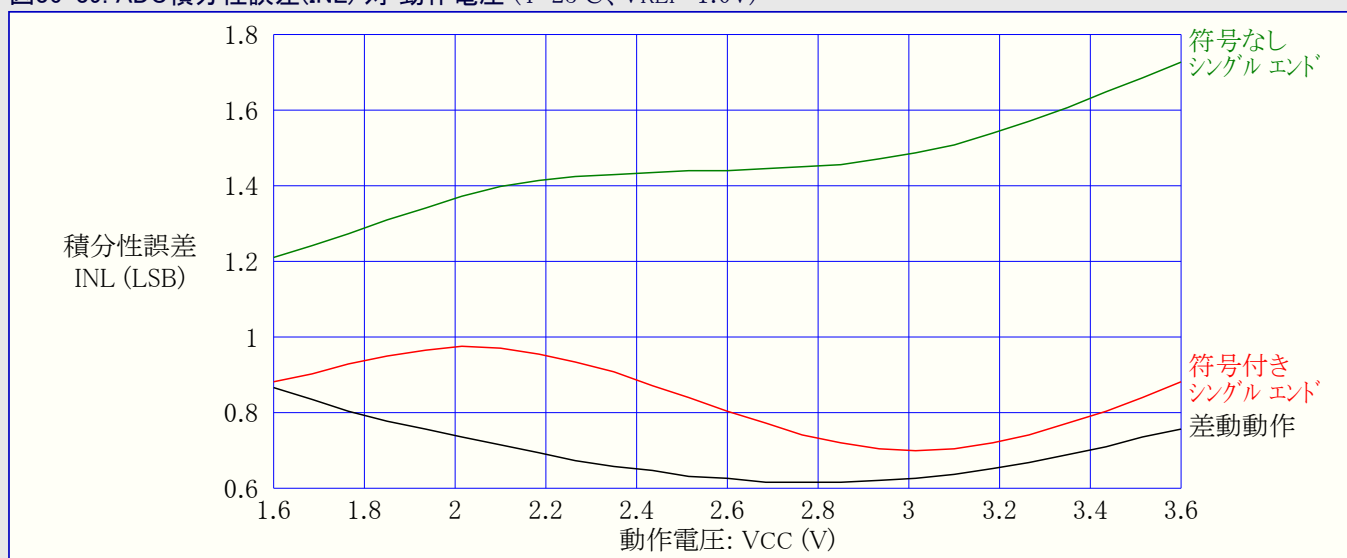


図36-40. ADC微分性誤差(DNL) 対 外部VREF (T=25°C、VCC=3.6V)

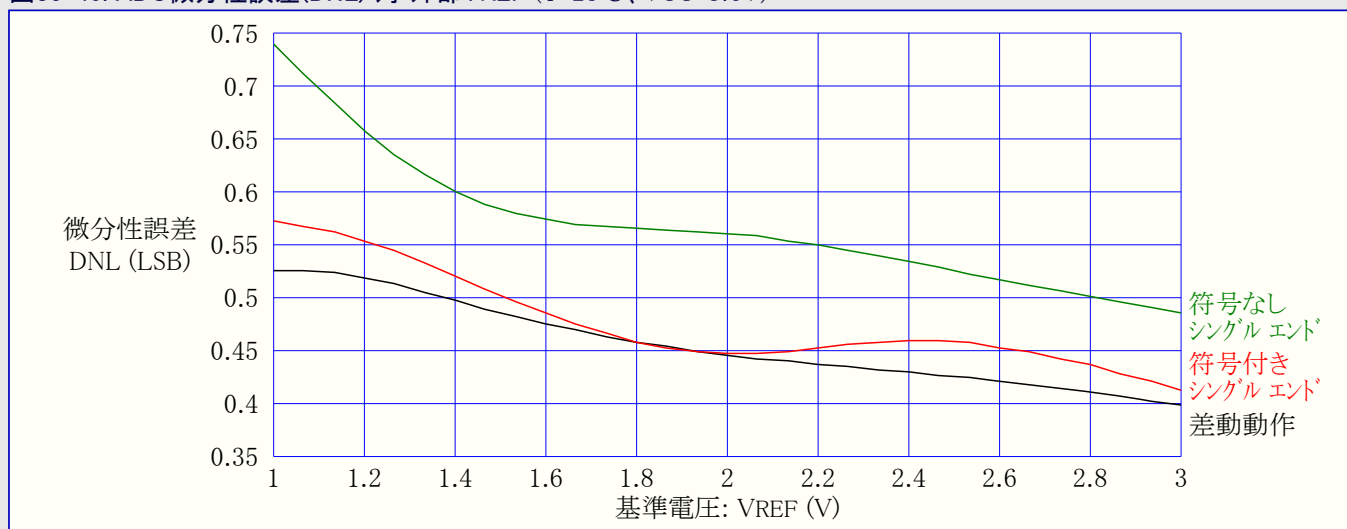


図36-41. ADC微分性誤差(DNL) 対 動作電圧 (T=25°C、VREF=1.0V)

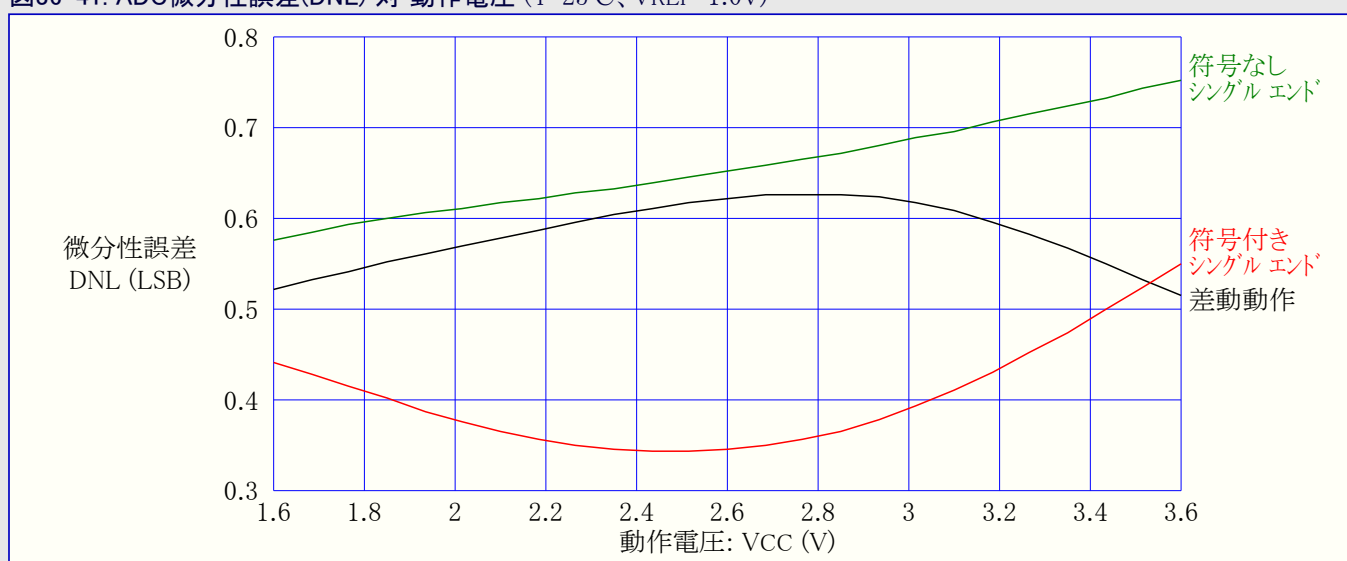


図36-42. ADC利得誤差 対 動作電圧 (T=25°C、VREF=外部1.0V、A/D変換速度=300ksps)

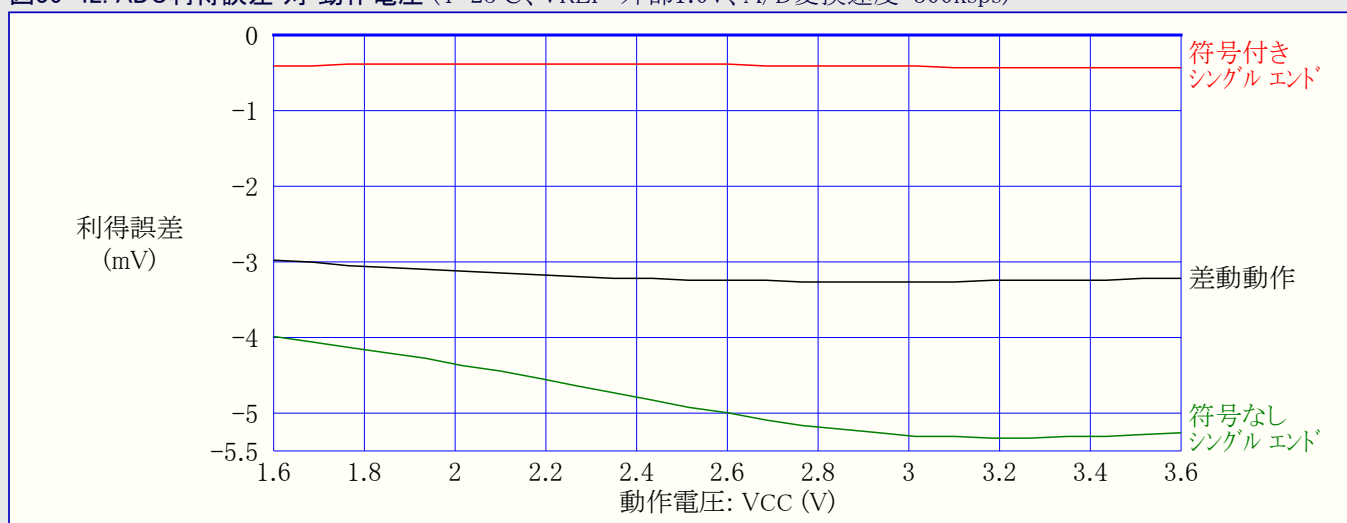


図36-43. ADC利得誤差 対 外部VREF (T=25°C、VCC=3.6V、A/D変換速度=300ksps)

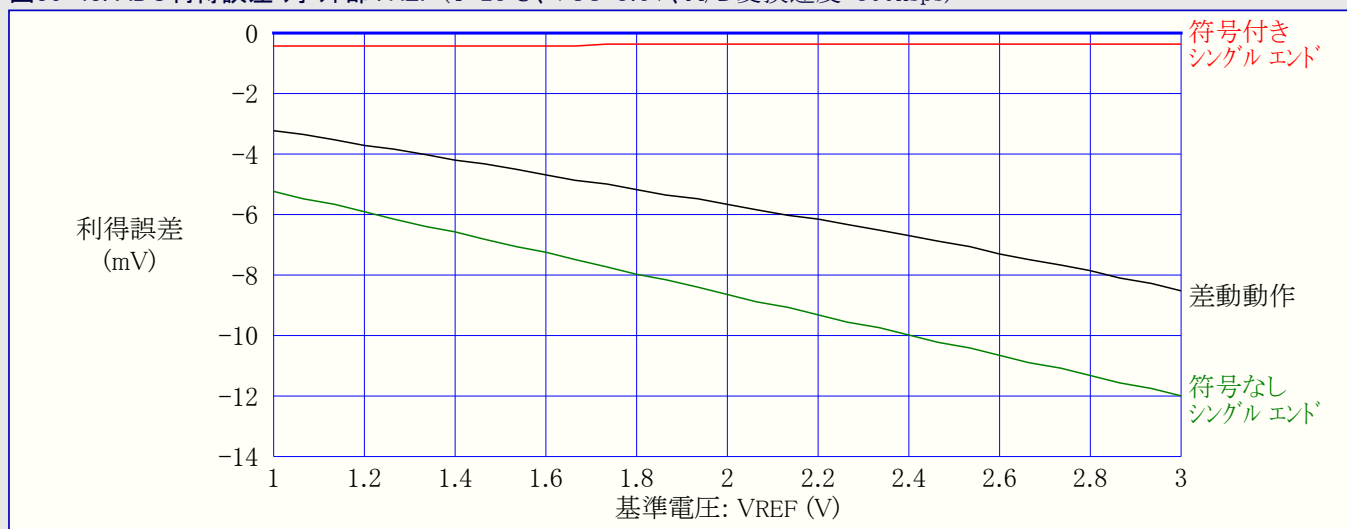


図36-44. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部1.0V、A/D変換速度=300ksps)

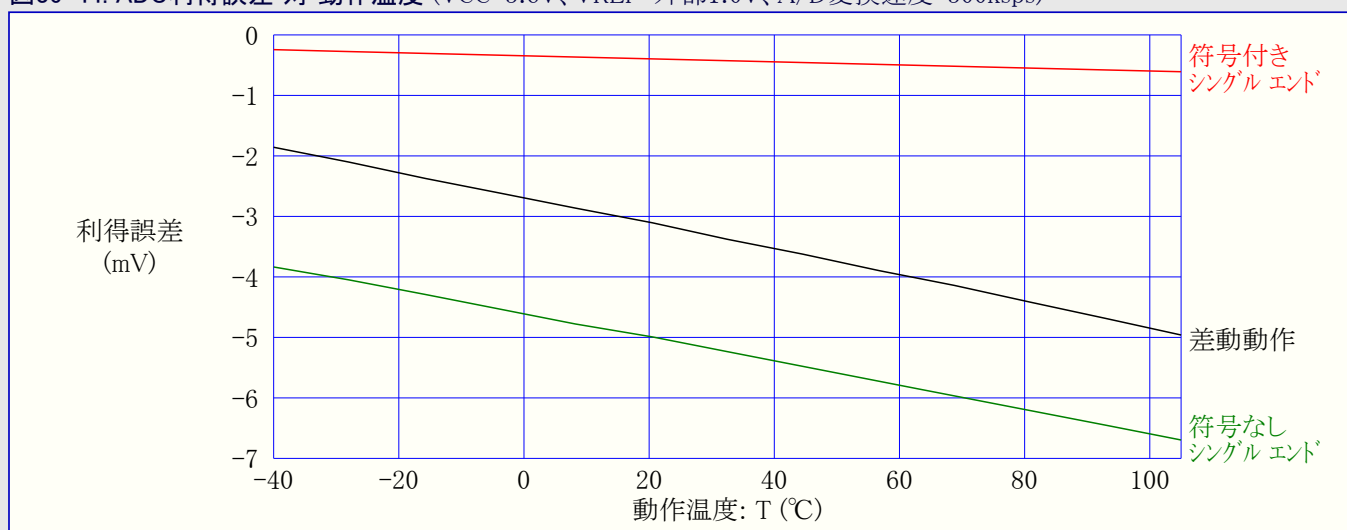


図36-45. ADC変位(オフセット)誤差 対 動作電圧 (T=25°C、VREF=外部1.0V、A/D変換速度=300ksps)

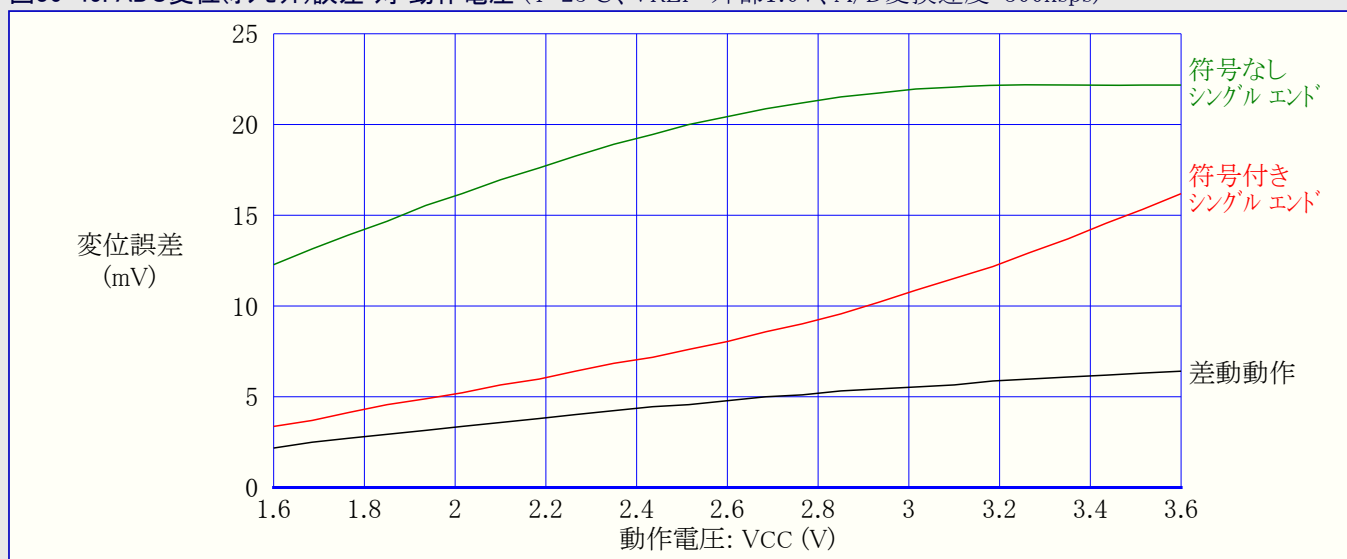


図36-46. ADC変位(オフセット)誤差 対 外部VREF (T=25°C、VCC=3.6V、A/D変換速度=300ksps)

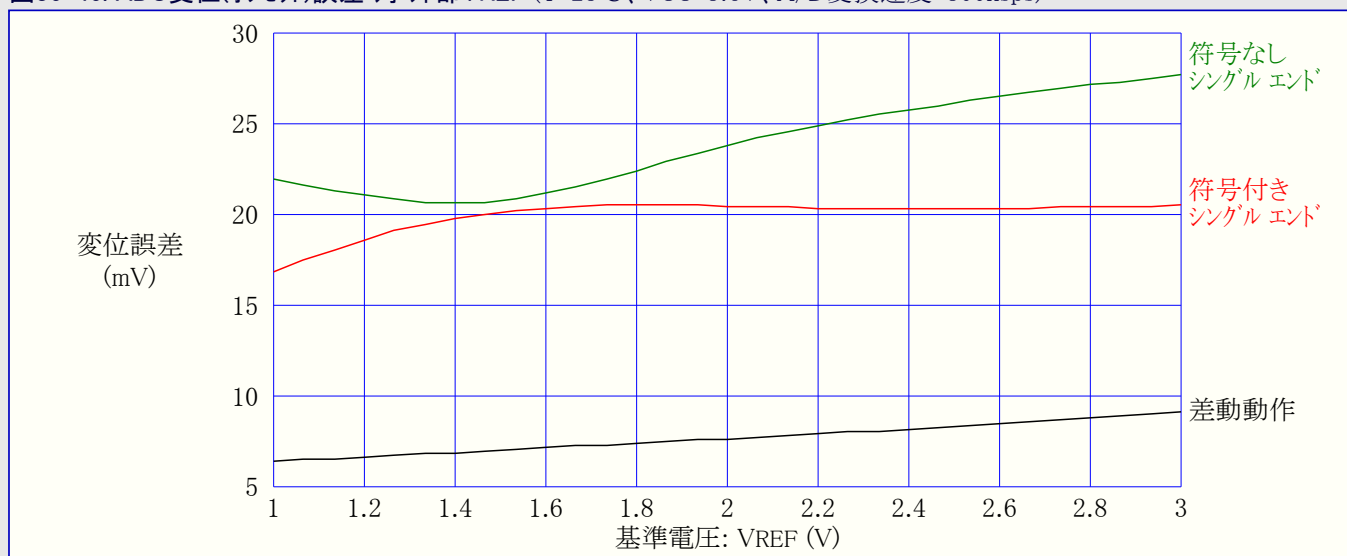
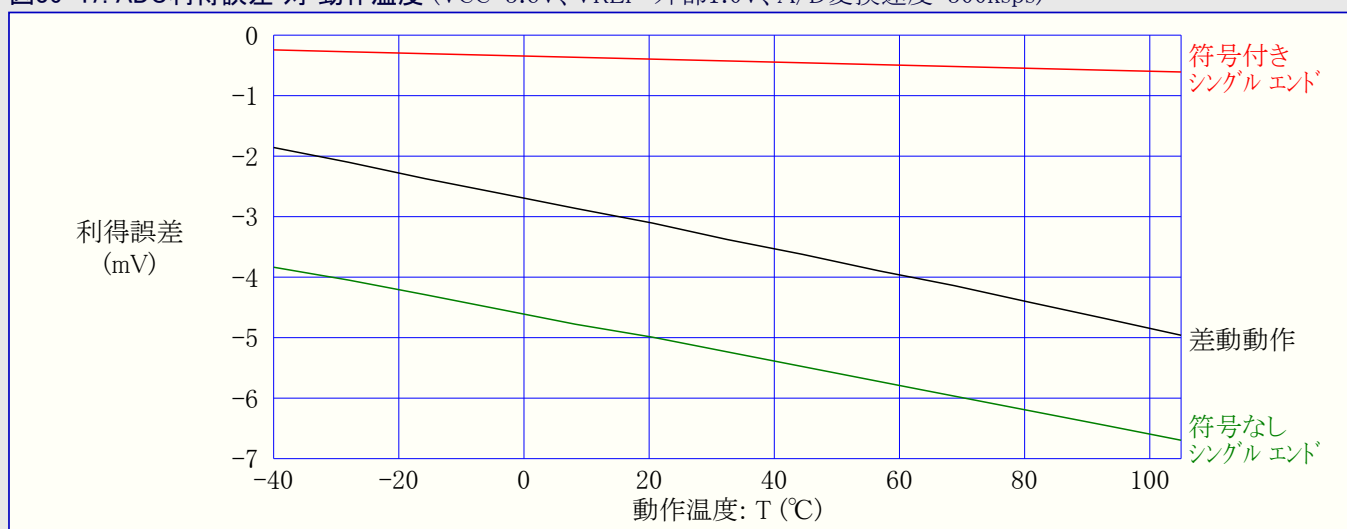
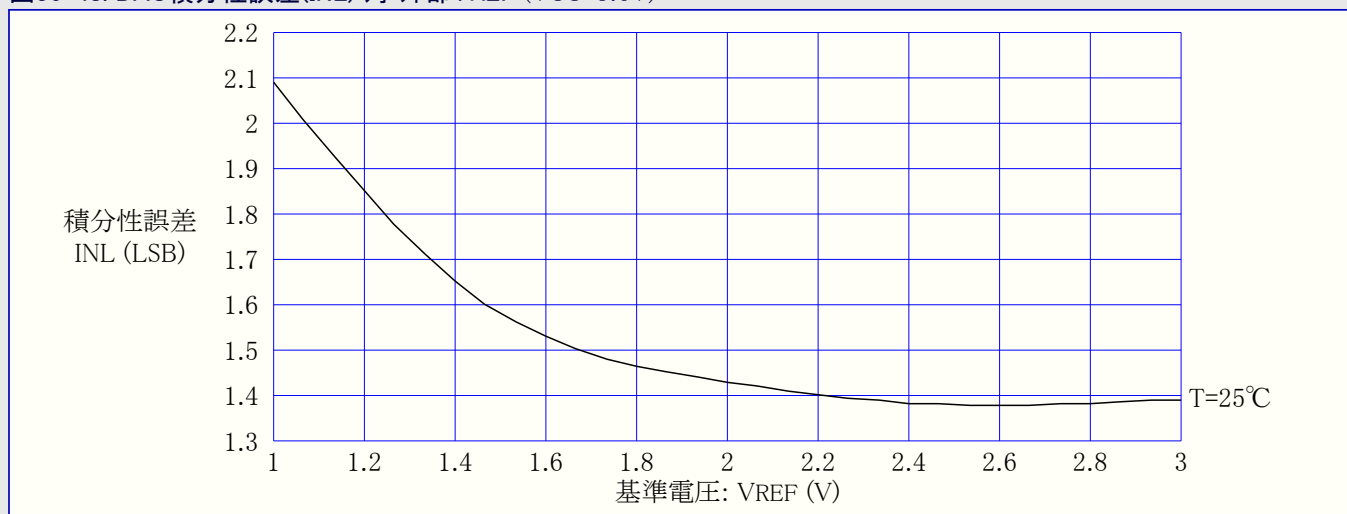


図36-47. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部1.0V、A/D変換速度=300ksps)



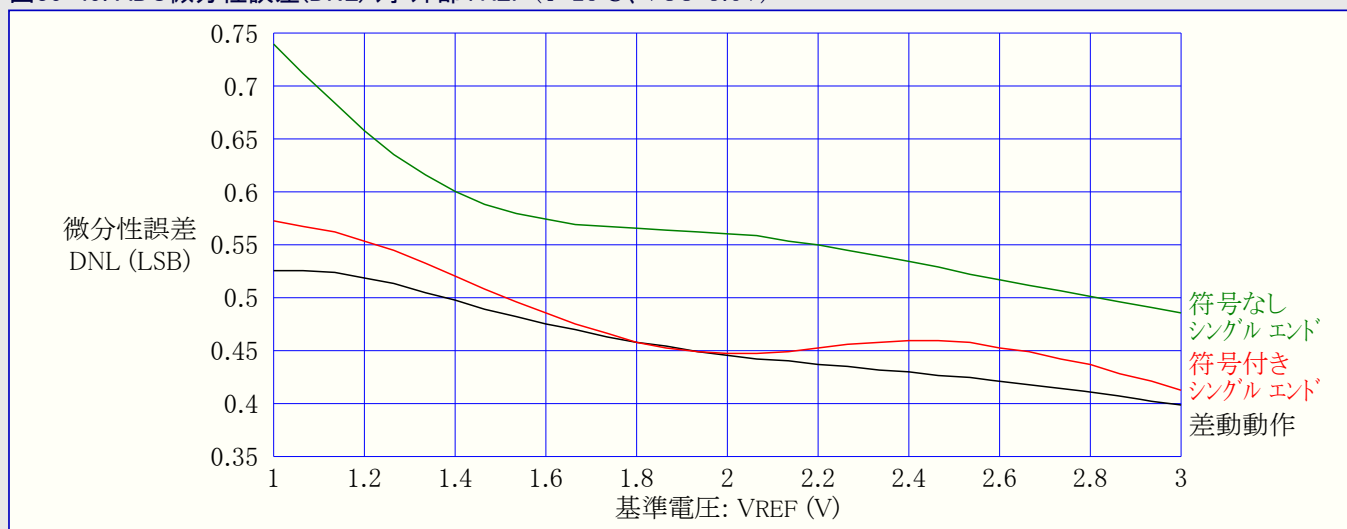
36.4. D/A変換器(DAC)特性

図36-48. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)



(訳注) 図36-47.(原書では図37-46.)は図36-44.(原書での図37-43.)と同一のため、これは誤りで、「ADC変位(オフセット)誤差 対 動作温度」の特性図となるべきです。

図36-49. ADC微分性誤差(DNL) 対 外部VREF (T=25°C、VCC=3.6V)



36.5. アナログ比較器特性

図36-50. アナログ比較器(AC)ヒステリシス 対 動作電圧 (ヒステリシス=小)

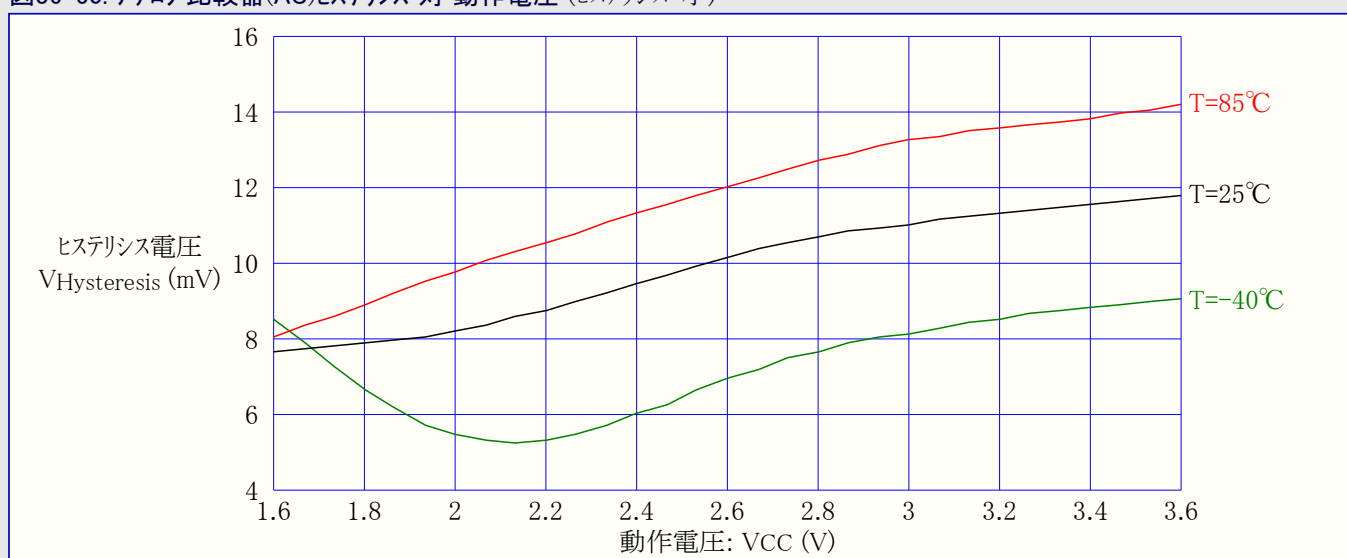
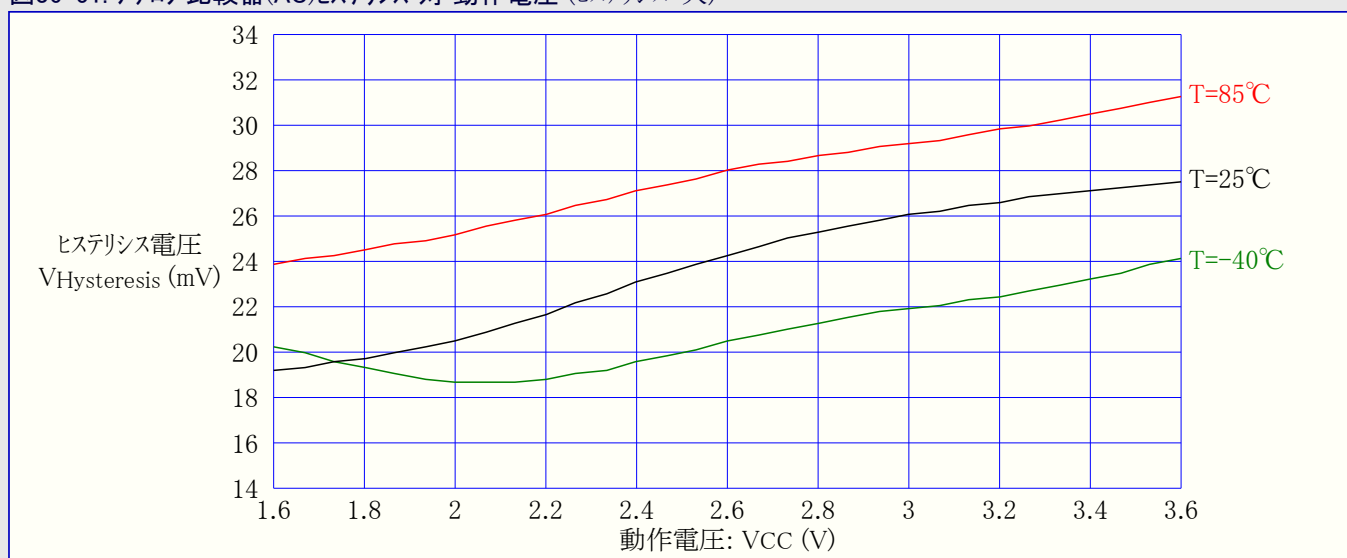


図36-51. アナログ比較器(AC)ヒステリシス 対 動作電圧 (ヒステリシス=大)



(訳注) 図36-49.(原書では図37-48.)は図36-40.(原書での図37-40.)と同一のため、これは誤りで、「DAC微分製誤差(DNL) 対 外部VREF」の特性図となるべきです。原書での図37-49.は原書で欠落している本書での図37-41.です。

図36-52. アナログ比較器(AC)伝播遅延 対 動作電圧

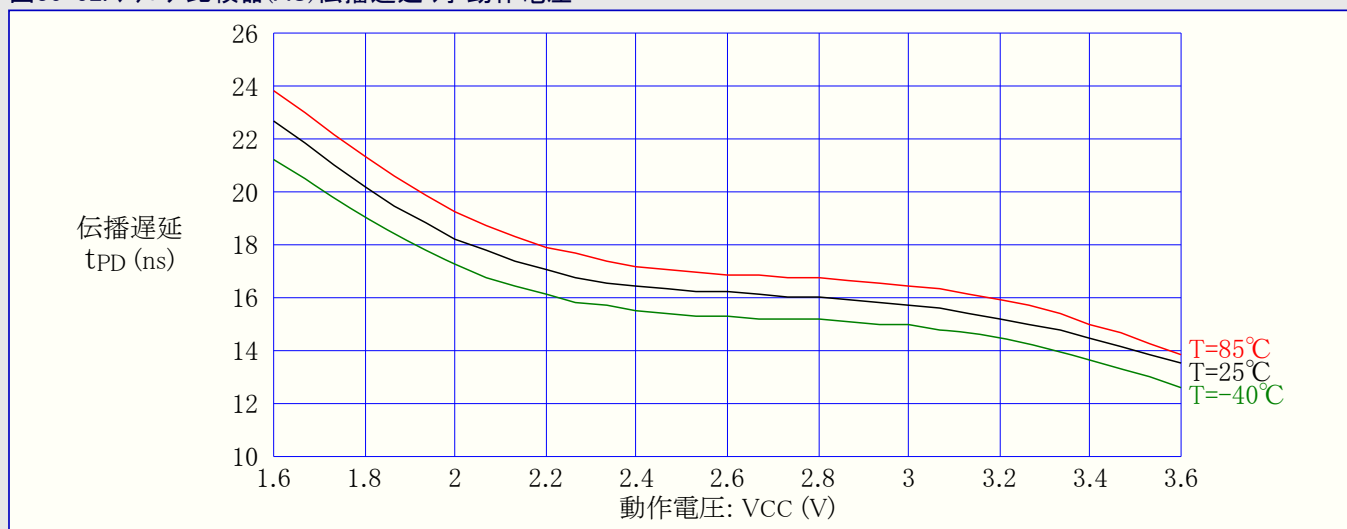


図36-53. アナログ比較器(AC)伝播遅延 対 動作温度

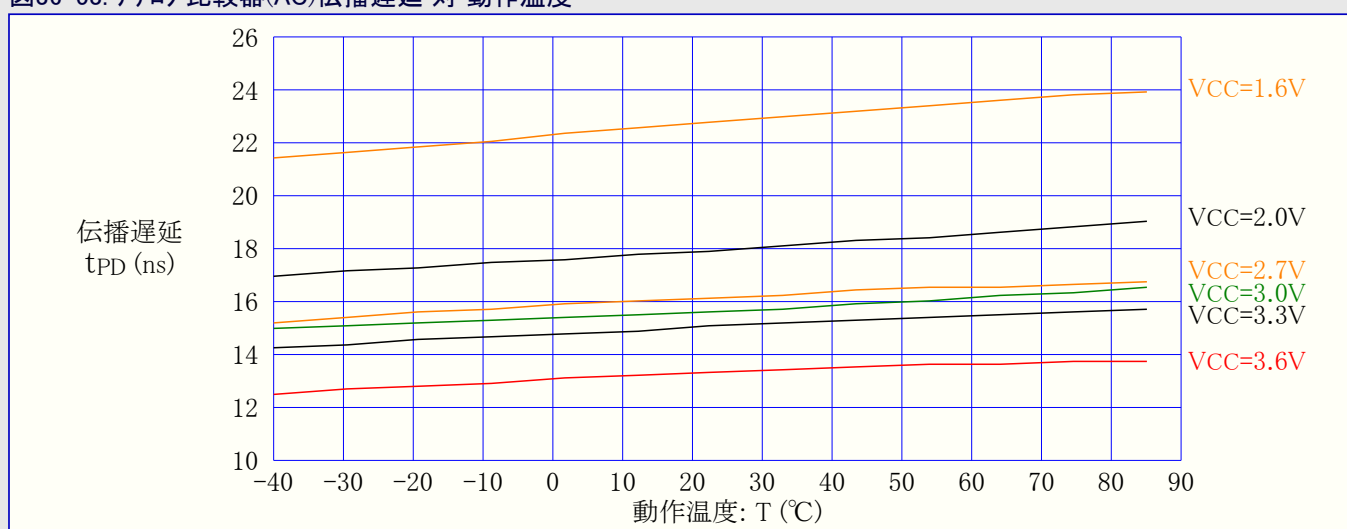


図36-54. アナログ比較器(AC)消費電流 対 動作電圧

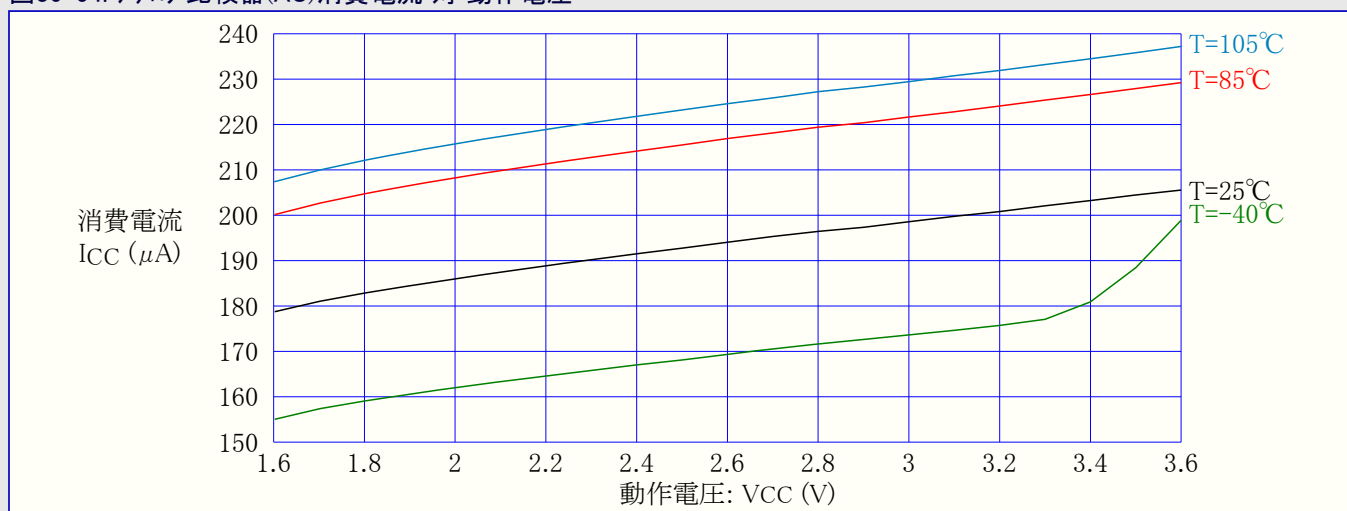


図36-55. 分圧器積分直線性(INL) 対 SCALEFAC (T=25°C、VCC=3.0V)

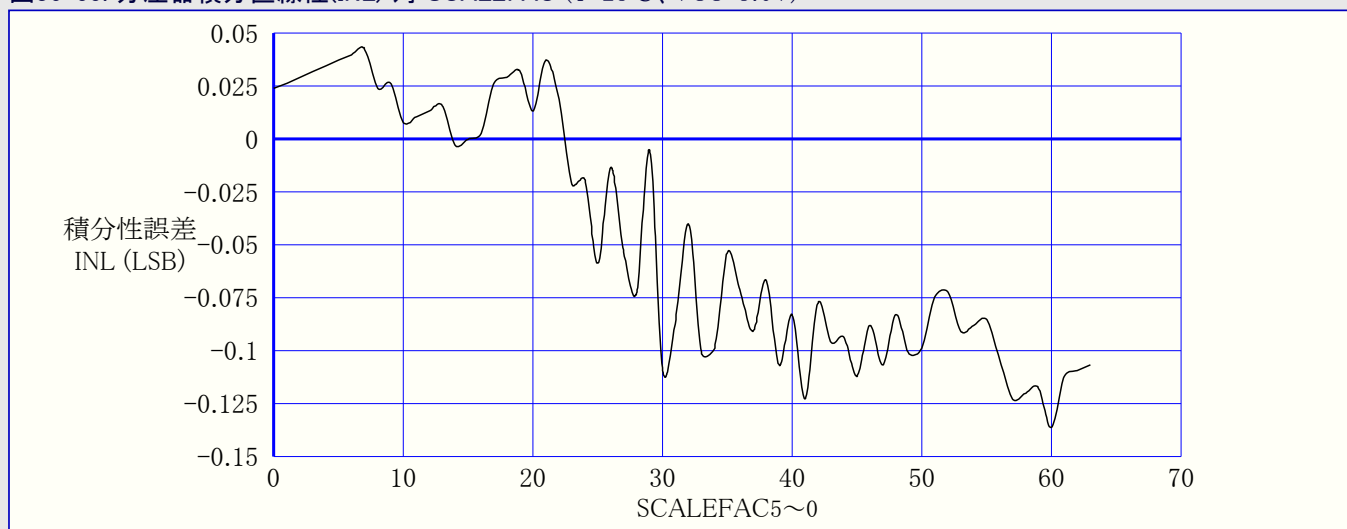


図36-56. アナログ比較器(AC)変位(オフセット)電圧 対 コモンモード電圧

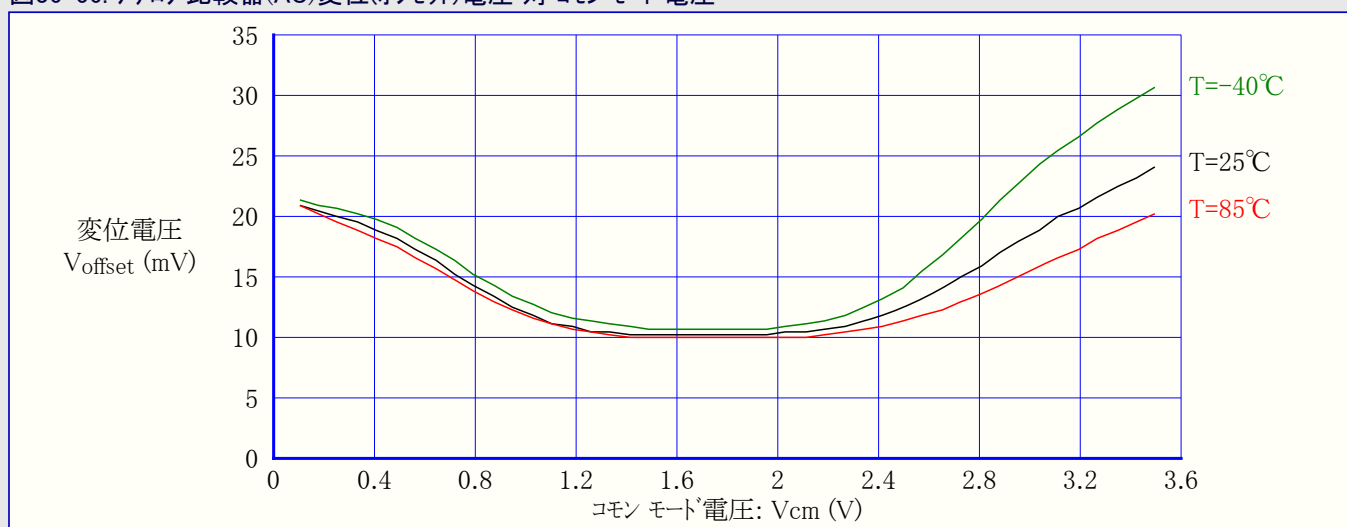


図36-57. アナログ比較器(AC)電流源 対 校正値 (VCC=3.0V)

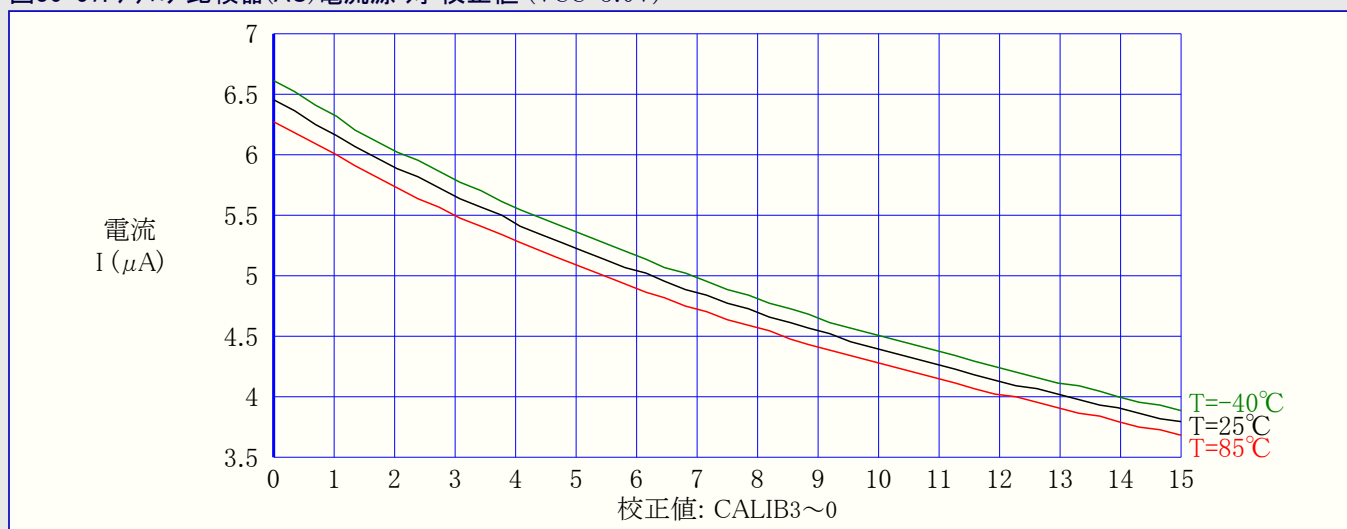
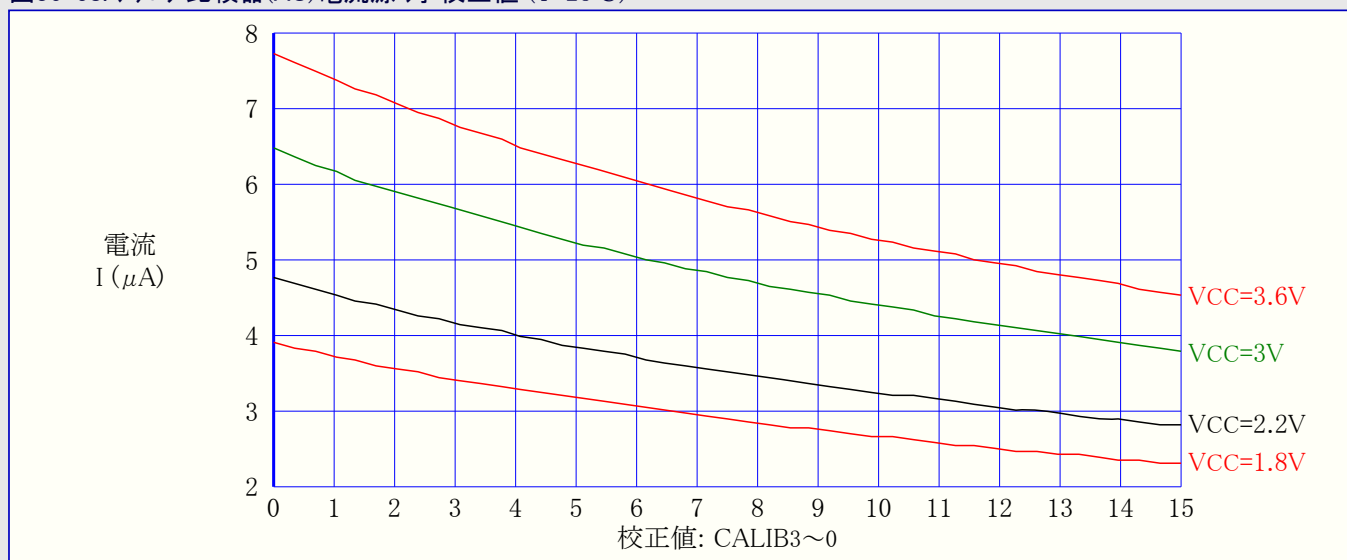
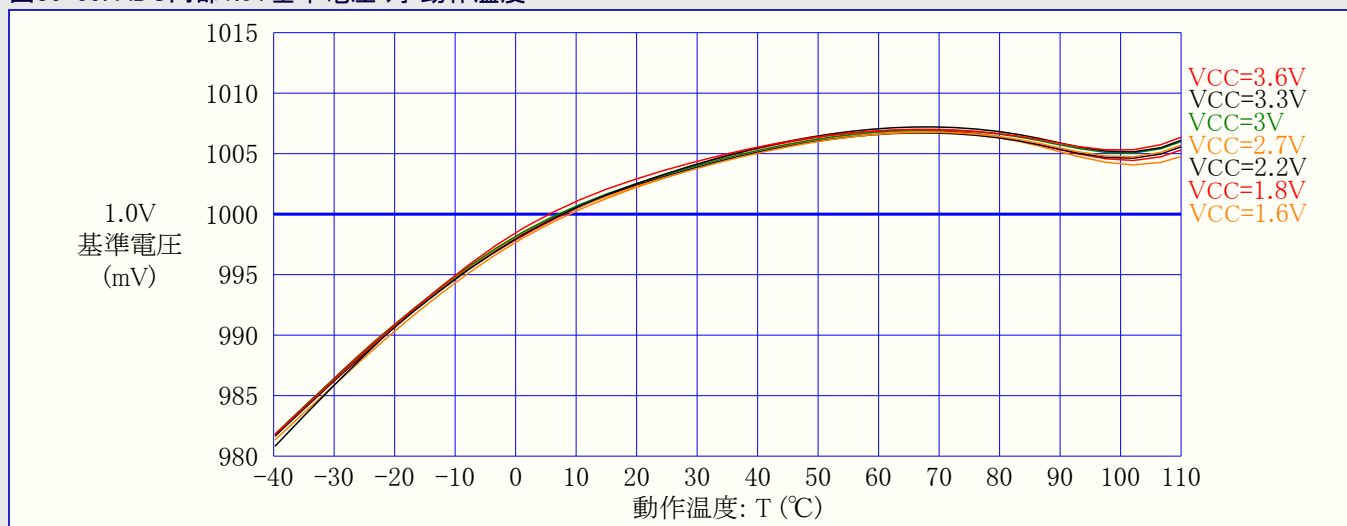


図36-58. アナログ比較器(AC)電流源 対 校正値 (T=25°C)



36.6. 内部1.0V基準電圧特性

図36-59. ADC内部1.0V基準電圧 対 動作温度



36.7. 低電圧検出器(BOD)特性

図36-60. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=1.6V)

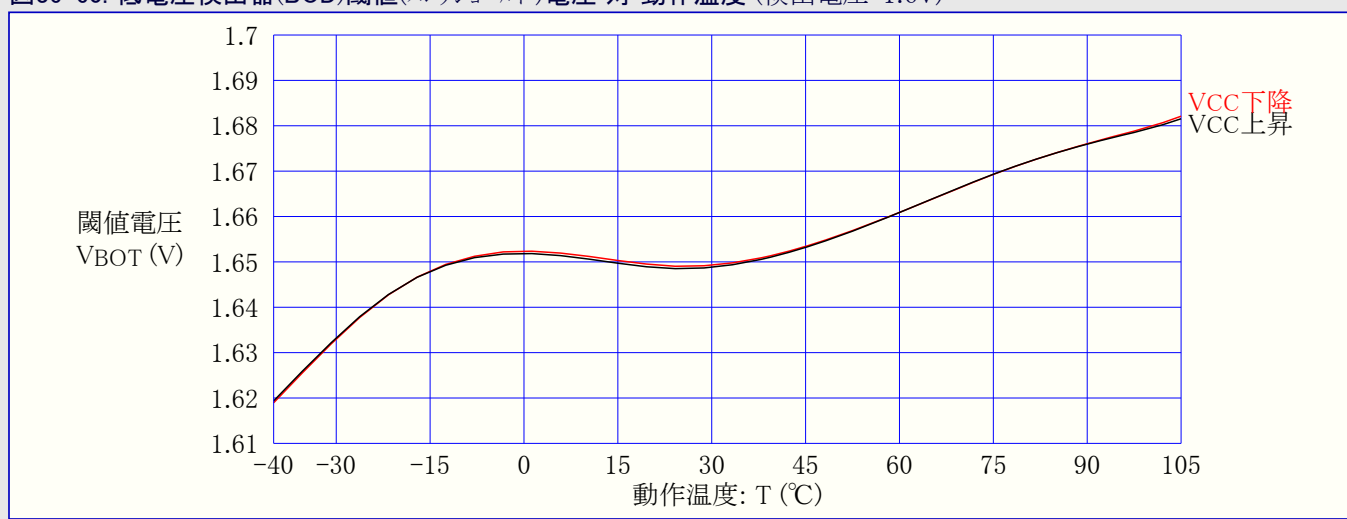
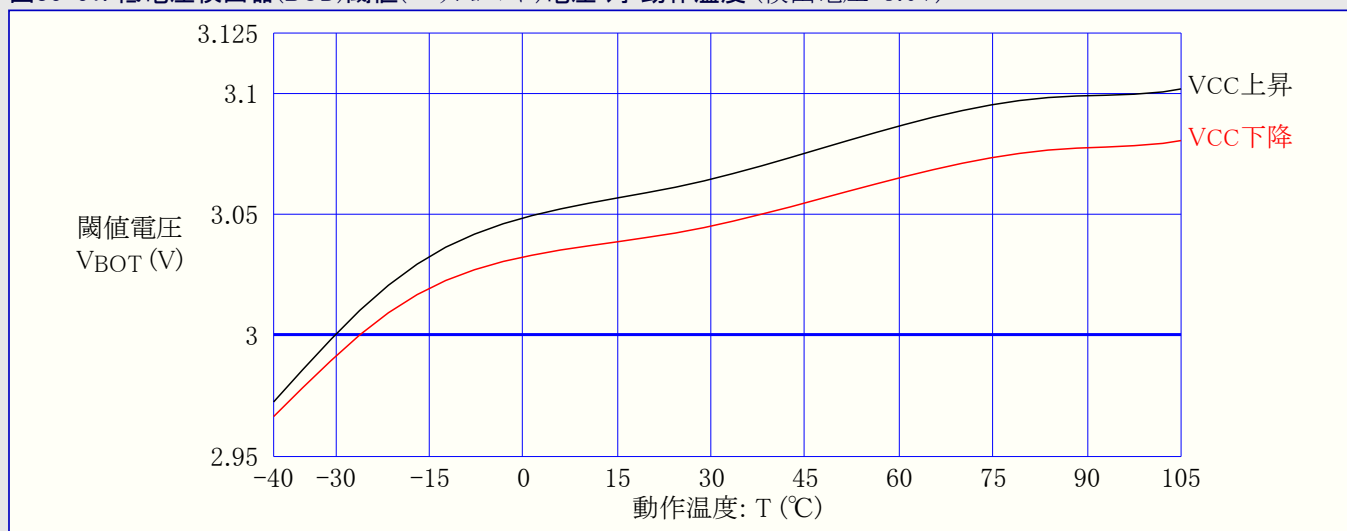


図36-61. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧=3.0V)



36.8. 外部リセット特性

図36-62. 最小リセットパルス幅 対 動作電圧

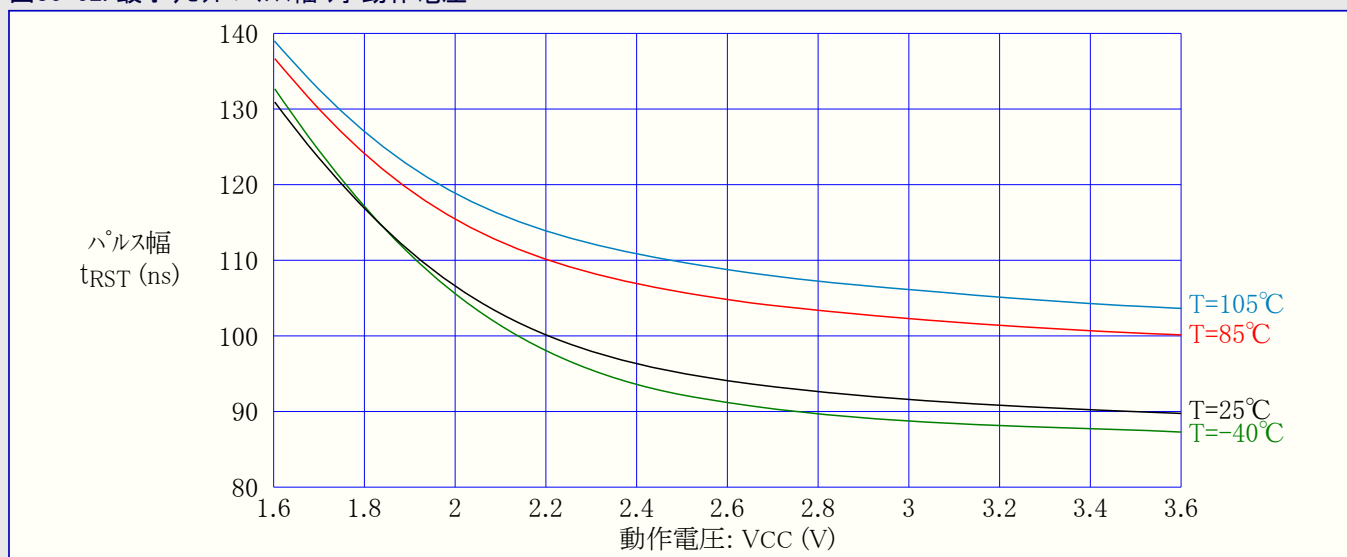


図36-63. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=1.8V)

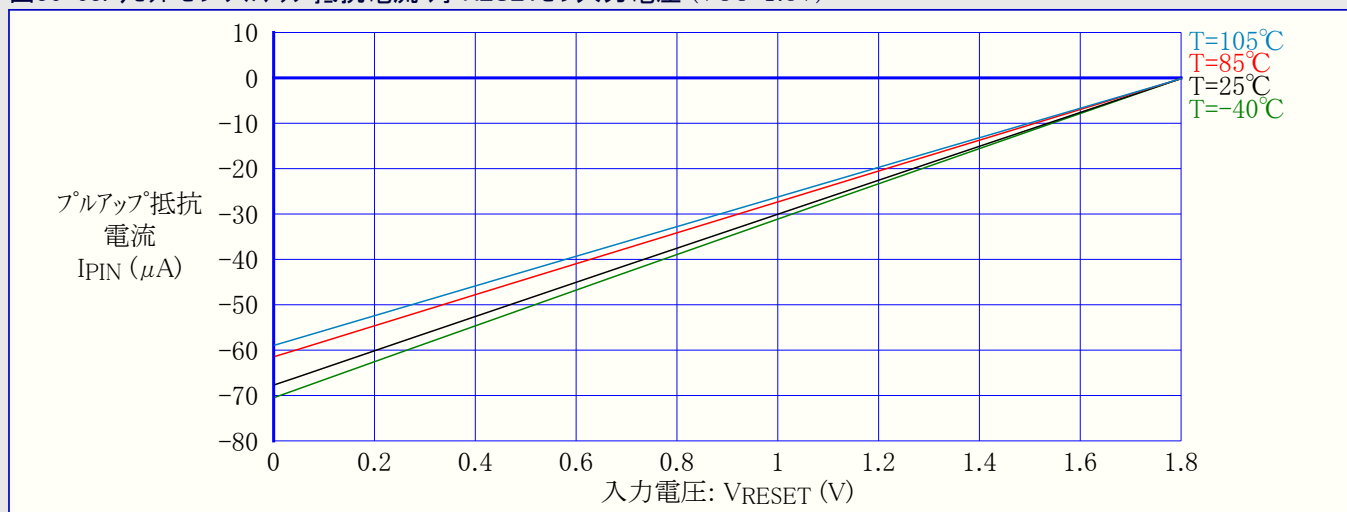


図36-64. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

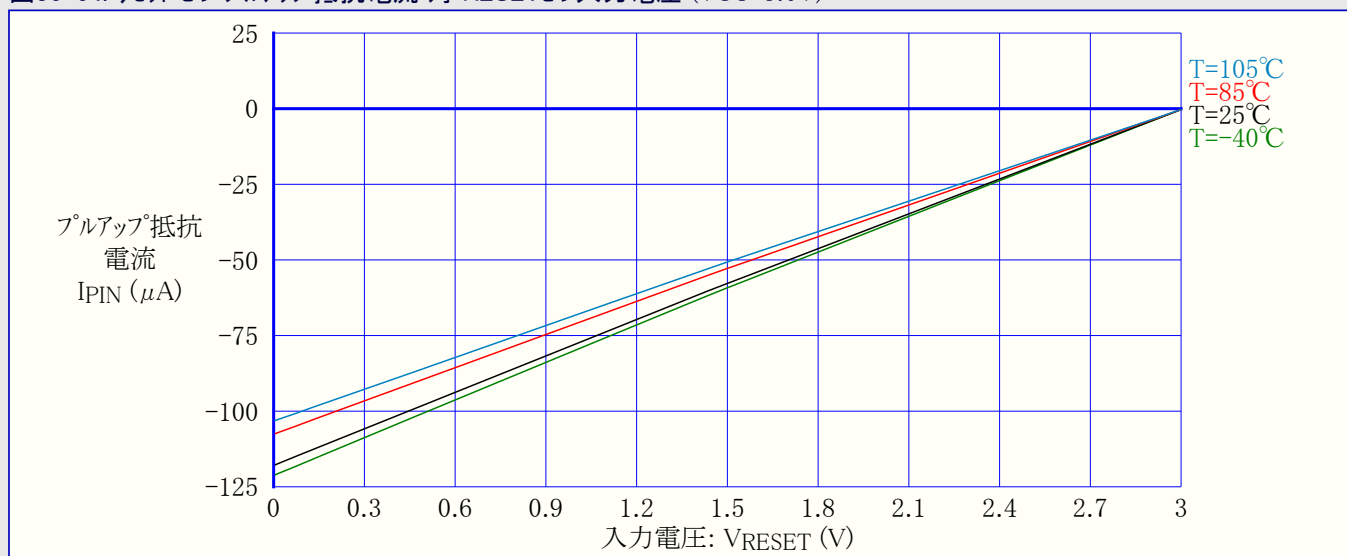


図36-65. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

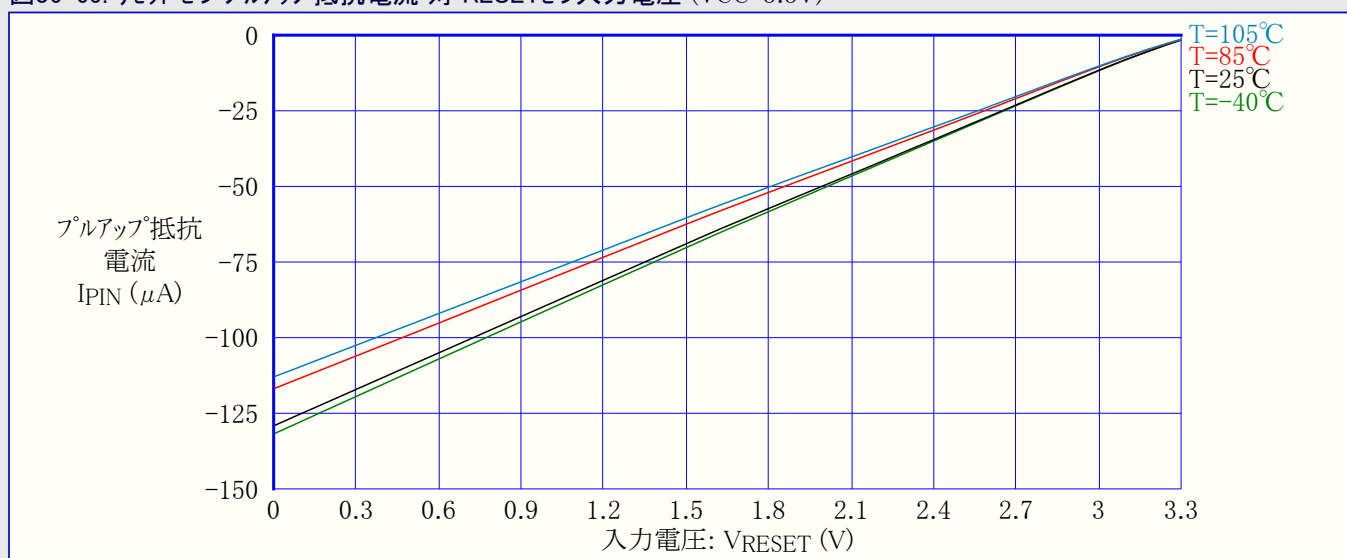


図36-66. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , I読み値)

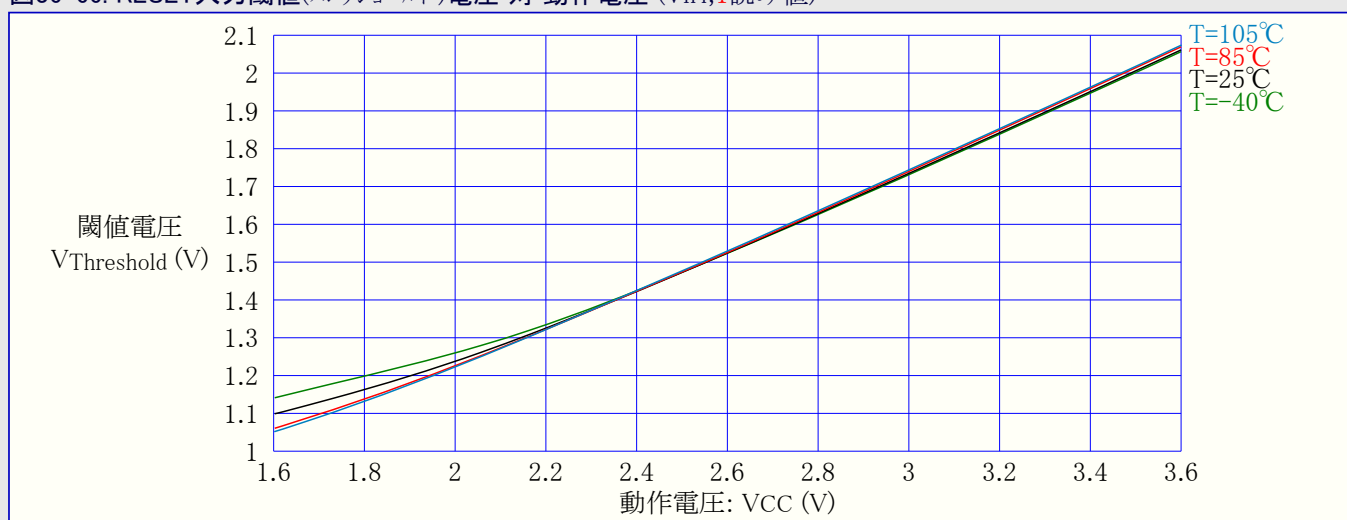
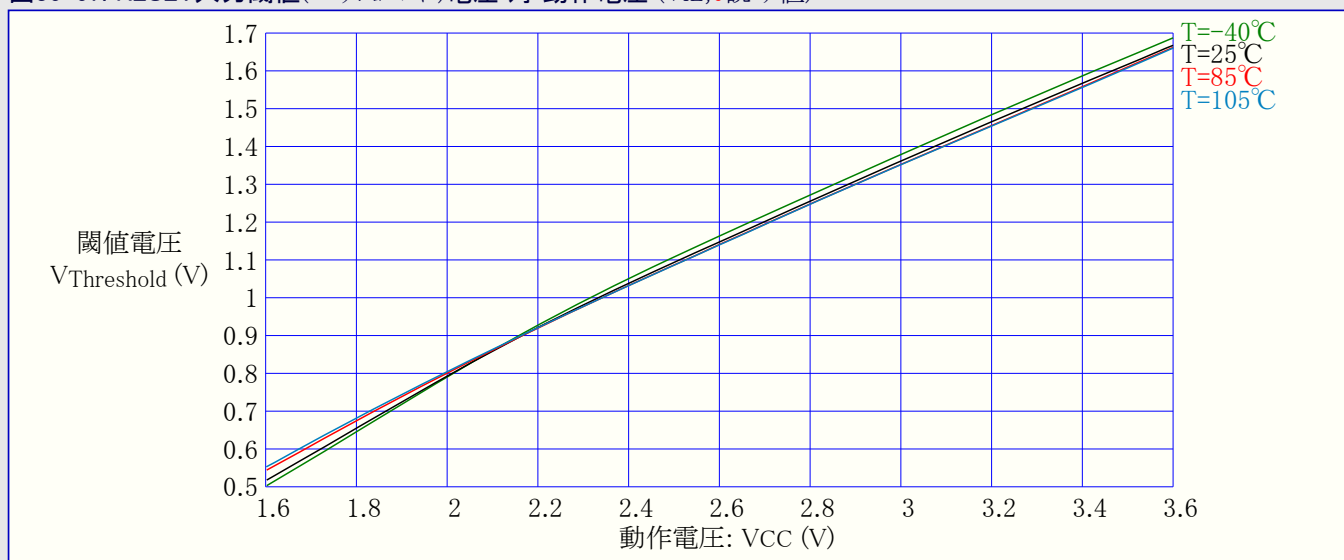


図36-67. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)



36.9. 電源ONリセット特性

図36-68. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)

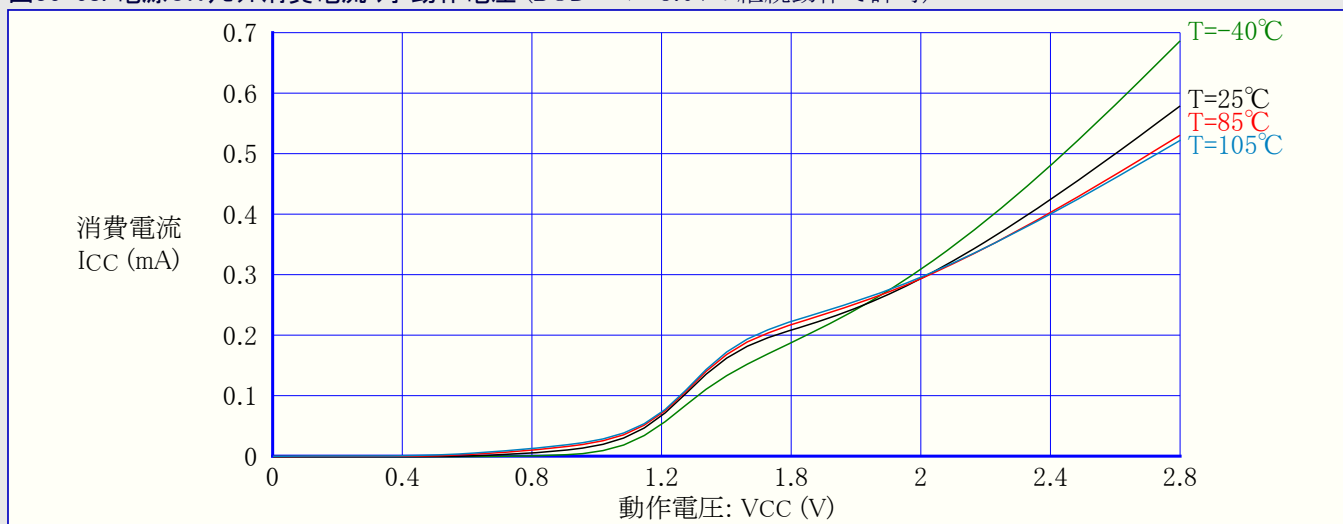
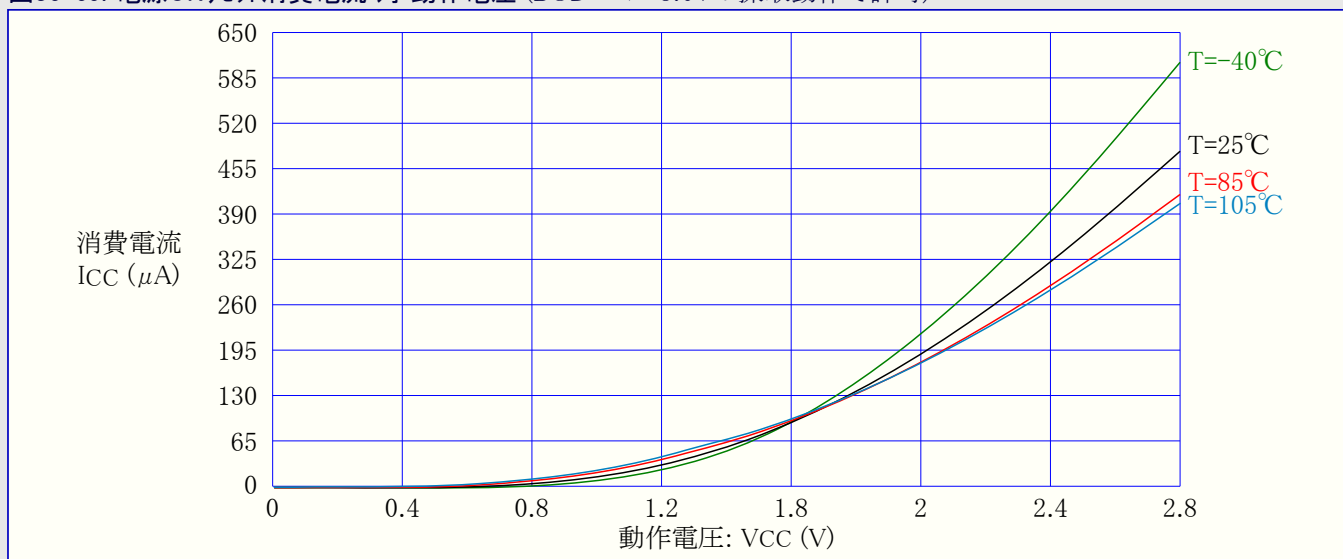


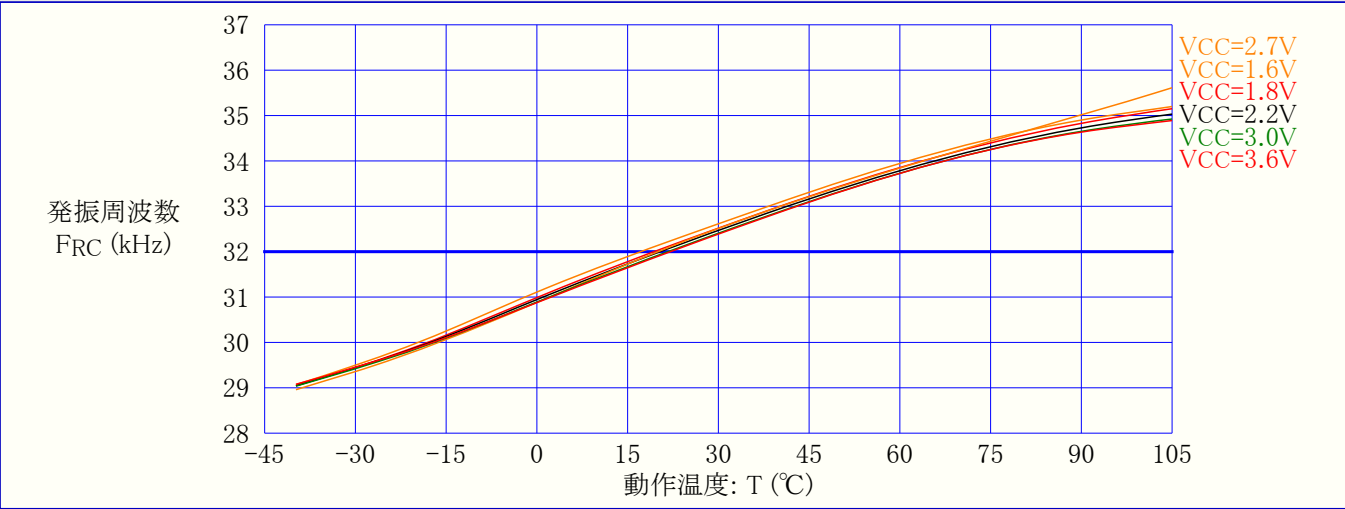
図36-69. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの採取動作で許可)



36.10. 発振器特性

36.10.1. 超低電力内部発振器

図36-70. 超低電力内部発振器周波数 対 動作温度



36.10.2. 32.768kHz内部発振器

図36-71. 32.768kHz内部発振器周波数 対 動作温度

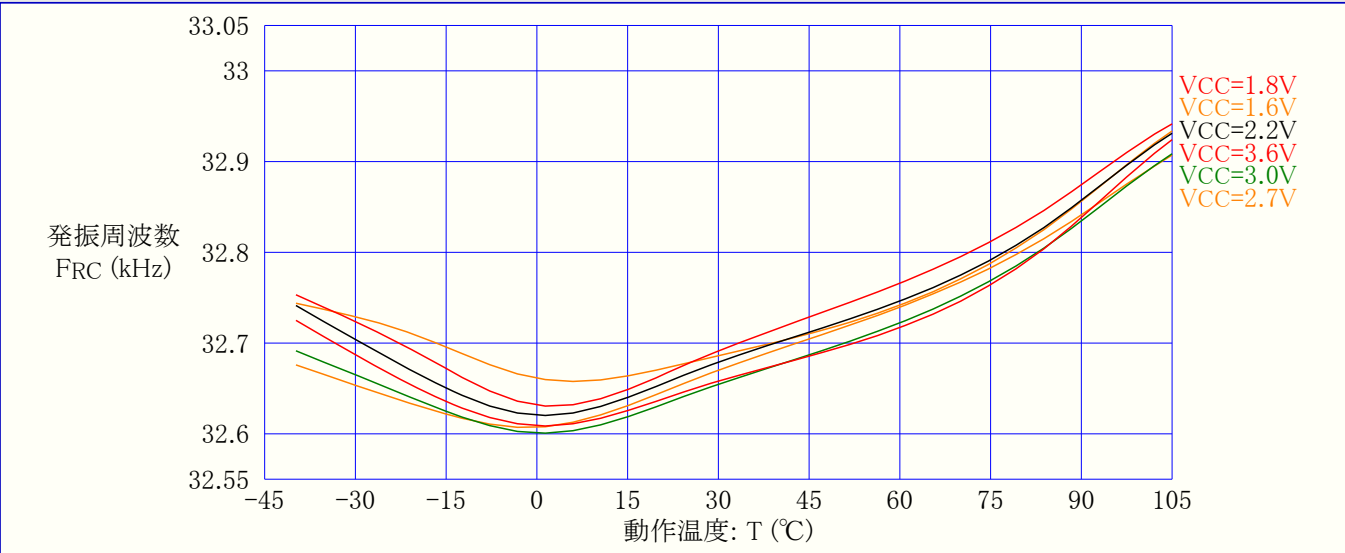


図36-72. 32.768kHz内部発振器周波数 対 校正値 (T=25°C、VCC=3.0V)

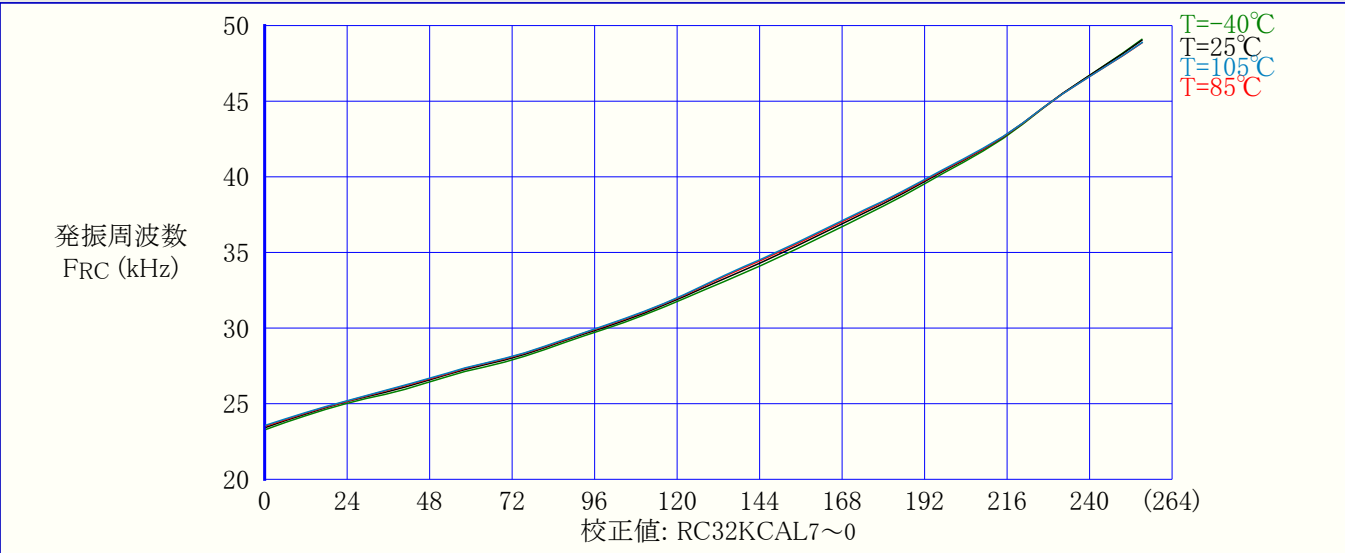
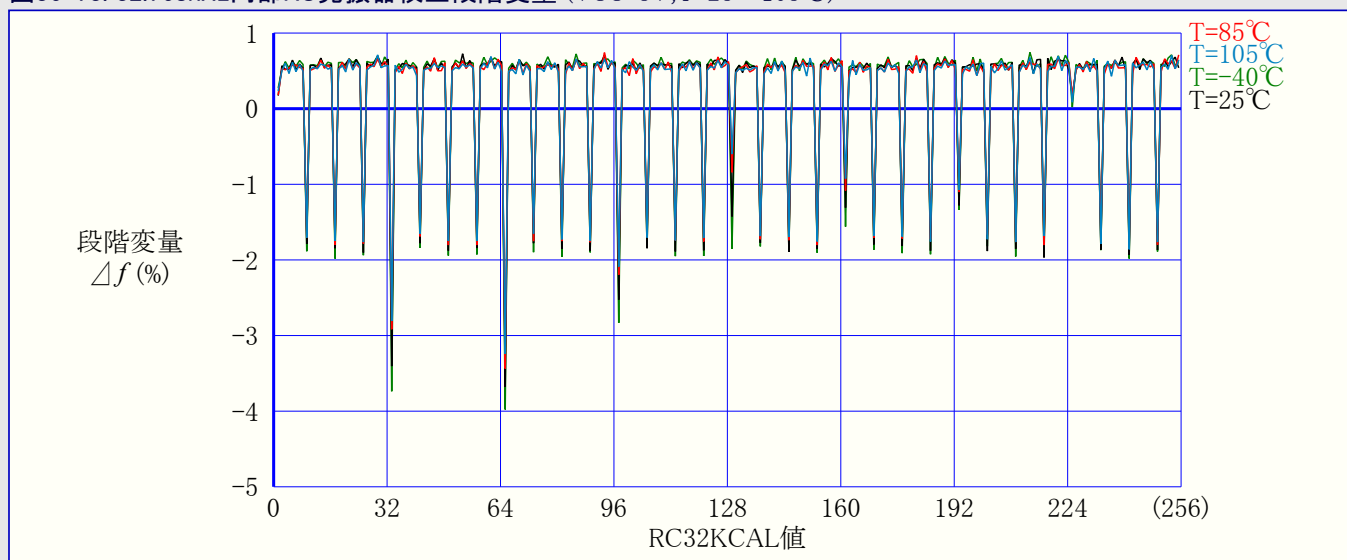


図36-73. 32.768kHz内部RC発振器校正段階変量 (VCC=3V, T=25~105°C)



36.10.3. 8MHz内部発振器

図36-74. 8MHz内部発振器周波数 対 動作温度 (標準動作)

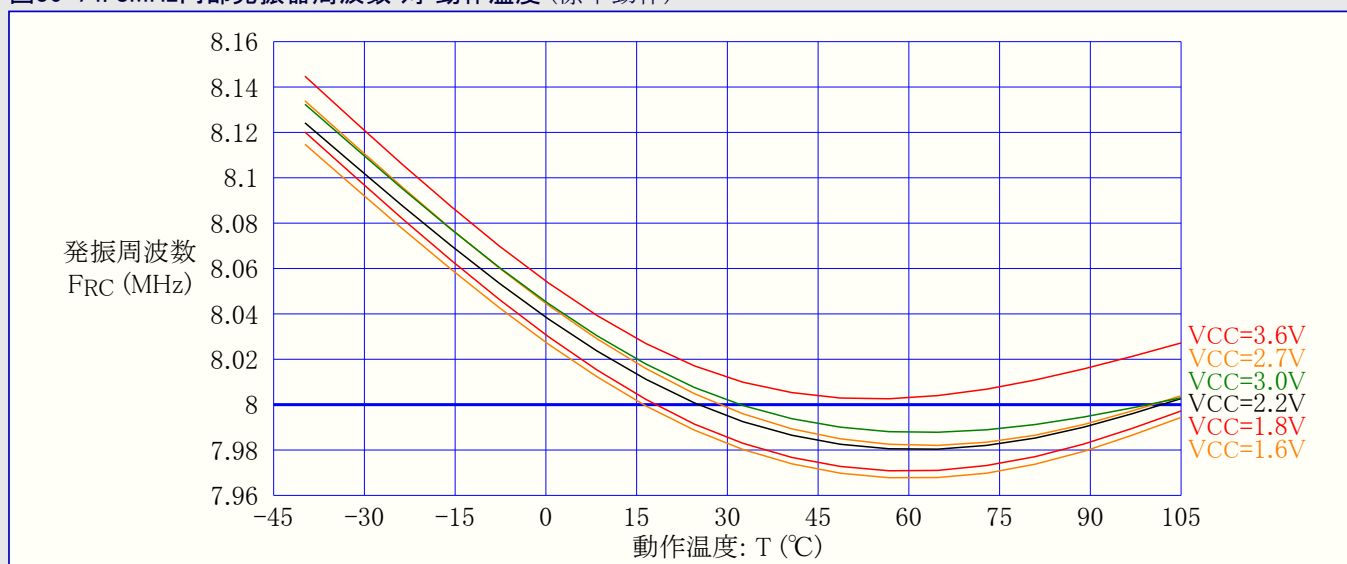


図36-75. 8MHz内部発振器周波数 対 動作温度 (低電力動作)

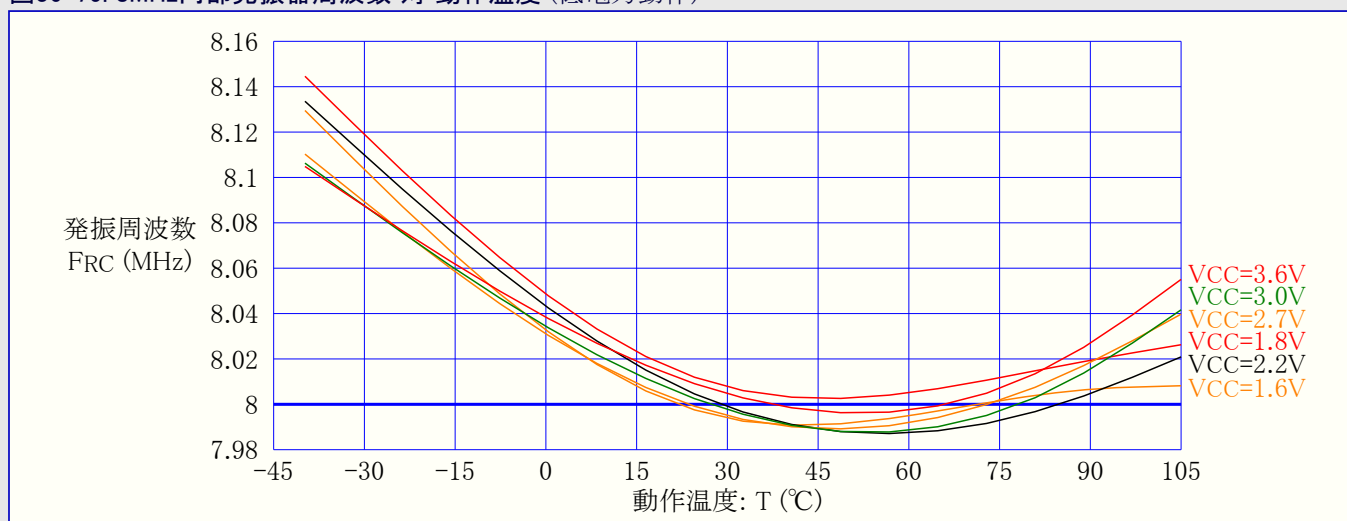


図36-76. 8MHz内部発振器校正段階変量 (VCC=3.0V)

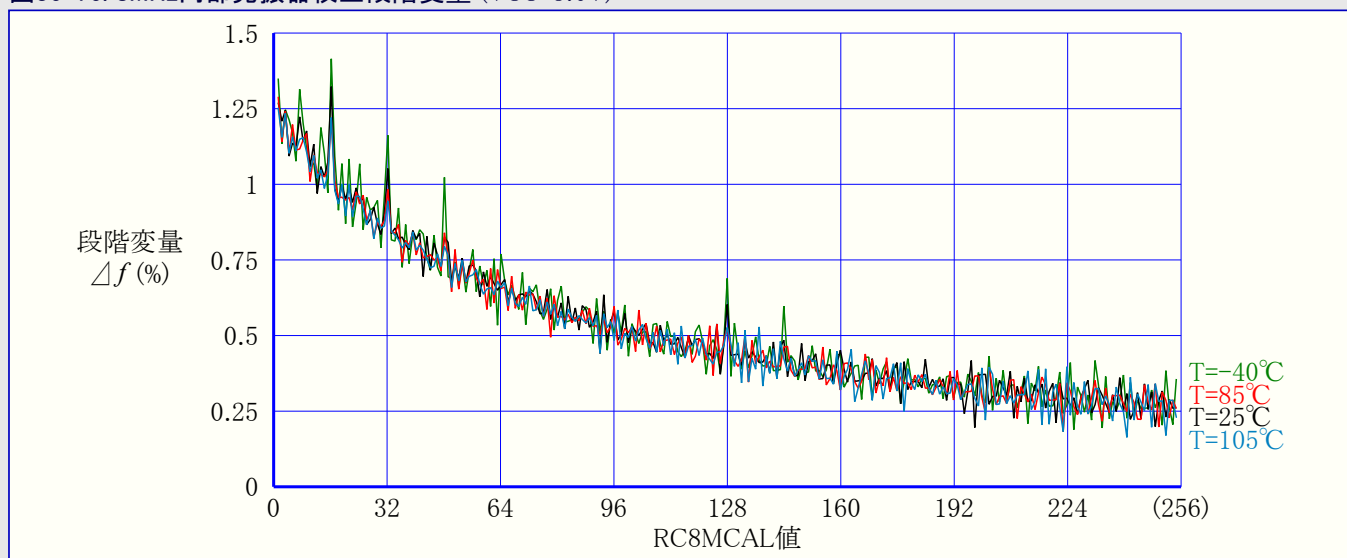
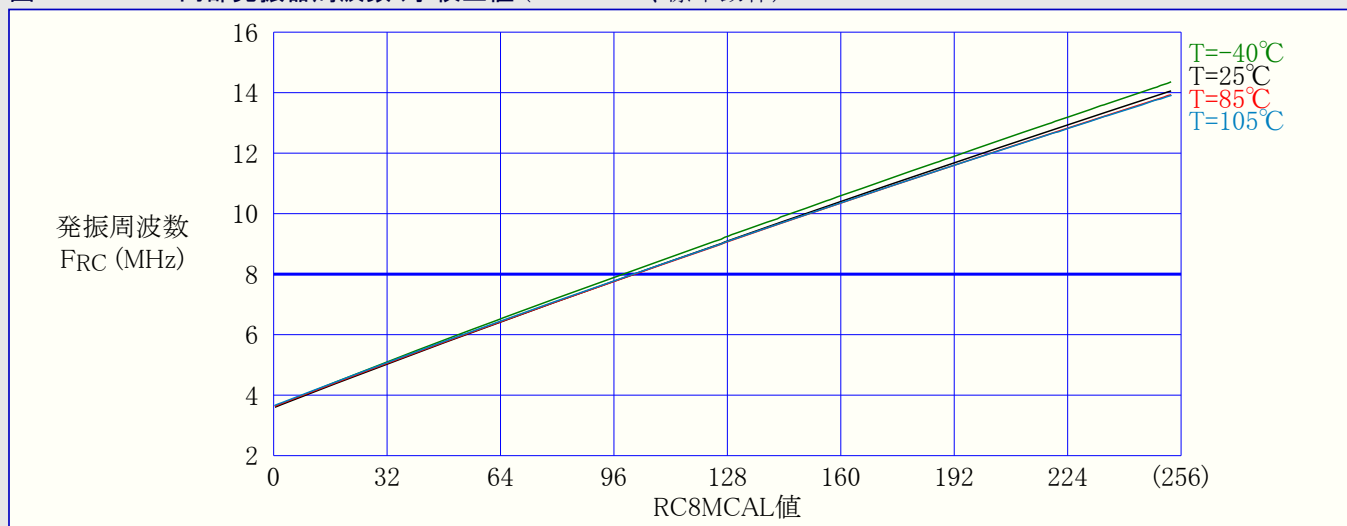


図36-77. 8MHz内部発振器周波数 対 校正值 (VCC=3.0V、標準動作)



36.10.4. 32MHz内部発振器

図36-78. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

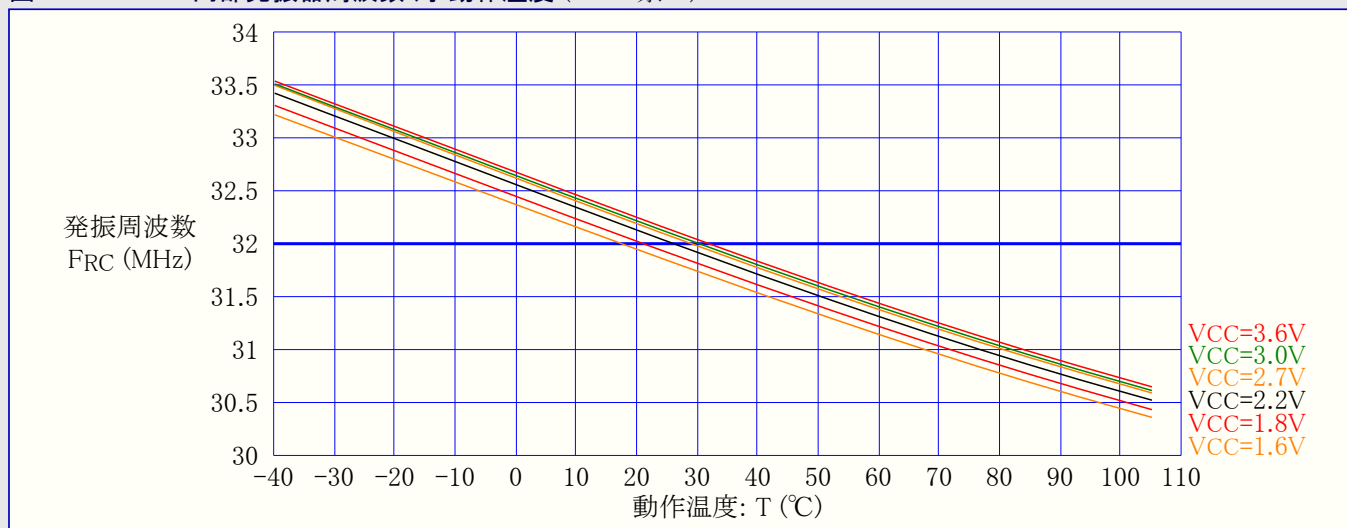


図36-79. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からDFLL許可)

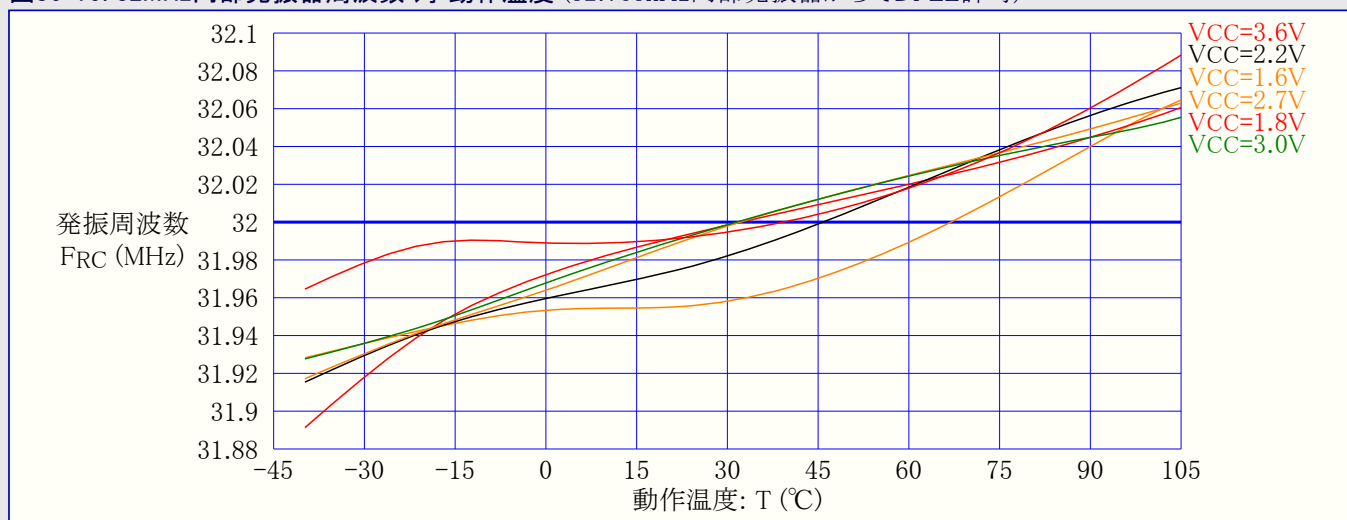


図36-80. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

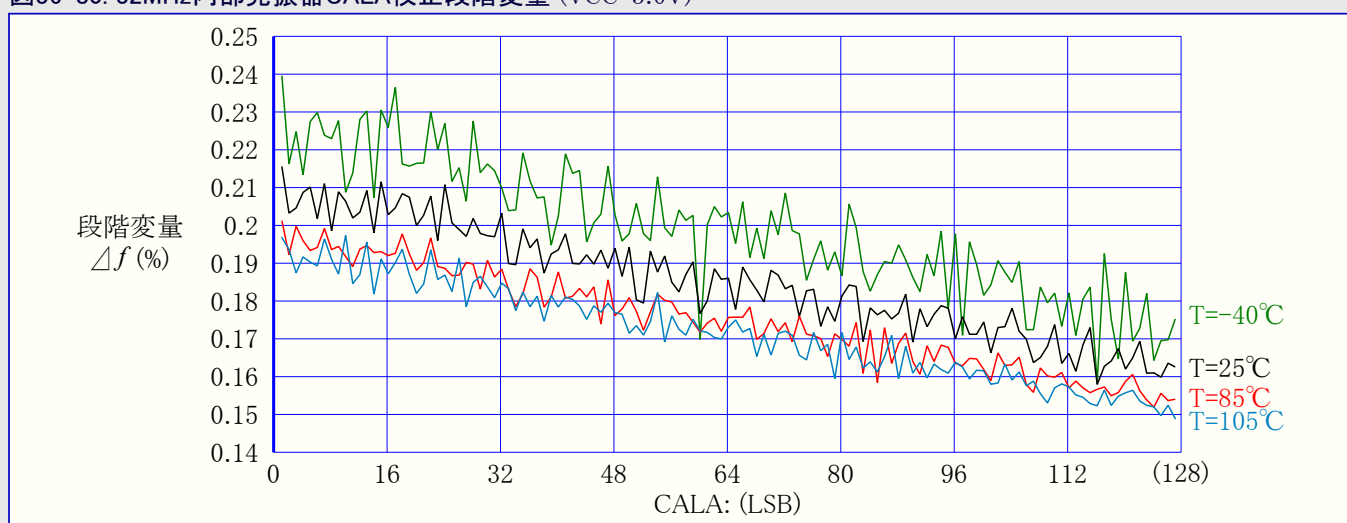


図36-81. 32MHz内部発振器周波数 対 CALA校正値 (VCC=3.0V)

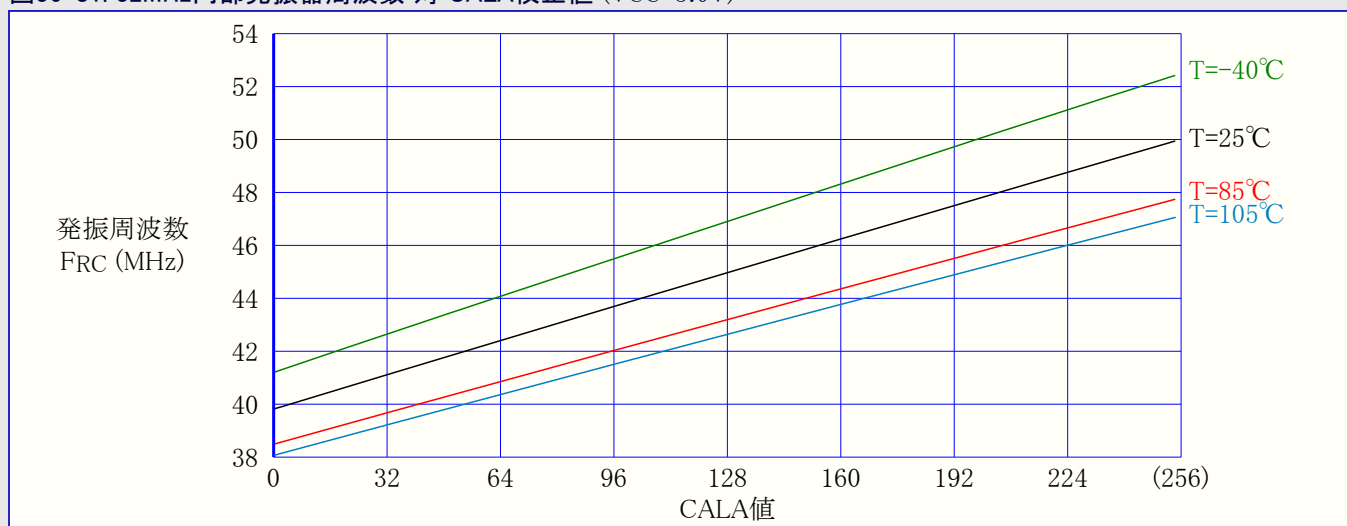
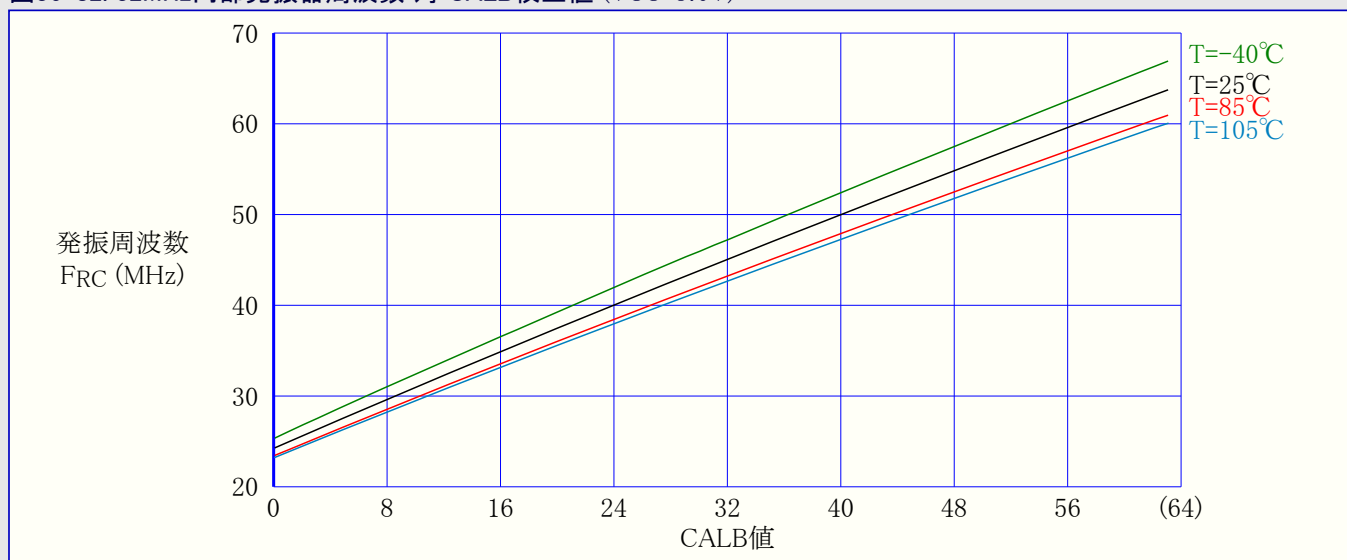


図36-82. 32MHz内部発振器周波数 対 CALB校正値 (VCC=3.0V)



36.11. 2線インターフェース特性

図36-83. SDA下降時間 対 動作温度

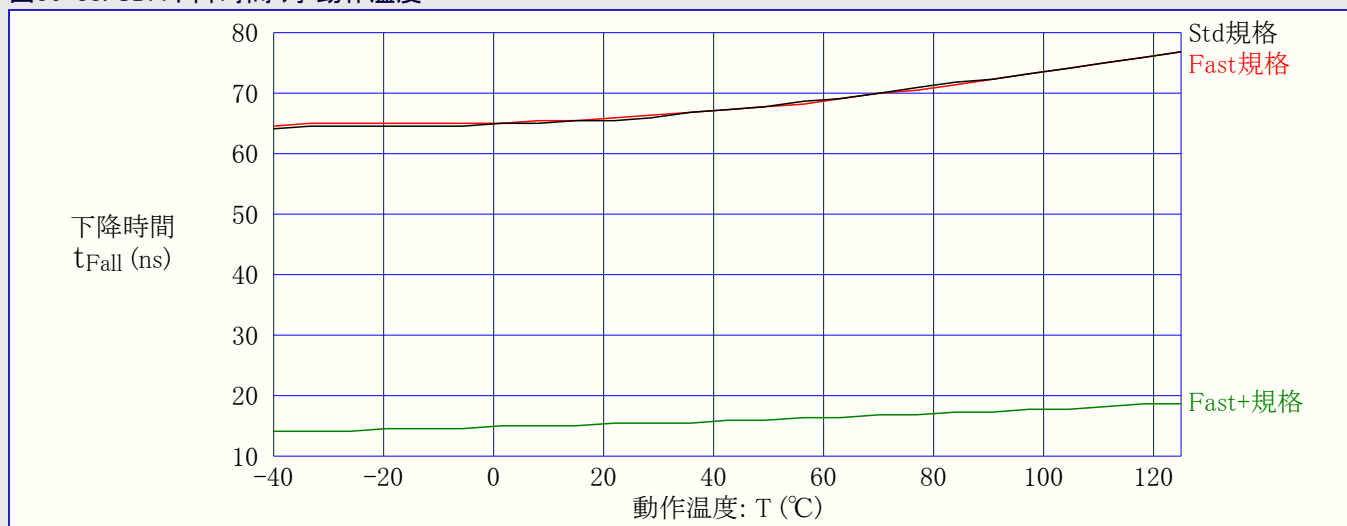
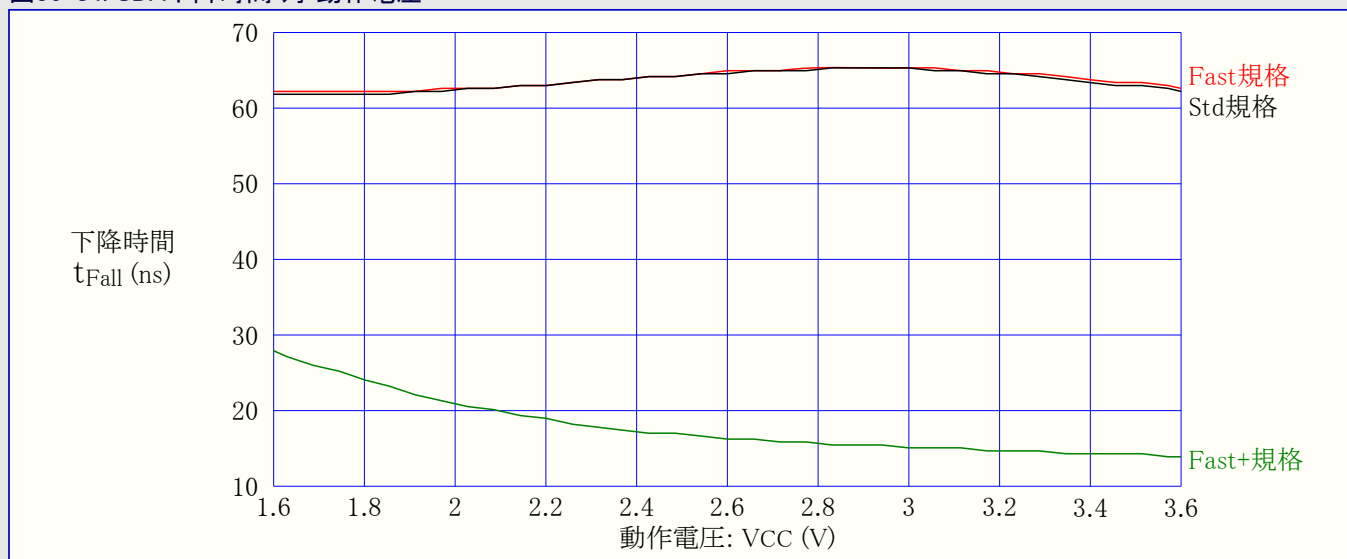
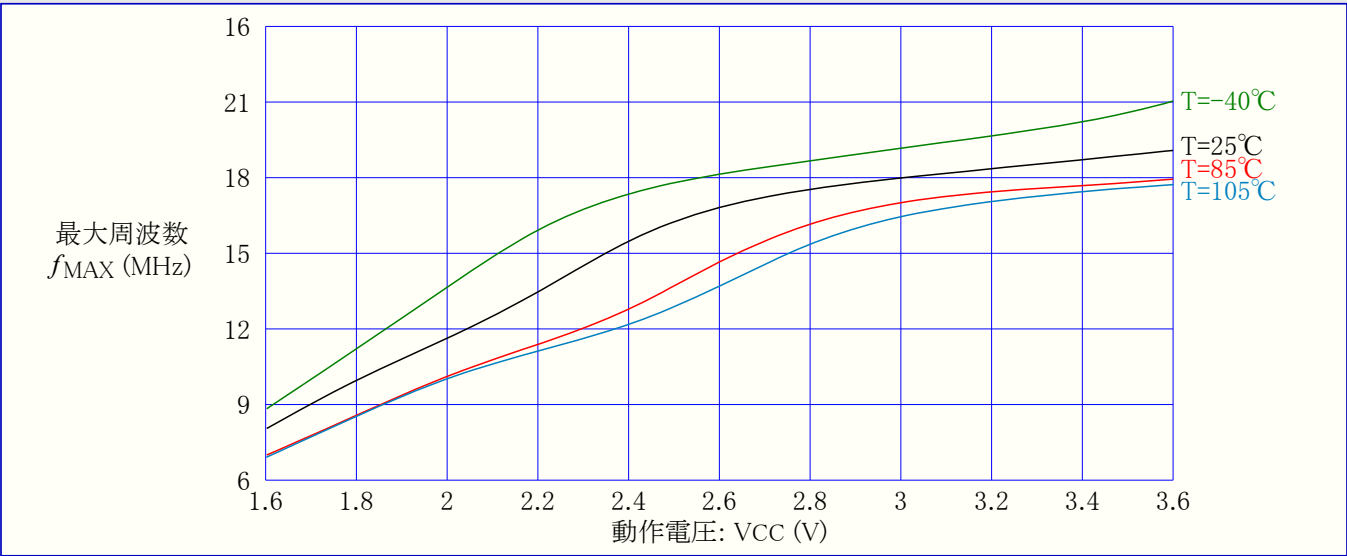


図36-84. SDA下降時間 対 動作電圧



36.12. PDI特性

図36-85. 最大PDI周波数 対 動作電圧



37. 障害情報

35.1. ATxmega8E5/16E5/32E5改訂A,B

● DAC: D/A変換器に対してPD0のAREFが利用不能	8/16/32-A/B
● ADC: 符号なし動作での変位(オフセット)補正失敗	8/16/32-A/B
● EEPROM書き込みとフラッシュ メモリ書き込みが2.0V未満で失敗	8/16/32-A/B
● TWI主装置または従装置の記憶データ	8/16/32-A/B
● 温度感知器が校正されていない	8/16/32-A/B
● EDMA: 次のチャネルとで2重緩衝が許可される時にチャネル転送が決して止まらない	8/16/32-A
● ADC: チャネル走査許可時に平均が失敗	8/16/32-A
● ADC: 単独変換での平均が複数変換起動を要求	8/16/32-A
● 符号なし動作の平均でADC累積器の符号で結果を拡張	8/16/32-A
● ADC: 連続変換(自由走行)平均動作の問題	8/16/32-A
● ADC: 平均動作での事象起動変換	8/16/32-A
● AC: 部署が許可されない場合にフラグを解除(0)できない	8/16/32-A
● USART: 可変データ長とフレーム開始検出器が許可の時に受信部が機能しない	8/16/32-A
● T/C: CLKSELが書かれる時に計数器が開始しない	8/16/32-A
● TWI SMBusレベル1でのTWI主装置または従装置の記憶データ	8/16/32-B
● ホートCでの自動ホート無効化	8/16/32-B
● 従装置累積時間超過計時器が従装置動作で実装されない	8/16/32-B

1. DAC: D/A変換器に対してPD0のAREFが利用不能 (8/16/32-A/B)

PD0ピンでのAREF外部基準電圧入力にはD/A変換器(DAC)に対して利用不可です。

対策/対処

対策はありません。DACに対する外部基準電圧入力として、PA0ピンでのAREFだけが使用できます。

2. ADC: 符号なし動作での変位(オフセット)補正失敗 (8/16/32-A/B)

符号なしシングル エント動作で、変位補正が活性にされる時に低飽和(0)で問題が出現します。変位は結果から取り除かれ、負の結果が現れる時に、その結果が正しくありません。

対策/対処

対策はありませんが、 ΔV の影響を取り消すためにこの補正方法の使用を避けてください。

3. EEPROM書き込みとフラッシュ メモリ書き込みが2.0V未満で失敗 (8/16/32-A/B)

EEPROM書き込みとフラッシュ メモリ書き込みの走査は2.0~3.6Vに制限されます。他の機能は1.6~3.6Vで動作します。

対策/対処

ありません。

4. TWI主装置または従装置の記憶データ (8/16/32-A/B)

アドレスレジスタに先立ってデータレジスタに書き込みが行われた場合、TWIの設計ではアドレスレジスタへの書き込みが行われると直ぐにデータを送ります。しかし、送られるデータは常に\$00です。

対策/対処

ありません。

5. 温度感知器が校正されていない (8/16/32-A/B)

日付符号1324以前のデバイスで、温度感知器工場校正が実行されていません。

対策/対処

ありません。

6. EDMA: 次のチャネルとで2重緩衝が許可される時にチャネル転送が決して止まらない (8/16/32-A)

2つのチャネルで2重緩衝が許可される時に、2重緩衝動作に設定されないチャネルは転送の最後で決して禁止されません。そのチャネルがソフトウェアによって禁止されない場合、新しい転送が開始され得ます。

対策/対処

● CHMODE=00

全チャネルで2重緩衝を許可するか、または2重緩衝動作に設定されないチャネルを使用しないでください。

● CHMODE=01または10

2重緩衝動作を支援しないチャネルを使用しないでください。

7. ADC: チャネル走査許可時に平均が失敗 (8/16/32-A)

正しい動作については入力変位(オフセット)を増加する前に進行中のチャネルで平均が完了されなければなりません、現在の実装では、ADC採取後に入力変位が増加されます。

対策/対処

ありません。

8. ADC: 単独変換での平均が複数変換起動を要求 (8/16/32-A)

標準動作に関して、唯一の変換開始起動が完全な平均操作を開始します。そしてN採取平均操作は以下であるべきです。

- 1つの変換開始
- N回の変換+平均
- N回目の変換/最終平均が完了された時に任意の割り込み

シロンでは以下が必要です。

- N回の変換開始

2つの追加手段が適切に行われます。

対策/対処

- 平均形態設定を設定してください。
- 変換開始(START)ビットのリセットをポーリングすることによってN回の変換開始を行ってください。
- 割り込みフラグ(平均の終了)を待ってください。

9. 符号なし動作の平均でADC累積器の符号で結果を拡張 (8/16/32-A)

符号なし動作の平均で、MSBが1になると、測定は右移動(シフト)が使用された時に負と見做されます。これは一旦移動が行われると、未使用の上位側ビットを設定(1)します。

対策/対処

一旦移動が行われたら、未使用の上位側ビットを0で遮蔽してください。

10. ADC: 連続変換(自由走行)平均動作の問題 (8/16/32-A)

連続変換(自由走行)動作では連続変換(FREERUN)ビットが禁止されると直ぐに進行中の平均を停止します。これは内部累積器で1つまたは2つの変換が起こるかもしれないため、次の変換を開始する前に破棄の要求を引き起こします。

対策/対処

連続変換(自由走行)動作で次の変換を開始する前にADCを禁止して再許可してください。

11. ADC: 平均動作での事象起動変換 (8/16/32-A)

ADCが平均動作で事象起動として形態設定されるなら、単独事象はそれがそうであるべきように完全な平均を完了しません。

対策/対処

現在の改訂版では、N採取での平均を完了するためにN事象が必要とされます。

12. AC: 部署が許可されない場合にフラグを解除(0)できない (8/16/32-A)

アナログ比較器のどちらかの許可なくアナログ比較器(AC)割り込みフラグを解除(0)することは不可能です。

対策/対処

この部署を禁止する前に割り込みフラグを解除(0)してください。

13. USART: 可変データ長とフレーム開始検出器が許可の時に受信部が機能しない (8/16/32-A)

XCLのPEC01形態設定での可変フレーム長とフレーム開始検出活性でのUSART使用時、USART受信部が機能しません。

対策/対処

PEC01の代わりにBTC0PEC2形態設定を使用してください。

14. T/C: CLKSELが書かれる時に計数器が開始しない (8/16/32-A)

タイマ/カウンタが許可(CTRLA.CLKSELがOFF以外に)される前に停止(STOP)ビットが解除(CTRLGCLR.STOP=1)されると、T/Cは動作を開始しません。

対策/対処

CTRLA.CLKSELビット書き込み前にCTRLGCLR.STOPビットを書かないでください。

15. TWI SMBusレベル1でのTWI主装置または従装置の記憶データ (8/16/32-B)

アドレスレジスタに先立ってデータレジスタに書き込みが行われた場合、TWIの設計ではアドレスレジスタへの書き込みが行われると直ぐにデータを送ります。しかし、送られるデータは常に\$00です。

対策/対処

単一の割り込み線が時間制限割り込みと他のTWI割り込み元の両方によって共用されるため、ソフトウェアに於いて、制限時間が検出された後であるが、制限時間割り込みルーチンが実行される前に、データレジスタが書かれる可能性があります。これを避けるため、ソフトウェアでデータレジスタを書く前に、常に制限時間フラグが設定(1)されていないことを確実にしてください。

16. ポートCでの自動ポート無効化 (8/16/32-B)

ポートCのタイマ/カウンタで波形生成が許可される時に、例えピンが波形出力ピンとして使用されなくても、TC以外の周辺機能の自動ポート無効化が働かないかもしれません。

対策/対処

対策はありません。

17. 従装置累積時間超過計時器が従装置動作で実装されない (8/16/32-B)

従装置動作では、Ttout計時器だけが実装されます。従装置累積時間超過計時器は従装置動作に於いてSCL線を解放するのと主装置に**停止条件**(STOP)を送ることを許すのに必要とされます。主装置が従装置累積時間超過計時器を実装するだけの場合、従装置は(最悪でTtout時間超過まで)SCL線の伸長を継続します。

対策/対処

対策はありません。

38. 改訂履歴

本章での頁番号参照が本資料を参照されることに注意してください。本章での改訂の参照は資料改訂を参照しています。

38.1. 8153A-04/2013

1. 初版

38.2. 8153B-04/2013

1. 95頁の「改訂B」：「EDMA: 次のチャネルとで2重緩衝が許可される時にチャネル転送が決して止まらない」障害を削除

38.3. 8153C-05/2013

1. 電気的特性で53頁の表35-4. : 32MHz, VCC=3.0Vの活動動作消費電流に対して代表値を7mAから6mAに更新
2. 「改訂A」と「改訂B」の障害情報：「D/A変換器(DAC)障害: ポートD0でのAREF」を追加

38.4. 8153D-06/2013

1. アナログ比較器特性：82頁の表35-15. で入力電圧範囲の最小値と最大値を更新

38.5. 8153E-06/2013

1. 改訂B「障害情報」：95頁の「温度感知器が校正されていない」で日付符号を1318から1324へ更新

38.6. 8153F-08/2013

1. TWI特性：データセットアップ時間(t_{SU:DAT})の単位をμsからnsへ変更

38.7. 8153G-10/2013

1. 54頁の表35-6. で32MHz内部発振器に対するパワーセーブ動作からの起動時間を0.2μsから5.0μsへ更新

38.8. 8153H-07/2014

1. 2頁の「注文情報」：105°C XMEGA E5デバイス用注文符号を追加
2. 39頁の「27. ADC - 12ビットA/D変換器」と42頁の「29.1. 要点」でVCCをAVCCに変更
3. 電気的特性更新:
「消費電流」：53頁の表35-4. で値更新と105°Cのパワーダウン値追加
「フラッシュとEEPROMの特性」：59頁の表35-20. で105°Cに対するフラッシュとEEPROMの消去書き込み回数とデータ保持力を追加
4. 60頁の35.14.4. の表題と表35-25. で32kHzに変更された32.768kHz
5. 2014-0502データシート雛形に従って裏表紙変更

38.9. 8153I-08/2014

1. 表紙から暫定を削除
2. 62頁の表35-29. に於いてESR情報で更新
3. 95頁の「37. 障害情報」に”ポートCでの自動ポート無効化”の障害を追加
4. 95頁の「37. 障害情報」に”従装置累積時間超過計時器が従装置動作で実装されない”の障害を追加

38.10. 8153J-11/2014

1. 62頁の表35-29. でESRパラメータに対する誤りを変更
2. 表題、表の表題、図の表題で大文字の使い方を変更

目次

特徴	1	15. 入出力ポート	23
1. 注文情報	2	15.1. 要点	23
2. ピン配置/構成図	3	15.2. 概要	23
3. 概要	4	15.3. 出力駆動部	23
3.1. 構成図	5	15.4. 入力感知	25
4. 資料	6	15.5. 交換ポート機能	25
4.1. 推奨読み物	6	16. 16ビット タイマ/カウンタ4型と5型	26
5. 容量性接触感知	6	16.1. 要点	26
6. AVR CPU	7	16.2. 概要	26
6.1. 要点	7	17. WeX – 波形拡張	28
6.2. 概要	7	17.1. 要点	28
6.3. 構造概要	7	17.2. 概要	28
6.4. 算術論理演算器 (ALU)	8	18. Hi-Res – 高分解能拡張	29
6.5. プログラムの流れ	8	18.1. 要点	29
6.6. ステータス レジスタ	8	18.2. 概要	29
6.7. スタックとスタック ポインタ	8	19. 障害拡張	30
6.8. レジスタ ファイル	9	19.1. 要点	30
7. メモリ	10	19.2. 概要	30
7.1. 要点	10	20. RTC – 16ビット実時間計数器	31
7.2. 概要	10	20.1. 要点	31
7.3. フラッシュ プログラム メモリ	10	20.2. 概要	31
7.4. ヒューズと施錠ビット	11	21. TWI – 2線インターフェース	32
7.5. データ メモリ	12	21.1. 要点	32
7.6. EEPROM	12	21.2. 概要	32
7.7. I/Oメモリ	12	22. SPI – 直列周辺インターフェース	33
7.8. データ メモリとバス調停	12	22.1. 要点	33
7.9. メモリ タイミング	12	22.2. 概要	33
7.10. デバイスIDと改訂	12	23. USART	34
7.11. I/Oメモリ保護	12	23.1. 要点	34
7.12. フラッシュ メモリとEEPROMのページ容量	13	23.2. 概要	34
8. EDMA – 強化型直接メモリ入出力	14	24. IRCOM – 赤外線通信部署	35
8.1. 要点	14	24.1. 要点	35
8.2. 概要	14	24.2. 概要	35
9. 事象システム	15	25. XCL – XMEGA注文論理回路部署	36
9.1. 要点	15	25.1. 要点	36
9.2. 概要	15	25.2. 概要	36
10. システム クロックとクロック選択	16	26. CRC – 巡回冗長検査生成器	38
10.1. 要点	16	26.1. 要点	38
10.2. 概要	16	26.2. 概要	38
10.3. クロック元	17	27. ADC – 12ビット A/D変換器	39
11. 電力管理と休止形態動作	18	27.1. 要点	39
11.1. 要点	18	27.2. 概要	39
11.2. 概要	18	28. DAC – 12ビット D/A変換器	41
11.3. 休止形態動作種別	18	28.1. 要点	41
12. システム制御とリセット	19	28.2. 概要	41
12.1. 要点	19	29. AC – アナログ比較器	42
12.2. 概要	19	29.1. 要点	42
12.3. リセットの流れ	19	29.2. 概要	42
12.4. リセット元	19	30. プログラミングとデバッグ	44
13. WDT – ウォッチドッグ タイマ	21	30.1. 要点	44
13.1. 要点	21	30.2. 概要	44
13.2. 概要	21	31. ピン配置とピン機能	45
14. 割り込みと設定可能な多段割り込み制御器	22	31.1. 交換ピン機能の種類	45
14.1. 要点	22	31.2. 交換ピン機能	46
14.2. 概要	22	32. 周辺機能部署アドレス割り当て	47
14.3. 割り込みベクタ	22	33. 命令一式要約	48

34.	外圍器情報	51
34.1.	32A	51
34.2.	32Z	51
34.3.	32MA	51
35.	電気的特性	52
35.1.	絶対最大定格	52
35.2.	全般動作定格	52
35.3.	消費電流	53
35.4.	休止からの起動時間	54
35.5.	入出力ピン特性	55
35.6.	A/D変換器特性	55
35.7.	D/A変換器特性	57
35.8.	アナログ比較器特性	58
35.9.	ハントギャップと内部1.0V基準電圧特性	58
35.10.	低電圧検出(Brownout Detection)特性	59
35.11.	外部リセット特性	59
35.12.	電源ONリセット特性	59
35.13.	フラッシュメモリとEEPROMの特性	59
35.14.	クロックと発振器の特性	60
35.15.	SPIタイミング特性	64
35.16.	2線インターフェース特性	65
36.	代表特性	66
36.1.	消費電流	66
36.2.	入出力ピン特性	73
36.3.	A/D変換器(ADC)特性	78
36.4.	D/A変換器(DAC)特性	81
36.5.	アナログ比較器特性	82
36.6.	内部1.0V基準電圧特性	85
36.7.	低電圧検出器(BOD)特性	85
36.8.	外部リセット特性	86
36.9.	電源ONリセット特性	88
36.10.	発振器特性	89
36.11.	2線インターフェース特性	93
36.12.	PDI特性	94
37.	障害情報	95
37.1.	ATxmega8E5/16E5/32E5改訂A,B	95
38.	改訂履歴	98
38.1.	8153A-04/2013	98
38.2.	8153B-04/2013	98
38.3.	8153C-05/2013	98
38.4.	8153D-06/2013	98
38.5.	8153E-06/2013	98
38.6.	8153F-08/2013	98
38.7.	8153G-10/2013	98
38.8.	8153H-07/2014	98
38.9.	8153I-08/2014	98
38.10.	8153J-11/2014	98

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, XMEGA®, Enabling Unlimited Possibilities®, QTouch®とその他は米国とその他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトにある販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2014.

本データシートはAtmelのATxmega E5系英語版データシート(Rev.8153J-11/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。