

Final Report

目的

實作 FPGA 的 Technology Mapping

方法

使用 DAG-Map 的的演算法實作。

參考 paper: DAG-Map: Graph Based FPGA Technology Mapping For Delay Optimization.

資料結構用 map 來存邏輯閘之間的網路圖。

map 裡面 key 對應的內容為自訂的物件，存一個 gate 輸出的 output 是哪些 node，輸入是哪些 node。

由於太晚才了解 DAG 一些問題的方向，來不及實作出來，所以此程式只有第一步。

2-Inputs Step

有實作兩個方法。

方法一：另一個是直接一行一行拆成 2 inputs。

方法二：一個是按照 paper 的 DMIG 方法。

結果

只有實作此方法前面的 DMIG，所以只能處理 $k=2$ 的情況。

在分解成 2 inputs gate 的步驟可以看到，用 DMIG 來做輸出用到的 LUT 數量，比一行一行直接拆的方法好一點點，用給的範例 blif 檔執行後可以發現，方法二跑出的 LUT 的數量有時比方法一少點，例如 10aoi_C1355 所示。

```
10aoi_9symml.blif
Reading file: 10aoi_9symml.blif
The circuit level is 5.
The number of LUTs is 243.
10aoi_C1355.blif
Reading file: 10aoi_C1355.blif
The circuit level is 12.
The number of LUTs is 667.
10aoi_C6288.blif
Reading file: 10aoi_C6288.blif
The circuit level is 9.
The number of LUTs is 3551.
10aoi_alu4.blif
Reading file: 10aoi_alu4.blif
The circuit level is 11.
The number of LUTs is 1279.
10aoi_big2.blif
Reading file: 10aoi_big2.blif
The circuit level is 12.
The number of LUTs is 9647.
```

圖一、輸入幾個範例 blif 的結果。

```
10aoi_9symml.blif
reading file:10aoi_9symml.blif
The number of LUTs is 243.
10aoi_C1355.blif
reading file:10aoi_C1355.blif
The number of LUTs is 683.
10aoi_C6288.blif
reading file:10aoi_C6288.blif
The number of LUTs is 3551.
10aoi_alu4.blif
reading file:10aoi_alu4.blif
The number of LUTs is 1279.
10aoi_big2.blif
```

圖二、第一版直接分解成 2 inputs gat 的方法。