

# 近期实验作业总结及实验二布置

魏钧宇 2019年5月23日

# 作业三

- 要点：流水线的基本概念，非线性流水线，记分牌算法
- 一些题目不严谨的地方：
  - 在非线性流水线调度的题目中没有说明是否可以通过插入非计算延迟来提高吞吐率
  - 在记分牌算法的题目中没有说明是写回结果的前半个周期还是后半个周期

3、请填写第二条 ADD.D 指令写回结果的那个周期各个寄存器的状态

解：

	F0	F1	F2	F3	F4	F5	F6
FU				Add 1	Mult	Add 2	Divide

# 作业四

- 要点：Tomasulo算法，分支预测
- 主要问题：
  - 关于是否需要覆盖寄存器状态的问题：答案是需要覆盖
  - 关于BHT表的含义：一条跳转指令有一个自己的2位的状态位来记录

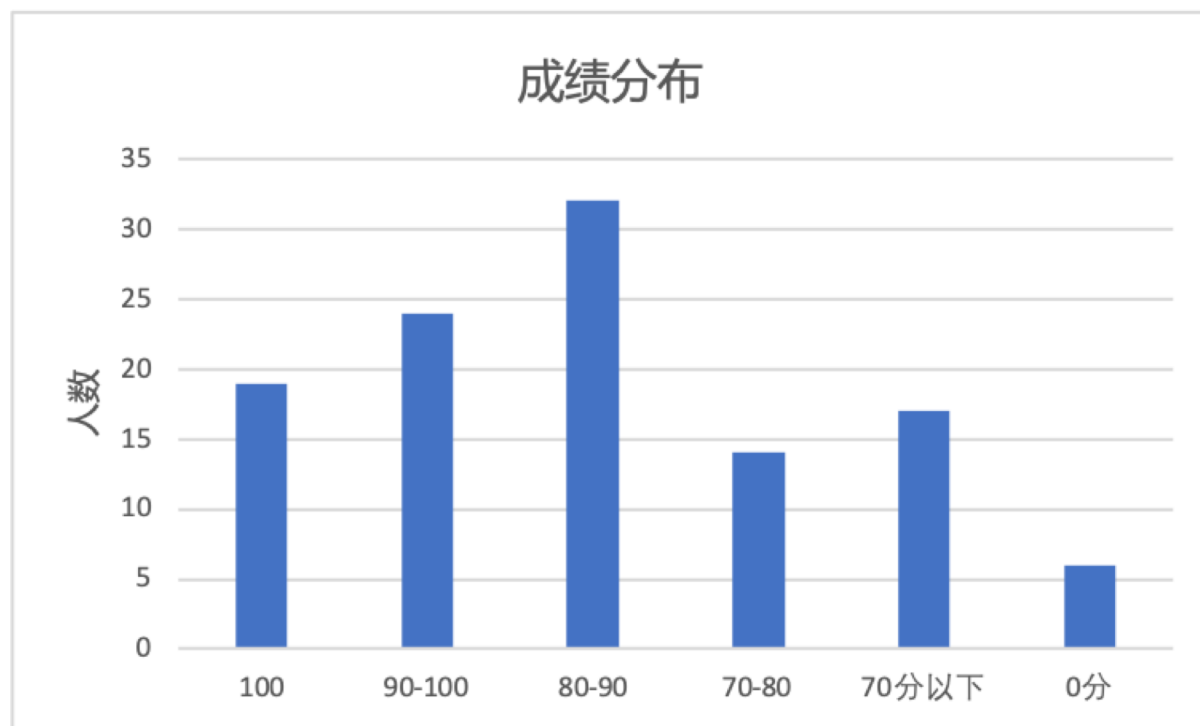
	F0	F1	F2	F3	F4	F5	F6
FU			Load 1	Add 1	Mult 1		

设初始 BHT 状态为 00，求执行完每一步指令后的 BHT 状态。

指令标号（第几条指令后）	01 的 BHT	10 的 BHT
初始	00	00
1	00	00
2	00	00
3	01	00
4	01	00
5	01	01

# 实验一成绩分布

- 大家总体完成情况不错，成绩分布情况如下：



# 实验一扣分点

- 主要扣分点：
  - 部分同学没有理解自制trace的含义。
  - 部分同学没有测试完成所有的Benchmark。
  - 对前人的算法介绍不够详尽，对自己的替换策略的分析不够深入等。

(3) 分析自己设计实现的 Cache 替换策略在自己制作的以及 Benchmark 中给出的一系列特定 trace 下的性能表现情况，并讨论原因。

另外似乎教程中没有说清楚，本实验要求大家测试trace压缩包中的各负载（400，401，403，410，416，429，433，434，435，436，437，444，445，447，450，453，454，456，458，459，462，464，465，470，471，473，482，483，999）共29个，并报告你设计的或前人提出的Cache替换策略在各类负载下的性能。

# 实验一（优秀作业展示）

# 实验一（总结）

- 在未来将予以延续的：
  - 在实验前公布实验要求，在实验后给出评分标准
  - 尽可能在评分中体现出同学们在这个实验上投入的时间和精力，保证公平性
  - 宗旨：**端正学风，注重公平，提高能力，鼓励创新**
- 在未来需要改进的：
  - 优化环境配置的流程，尽可能避免环境配置给大家带来的困扰

## 实验二：Tomasulo算法模拟器



# 实验二（基本要求）

- 1、能够**正确接受任意NEL汇编语言编写的指令序列作为输入**（1000行以内，保证符合定义的文法）
- 2、能够正确输出**每一条指令发射的时间周期，执行完成的时间周期，写回结果的时间周期。**
- 3、能够正确输出**各时间周期的寄存器数值。**
- 4、能够正确输出**各时间周期保留站状态、LoadBuffer状态和寄存器结果状态。**

# 实验二（基本要求）

能够正确接受**任意NEL汇编语言编写的指令序列作为输入**（1000行以内，符合定义的文法）

```
1  LD, F1, 0xC
2  LD, F2, 0xFFFF3C6F
3  LD, F3, 0xFFFFFFFFFA
4  LD, F4, 0x0
5  ADD, F2, F4, F2
6  DIV, F4, F2, F3
7  MUL, F4, F3, F3
8  LD, F5, 0xFFFFF32
9  LD, F18, 0x1
10 SUB, F5, F4, F2
11 SUB, F1, F1, F18
12 JUMP, 0x0, F1, 0xFFFFFFFF9
```

# 实验二（基本要求）

能够正确输出**每一条指令发射的时间周期，执行完成的时间周期，写回结果的时间周期**  
**（只需输出第一次执行该指令的情况即可）**

*Instruction status:*

				<i>Exec Write</i>		
Instruction		<i>j</i>	<i>k</i>	<i>Issue</i>	<i>Comp</i>	<i>Result</i>
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	16
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5	56	57
ADDD	F6	F8	F2	6	10	11

# 实验二（基本要求）

能够正确输出**各时间周期的寄存器数值**

	F0	F1	F2	F3	....	F32
Value	0x FFFFFFFE	0x 1	0x D	0x 0	0x 0	0x 0

# 实验二（基本要求）

能够正确输出各时间周期保留站状态、LoadBuffer状态和寄存器结果状态

Name	Busy	Op	Vj	Vk	Qj	Qk
Add1	Yes	SUBD	M(A1)	M(A2)		
Add2	Yes	ADDD		M(A2)	Add1	
Add3	No					
Mult1	Yes	MULTD	M(A2)	R(F4)		
Mult2	Yes	DIVD		M(A1)	Mult1	

						Busy	Address
FU	F0	F2	F4	F6	F8	F10	
	Mult1	M(A2)		Add2	Add1	Mult2	
Load1	No						
Load2	Yes						45+R3
Load3	No						

注意：所有的内存地址（45+R3）和访存结果（M(A2)）在本实验中都用十六进制立即数代替

# 实验二（扩展功能）

- 1、**人机交互方向**：设计美观的交互界面。
- 2、**算法方向**：实现高效的模拟算法，能够支持更大规模的NEL指令序列。
- 3、**高性能计算方向**：调研不同的分支预测技术，实现或改进部分技术，设计自己的分支预测方案等。
- 4、**编译方向**：丰富NEL语言，为它添加更多的指令支持，并能够模拟这些指令的执行。
- 5、**其他方向**：其他你认为具有一定创新性的值得扩展的方向。

# 提交要求和检查说明

## 提交要求

**6月9日晚23点59分00秒**之前在网络学堂提交代码和实验报告的ZIP格式压缩包文件，文件命名为 学号\_姓名.zip的形式（例如**2016011000\_李四.zip**）

## 实验报告内容：

- 1、你的模拟器设计思路**
- 2、你所完成的功能**
- 3、你代码的编译运行的方式**
- 4、自行准备的NEL语言编写的样例小程序，并用他们来说明你程序的正确性**

## 检查说明

提交代码之后需要给助教**当面演示模拟器的运行效果**，时间地点另行通知

助教还会在现场再**额外提供一些测试样例用于测试你程序的正确性**，你需要给出在不做任何分支预测的情况下某些时间周期各类目标结果的数值

祝大家实验顺利，学有所成！

Q&A