Міністерство освіти і науки України

Національний університет «Львівська політехніка»

Кафедра ЕОМ



Звіт

до лабораторної роботи № 1

з дисципліни «Моделювання комп’ютерних систем»

на тему:

«Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант №15

Виконав:

ст. гр. КІ-201

Коростенська С.В.

Прийняв:

ст. викладач   
каф. ЕОМ  
Козак Н.Б.

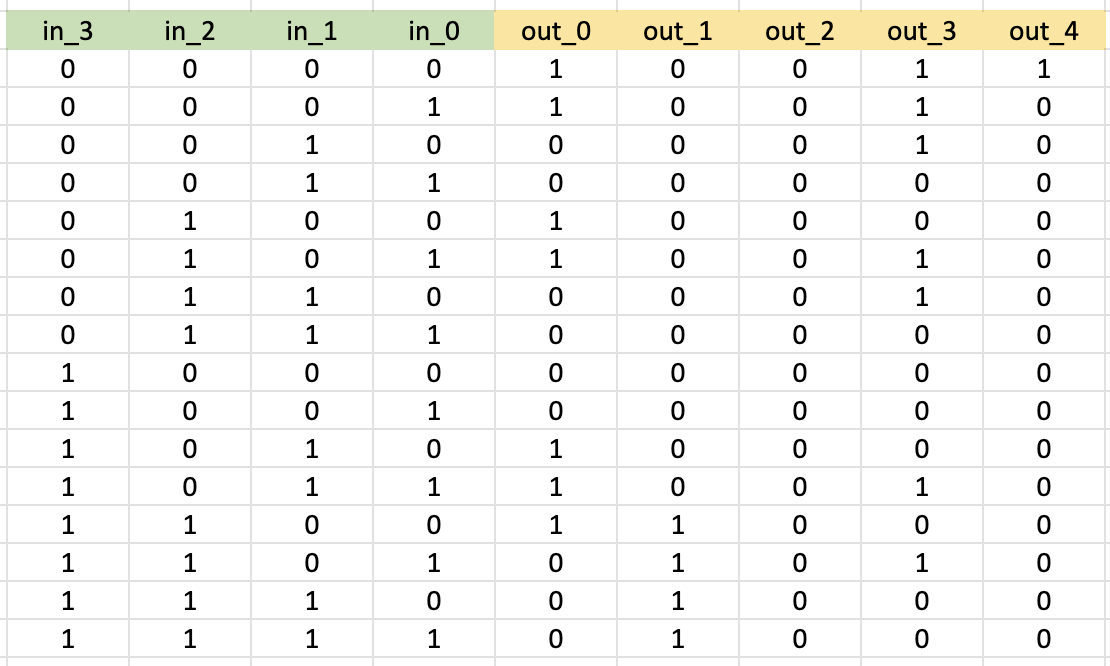
Львів 2024

Етапи роботи:

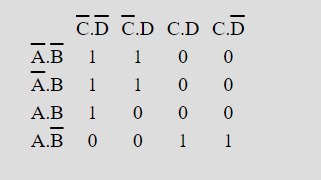
1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

**Виконання завдання**

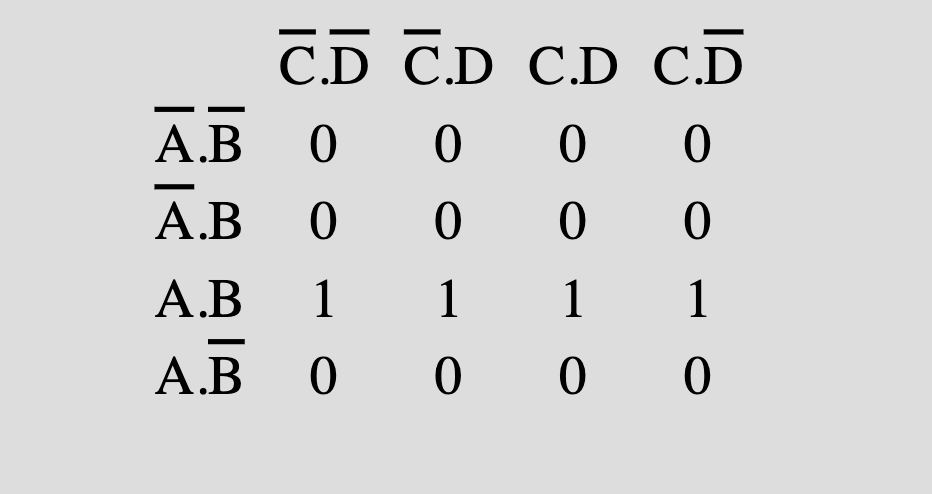
Таблиця варіант 15



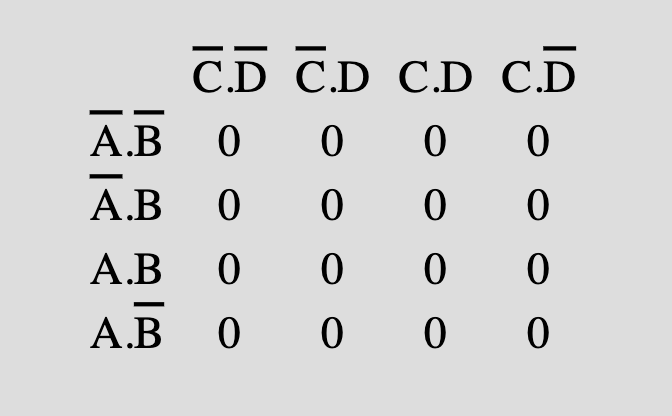
Out\_0



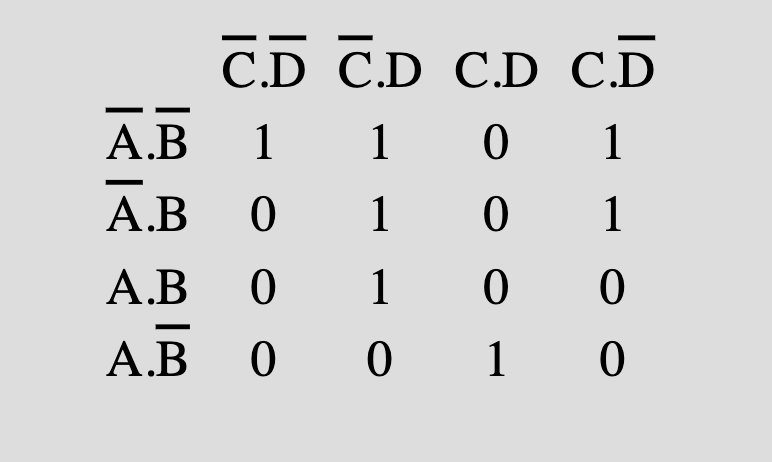
Out\_1



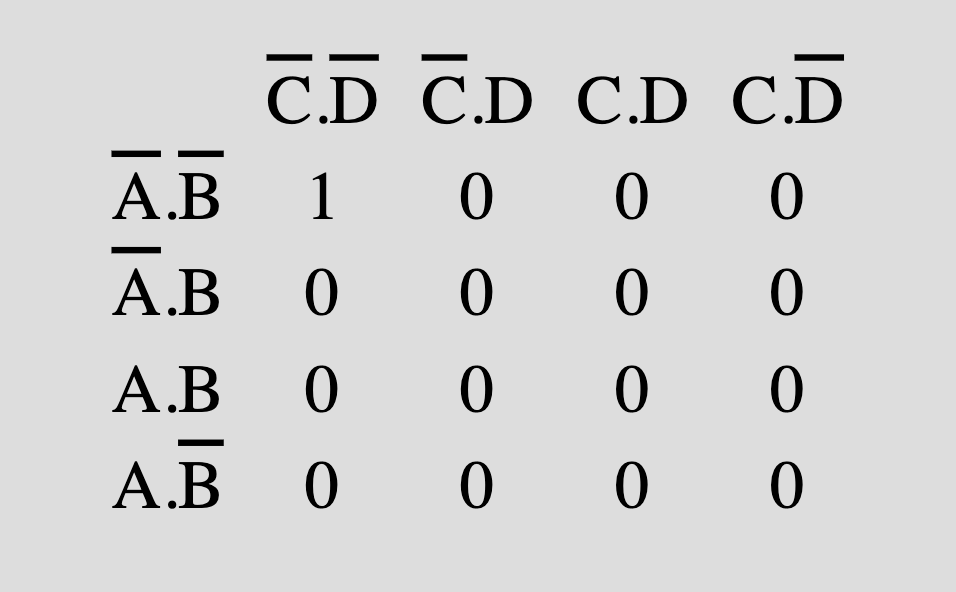
Out\_2



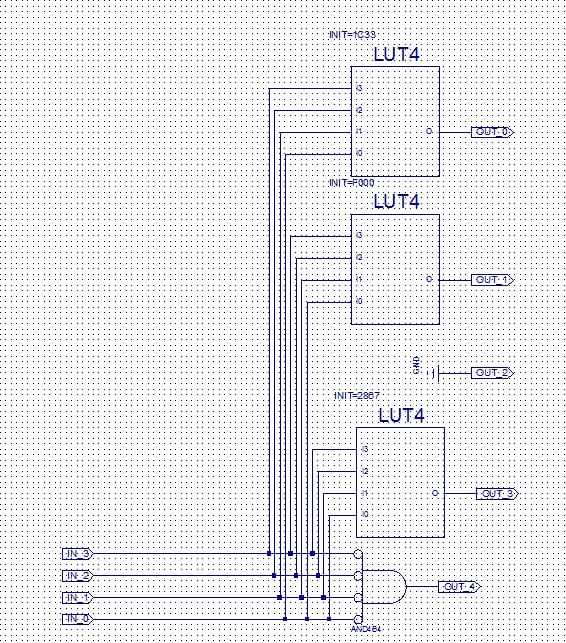
Out\_3

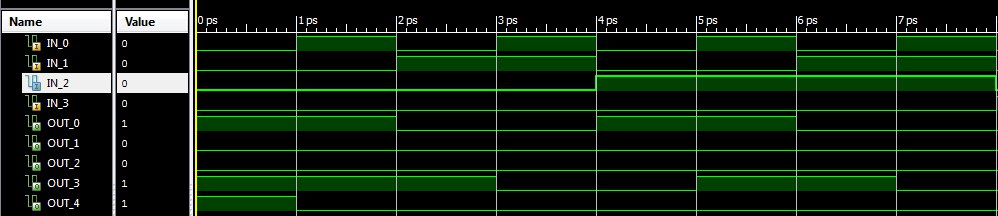


Out\_4



Реалізована схема







**Висновок**

Виконуючи дану лабораторну роботу, я навчився використовувати ISE WebPACK™ Schematic Capture та моделювати його роботу за допомогою симулятора ISim, а також генерувати bit файл та тестувати його за допомогою стенда Elbert V2 – Spartan 3A FPGA.