

计算机组成原理

1.数制与运算

10进制转换

补码运算

浮点数表示

规格化——增加浮点数精度

数据的大小端存储

逻辑代数常用公式

逻辑电路的符号表示

逻辑代数的基本定理——化简题 吸收律1吸收律2

最小项表达式 最大项表达式 ——真值表

2.数字逻辑

1) 组合逻辑

半加器全加器

ALU实现 原理

数值比较器原理

译码器 24译码器 38译码器

多路选择器 —— 选择输出 生成逻辑函数表达式

竞争和冒险的概念

冒险的消除

2) 时序逻辑

D触发器 JK触发器

锁存器和触发器

有限状态机 Moore Mealy——给出状态图 和输入序列 得出输出序列

有限状态机 状态转换表

计数器

*移位寄存器 状态转换图、时序图不考大题

时钟同步方法 Tsetup Tccq

3.汇编语言

寻址方式

常用指令- addi add slt

指令类型R I J

指令字段

分析指令功能

4.MIPS处理器设计

1) 单周期CPU

MIPS模型机

单周期指令实现

控制信号的作用——功能部件、线路

2) 流水线CPU

流水线的性能 —— 提高吞吐率、指令级并行

流水线时钟周期的长度——决定于最长的流水段的时间长度

流水线不能缩短单条指令的流水时间

冒险——结构 数据 控制

数据冒险——转发 阻塞

给出指令序列——指出所有数据冲突 (根据分步找冲突)

给出指令序列——指出所有暂停

给出指令序列——时钟周期数 $n+4+nop$ 个数

调整指令顺序——达到完备流水线而无需加nop

计算机性能评价 MIPS CPI

5.主存储器

ROM RAM工作原理

存储芯片内部结构——几根地址线 数据线

存储器芯片的扩展——字扩展、位扩展、混合扩展

ROM RAM程序存储器扩展

DRAM刷新方式 集中 分散 异步

6.高速缓存

组相联 直接映射 全相联

Cache替换策略 LRU

一般情况下 增加路数会提高命中率 降低平均时间 但不绝对

随着块大小的增加 缺失率先降低 后增加 (由于Cache空间受限)

Cache地址格式 大小 命中率

7. 虚拟存储

工作原理

页式虚拟存储器

多级页表

快表TLB

缺失可能性

TLB命中与否 与Cache是否命中 **无关**

8. 链接

符号解析 重定位

目标文件的三种形式

ELF格式 .rodata .dso等

全局符号、局部符号

强符号、弱符号的判断

静态库 解析过程 E U D集合

代码重定位 r.type == R_386_PC32

数据重定位 r.type == R_386_32

9. 总线与IO

总线的仲裁方式

请求线个数

程序查询I/O

中断与中断I/O方式

DMA I/O方式