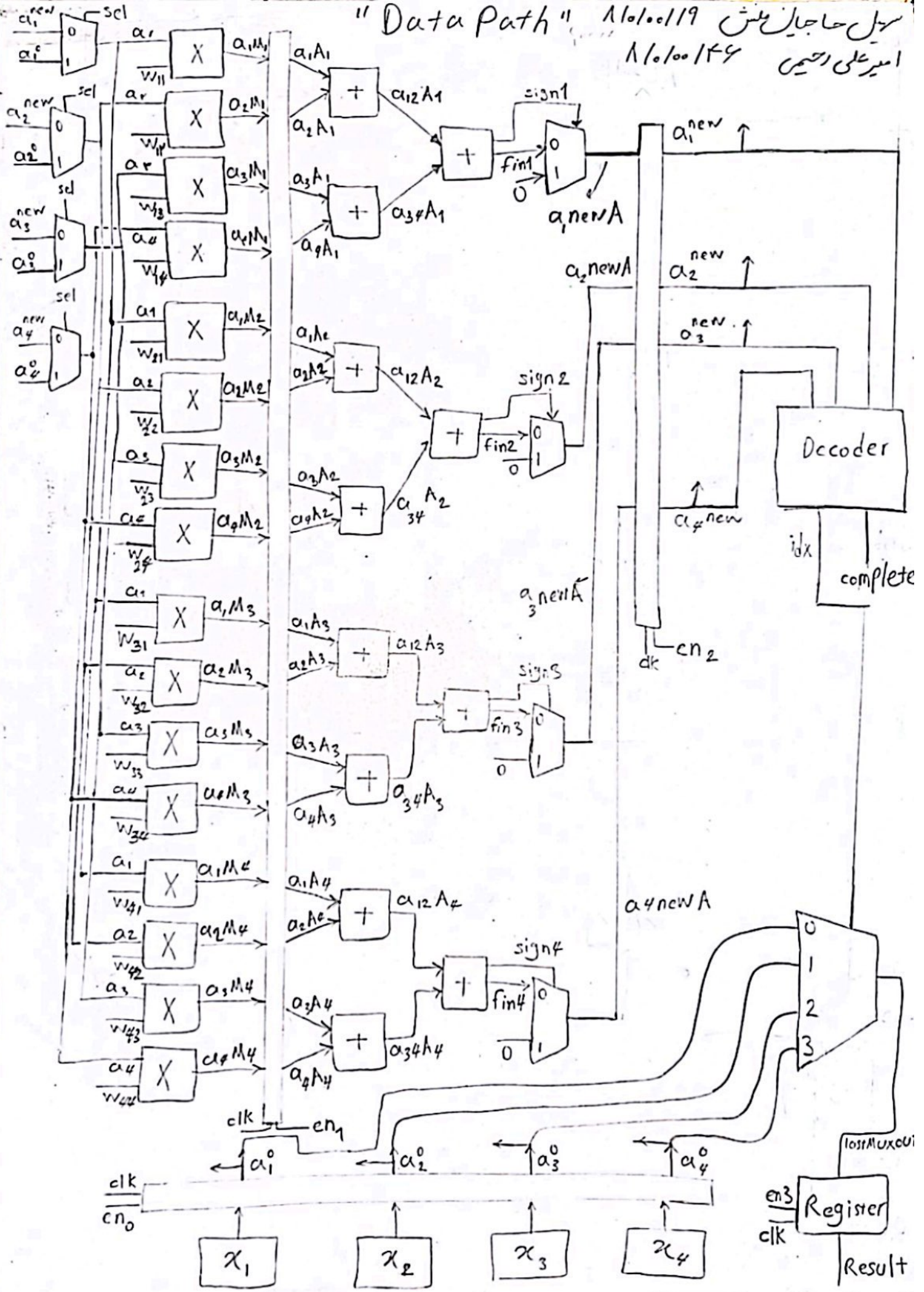


"DataPath" 11/01/19 سید حاجیان علی
11/01/14 امیر علی رحیمی



سہیل حاجیان ملنس ۸۱۰۱۰۰۱۱۹

امیر علی رحیمی ۸۱۰۱۰۰۱۴۶

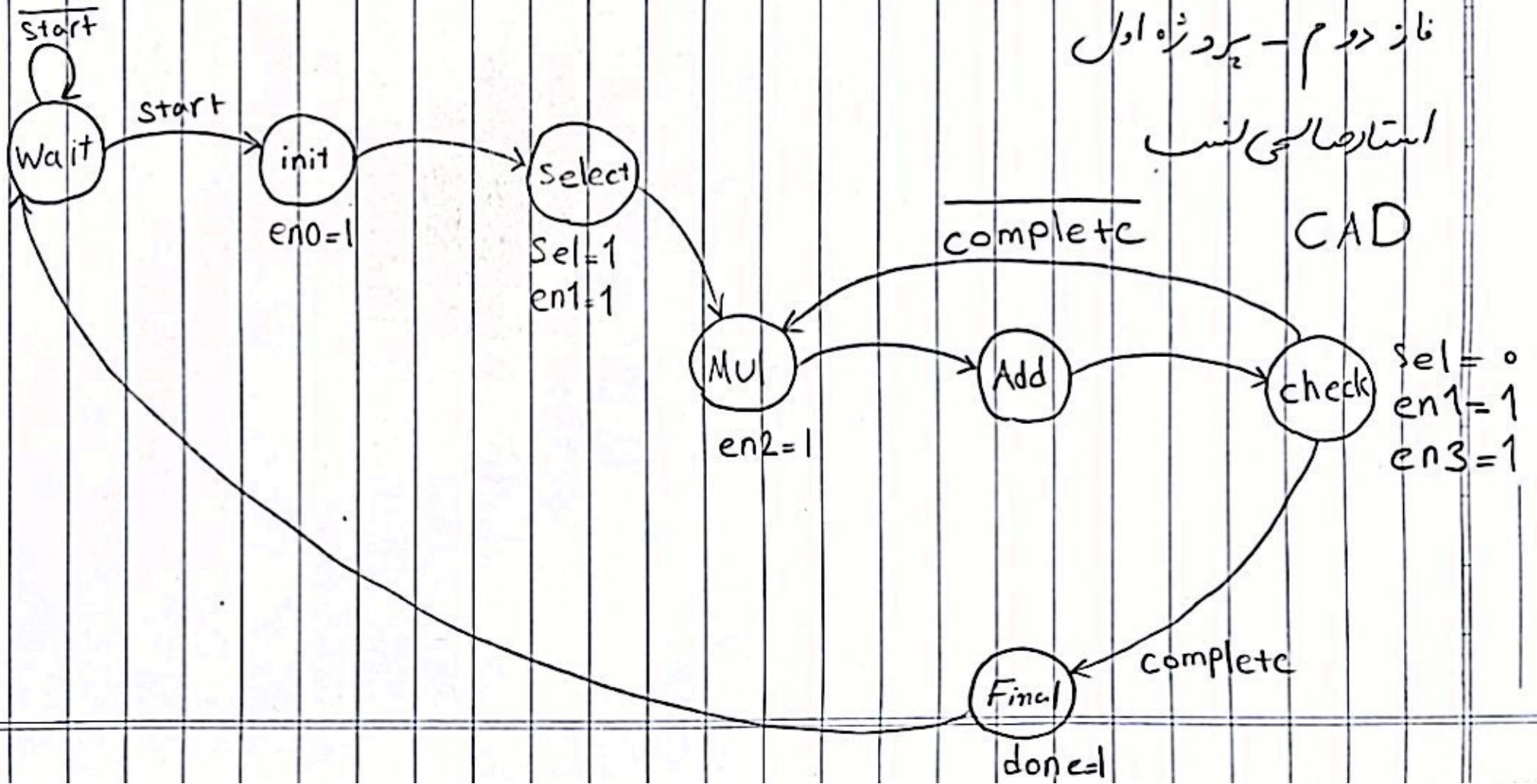
اصلاح کنٹرلر فاز ۱ =

فاز دوم - پر دژہ اول

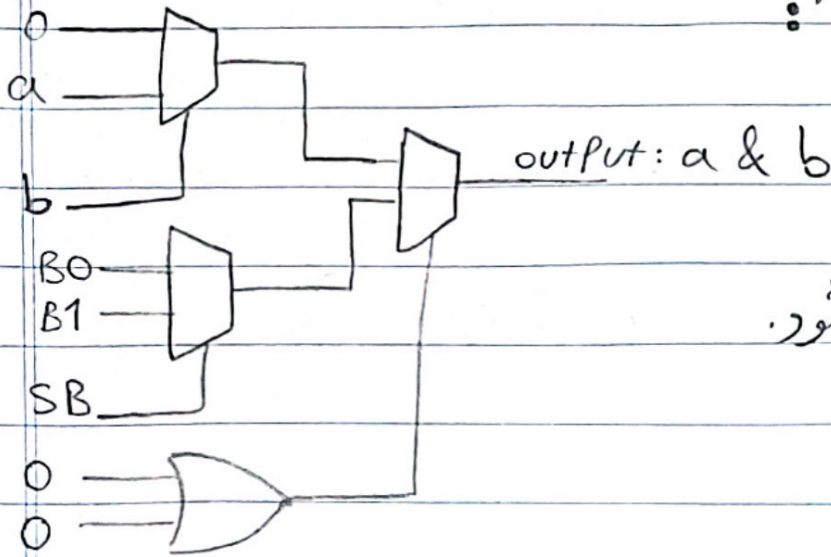
استار صالحی نسب

complete

CAD



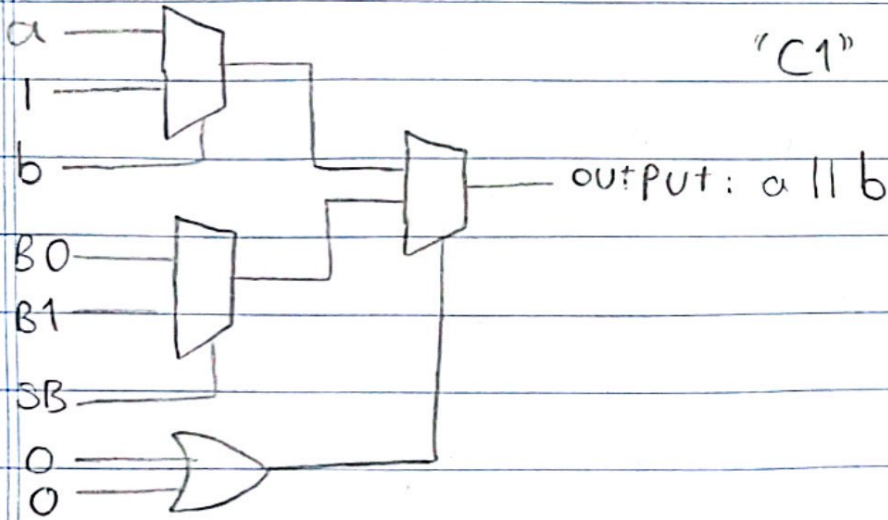
پیاده سازی And با بلاک "C1":



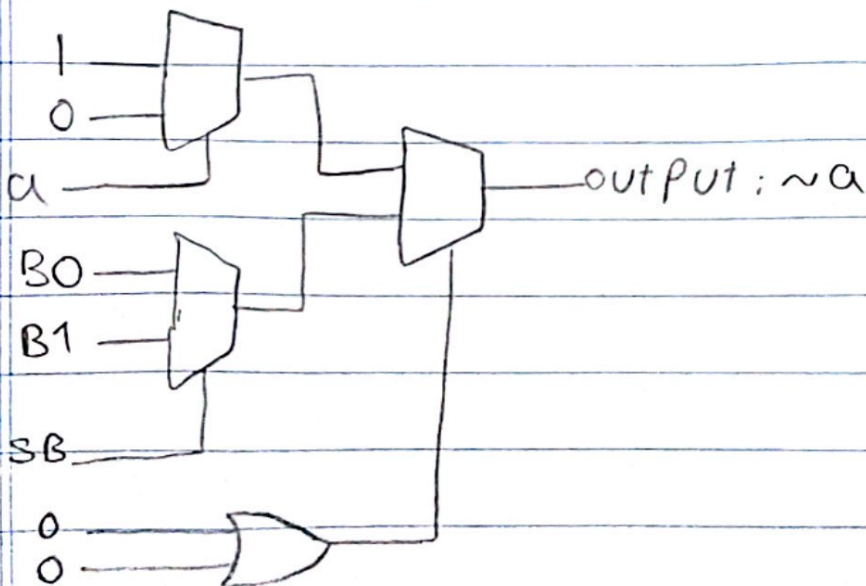
مقاریر "SB", "B1", "B0"

اهمیتی ندارد چون هواره
مقدار مولتیپلکسر بالایی انتخاب می شود.

پیاده سازی Or با بلاک "C1":



پیاده سازی Not با بلاک "C1":



برای پیاده سازی Or/And روی ورودی چندبیتی کافی است هر بار

بین ۲ بیت با استفاده از مائول C_1 و توضیحات گفته شده عملیات را

انجام دهیم و بیت خروجی را با بیت بعدی دوباره Or/And کنیم و این کار

را تا بیت پایانی انجام دهیم.

پیاده سازی "Xor" با بلاک " C_1 ":

$$a \oplus b = (a \& \sim b) \mid (\sim a \& b)$$

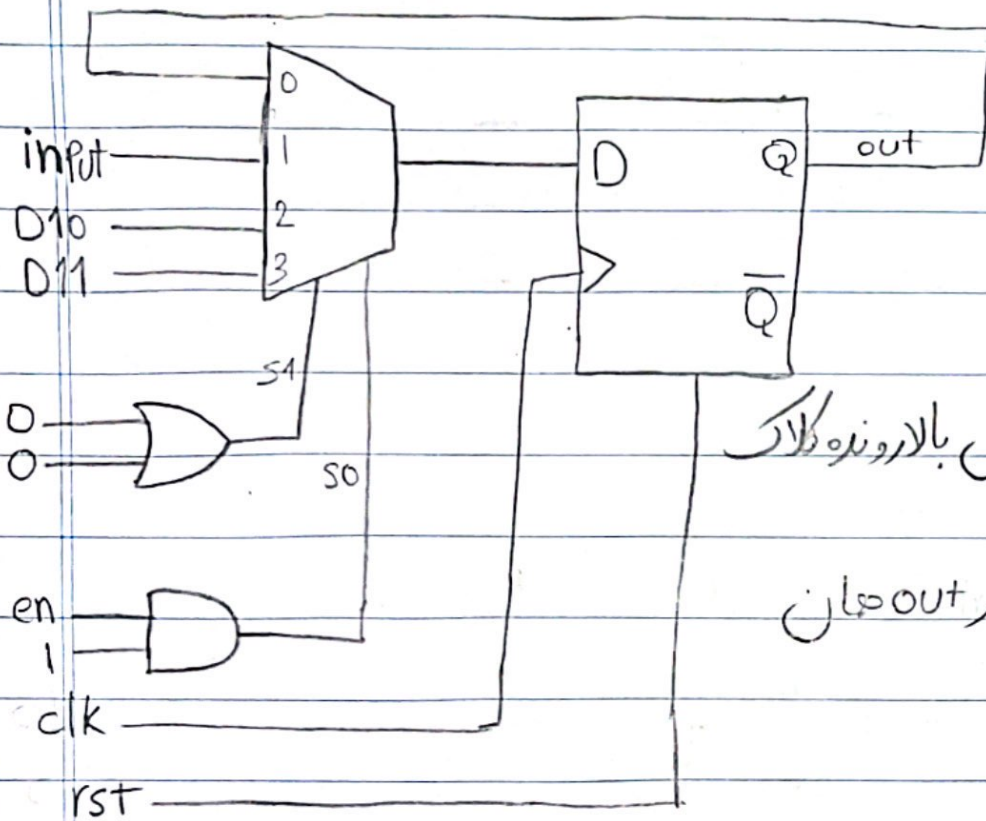
بسیار ساده می توان مائول Xor را با استفاده از دو مائول Not ($\sim a, \sim b$)

دو مائول And ($a \& \sim b$ و $\sim a \& b$) و یک مائول Or که خروجی

دو And را با هم Or می کند پیاده سازی کسر خروجی Or همان $a \oplus b$

می شود.

پایه سازی Register با بلوک "S2"



مقادیر D10 و D11
مهم نیست.

اگر en «1» باشد،

input را روی خروجی در اس بالا رونده قرار
قراری دهد.

اگر en صفر باشد، مقدار out همان
مقدار قبلی می ماند.

Decoder: مائزل Decoder > خروجی done و idx دارد که idx

دوبیتی است که نشان دهنده شماره رجیستری است که مقدار ماکزیمم را دارد.

برای رسیدن به طراحی gate Level این مائزل باید سه کارنومب

برای done، idx[7] و idx[17] بکشیم. ابتدا جدول درستی این ۳ سلینال را

A1: isA1Zero: ~| A1

A2: isA2Zero: ~| A2

A3: isA3Zero: ~| A3

A4: isA4Zero: ~| A4

> در صفحه بعد می کشیم.

A_1	A_2	A_3	A_4	$idx[1]$	$idx[0]$	done
0	0	0	0	—	—	—
0	0	0	1	—	—	—
0	0	1	0	—	—	—
0	0	1	1	—	—	—
0	1	0	0	—	—	—
0	1	0	1	—	—	—
0	1	1	0	—	—	—
0	1	1	1	0	0	1
1	0	0	0	—	—	—
1	0	0	1	—	—	—
1	0	1	0	—	—	—
1	0	1	1	0	1	1
1	1	0	0	—	—	—
1	1	0	1	1	0	1
1	1	1	0	1	1	1
1	1	1	1	—	—	—

A_1A_2 "idx[1]"					A_1A_2 "idx[0]"					A_1A_2 "done"				
A_3A_4	00	01	11	10	A_3A_4	00	01	11	10	A_3A_4	00	01	11	10
00	—	—	—	—	00	—	—	—	—	00	—	—	—	—
01	—	—	1	—	01	—	—	0	—	01	—	—	1	—
11	—	0	—	0	11	—	0	—	1	11	—	1	—	1
10	—	—	1	—	10	—	—	1	—	10	—	—	1	—

$$idx[1] = A_1A_2$$

$$idx[0] = A_1A_3$$

$$done = A_1A_2A_3\bar{A}_4 + A_1A_2\bar{A}_3A_4 + A_1\bar{A}_2A_3A_4 + \bar{A}_1A_2A_3A_4$$

ARSH

کافیت با استفادہ از ۳ ماڈل And, Or, Not طراحی Gate level

ماڈل Decoder را انجام دهم.

S_v	S_1	S_0	S_v^+	S_1^+	S_0^+
0	0	0	0	0	start ? 1 : 0
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	complete ? 1 : 0	1	complete ? 0 : 1
1	1	0	0	0	0

$$S_v^+ = \overline{S_v} S_1 S_0 + S_v \overline{S_1} \overline{S_0} + S_v \overline{S_1} S_0 \text{ complete}$$

$$S_1^+ = \overline{S_v} \overline{S_1} S_0 + \overline{S_v} S_1 \overline{S_0} + S_v \overline{S_1} S_0$$

$$S_0^+ = \overline{S_v} \overline{S_1} \overline{S_0} \text{ start} + \overline{S_v} S_1 \overline{S_0} + S_v \overline{S_1} \overline{S_0} + S_v \overline{S_1} S_0 \text{ complete}$$

$$\text{en0} = \overline{S_v} \overline{S_1} S_0$$

$$\text{sel} = \overline{S_v} S_1 \overline{S_0}$$

$$\text{en1} = \overline{S_v} S_1 \overline{S_0} + S_v \overline{S_1} S_0$$

$$\text{en2} = \overline{S_v} S_1 S_0$$

$$\text{en3} = S_v \overline{S_1} S_0$$

$$\text{done} = S_v S_1 \overline{S_0}$$

Controller