

معماری کامپیوتر

دانشکده مهندسی کامپیوتر

دکتر اسدی
بهار ۱۴۰۳

امیرحسین صوری، ۴۰۱۱۰۶۱۸۲ و مهدی علی نژاد، ۴۰۱۱۰۶۲۶۶



تمرین پنجم عملی

سوال ۱

نحوه ی پیاده سازی بخش کنترلی دیتاپف شامل control unit و ALU controller

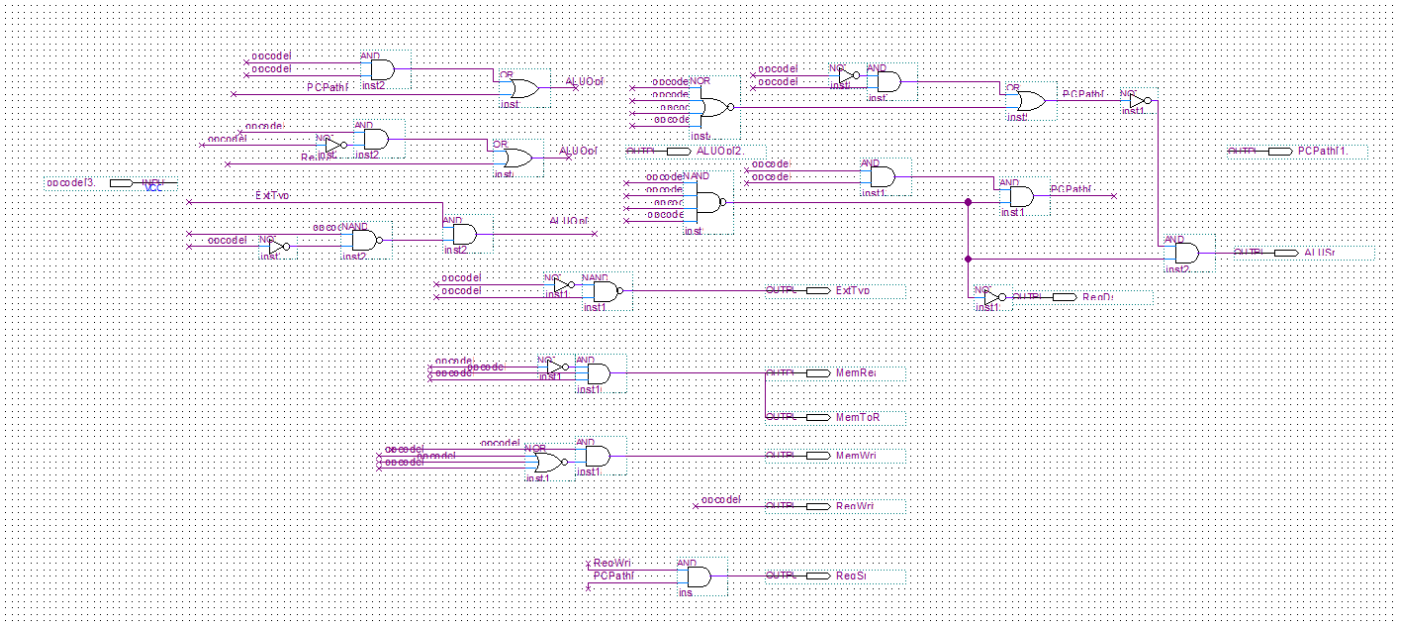
برای بخش control unit ابتدا جدول حقیقتی تشکیل دادیم و برای هر کی از دستورات، وضعیت سیگنال ها را مشخص کردیم، همچنین به آپکد و func بعضی از دستورات نیز دست بردیم تا طراحی منطق را تا حد امکان ساده کنیم.

instruction	opcode	func	PCPath(2 bit)	ExtType	ALUSrc	ALUOp(3 bit)	MemRead	MemWrite	MemToReg	RegWrite	RegDst	RegSrc
ADD	1111	100	00	x	0	111	0	0	0	1	1	0
SUB	1111	110	00	x	0	111	0	0	0	1	1	0
AND	1111	000	00	x	0	111	0	0	0	1	1	0
OR	1111	001	00	x	0	111	0	0	0	1	1	0
MULT	1111	011	00	x	0	111	0	0	0	1	1	0
XOR	1111	010	00	x	0	111	0	0	0	1	1	0
MULT_res	1111	111	00	x	0	111	0	0	0	1	1	0
JR	1110	X	11	1	x	X	0	0	0	0	x	x
ADDI	0001	X	00	1	1	100	0	0	0	1	0	0
SUBI	0011	X	00	1	1	110	0	0	0	1	0	0
ANDI	0101	X	00	0	1	000	0	0	0	1	0	0
ORI	0111	X	00	0	1	001	0	0	0	1	0	0
SB	1000	X	00	1	1	100	0	1	0	0	x	x
LB	1001	X	00	1	1	100	1	0	1	1	0	0
BEQ	0000	X	01	1	0	101	0	0	0	0	x	x
BNQ	1010	X	01	1	0	011	0	0	0	0	x	x
J	1100	X	10	x	x	X	0	0	0	0	x	x
JAL	1101	X	10	x	x	X	0	0	0	1	0	1

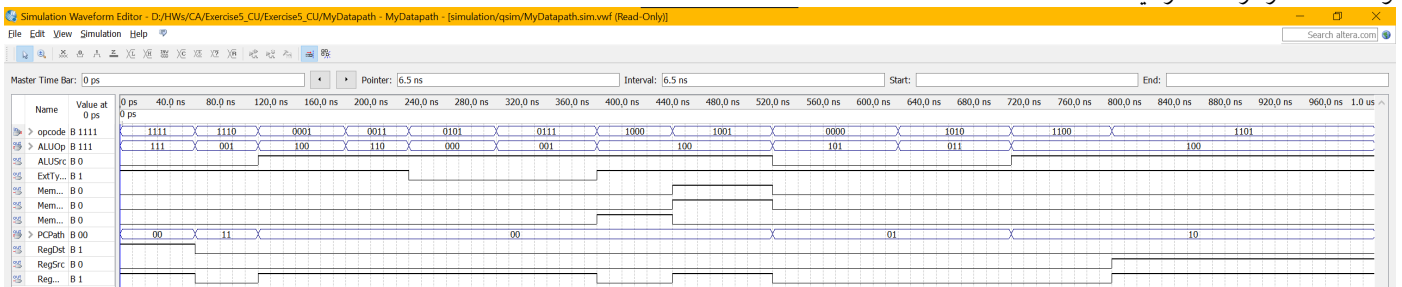
سپس تابع منطقی برای تک تک این سیگنال ها را تولید کرده ایم، تابع هرکدام به این صورت است:

PCPath[0]	$\sim op[0] \& op[1] \mid nor(op[3..0])$
PCPath[1]	$op[3] \& op[2] \& nand(op[3..0])$
ExtType	$nand(\sim op[3], op[2])$
ALUSrc	$nand(op[3..0]) \& \sim PCPath[0]$
MemRead	$op[3] \& op[0] \& \sim op[2]$
MemWrite	$op[3] \& nor(op[2..0])$
MemtoReg	MemRead
RegWrite	$op[0]$
RegDst	$\sim ALUSrc$
RegSrc	RegWrite & PCPath[1]
ALUOp[0]	$PCPath[0] \mid (op[1] \& op[2])$
ALUOp[1]	$\sim op[2] \& op[1] \mid RegDst$
ALUOp[2]	$ExtType \& op[1] \& \sim op[0]$

سپس این مدار این قطعه را طبق توابع به دست آمده متصل می کنیم.



و تاداد ۱۱۱۱۱۱۱۱، مدار درست کار میکنه



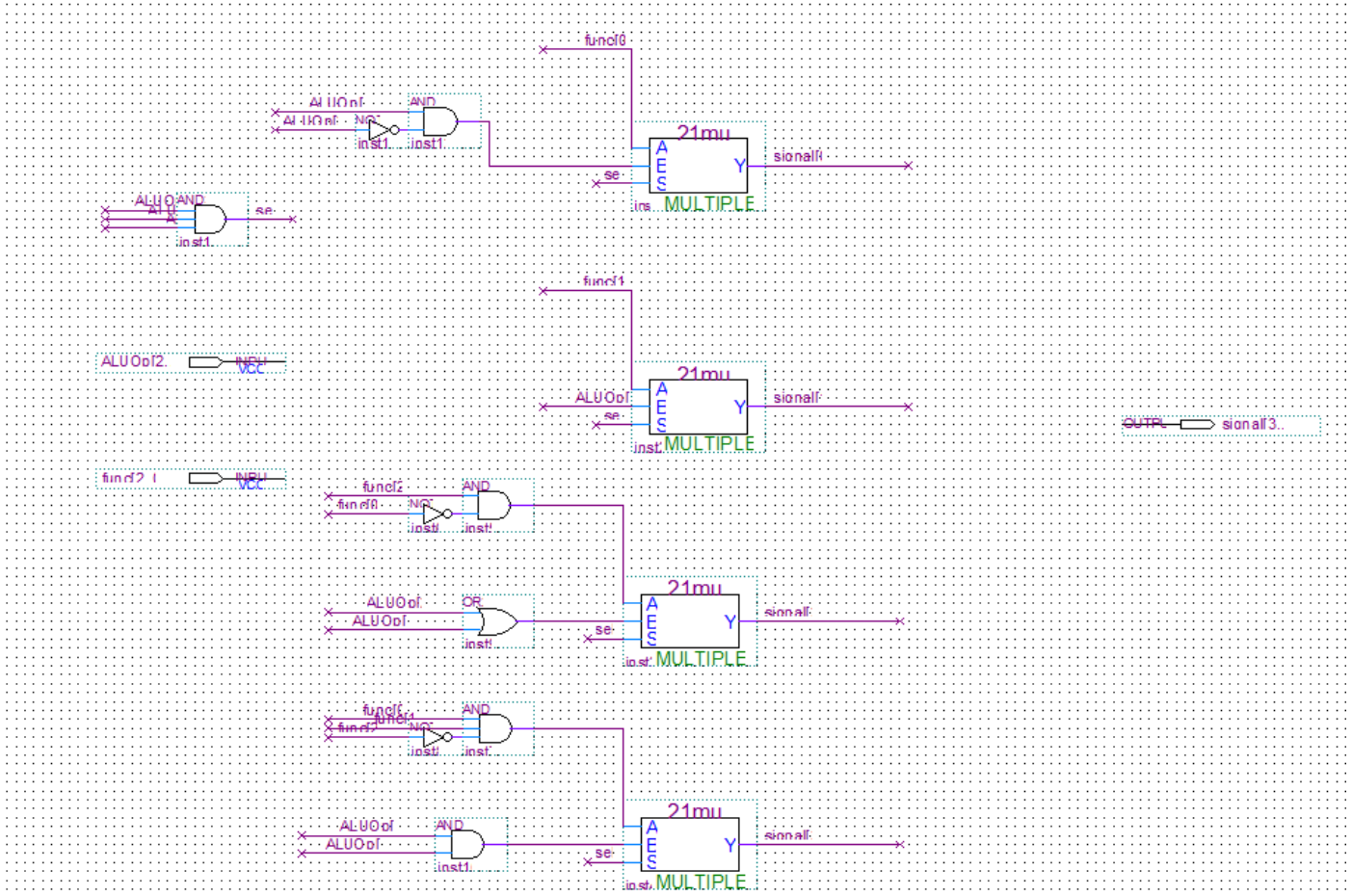
برای طراحی ALU controller نیز دقیقاً همین مراحل را طی کردیم. ابتدا جدول حقیقت را کشیدیم

ALUOp	func	signal
111	100	0100
111	110	0110
111	000	0000
111	001	0001
111	011	1011
111	010	0010
111	111	0011
100	X	0100
110	X	0110
000	X	0000
001	X	0001
101	X	1100
011	X	0111

سپس توابع منطقی آنها را با استفاده از یک مولتی پلکسر تولید کردیم

MUX	$\text{nand}(\text{ALUOp}[2..0]) == 0$	ow
signal[0]	func[0]	ALUOp[0]
signal[1]	func[1]	ALUOp[1]
signal[2]	$\text{func}[2] \& \sim \text{func}[0]$	$\text{ALUOp}[2] \text{ALUOp}[1]$
signal[3]	$\text{func}[0] \& \text{func}[1] \& \sim \text{func}[2]$	$\text{ALUOp}[2] \text{ALUOp}[0]$

سپس مدار را متصل می کنیم



و مشاهده می کنیم که مدار بدون مشکل و مطابق جدول عمل می کند.

