معماري كامپيوتر

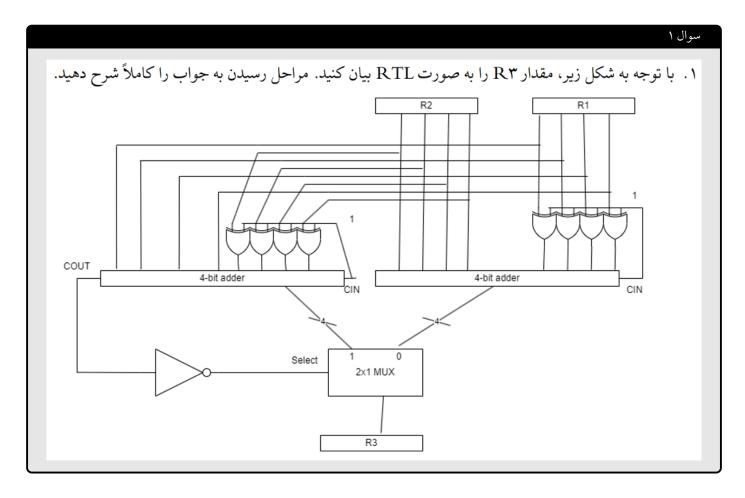
دانشكده مهندسي كامپيوتر

دکتر اسدی بهار ۱۴۰۳

مهدی علی نژاد، ۴۰۱۱۰۶۲۶۶



تمرين دوم



در این دو adder همزمان مقدار R۱ – R۲ و R۲ – R۱ محاسبه می شود.

می دانیم با نات کردن عدد x به عدد x-1 می رسیم که با دادن ۱ به c_{in} مثل این است که عدد x-1 را به دست آورده ایم. همچنین می دانیم در تفریق اگر اورفلو ببینیم به این معنی هست که حاصل مثبت شده است یا مقدار اختلاف در ۴ بیت جا نمی شود که در این صورت RY-R را خروجی می دهد. در واقع این مقدار |RY-R| است. |RY-R| است. در زبان |RY-R| به صورت زیر است:

 $\begin{array}{l} (\mathbf{R}\,\mathbf{Y} \leq R\,\mathbf{I}): R\mathbf{Y} <= R\mathbf{Y} - R\,\mathbf{I} \\ (R\,\mathbf{I} < R\,\mathbf{Y}): R\mathbf{Y} <= R\,\mathbf{I} - R\,\mathbf{Y} \end{array}$

۲. مجموعه دستورات RTL زير كه تا زمان ثابت شدن مقادير در حال اجرا هستند را در نظر بگيريد:

- (R1!=0)(R0==0): R0 <- R0+1, R2 <- R2 % R1
- (R1!=0)(R0==2): R0 <- R0+1, R1 <- R2 XOR R1
- (R1!=0)(R0==4): R0 <-0
- (R1!=0)(R0!=0)(R0!=2)(R0!=4): R0 <- R0+1, R2 <- R1 XOR R2
- آ) اگر R1 = 36 ، R0 = 0 و R2 = 27 باشد، مقدار نهایی ثباتها را مشخص کنید و همچنین مشخص کنید دستورات بالا چه کاری را انجام می دهند.
- ب) شماتیک سختافزاری برای اجرای مجموعه دستورات بالا طراحی کنید. توجه شود که استفاده از مقایسه کننده و همچنین محاسبه کننده مد^۲ به صورت بلوک مشکلی ندارد و همچنین نیاز به سادهسازی مدار نیست.

آ) به صورت تمیز تر می توان دستورات را به صورت ترتیبی نوشت

```
while (R1 != 0) { R2 = R2 \% R1; R2 = R1 \text{ xor } R2; R1 = R1 \text{ xor } R2; R2 = R1 \text{ xor } R2; }
```

سه xor ای که بعد مدگیری آمده است در واقع R را با R جابجا می کند. خط اول نیز باقی مانده میگیرد. در واقع این پیاده سازی الگوریتم اقلیدس برای پیدا کردن ب.م.م است. این مقادیر به این صورت تغییر می کند.

```
R0 = 0, R1 = 36, R2 = 27

R0 = 1, R1 = 36, R2 = 27

R0 = 2, R1 = 36, R2 = 63

R0 = 3, R1 = 27, R2 = 63

R0 = 4, R1 = 27, R2 = 36

R0 = 0, R1 = 27, R2 = 36

R0 = 1, R1 = 27, R2 = 9

R0 = 2, R1 = 27, R2 = 18

R0 = 3, R1 = 9, R2 = 18

R0 = 4, R1 = 9, R2 = 27

R0 = 0, R1 = 9, R2 = 27

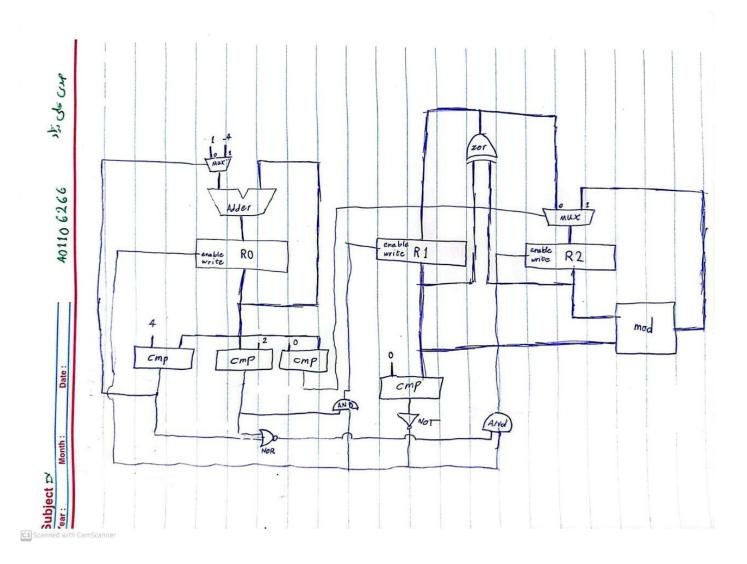
R0 = 1, R1 = 9, R2 = 27

R0 = 0, R1 = 9, R2 = 9

R0 = 2, R1 = 9, R2 = 9

R0 = 3, R1 = 0, R2 = 9
```

<u>(</u>ب



- ۳. فرض کنید یک بانک ثبات دارای ۶۴ ثبات ۱ بیتی داریم. میخواهیم یک RTL را پیادهسازی کنیم به طوری که بتوان بین هر دو ثبات عملیات MOV را انجام داد. برای پیادهسازی اتصالات داخلی ثباتها در هر یک از حالات زیر چه قطعاتی لازم است و در هر روش چه تعداد سیگنال کنترلی نیاز است؟
 - آ) ارتباط point-to-point
 - ب) ارتباط از طریق common bus
- ج) تقسیم ثباتها به گروههای ۸ تایی و ایجاد common bus بین آنها و ایجاد ارتباط point-to-point بین گروهها

ا) اگر تک تک این رجسیتر ها با هم ارتباط point to point داشته باشند، قبل هرکدام یک ماکس ۶۴ به ۱ نیاز است و هرماکس به ۶ بیت سلکت نیاز دارد. پس در این حالت به موارد زیر نیاز داریم:

- ۶۴ ماکس ۶۴ به ۱
- ۶ * ۶۴ سیم سلکت ماکس
- سیم برای متصل کردن هم رجیستر به ورودی های ماکس

در این روش سلکت های ماکس همان سیگنال های کنترلی ما هستند پس ۳۸۴ سیگنال کنترلی داریم.

. در این روش تمام رجیستر ها به یک bus متصل می شوند و با دو سیگنال wirte و wirte کنترل می شوند.

- یک bus تک بیتی
- ۲ * ۶۴ بیت سیگنال
- سیم برای متصل کردن رجسیتر ها به bus

در این روش نیز سیگنال های Read و write سیگنال هایی هستند که به ما اجازه می دهند جابجایی هارا کنترل کنیم. ۱۲۸ سیگنال کنترلی لازم است. ج)

رد این روش هر ۸ رجسیتر را گروه کرده و با bus متصل می کنیم. و از طرفی bus هارا با ماکس به روش point to point متصل می کنیم.

- bus ۸ تک بیتی
- ۸ مولتی پلکسر ۸ به ۱
- ۲ * ۶۴ بیت سیگنال read و wirte
 - ۳ * ۸ بیت سلکت
 - سیم برای اتصال ها

در این روش نیز دارای ۱۵۲ سیگنال کنترلی هستیم.

سوال ۴

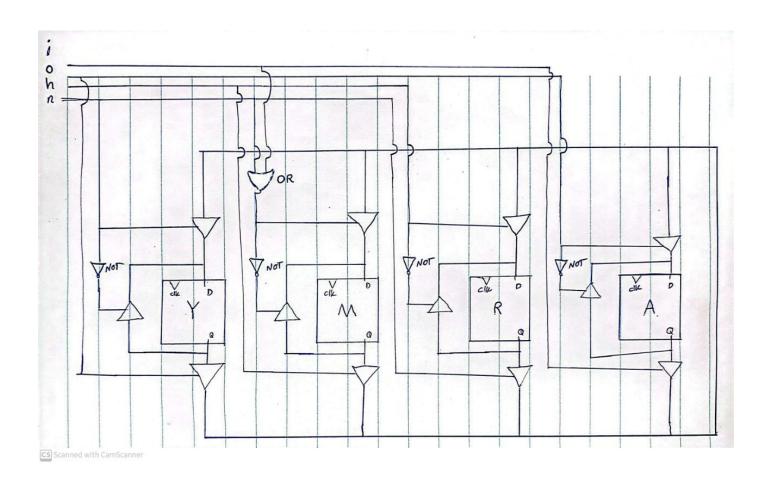
۴. با استفاده از Common Bus و tri-state buffer، مدار مورد نیاز برای اجرای دستورات زیر را طراحی کنید. توجه کنید که تمامی دستورات در یک کلاک انجام شوند. (M و A و R و Y را DFF تک بیتی و همچنین h و o و o و o و o سیگنال کنترلی در نظر بگیرید.)

$$i: M \leftarrow A$$

$$o: A \leftarrow Y$$

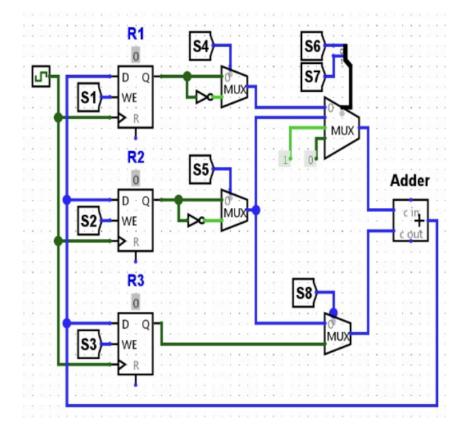
$$h: R \leftarrow M$$

$$n: Y \leftarrow R, M \leftarrow R$$



سوال ۵

۵. با توجه به مدار بسته شده در شکل زیر، برای هرکدام از موارد خواسته شده سیگنالهای کنترلی را تعیین کنید.



$$R3 \leftarrow R3, R1 \leftarrow R3$$
 (آ
 $R1 \leftarrow -R2$ (ب
 $R2 \leftarrow R3 - R2 - 1$ (ج

- (a) $S1. \sim S2.S3.S6.S7.S8$
- (b) $S1. \sim S2. \sim S3.S5. \sim S6.S7. \sim S8$
- (c) $\sim S1.S2. \sim S3.S5.S6. \sim S7.S8$