

به نام خدا



درس معماری کامپیوتر
نیم سال دوم ۰۲-۰۳
استاد: دکتر حسین اسدی

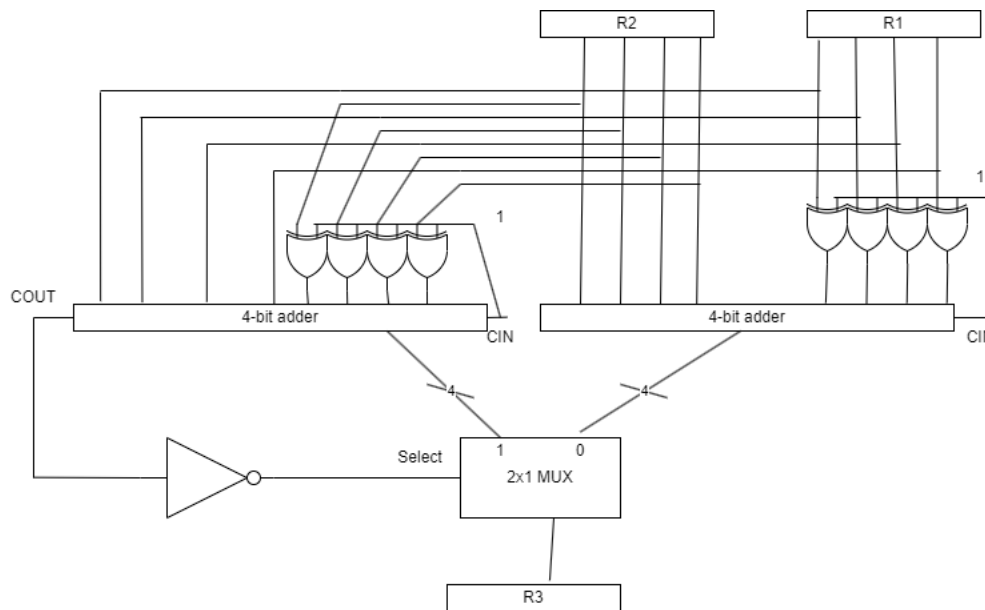
دانشکده مهندسی کامپیوتر

تمرین سری دوم

- پرسش‌های خود را در صفحه quera مربوط به تمرین مطرح نمایید.
- سوالات نظری را حتماً به صورت انفرادی و سوالات عملی را می‌توانید در گروه‌های دو نفر تحویل دهید.
- پاسخ‌ها را به صورت تاپی بنویسید.
- اسکرین‌شات‌ها، عکس‌ها و فایل‌های مربوط به سوال عملی را در فایل فشرده مربوطه در cw و quera قرار دهید. هر گونه عدم تطابق بین دو تمرین آپلود شده در دو سایت منجر به از دست رفتن نمره تمرین مربوطه می‌شود.
- پی دی اف قسمت تئوری را در سامانه cw و quera بارگذاری کنید.
- هر دانشجو می‌تواند حداکثر سه تمرین را با دو روز تأخیر بدون کاهش نمره ارسال نماید.

تمارین تئوری

۱. با توجه به شکل زیر، مقدار R_3 را به صورت RTL بیان کنید. مراحل رسیدن به جواب را کاملاً شرح دهید.



۲. مجموعه دستورات RTL زیر که تا زمان ثابت شدن مقادیر در حال اجرا هستند را در نظر بگیرید:

- $(R1! = 0)(R0 == 0) : R0 \leftarrow R0 + 1, R2 \leftarrow R2 \% R1$
- $(R1! = 0)(R0 == 2) : R0 \leftarrow R0 + 1, R1 \leftarrow R2 \text{ XOR } R1$
- $(R1! = 0)(R0 == 4) : R0 \leftarrow 0$
- $(R1! = 0)(R0! = 0)(R0! = 2)(R0! = 4) : R0 \leftarrow R0 + 1, R2 \leftarrow R1 \text{ XOR } R2$

آ) اگر $R0 = 0$ ، $R1 = 36$ و $R2 = 27$ باشد، مقدار نهایی ثبات‌ها^۱ را مشخص کنید و همچنین مشخص کنید دستورات بالا چه کاری را انجام می‌دهند.

ب) شماتیک سخت‌افزاری برای اجرای مجموعه دستورات بالا طراحی کنید. توجه شود که استفاده از مقایسه‌کننده و همچنین محاسبه‌کننده مد^۲ به صورت بلوک مشکلی ندارد و همچنین نیاز به ساده‌سازی مدار نیست.

۳. فرض کنید یک بانک ثبات دارای ۶۴ ثبات ۱ بیتی داریم. می‌خواهیم یک RTL را پیاده‌سازی کنیم به طوری که بتوان بین هر دو ثبات عملیات MOV را انجام داد. برای پیاده‌سازی اتصالات داخلی^۳ ثبات‌ها در هر یک از حالات زیر چه قطعاتی لازم است و در هر روش چه تعداد سیگنال کنترلی نیاز است؟

آ) ارتباط point-to-point

ب) ارتباط از طریق common bus

ج) تقسیم ثبات‌ها به گروه‌های ۸ تایی و ایجاد common bus بین آن‌ها و ایجاد ارتباط point-to-point بین گروه‌ها

^۱Register

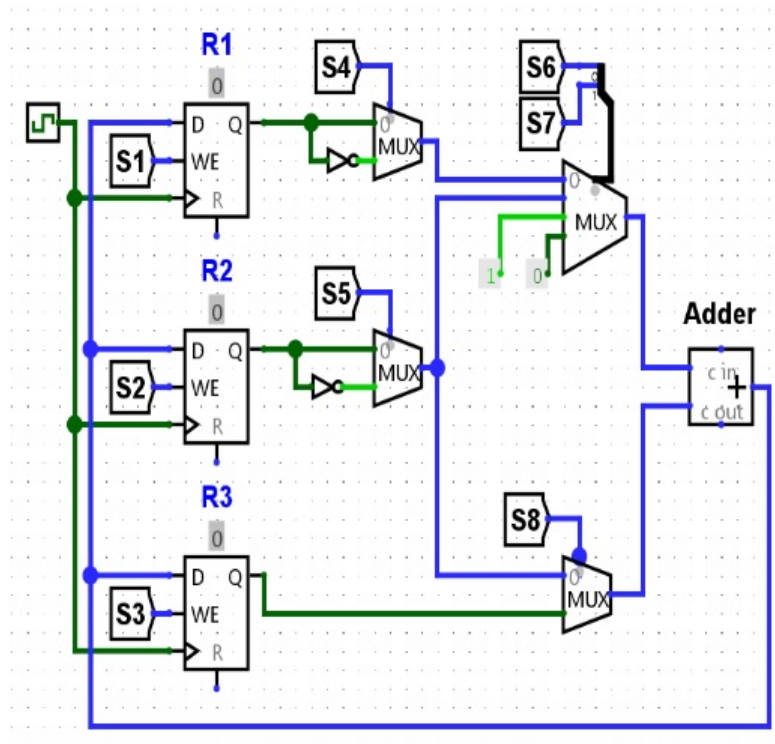
^۲ Mode

^۳interconnect

۴. با استفاده از Common Bus و tri-state buffer، مدار مورد نیاز برای اجرای دستورات زیر را طراحی کنید. توجه کنید که تمامی دستورات در یک کلاک انجام شوند. (M و A و R و Y را DFF تک بیتی و همچنین h و o و h و n را سیگنال کنترلی در نظر بگیرید.)

$i : M \leftarrow A$
 $o : A \leftarrow Y$
 $h : R \leftarrow M$
 $n : Y \leftarrow R, M \leftarrow R$

۵. با توجه به مدار بسته شده در شکل زیر، برای هرکدام از موارد خواسته شده سیگنال‌های کنترلی را تعیین کنید.



$$\bar{R3} \leftarrow R3, R1 \leftarrow R3 \quad (\text{آ})$$

$$R1 \leftarrow -R2 \quad (\text{ب})$$

$$R2 \leftarrow R3 - R2 - 1 \quad (\text{ج})$$

تمارین عملی

۱. در این سوال می‌خواهیم که یک کامپیوتر ساده را به کمک دانش RTL طراحی کنیم. کامپیوتری که طراحی می‌کنید باید ویژگی‌های زیر را داشته باشد:

- ۴ ثبات ۸ بیتی داشته باشد
- چهار عملیات زیر را بتواند انجام دهد:
 ۱. جمع یک ثبات با ثبات دیگر
 ۲. زیاد کردن عدد یک ثبات به اندازه‌ی ۱ واحد
 ۳. کم کردن عدد یک ثبات به اندازه‌ی ۱ واحد
 ۴. ریختن یک ثبات در یک ثبات دیگر
- به صورت point-to-point طراحی شده باشد.

پیاده‌سازی را به صورت شماتیک در نرم‌افزار Quartus انجام دهید و سپس به سوالات زیر پاسخ دهید:

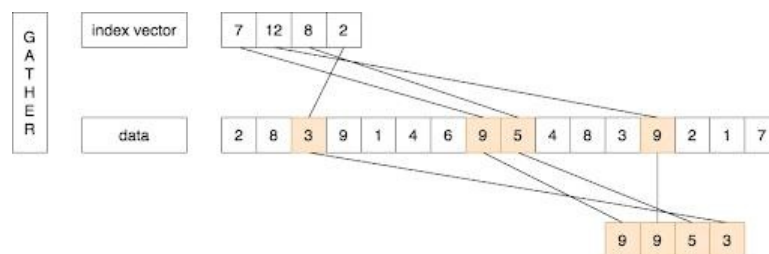
آ) طراحی شما چند سیگنال کنترلی دارد؟

ب) برای هر یک از عملیات ذکر شده بگویید که سیگنال‌های شما باید چه مقادیری داشته باشند.

ج) به زبان RTL مخصوص سیستمی که طراحی کردید یک برنامه بنویسید که دنباله‌ی فیبوناچی را تا عدد ۴۴ حساب کند. فرض کنید که مقدار اولیه تمام ثبات‌ها ۰ است.

جواب سه سوال بالا را در یک فایل PDF تایپ کنید و سپس به همراه فایل مدار خود در سامانه CW آپلود کنید. همچنین در گزارش خود تمامی دستوراتی که تعریف کردید را تست کنید و نتیجه‌ی تست آن را بنویسید. دقت کنید که لازم نیست که به mux و adder را خودتان از صفر بسازید و می‌توانید از قطعات آماده استفاده کنید.

۲. در این تمرین می‌خواهیم که با عملیات جمع‌آوری^۴ که در برخی از پردازنده‌هایی با ثبات‌های بزرگ انجام می‌شود، آشنا شویم. فرض کنید که پردازنده‌ای در اختیار دارید که ۴ ثبات ۲ بیتی و یک ثبات ۸ بیتی در اختیار دارد. فرض کنید که می‌خواهیم هر دو بایت از ثبات ۸ بیتی را با مقادیر یکی از ثبات‌های دو بیتی پر کنیم. یکی از کارهایی که در اینجا می‌توان انجام داد این است که از شیفتر^۵ و ORهای متوالی در ثبات ۸ بیتی کمک بگیریم که آن را پر کنیم. اما می‌توان از عملیات جمع‌آوری نیز بهره برد. کاری که عملیات جمع‌آوری انجام می‌دهد، این است که ابتدا یک آرایه به طول ۴ به نام بردار اندیس^۵ که در آن اندیس ثبات‌ها نوشته شده است و باید به ترتیب در ثبات بزرگ ۸ بیتی قرار گیرند را به عنوان ورودی دریافت می‌کند. به عنوان مثال به شکل زیر توجه کنید:



در این شکل هر خانه در ردیف داده نشان‌دهنده یک ثبات ۲ بیتی است و ۴ خانه نارنجی پایینی نشان‌دهنده یک ثبات ۸ بیتی است.

^۴gather

^۵index vector

برای این کار کافی است که به صورت شماتیک مداری را در Quartus پیاده‌سازی کنید که عملیات جمع‌آوری را از ۴ ثبات دو بایتی به یک ثبات ۸ بایتی انجام می‌دهد. دقت کنید که بردار اندیس را می‌توانید ورودی مدار فرض کنید. همچنین برای اطلاعات بیشتر می‌توانید به [اینجا](#) مراجعه کنید.