

معماری کامپیوتر

دانشکده مهندسی کامپیوتر

دکتر اسدی
بهار ۱۴۰۳

امیرحسین صوری، ۴۰۱۱۰۶۱۸۲ و مهدی علی نژاد، ۴۰۱۱۰۶۲۶۶

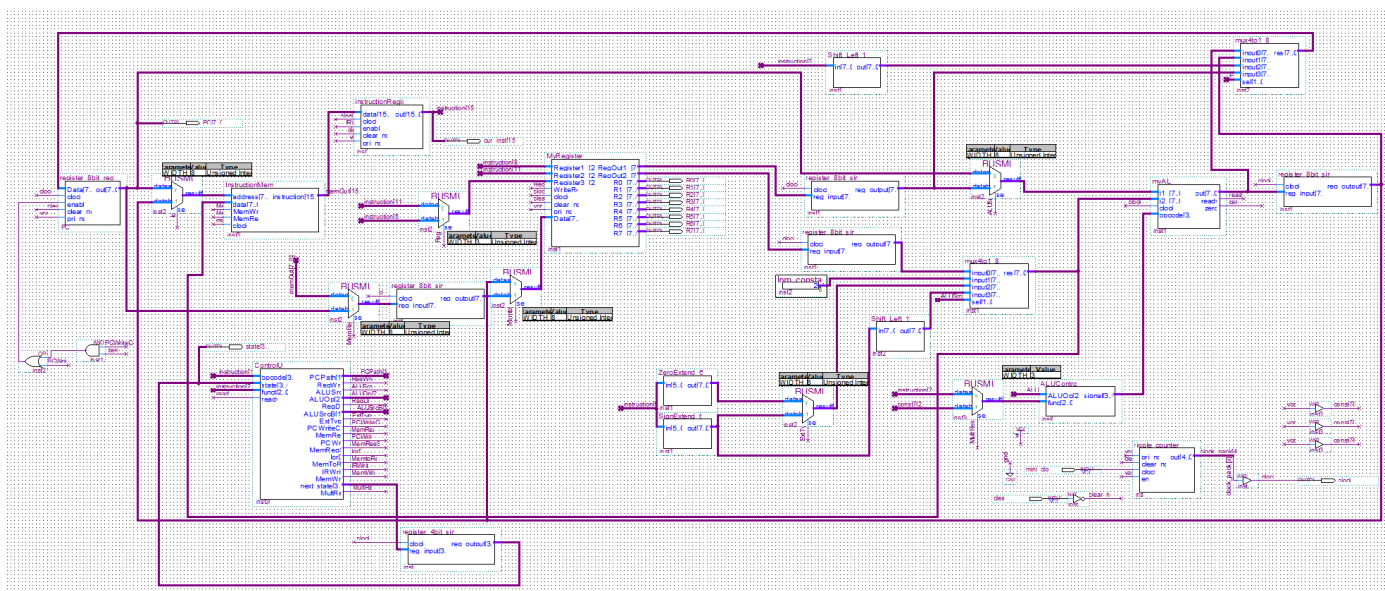


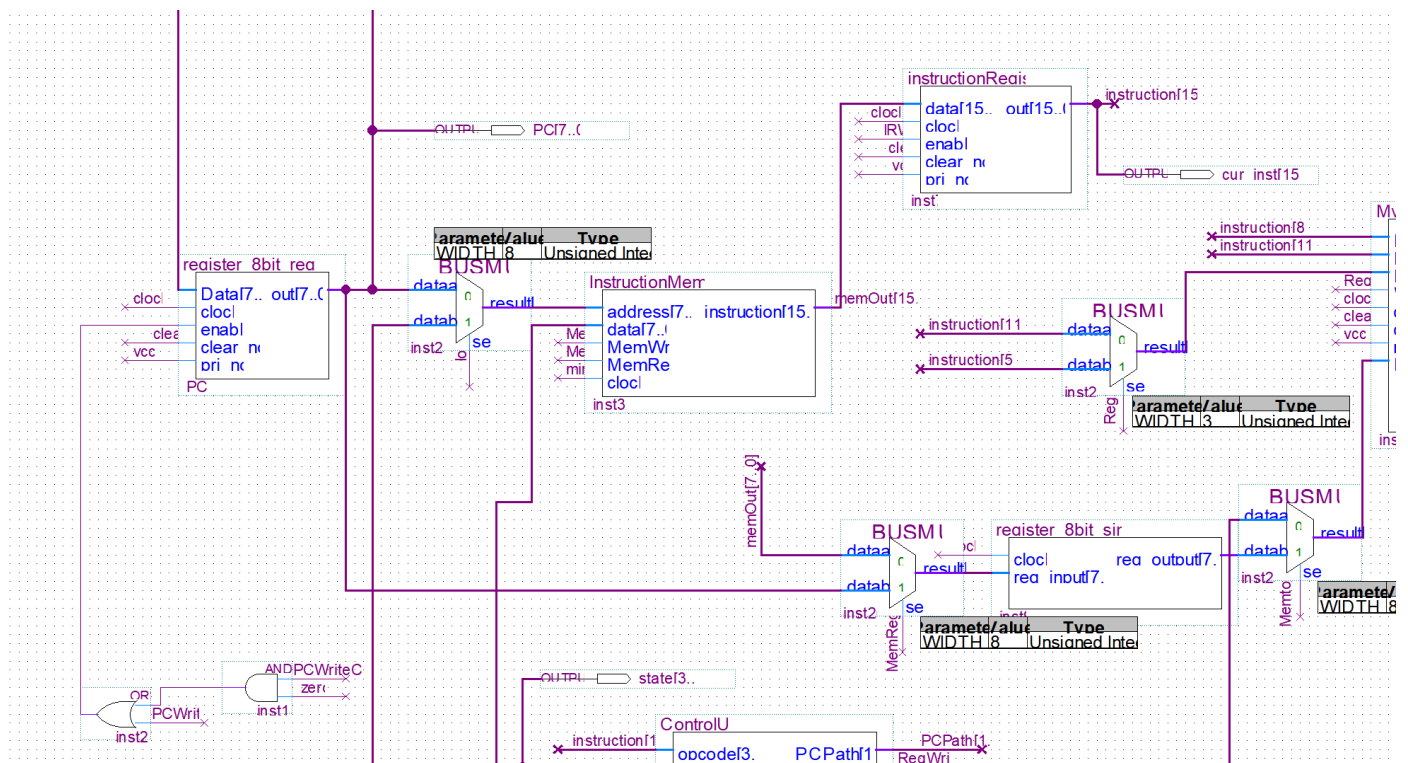
تمرین ششم عملی

سوال ۱

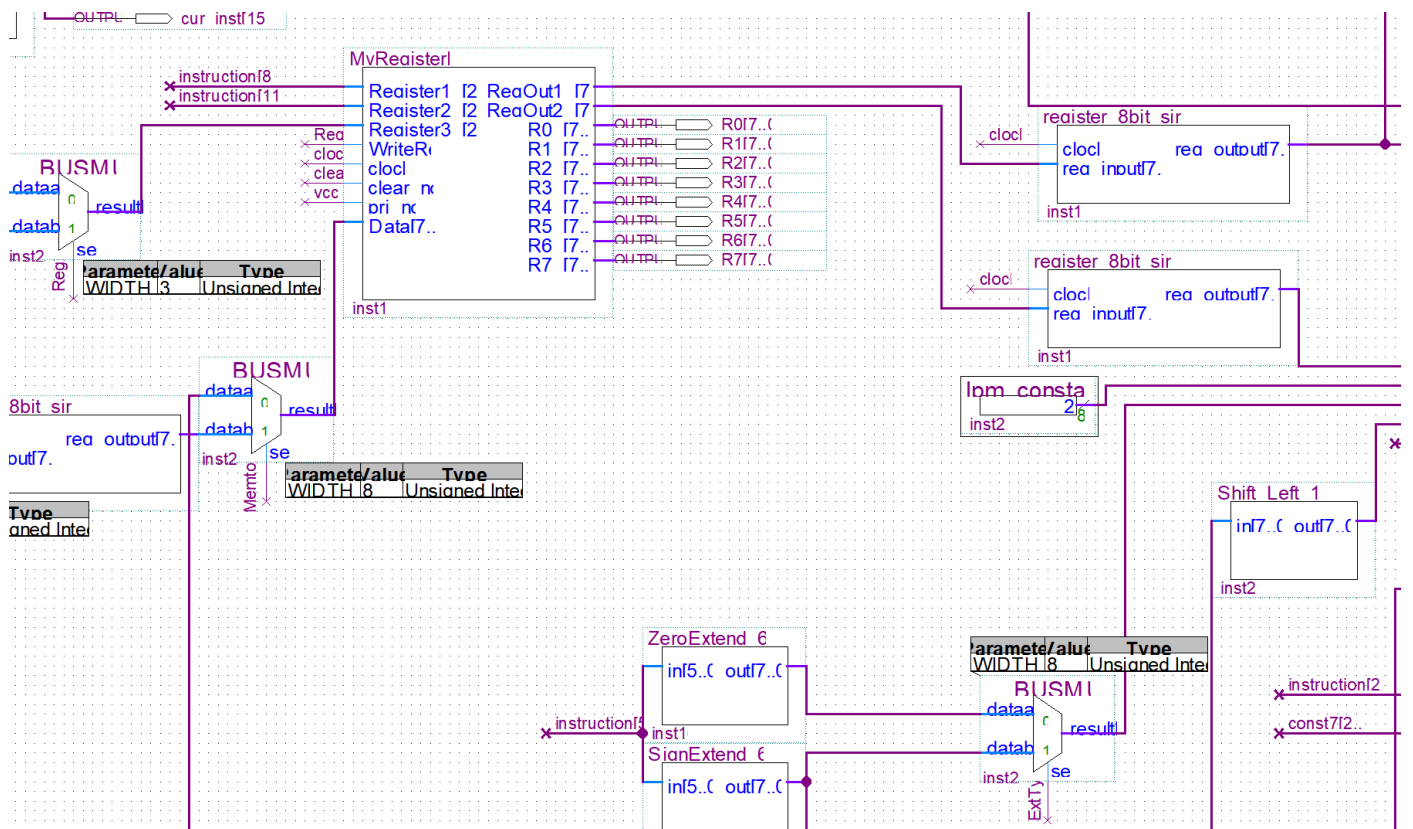
نحوه ی پیاده سازی Datapath پردازنده ی MIPS multi cycle

برای دیتاپات این پردازنده، مانند مسیر داده ای که در اسلاید ها موجود بود، از یک ALU، یک بلاک مموری، تعدادی رجیستر میانی، یک رجیستر ۴ بیتی نگهدارنده ی حالت، RF، و واحد کنترلی استفاده کردیم. مانند پردازنده ی تک حلقه ای مان، در اینجا نیز در دستورات، جای rs و rt جابجا شده تا طراحی کمی ساده تر شود.





در این تصویر شاهد پیاده سازی قطعاتی مانند PC ، حافظه، IR ، MDR و منطق پرش و برنج هستیم.



این بخش از مدار شامل رجیستر فایل ، رجیستر های A و B و بخش مربوط به immediate است.

