

Κυκλώματα Ρύθμισης Τάσης με Χαμηλή Πτώση Τάσης Εισόδου (LDO Regulators)

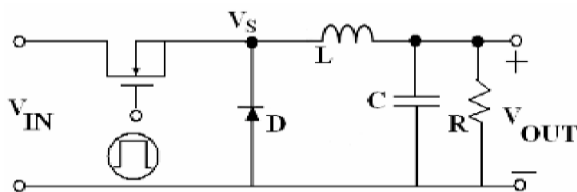
Βαφειάδης Γεώργιος(8565), Κοσέογλου Σωκράτης(8837)
Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης (Α.Π.Θ.)
Θεσσαλονίκη, Ελλάδα
{georvafe, sokrkose}@ece.auth.gr

Περίληψη— Στο συγκεκριμένο paper θα αναφέρουμε κάποιες εισαγωγικές έννοιες και αρχές λειτουργίας των ρυθμιστών τάσης με χαμηλή πτώση τάσης εισόδου (Low Dropout Voltage Regulator - LDO). Θα μιλήσουμε για τις διαφορές και πλεονεκτήματα τα οποία παρουσιάζουν οι LDO σε αντίθεση με τους DC/DC Converters καθώς και το πλήθος των εφαρμογών που μπορούμε να εντοπίσουμε την χρήση των LDO Regulators. Τέλος, θα παρουσιάστη η μελέτη τριών ερευνητικών εργασιών οι οποίες προτείνουν τρεις διαφορετικές τοπολογίες LDO, κάθε μια από τις οποίες έχει τα δικά τις πλεονεκτήματα.

I. ΕΙΣΑΓΩΓΗ

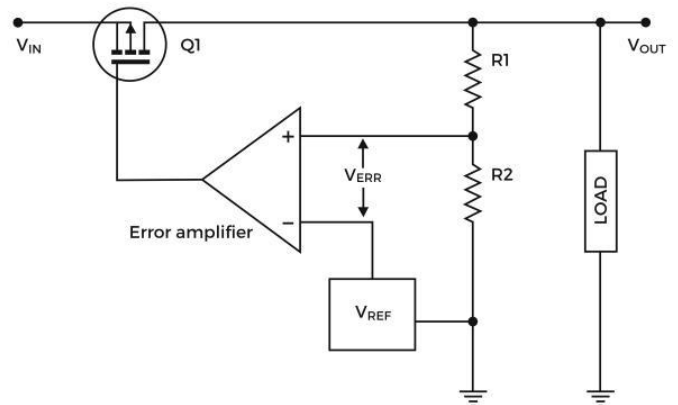
Υπάρχουν δυο κατηγορίες ρυθμιστών σταθερής τάσης, οι διακοπτικοί μετατροπείς (DC/DC Converters) και οι γραμμικοί μετατροπείς (Linear Regulators). Ακόμη, υποκατηγορία των Linear Regulators είναι οι ρυθμιστές χαμηλής πτώσης τάσης (LDO Regulators) οι οποίοι έχουν το πλεονέκτημα ότι μπορούν να ρυθμίζουν την τάση εξόδου με αρκετά μεγάλη ακρίβεια και ταυτόχρονα η τάση εισόδου να έχει μικρή διαφορά δυναμικού σε σχέση με την τάση εξόδου.

Ας δούμε λοιπόν τις αρχές λειτουργίας των DC/DC Converters καθώς και των LDO Regulators. Αρχικά, όπως φαίνεται στην εικόνα 1, ένας DC/DC Converter στην πιο απλή του τοπολογία, όπου κάνει υποβιβασμό της τάσης, αποτελείται από ένα ενεργό στοιχείο (συνήθως κάποιο MOSFET) και κάποια παθητικά στοιχεία τα οποία λειτουργούν ως ένα χαμηλοπερατό φίλτρο. Το ενεργό στοιχείο λειτουργεί ως διακόπτης. Κατά την αγωγή του MOSFET το πηνίο εξόδου φορτίζεται και αποθηκεύει την ενέργεια που δίνει η είσοδος με την μορφή μαγνητικού πεδίου. Ενώ, όταν ο διακόπτης είναι σε κατάσταση μη αγωγής, το πηνίο αλλάζει πολικότητα και εκφορτίζει την αποθηκευμένη του ενέργεια στο φορτίο εξόδου.



Εικόνα 1. Διακοπτικός Μετατροπέας Υποβιβασμού Τάσης

Από την άλλη μεριά, ο LDO Regulator, στην γενική του μορφή αποτελείται από ένα MOSFET (pMOS κατά κύριο λόγο) και ένα κύκλωμα ανάδρασης μέσω κάποιων αντιστάσεων και ενός error amplifier, όπως φαίνεται στην εικόνα 2. Σε αντίθεση με τον DC/DC Converter, το pMOS είναι μόνιμος σε κατάσταση αγωγής και λειτουργεί ως μεταβλητή αντίσταση. Καταλαβαίνουμε λοιπόν, ότι η βασική διαφορά μεταξύ των δυο τοπολογιών είναι ότι στην μια περίπτωση μεταβιβάζεται ισχύς, ενώ στην περίπτωση του LDO Regulator μεταβιβάζεται ρεύμα.



Εικόνα 2. LDO Regulator

Η μεταβίβαση ισχύος κάνει τον DC/DC Converter αρκετά πιο αποδοτικό (energy efficient) σε σχέση με ένα LDO Regulator, ενώ ταυτόχρονα με την κατάλληλη διαστασιολόγηση των ενεργών και παθητικών του στοιχείων μπορεί να ρυθμίσει τάσεις μεγάλου εύρους, από χαμηλές έως και υψηλές τάσεις κάτι το οποίο είναι αδύνατο να επιτευχθεί από έναν LDO Regulator. Από την άλλη μεριά, ένας LDO Regulator μπορεί να πετύχει αρκετά μικρότερη κυμάτωση της τάσης εξόδου, έχει αρκετά γρήγορη απόκριση σε εναλλαγές του φορτίου και τέλος μπορεί να ρυθμίσει την τάση εξόδου, έχοντας πολύ μικρή διαφορά δυναμικού μεταξύ τάσης εισόδου και εξόδου κάτι το οποίο δεν μπορεί να πετύχει ένας DC/DC Converter.

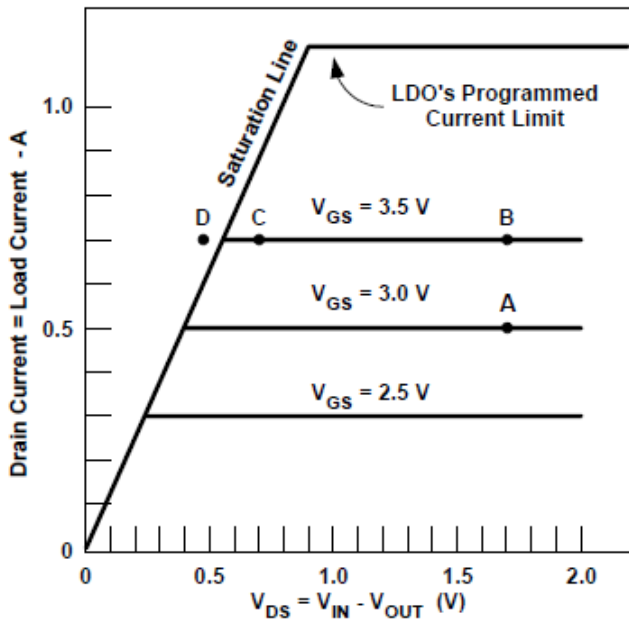
Ας δούμε όμως πιο συγκεκριμένα τον τρόπο λειτουργίας των LDO καθώς αυτούς θα μελετήσουμε και στην συνέχεια. Η λειτουργία των LDO βασίζεται στον τρόπο λειτουργίας ενός

τελεστικού ενισχυτή με μη-αναστρέφουσα συνδεσμολογία (Non Inverting Amplifier). Πιο συγκεκριμένα, κρατώντας σταθερή την τάση στην μη αναστρέφουσα είσοδο μέσω ενός Voltage Reference και δεδομένου ότι ο τελεστικός ενισχυτής προσπαθεί συνεχώς να κρατήσει τις δύο εισόδους στο ίδιο δυναμικό, η αναστρέφουσα είσοδος έχει επίσης δυναμικό V_{ref} . Έτσι, μέσω της αντίστασης R2 και R1 ένα ρεύμα I_{fb} . Συνεπώς, μπορούμε να θέσουμε τις αντιστάσεις R1 και R2 καθώς και την τάση V_{ref} έτσι ώστε να έχουμε την κατάλληλη τάση εξόδου μέσω του παρακάτω τύπου.

$$V_{out} = V_{ref} + I_{fb} * R1$$

Όπου,

Ο error amplifier δίνει την κατάλληλη V_{GS} έτσι ώστε να πλώσει το pMOS στο κατάλληλο σημείο της καμπύλης, ανάλογα με το ρεύμα του φορτίου καθώς και την τάση εισόδου για δεδομένη τάση εξόδου που επιλέξαμε, όπως φαίνεται στην εικόνα 3.

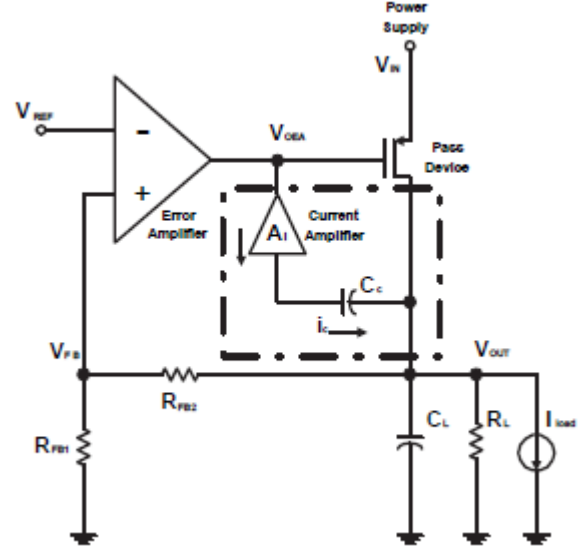


Εικόνα 3. Οι χαρακτηριστικές καμπύλες του pMOS

Όπως βλέπουμε λοιπόν, ένας LDO Regulator είναι ένα σύστημα κλειστού βρόχου, συνεπώς θα πρέπει να είναι και ευσταθές για κάθε επίπεδο φορτίου εξόδου. Αρχικά, η τοπολογία LDO που παρουσιάστηκε προηγουμένως έχει δύο κύριους πόλους, έναν λόγο της χωρητικότητας του φορτίου και έναν λόγο της χωρητικότητας της πύλης του pMOS. Υπάρχουν δύο τρόποι με τους οποίους μπορεί να επιτευχθεί η ευστάθεια του συστήματος. Είτε με εξωτερική αντιστάθμιση είτε με εσωτερική αντιστάθμιση ή αλλιώς αντιστάθμιση Miller. Πιο συγκεκριμένα, η εξωτερική αντιστάθμιση επιτυγχάνεται με την προσθήκη ενός πυκνωτή της τάξεως των μF στην έξοδο του LDO. Έτσι, ο πόλος του φορτίου γίνεται ο κυρίαρχος πόλος, αποκαθιστώντας την ευστάθεια του συστήματος. Η εσωτερική αντιστάθμιση ή αντιστάθμιση Miller επιτυγχάνεται με την προσθήκη ενός πυκνωτή της τάξεως των pF μέσα στο ολοκληρωμένο κύκλωμα, όπως φαίνεται στην εικόνα 4. Με την αντιστάθμιση Miller

μπορούμε να εξασφαλίσουμε ευστάθεια του συστήματος με την προσθήκη ενός μικρού πυκνωτή μέσα στο ολοκληρωμένο κύκλωμα, χωρίς δηλαδή την προσθήκη ενός μεγάλου πυκνωτή στην έξοδο του LDO, ο οποίος θα αυξήσει αρκετά το PCB Area. Για να μπορέσουμε όμως ένα πυκνωτή C_C της τάξεως των pF να εξασφαλίσουμε ευστάθεια εκμεταλλευόμαστε το φαινόμενο Miller και έτσι η μικρή χωρητικότητα πολλαπλασιάζεται με τον παράγοντα Miller όπως φαίνεται στην εξίσωση παρακάτω και έτσι ανάγεται σε μεγαλύτερη χωρητικότητα.

$$f_{gate} = \frac{1}{2\pi * C_C * g_m * R_1 * R_{out}}$$



Εικόνα 4. Εσωτερική/Miller Αντιστάθμιση με τον πυκνωτή C_C

Πριν προχωρήσουμε στην ανάλυση κάποιων προτεινόμενων τοπολογιών, θα ήταν καλό να αναφέρουμε κάποια από τα βασικά χαρακτηριστικά τα οποία λαμβάνουμε υπόψη μας κατά την σχεδίαση ενός LDO Regulator.

Dropout Voltage ($V_{DO} = V_{in} - V_{out}$): Η διαφορά δυναμικού μεταξύ της τάσης εισόδου και εξόδου.

Load Regulation ($LDR = \frac{\Delta V_{out}}{\Delta I_{load}}$): Η μεταβολή της τάσης εξόδου για δεδομένη τάση εισόδου, σε εναλλαγές του φορτίου.

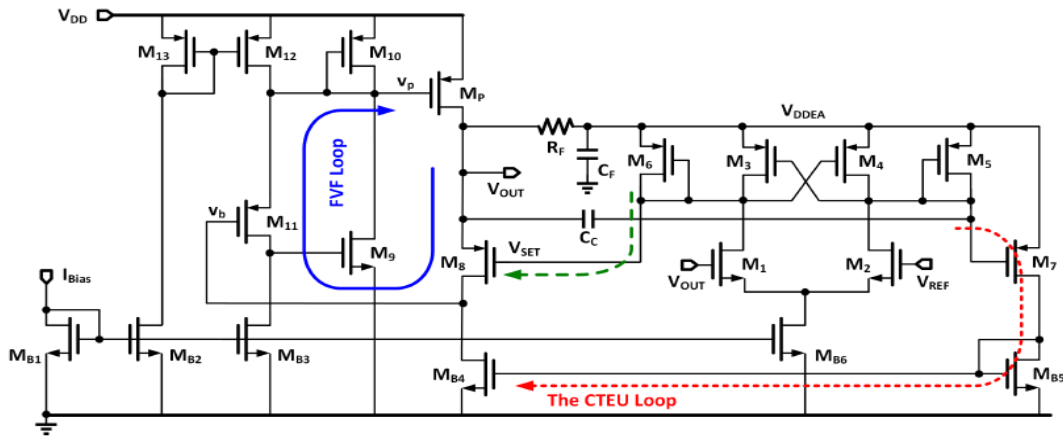
Line Regulation ($LNR = \frac{\Delta V_{out}}{\Delta V_{in}}$): Η μεταβολή της τάσης εξόδου για σταθερό φορτίο, σε εναλλαγές της τάσης εξόδου.

Power Supply Rejection Ratio ($PSRR = \frac{V_{in}}{V_{out}}$): Ο βαθμός απόρριψης θορύβου στην είσοδο τροφοδοσίας του LDO.

Temperature Drift: Η μεταβολή της τάσης εξόδου σε εναλλαγές της θερμοκρασίας.

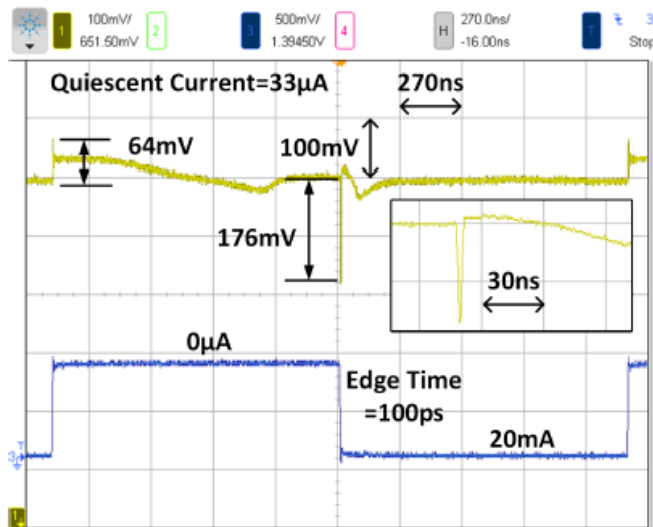
Efficiency ($\eta = \frac{P_{out}}{P_{in}}$) ($P_{απωλ} = \frac{V_{DO}^2}{R_{ds(on)}}$): Ο βαθμός απόδοσης του LDO. Δηλαδή, οι απώλειες ισχύος του σε σχέση με την ισχύ εισόδου.

Στην εικόνα 7 βλέπουμε το ολοκληρωμένο σχηματικό της προτεινόμενης τοπολογίας. Αρχικά, στα δεξιά (transistor M1-M6 και MB6) βλέπουμε τον διαφορικό ενισχυτή τον οποίο αναλύσαμε προηγουμένως. Όπως είπαμε λίγο πιο πάνω, τα ψηφιακά κυκλώματα έχουν την απαίτηση αρκετά γρήγορο transient response, κάτι το οποίο επιτυγχάνεται με τα υπόλοιπα transistor καθώς και τον πυκνωτή C_C των οποίων την λειτουργία θα αναλύσουμε στην συνέχεια. Πιο συγκεκριμένα, ο πυκνωτής C_C έχει διττή λειτουργικότητα, δηλαδή λειτουργεί ως πυκνωτής αντιστάθμισης Miller αλλά ταυτόχρονα λειτουργεί και ως πυκνωτής σύζευξης (coupling capacitor), δεδομένου ότι κάνει coupling την έξοδο του LDO με το transistor M7. Συνεπώς, καταλαβαίνουμε ότι σε περίπτωση που υπάρχει κάποιο undershoot στην έξοδο του LDO, αυτό θα μπορούσαμε να το αναγνωρίσουμε μέσω του coupling capacitor C_C οποίος περνάει τα AC σήματα και συνεπώς θα κάνει coupling το transistor M7 το οποίο λειτουργεί ως ενισχυτής κοινής πηγής. Στην συνέχεια, αυτό με την σειρά του θα ενισχύσει την πύλη του MB4 κάνοντας το pull-down το δυναμικό V_b . Έτσι, ο buffer με την σειρά του θα κάνει pull-down την τάση πύλης V_p του Pass Transistor M_p , αυξάνοντας έτσι το ρεύμα εξόδου, επαναφέροντας έτσι σε αρκετά μικρό χρόνο την τάση εξόδου του LDO στην επιθυμητή τιμή. Τέλος, έχει προστεθεί και ένα χαμηλοπερατό φίλτρο με τα στοιχεία R_f και C_f , έτσι ώστε να έχουμε υψηλότερο PSRR.



Εικόνα 7. Σχηματικό της προτεινόμενης τοπολογίας

Στην εικόνα 8 βλέπουμε την πειραματική απόκριση του LDO ως αποτέλεσμα του βρόχου που αναλύσαμε προηγουμένως. Όπως βλέπουμε, η ταχύτητα απόκρισης του LDO είναι αρκετά ικανοποιητική, κάτι το οποίο όπως είπαμε είναι αναγκαίο όταν τροφοδοτεί ψηφιακά κυκλώματα.

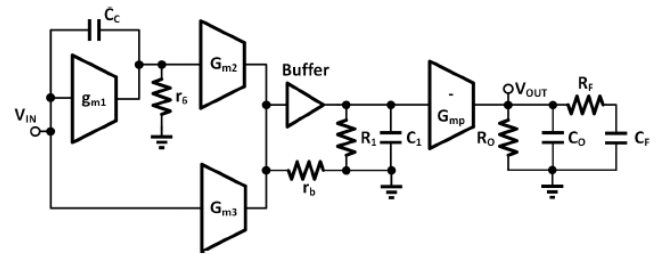


Εικόνα 8. Μέτρηση Load-Transient Response

Παρακάτω, στην εικόνα 9 βλέπουμε το μοντέλο ασθενούς σήματος της προτεινόμενης τοπολογίας. Όπως βλέπουμε χρησιμοποιεί ταυτόχρονα και εσωτερική και εξωτερική αντιστάθμιση. Βλέπουμε ότι υπάρχουν 4 πόλοι στο αριστερό ημιεπίπεδο με δύο κυρίαρχους πόλους τον πόλο του φορτίου και τον πόλο του transistor M7, οι οποίοι δίνονται από τους εξής τύπους.

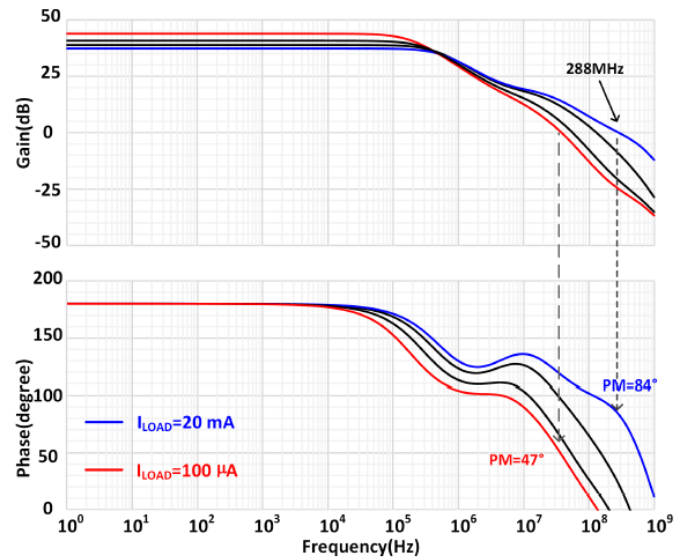
$$P_{OUT} = \frac{1}{2 * \pi * R_O * C_O}, P_{M7} = \frac{1}{2 * \pi * r_6 * C_c}$$

Δεδομένου ότι για χαμηλά φορτία το R_O θα είναι αρκετά μεγάλο και έτσι ο πόλος εξόδου θα βρίσκεται πιο κοντά στον φανταστικό ημιάξονα, κάνοντας τον κυρίαρχο πόλο. Ενώ στα υψηλά φορτία κυρίαρχος πόλος γίνεται ο πόλος του transistor M7.



Εικόνα 9. Μοντέλο Ασθενούς Σήματος της προτεινόμενης τοπολογίας

Την εναλλαγή αυτή των πόλων μπορούμε να την δούμε στην εικόνα 10 όπου φαίνεται το Bode Plot της προτεινόμενης τοπολογίας τόσο σε χαμηλά φορτία (100μΑ) όσο και σε υψηλά φορτία (20mA) αντίστοιχα. Και στις δυο περιπτώσεις το περιθώριο φάσης είναι αρκετά ικανοποιητικό ώστε το σύστημα του LDO να είναι ευσταθές σε όλο το εύρος λειτουργίας του.



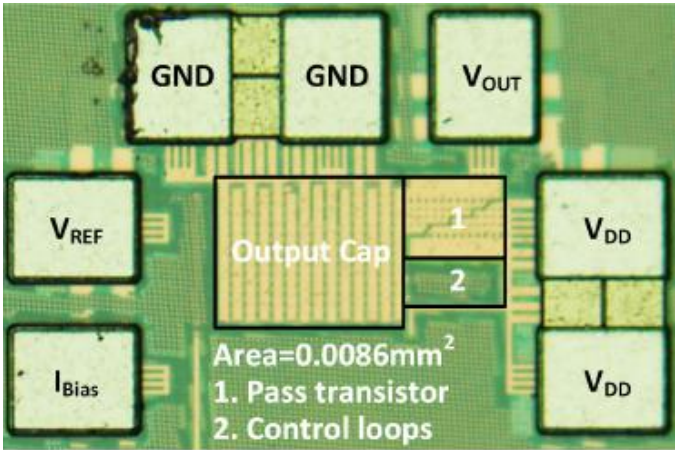
Εικόνα 10. Bode Plot της προτεινόμενης τοπολογίας

Τέλος, στην εικόνα 11 βλέπουμε κάποια βασικά πλεονεκτήματα τα οποία πετύχαμε με την συγκεκριμένη τοπολογία LDO σε σχέση με άλλες state-of-the-art τοπολογίες. Πιο συγκεκριμένα, μπορούμε να δούμε ότι η συγκεκριμένη τοπολογίας επιτυγχάνει αρκετά μικρό Dropout Voltage αλλά και πολύ μεγάλο efficiency της τάξεως των 94.4%, κάτι το οποίο είναι πλέον αρκετά συγκρίσιμο με το efficiency των DC/DC Converters. Ενώ, τέλος στην εικόνα 12 βλέπουμε σε μικρογραφία το τελικό layout της προτεινόμενης τοπολογίας.

	This Work	[1] TCAS'15	[11] TPEL'18	[12] JSSC'12	[13] JSSC'15	[14] JSSC'14
Process	28nm	65nm	130nm	45nm	180nm	65nm
Area [mm ²]	0.0086	0.0234	0.0042	0.075	0.14	0.0133
Type	Analog	Analog	Analog	Hybrid	a	a
V _{DD} [V]	0.05	0.15	0.2	0.085	0.2	0.2
V _{OUT} [V]	0.85	1	0.8	0.9-1.1	1.6	0.55
Power Eff.	94.4%	87.0%	80.0%	91.4%	88.8%	73.3%
PSR[dB]	-24/1MHz	-15.5/1GHz	-57/1MHz	N.A.	-37/10MHz	-8/1MHz
DC Load Reg.	0.26V/A	1.1V/A	0.17V/A	0.23V/A	0.14V/A	0.18V/A
DC Line Reg.	17.5mV/V	27.1mV/V	2.25mV/V	N.A.	16.3mV/V	4mV/V
I _{Q,MIN} [μA]	33	50	112	1.06E+03	55	15.9-487
C _{TOTAL} [pF]	36	140	0-25	1460	128	470-1E4
ΔV _{OUT} [mV]	176	82	284	28	80	113
ΔI _{LOAD} /T _{EDGE}	20mA /100ps	10mA /200ps	25mA /300ps	42mA /N.A.	50mA /100ns	50mA /100ns
FOM1*[ps]	0.52	5.74	1.27	24.57	0.23	0.34
FOM2*[ps-V]	0.03	0.08	0.38	N.A.	8.80	3.59

$$*FOM1 = C_{TOTAL} \times \Delta V_{OUT} \times I_Q / \Delta I_{LOAD}^2 \quad FOM2 = T_{edge} \times \Delta V_{OUT} \times I_Q / \Delta I_{LOAD}$$

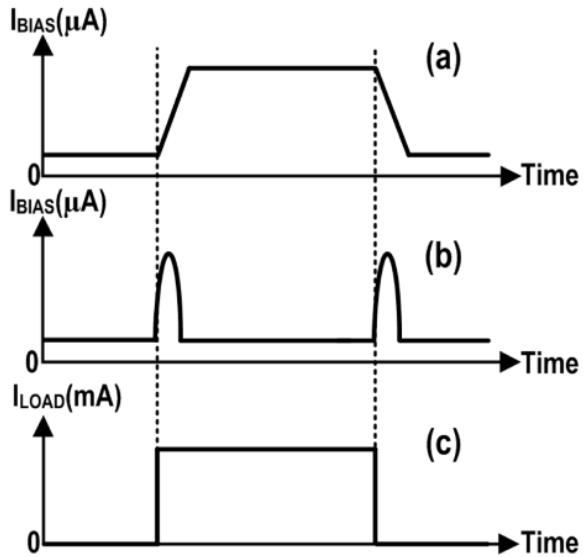
Εικόνα 11. Σύγκριση με άλλες state-of-the-art υλοποιήσεις



Εικόνα 12. Μικρογραφία του τελικού Layout

III. NANO-AMPERE LOW-DROPOUT REGULATOR DESIGNS FOR IoT DEVICES

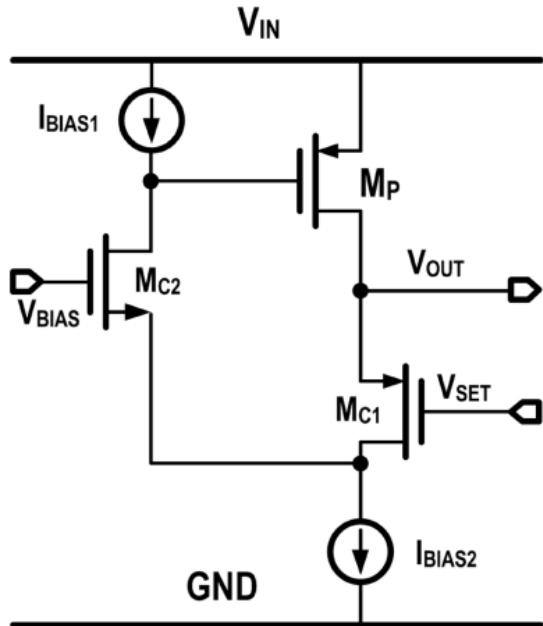
Στο παρόν κεφάλαιο αναλύεται η τοπολογία με τον ακολούθητή τάσης ως regulator στην οποία και γίνεται προσθήκη δύο επιπλέον κυκλωμάτων προκειμένου να αυξηθεί η ταχύτητα της δυναμικής συμπεριφοράς καθώς και να επιταχυνθεί το μεταβατικό φαινόμενο.



Εικόνα 13: Δυναμική και μεταβατική συμπεριφορά με βάση το ρεύμα του φορτίου

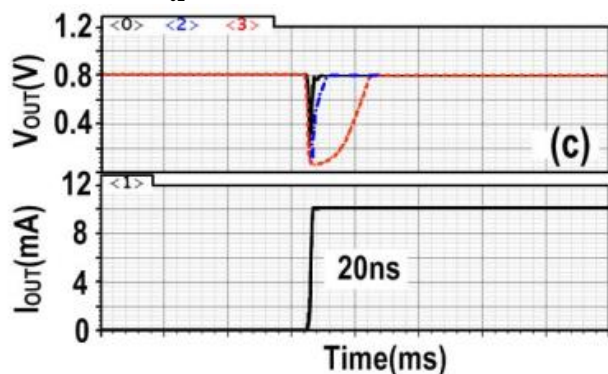
Όπως φαίνεται στο διάγραμμα 13, με βάση την απαίτηση του ρεύματος στην έξοδο του κυκλώματος μας υπάρχουν δύο φαινόμενα τα οποία καλούμαστε να αντιμετωπίσουμε ως δυο ξεχωριστά προβλήματα. Το πρώτο είναι η διαφορά ρεύματος απαίτησης που κρατάει αρκετό χρόνο ενώ το δεύτερο είναι η στιγμιαία μεταβολή.

Ξεκινώντας από την βασική υλοποίηση ενός προσαρμοστή χαμηλής πτώσης τάσης(LDO regulator) όπως αυτή φαίνεται στο διαγραμμα 14, θα χτύσουμε την συνολική διατάξη της παρούσας δημοσίευσης η οποία υπόσχεται μικρότερες βυθίσεις πτώσης τάσης στην έξοδο και πιο γρήγορη αντιμετώπιση στα μεταβατικά φαινόμενα όπως φαίνεται στο διαγραμμα 3



εικόνα 2: βασικό κύκλωμα ακολουθητή τάσης(FVF).

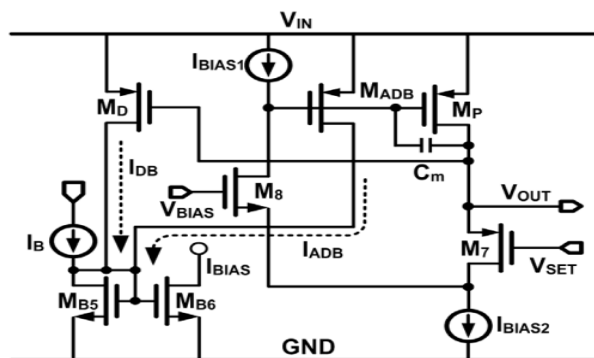
Στο διάγραμμα 2 μπορούμε να εντοπίσουμε το M_P το οποίο είναι το transistor ισχύος και είναι το μεγαλύτερο σε όγκο. Σε αυτό γίνεται η πτώση τάσης και τελικά παίρνουμε την επιθυμητή έξοδο σε τάση και ρεύμα. Το M_{C1} είναι το transistor ελέγχου. Σε αυτό δίνεται η αναφορά(δηλαδή το επίπεδο τάσης που θέλουμε να επιτύχουμε και ανάλογα με την τάση που υπάρχει στην έξοδο γίνεται η παρακολούθηση και η διόρθωση ώστε να διατηρείται πάντα σταθερή. Η ανάδραση κλείνει μέσω του transistor M_{C2} .



εικόνα 3: βελτίωση της συμπεριφοράς του FVF με τρεις υλοποιήσεις: κοκκινο-απλή, μπλε-διόρθωση του δυναμικού φαινομένου, μαύρο-η τελική πρόταση της παρούσας δημοσίευσης

Το δυναμικό φαινόμενο αναλυτικότερα εντοπίζεται στο γεγονός ότι υπάρχει καθυστέρηση στη φόρτιση του transistor ισχύος. Αυτό έχει ως αποτέλεσμα μια πτώση τάσης η οποία κρατάει για αρκετό χρόνο. Στα LDO για εφαρμογές IoT είναι σημαντικό τα ρεύματα κατά τους χρόνους μη λειτουργίας των κυκλωμάτων να παραμένουν όσο γίνεται μικρότερα. Αν το transistor ισχύος ήταν διαστασιολογημένο να είναι μεγαλύτερο θα μπορούσε να προλάβει αυτό το δυναμικό φαινόμενο χωρίς να γίνεται ιδιαίτερα αντιληπτό το αντίκτυπο στην πτώση τάσης. Σε αυτήν την περίπτωση όμως το συνολικό κύκλωμα θα είχε μεγαλύτερη κατανάλωση κάτι το οποίο δεν είναι επιθυμητό καθώς οι συσκευές IoT μένουν ζωντανές για πολλούς μήνες ως χρόνια με την χρήση απλά μιας μπαταρίας.

Η πρώτη προσθήκη που θα δούμε είναι ένα ακόμα μερικών transistor με μικρότερο πλάτος από αυτό της ισχύος τα οποία παρακολουθούν την έξοδο και δίνουν την δυνατότητα στο M_P να τραβήξει παραπάνω ρεύμα όταν μία μετάβαση ανιχνευθεί στην έξοδο.



εικόνα 4: LDO1 με μέριμνα για το δυναμικό φαινόμενο

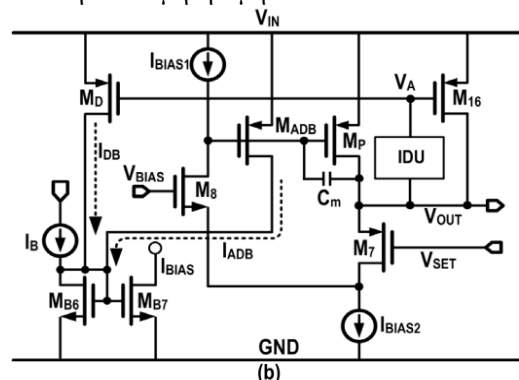
Το επιπρόσθετο στοιχείο M_{ADB} δεν μας απασχολεί προς το παρόν καθώς θα αναλυθεί στην τρίτη και τελική υλοποίηση της δημοσίευσης. Σημαντικό είναι να παρατηρηθεί ότι αυτό ενεργοποιείται όταν ο καθρέφτης ρεύματος πάρει εντολή από το transistor M_P . Είναι σημαντικό να πούμε ότι το μεριμνά και για το μεταβατικό φαινόμενο όμως η ανάλυση αυτού θα γίνει στην επόμενη παράγραφο. Στο διάγραμμα 5. μπορούμε να δούμε συγκριτικά τις διαστάσεις των transistor και να εντοπίσουμε ότι το M_P είναι τάξεις μεγέθους από όλα τα υπόλοιπα.

LDO1	M_{B5}	M_{B6}	M_7	M_8	M_D	M_{ADB}	M_P	
Size (μm)	2/1	2/1	2*5/1	2*5/1	6*0.5/0.06	0.4/0.06	1000*0.4/0.06	

εικόνα 5: σύγκριση μεγεθών transistor

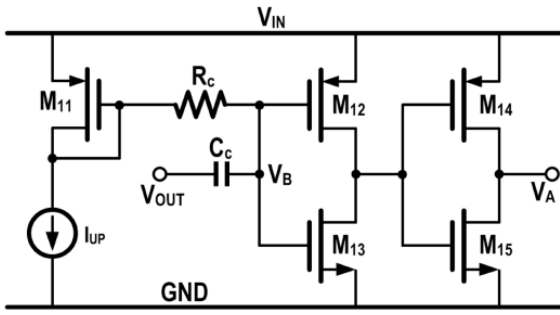
Στο διάγραμμα 3. βλέπουμε ότι ενώ η βύθιση της τάσης κρατάει για πολύ μικρότερο χρόνο το πλάτος της παραμένει το ίδιο με την απλή υλοποίηση.

Στο τελικό κύκλωμα όπως θα το δούμε στο διαγραμμα 6. τοποθετούμε την μονάδα IDU η οποία ενεργά αφού ανιχνεύσει πτώση τάση στην έξοδο δαπανά στιγμιαία ενέργεια για να κάνει πιο απότομη την ανάδραση. Πλέον ο καθρέφτης ρεύματος δεν ενεργοποιείται αναλογικά με την ποσότητα της πτώσης τάσης, αλλά τροφοδοτείται άμεσα από την τροφοδοσία του συνολικού κυκλώματος. Αυτό κάνει αρκετά πιο απότομη την ανάδραση, σε βαθμό που μπορεί να δημιουργήσει και υπερύψωση όμως τελικά η πραγματική τιμή της τάσης εξόδου διατηρείται πιο κοντά στην επιθυμητή τιμή.



εικόνα 6: LDO2 με προσθήκη της μονάδας IDU για επιτάχυνση του μεταβατικού φαινομένου

Η μονάδα IDU (Inverter-based dynamic unit) όπως αποκαλύπτει και το όνομα της φαίνεται στο διάγραμμα 7. αποτελείται από 2 αντιστροφείς τάσης και ένα κύκλωμα RC. Ο πυκνωτής C_c τείνει να διατηρεί ένα συγκεκριμένο δυναμικό στα άκρα του. Όμως όταν υπάρχει μια πτώση τάσης στην έξοδο άγει ρεύμα για να έρθει σε ισορροπία. Το ρεύμα που περνάει μέσα από την αντίσταση R_c δημιουργεί μια τάση στην είσοδο του πρώτου αντιστροφέα.

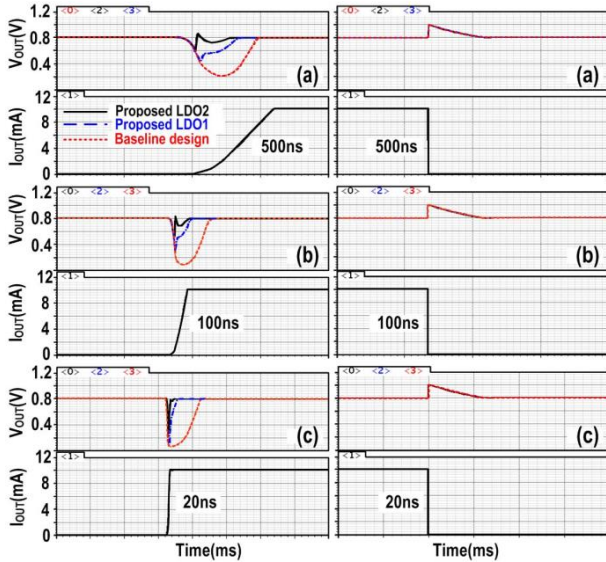


εικόνα 7: IDU

Για όσο χρόνο κρατάει η ανισορροπία της τάσης το V_A θα έχει μια τάση ανάλογη με τάση του V_{in} . Αυτή ενεργοποιεί αρκετά γρήγορα το M_D του σχήματος 6. χωρίς να χρειάζεται η έξοδος του LDO φτάσει σε πτώση τάσης ίση με την $V_{threshold}$ του M_D .

Τα αποτελέσματα είναι πολύ σταθερά όπως μπορούμε να παρατηρήσουμε στα διαγράμματα της εικόνας 8.

Το παρόν κύκλωμα LDO2 επιλύει τις βυθίσεις πολύ καλύτερα από τα δύο απλούστερα κυκλώματα όμως δεν έχει αντίστοιχα καλή απόκριση στις υπερυψώσεις τάσης όταν μεταβαίνουμε από υψηλή απαίτηση ρεύματος σε χαμηλή απαίτηση ρευματος.



εικόνα 8: αποκρίσεις τάσης για διάφορες περιπτώσεις μετάβασης με τις τρεις υλοποιήσεις.

Στην αριστερή στήλη αναλύονται αποκρίσεις ανόδου τάσης για διαφορετικούς χρόνους ανόδου, ενώ στην αριστερή οι αντίστοιχες μεταβάσεις για υποβιβασμό απαίτησης ρεύματος.

Αναφορικά με τον όγκο των LDO1 και LDO2 η σύγκρισή τους μπορεί να φανεί στο σχήμα 9. Σε αυτό το σημείο είναι πολύ σημαντικό να επισημάνουμε ότι στον αντίποδα του όγκου βρίσκεται ο κίνδυνος μια απρόσμενης επανεκκίνησης του επεξεργαστή που τροφοδοτείται από το LDO λόγω μεγάλης πτώσης τάσης.

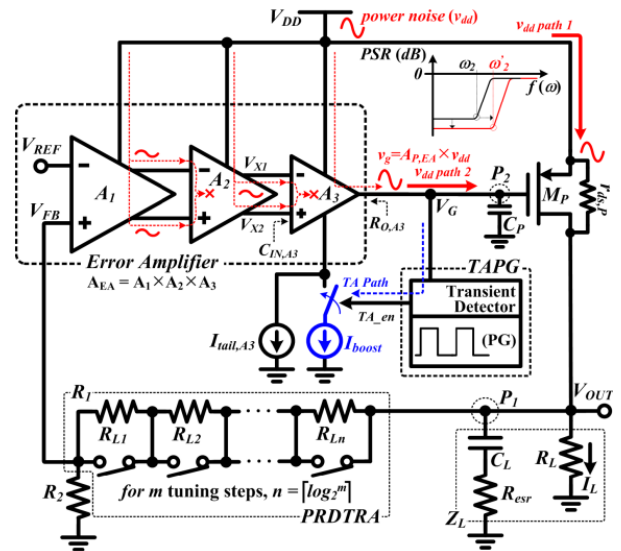


εικόνα 9: σύγκριση μεγεθών με την προσθήκη της IDU

IV. A HIGH-PERFORMANCE LDO REGULATOR ENABLING LOW-POWER SoC WITH VOLTAGE SCALING APPROACHES

Όπως παρουσιάστηκε στο πρώτο κεφάλαιο ένα LDO regulator με την χρήση διαφορικού ενισχυτή αποτελείται από ένα transistor ισχύος, έναν διαφορικό ενισχυτή και τις αντιστάσεις τροφοδοσίας με τις οποίες προσδιορίζεται η τάση αναφοράς.

Στην παρούσα δημοσίευση η οποία αναφέρεται σε LDO προσαρμοσμένα στην χρήση για IoT συσκευές η κύρια μέριμνα είναι η εξοικονόμηση ενέργειας και η γρήγορη απόκριση σε μεταβατικά φαινόμενα. Η λειτουργία των IoT επεξεργαστών σε χαμηλότερη τάση τροφοδοσίας (όταν βρίσκονται σε κατάσταση ηρεμίας) είναι μια συνηθισμένη τακτική για την μείωση της δαπανώμενης ενέργειας. Το κύκλωμα αυτής της δημοσίευσης δίνει την δυνατότητα να τροποποιηθούν προγραμματιζόμενα οι αντιστάσεις ανατροφοδότησης του LDO το οποίο έχει ως αποτέλεσμα χαμηλότερη τάση στην έξοδο κατά το δοκούν. Κάτω αριστερά στο σχήμα 10. βλέπουμε τον πίνακα αντιστάσεων.

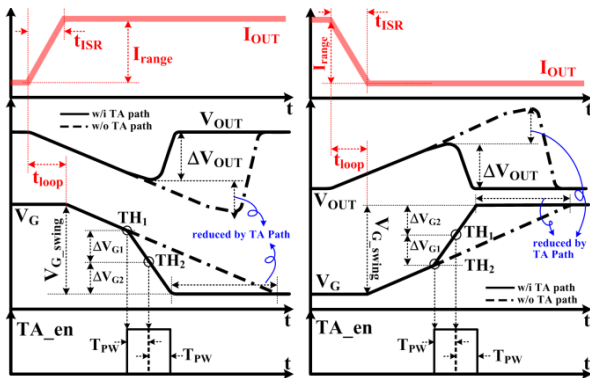


εικόνα 10: προτεινόμενο κυκλώμα με επιταχυντή και προγραμματιζόμενες αντιστάσεις

Στην παρούσα ανάλυση δεν θα ασχοληθούμε παραπάνω με αυτό το κομμάτι και θα το θεωρήσουμε δεδομένο και ότι παραμένει πάντα σταθερό.

Θα επικεντρωθούμε παραπάνω στο TAPG(transient accelerator pulse generator) και στους διαφορικούς ενισχυτές της ανατροφοδότησης του κυκλώματος. Λόγω των πολύ γρήγορων μεταβάτικων φαινομένων είναι σημαντικό να αυξηθεί το περιθώριο φάσης του κυκλώματος μας. Η προσθήκη πολλαπλών σταδίων ενισχυτών παρότι μας αυξάνει τον όγκο του κυκλώματος μας δίνει πολύ σημαντικά πλεονεκτήματα στην αύξηση της απόρριψης θορύβου εισόδου, στην αύξηση του περιθωρίου φάσης και άρα στην αύξηση του BW του κυκλώματος μας καθώς και μεγάλο κέρδος στην ανάδρασή μας. Το γεγονός ότι έχουμε 3 στάδια διαφορικών ενισχυτών μας επιτρέπει να σχεδιάσουμε τον καθένα ξεχωριστά με προδιαγραφή τα εκάστοτε πλεονεκτήματα που προαναφέραμε μεμονωμένα. Το παρόν κύκλωμα έχει πολύ μεγαλύτερο εύρος συχνοτήτων, 1MHz. Συγκριτικά τα υπόλοιπα LDO χρειάζονται πολύ μεγαλύτερη κατανάλωση και την διάρκεια την ηρεμίας (I_q) για να επιτύχουν το ίδιο η και μικρότερο εύρος.

Η μεγαλύτερη πρωτοτυπία όμως του παρόντος κυκλώματος είναι ο επιταχυντής μεταβατικής κατάστασης(TA). Όταν συμβαίνει ένα μεταβατικό φαινόμενο στην έξοδο οι διαφορικοί ενισχυτές το εντοπίζουν και μεταβάλουν την τάση στην πύλη του transistor ισχύος προκειμένου να καλύψουν την απαίτηση. Ο TA παρακολουθεί την πύλη του transistor ισχύος και όχι την έξοδο. Όταν μια μετάβαση γίνει αντιληπτή (αναλύεται στην συνέχεια) ο TA βραχυκυκλώνει την πηγή ρεύματος I_{boost} με την εκροή του τελικού ενισχυτή A_3 . Μόνο για τον χρόνο που διαρκεί η μετάβαση ο πόλος του A_3 απομακρύνεται επιταχύνοντας την απόκριση του συστήματος. Όταν το κύκλωμα έρθει σε ισορροπία η πηγή ρεύματος αποσυνδέεται ,καθώς δεν χρειάζεται πλέον εκεί και η κατανάλωση του προσαρμογέα μας μειώνεται στο ελάχιστο. Στο σχήμα 11. μπορούμε να παρατηρήσουμε τις θετικές επιδράσεις του TA στην απόκριση του κυκλώματος μας.

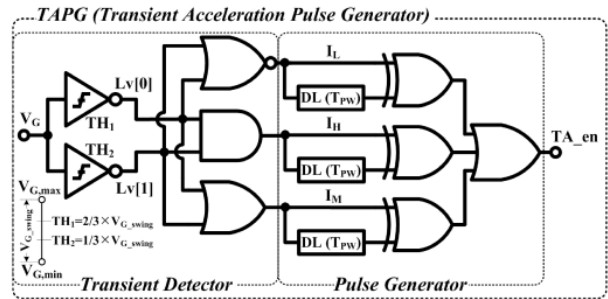


εικόνα 11: διάγραμμα αποκρίσεων για LDO με TA και χωρίς δεδομένης της απαίτησης ρευματος στην έξοδο

Με διακεκομμένη γραμμή φαίνεται η απόκριση χωρίς τον TA. Μπορούμε να παρατηρήσουμε ότι τόσο το πλάτος όσο και η διάρκεια την ανωμαλίας στην τάση εξόδου έχουν μειωθεί

δραματικά. Είναι σημαντικό να επισημάνουμε ότι η ανωμαλία παραμένει καθώς ο TA παρακολουθεί την έξοδο μέσω της ανάδρασης και όχι κατευθείαν απο την έξοδο. Αυτή η επιλογή γίνεται για να μην επιδράσει η προσθήκη του TA την συνολική αντίσταση εξόδου του LDO. Ο παλμός TA και άρα η συνδεση της επιπλέον πηγής ρεύματος κρατάει μόνο για όσο χρόνο κρατάει το μεταβατικό φαινόμενο κάτι το οποίο είναι θετικό αφού εξοικονομούμε ενέργεια.

Παρακάτω θα αναλύσουμε την λειτουργικότητα του επιταχυντή μετάβασης TA.

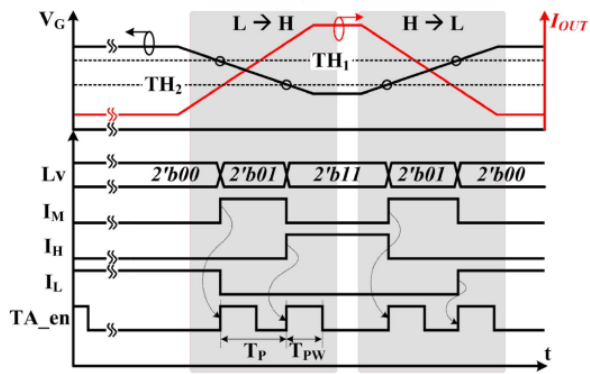


εικόνα 12: επιταχυντής μετάβασης

Όπως φαίνεται στο σχήμα το κύκλωμά του αποτελείται απο 2 συγκριτές τάσης , κάποιες λογικές πύλες και απο 3 καθυστερητές DL οι οποίοι διατηρούν τον παλμό στην έξοδο. Οι δύο συγκριτές έχουν ως όριο-threshold δύο διαφορετικές τάσεις αναφοράς. Ο πρώτος έχει σαν τάση αναφοράς το 1/3 την συνολικής διαφοράς που μπορεί να προκύψει στην V_g ενώ ο δεύτερος τα 2/3. Ο συνδιασμός των εξόδων του μπορεί εύκολα να δημιουργήσει 3 πεδιά τάσης ανάλογα με το ρεύμα εξόδου:

- 1) 0V εως $1/3 \times V_{swing}$
- 2) $1/3 \times V_{swing}$ εως $2/3 \times V_{swing}$
- 3) $2/3 \times V_{swing}$ εως V_{swing}

Σε αυτό το σημείο σημαντικό ρόλο παίζουν τα κυκλώματα υστέρησης DL. Αυτά διατηρούνται ενεργά για κάποιο χρόνο αφότου το επίπεδο τάσης έχει φύγει από το πεδίο τάσης. Όταν ένα DL είναι ενεργοποιημένο και ταυτόχρονα ενεργοποιείται και ενδειξη $I_{L,H,M}$ από κάποιο άλλο πεδίο τάσης αυτό σημαίνει ότι έχουμε εντοπίσει μια μετάβαση. Η έξοδος του κυκλώματος μας (TA_{en}) ενεργοποιείται και άρα συνδέεται το I_{BOOST} στο A_3 του σχήματος 10.



εικόνα 13: σήματα του TA δεδομένων των μεταβάσεων του ρεύματος στην έξοδο

Αναλυτικότερα ο αναγνώστης μπορεί να δει πότε και πώς ενεργοποιούνται τα σήματα του TA στο σχήμα 13.

Στο διαγραμμα 14 μπορούμε να παρατηρήσουμε τα πραγματικά αποτελέσματα που έχουμε με και χωρίς το TA. Έχουμε ελάττωση της διακύμανσης έως και στο περίπου 1/3

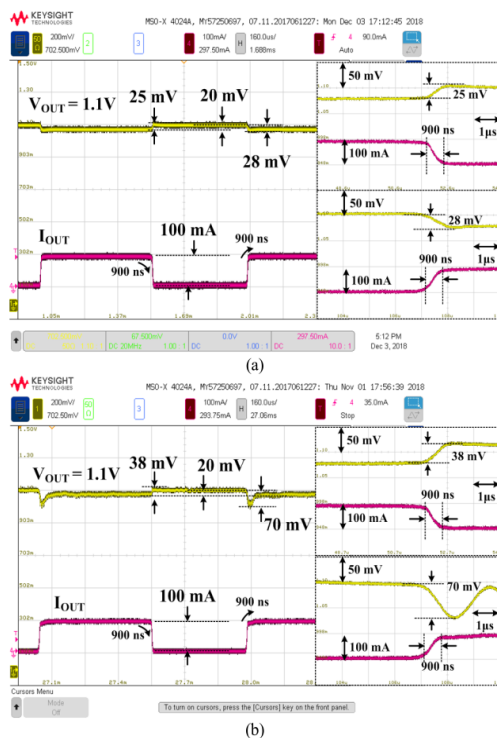
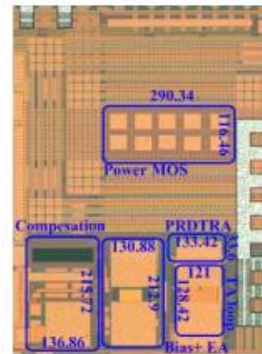


Illustration 14: Μετρήσεις διακύμανσης εξόδου κατά το μεβατικό (α) με TA (β) χωρίς

στην περίπτωση της αύξησης του ρεύματος στην έξοδο.

Τέλος είναι σημαντικό ο αναγνώστης να έχει κατα νού την σύγκριση των μεγεθών των επιμέρους κυκλωμάτων. Παρατηρούμε ότι το εμβαδόν του TA είναι μικρότερο από το εμβαδόν του transistor ισχύος.



εικόνα 15: Layout κυκλώματος.

BIBΛΙΟΓΡΑΦΙΑ

1. Michael Day. "Understanding Low Drop Out (LDO) Regulators". 2006 Texas Instruments Portable Power Design Seminar. TI Literature Number: SLUP239A
2. Carlos Felipe Ventura Arizmendi. "A 0.18μm CMOS Internally-Compensated Low-Dropout Voltage Regulator" diploma thesis. February 2014.
3. Yuanqing Huang, Yan Lu , Franco Maloberti and Rui P. Martins "Nano-Ampere Low-Dropout Regulator Designs for IoT Devices" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS–I: REGULAR PAPERS–May 2018
4. Chung-Hsun Huang, and Wei-Chen Liao "A High-Performance LDO Regulator Enabling Low-Power SoC With VoltageScaling Approaches" IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 28, NO. 5, MAY 2020
5. Xiaofei Ma, Yan Lu, and Qiang Li "A Fully-Integrated LDO with 50-mV Dropout for Power Efficiency Optimization". IEEE Transactions on Circuits and Systems II: Express BriefsDOI 10.1109/TCSII.2019.2919665

