

# Σχεδίαση Συστημάτων VLSI

Εργαστήριο

Ονοματεπώνυμο	AEM	E-mail
Βαφειάδης Γεώργιος		
Κοσέογλου Σωκράτης	8837	sokrkose@ece.auth.gr

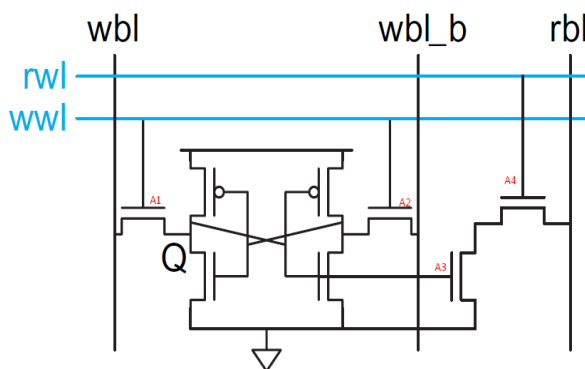
## Υλοποίηση του κυκλώματος

Το κύκλωμα το οποίο υλοποιήσαμε στην συγκεκριμένη εργασία είναι εναλλακτικό κύτταρο SRAM με 8 Transistor, του οποίου το σχηματικό βασιστήκαμε στο σχήμα 12.18 σελ.505 που δίνεται στο βιβλίο του Weste and Harris ,Σχεδίαση Ολοκληρωμένων συστημάτων CMOS-VLSI.

Όπως αναφέρεται και στην βιβλιογραφία χρησιμοποιήσαμε τεχνολογία 45nm καθώς και 2 p-mos και 6 n-mos για την υλοποίηση του παρόντος κυκλώματος.

Αρχικά, υπάρχουν δυο κατηγορίες μη-πτητικής μνήμης, η DRAM (Dynamic RAM) και SRAM (Static RAM). Η SRAM είναι αρκετά πιο γρήγορη από την DRAM, αλλά έχει το μειονέκτημα ότι είναι αρκετά πιο ακριβή από την DRAM, καθώς η DRAM αποθηκεύει 1bit με μόλις 1 Transistor και 1 πυκνωτή, ενώ η SRAM αποθηκεύει 1bit με την χρήση τουλάχιστον 6 Transistor. Αρχικά, η πιο κλασική τοπολογία SRAM αποτελείτε από 6 Transistor και είναι μονής θύρας (one port), ενώ αυτή που θα αναλύσουμε παρακάτω αποτελείτε από 8 Transistor και είναι διπλής θύρας (dual port), δηλαδή έχει ανεξάρτητες θύρες για την εγγραφή και ανάγνωση του bit. Ο λόγος για τον οποίο η χρήση των 8T SRAM κυττάρων έχει γίνει αρκετά διαδεδομένη είναι ότι μπορεί να πετύχει μικρότερες τάσεις λειτουργίας. Πιο συγκεκριμένα, το κύκλωμα που θα αναλύσουμε είναι αυτό που φαίνεται στην εικόνα παρακάτω.

Αρχικά το κύτταρο SRAM χωρίζεται σε δυο φάσεις. Στην 1<sup>η</sup> φάση γίνεται η εγγραφή/ανάγνωση ενώ στην 2<sup>η</sup> φάση προφορτίζεται (precharge state). Η 1<sup>η</sup> φάση μπορεί επίσης να διαχωριστεί επίσης σε κατάσταση εγγραφής ή κατάσταση ανάγνωσης. Ας πάμε να δούμε πιο συγκεκριμένα την κάθε λειτουργία.



**FIGURE 12.18** 8T dual-port SRAM cell

## Κατάσταση Εγγραφής:

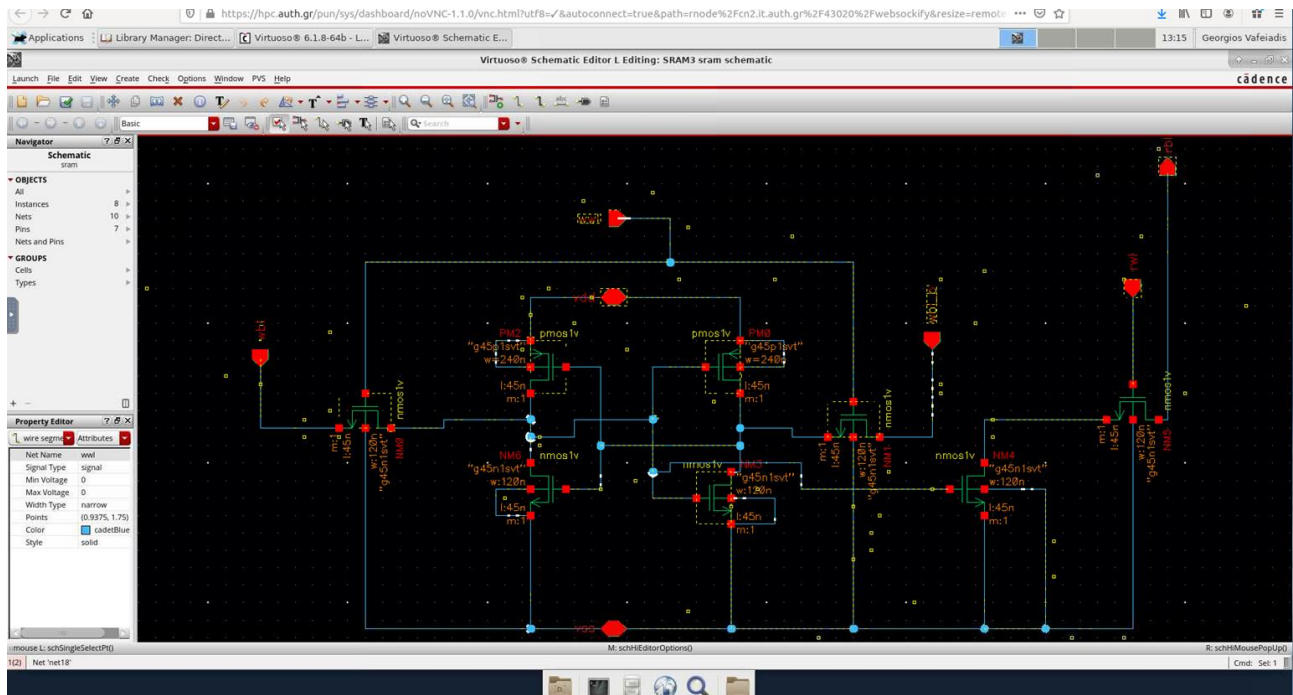
Αρχικά, το κύτταρο SRAM αποτελείται από δύο διασταυρωμένους αντιστροφείς (cross-coupled inverters) που αποθηκεύουν την τιμή του bit (Q) καθώς και το συμπληρωματικό του (Q<sub>b</sub>). Επίσης, έχει και ακόμα 4 Transistors προσπέλασης (A1-A4). Για να γίνει εγγραφή στο κύτταρο μνήμης θα πρέπει αρχικά ο κόμβος wwl να οδηγηθεί υψηλά (wwl = HIGH). Έτσι τα Transistor προσπέλασης A1 και A2 άγουν. Ας θεωρήσουμε ότι το κύτταρο έχει αποθηκευμένη την τιμή 0 (Q=0). Για να μπορέσουμε να γράψουμε την τιμή 1 (Q=1) τότε θα πρέπει η γραμμή wbl να φορτιστεί και η γραμμή wbl<sub>b</sub> μέσω ενός κυκλώματος οδήγησης να οδηγηθεί χαμηλά. Έτσι, όταν το wwl οδηγηθεί ψηλά, ο κόμβος Q θα γίνει 1 και ο κόμβος Q<sub>b</sub> θα εκφορτίσει μέσω του transistor A2, κρατώντας στην συνέχεια την τιμή 0.

## Κατάσταση Ανάγνωσης:

Όπως και προηγουμένως, αρχικά ο κόμβος rbl φορτίζεται και τώρα για να μπορέσουμε να διαβάσουμε την τιμή του Q θα πρέπει το rwl να οδηγηθεί υψηλά (rwl = HIGH). Αν η τιμή του Q είναι 1, τότε όπως φαίνεται το transistor A3 θα άγει και δεδομένου ότι rwl=HIGH, ο κόμβος rbl θα εκφορτίσει και έτσι θα αναγνωρίσουμε ότι στο κύτταρο είναι αποθηκευμένη η τιμή 1. Διαφορετικά, εάν ήταν αποθηκευμένη η τιμή 0, ο κόμβος rbl δεν θα εκφόρτιζε και με τα κατάλληλα κυκλώματα αντιστροφών αίσθησης υψηλής απόκλισης (HI-skew) αναγνωρίζεται η έξοδος.

## Σχηματικό

Αφού ανοίξαμε το πρόγραμμα του Virtuoso κάναμε τις κατάλληλες επιλογές για να δημιουργήσουμε το κύκλωμα τοποθετώντας τα κατάλληλα transistor με την τεχνολογία 45nm καθώς και τους ακροδέκτες και τις συνδέσεις μεταξύ τους. Χρησιμοποιήθηκε η βιβλιοθήκη GPDK045 όπως αυτή επιδείχτηκε στην παρουσίαση του εργαστηρίου.

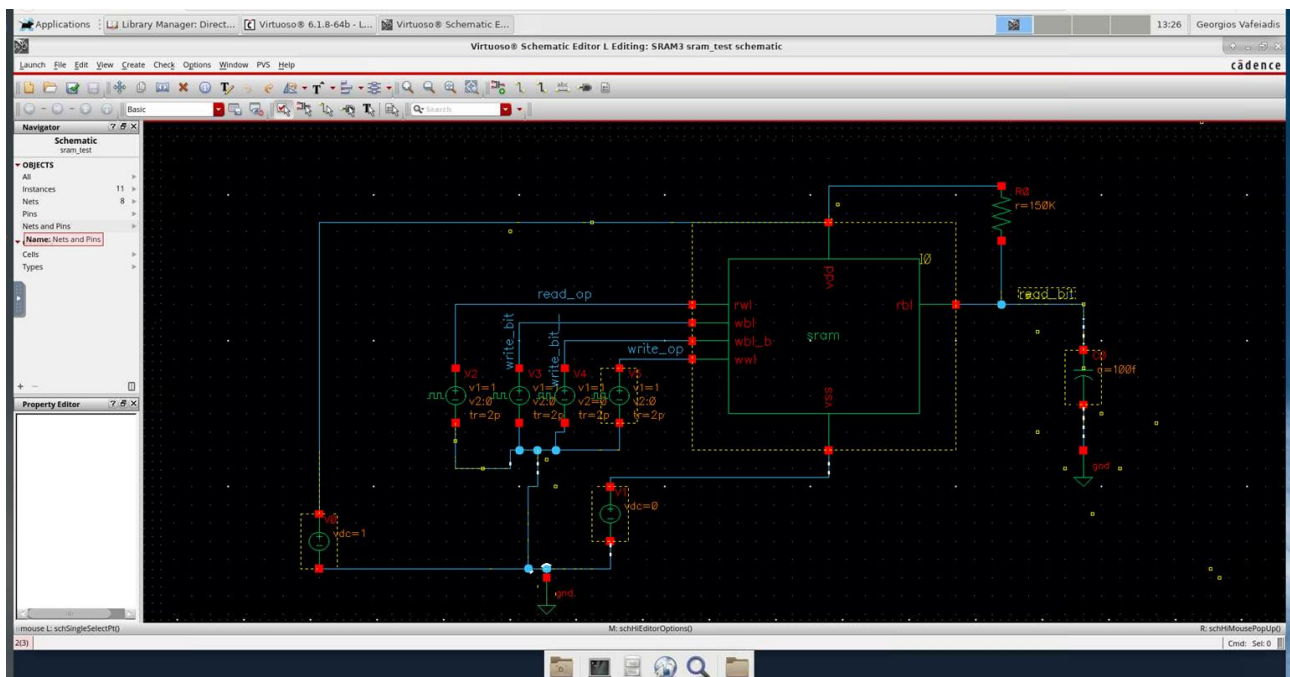


Το κύκλωμα απαιτεί πέρα από την τροφοδοσία VDD και την γείωση VSS, πέντε ακόμα εισόδους-εξόδους την WWL που ενεργοποιεί το Operation της εγγραφής και πρέπει να συνοδεύεται από τα WBL και WBL<sub>B</sub>

(τα οποία είναι συμπληρωματικά μεταξύ τους) και δίνουν την πληροφορία 0 ή 1 ανάλογα με το ποιο είναι μηδενισμένο. Έτσι εγγράφεται η πληροφορία στο κύτταρο της μνήμης. Για την ανάγνωση της αποθηκευμένης πληροφορίας υπάρχει ο ακροδέκτης RWL ο οποίος ενεργοποιεί την λειτουργία ανάγνωσης η οποία πληροφορία μεταφέρεται στον ακροδέκτη RBL. Η λειτουργικότητα του κυττάρου SRAM έγκειται στην στιγμιαία φόρτιση της εξόδου κάτι του οποίο επιδεικνύουμε αργότερα στην διάταξη του Testing.

## Διάταξη Ελέγχου

Για τον έλεγχο ορθής λειτουργίας του κυκλώματος δημιουργήθηκε ακόμα ένα σχηματικό στο οποίο εισάγαμε πυκνωτές αντιστάσεις καθώς και πηγές παλμών και τροφοδοσία από την βιβλιοθήκη AnalogLib.



Η τάση του κυκλώματος ορίστηκε στο 1V , και έγινε κατάλληλος χρονισμός των παλμών για να επιβεβαιώσουμε ότι το κύτταρο μνήμης λειτουργεί σωστά. Το RC στην έξοδο του κυττάρου είναι απαραίτητο για την ανάγνωση της πληροφορίας. Σε κανονικές συνθήκες κατά την ανάγνωση η έξοδος φορτίζεται από κάποιο κύκλωμα το οποίο όμως δεν εμπεριέχεται στην ανάλυση μας. Το RC κύκλωμα μας έχει υποστεί tuning ώστε να φορτίζει και να εκφορτίζει ανάλογα με τις εσωτερικές χωρητικότητες του κυττάρου καθώς και με τους χρόνους των παλμών εισόδου. Αντιλαμβανόμαστε ότι τα μεγέθη της αντίστασης και του πυκνωτή είναι αρκετά μεγάλα ,όμως με αυτόν τον τρόπο μπορέσαμε να υποκαταστήσουμε τον παραγόμενο παλμό που χρειάζεται για να λειτουργήσει ολοκληρωμένα η διάταξη μας.

## Απόδειξη ορθής λειτουργίας

Στο ακόλουθο σχήμα μπορούμε να δούμε τους 4 παλμούς εισόδου(read\_op,write\_bit\_\_, write\_bit,write\_op). Το παραγόμενο αποτέλεσμα είναι οι διάφορες καταστάσεις του read\_bit.

Μας ενδιαφέρει η τάση που υπάρχει στο read\_bit όταν το read\_op είναι ενεργοποιημένο(1V).

Κάθε φορά που έχουμε ενεργοποιημένο το write\_op το write\_bit και το write\_bit\_\_ εγγράφουν το 0 και το 1 στο κύτταρο.

Μπορούμε να δούμε καθαρά ότι το write\_bit\_\_ = 0 κατά την πρώτη εγγραφή τοποθετεί ένα 0 στην μνήμη. Όταν το read\_op βρίσκεται στην άνοδο το κύκλωμα εκφορτίζει το RC της εξόδου ακαριαία και έτσι διαβάζουμε 0 στο read\_bit. Αυτό που μένει να δούμε είναι ότι το κύτταρο μπορεί να μεταβεί στην αποθήκευση του 1 και έπειτα να ξαναμεταβεί στην αποθήκευση του 0. Όντως στο write\_op στο 15us το write\_bit =0 αλλάζει την κατάσταση του διπλού αναστροφέα και στην επόμενη ανάγνωση(20us όταν το read\_op είναι ενεργοποιημένο ) το read\_bit μας δίνει την κατάσταση 1. Το κύτταρο εγγράφει και διαβάζει σε τρίτο στάδιο ξανά το 0 όταν συμπίπτει ο χρονισμός των παλμών στα 40us όπου έχουμε ενεργοποιημένο το read\_op όπου μπορούμε να δούμε και το read\_bit στην έξοδο να βρίσκεται στην κατάσταση 0 ενώ έχει προηγηθεί εγγραφή του 0 στο 35us.



Η συμπεριφορά του κυττάρου δεν αλλάζει, δηλαδή δεν έχουμε μεταβολές στην συμπεριφορά του κυκλώματος για κάποιες επαναλήψεις ακόμα ως τα 80us γεγονός που μας δίνει την βεβαιότητα ότι το κύτταρο μνήμης λειτουργεί ορθά όπως περιγράφεται στα παραπάνω κεφάλαια της αναφοράς.

Είδαμε:

- 1) εγγραφή του 0.
- 2) εγγραφή του 1.
- 3) δυνατότητα μετάβασης απο την μία κατάσταση στην αλλη
- 4) επαναληψιμότητα για 3 περιόδους.

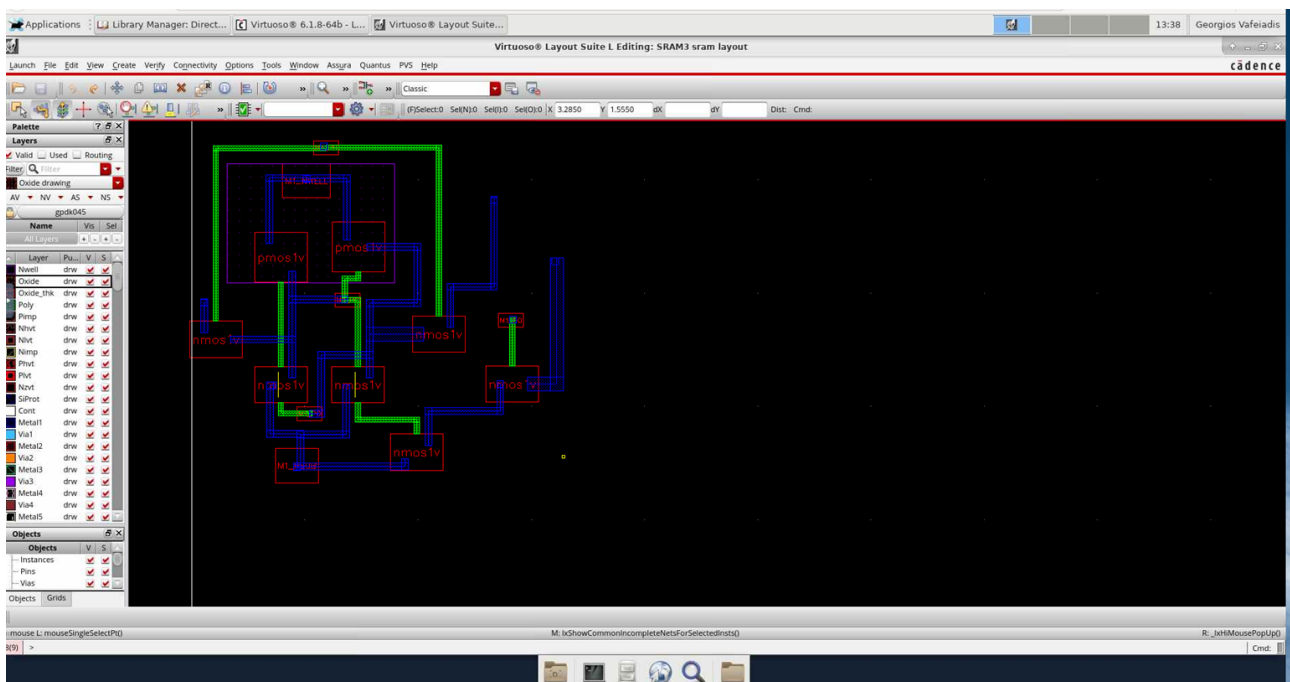
Σημείωση: Επειδή τα στοιχεία του cadence δεν μας έδιναν την δυνατότητα μεμονωμένων παλμών, αλλά περιοδικών, χρησιμοποιήσαμε μετατοπισμένους περιοδικούς παλμούς και παλμούς με διαφορετικό πλάτος για να αποδείξουμε την σωστή συμπεριφορά.

## Layout

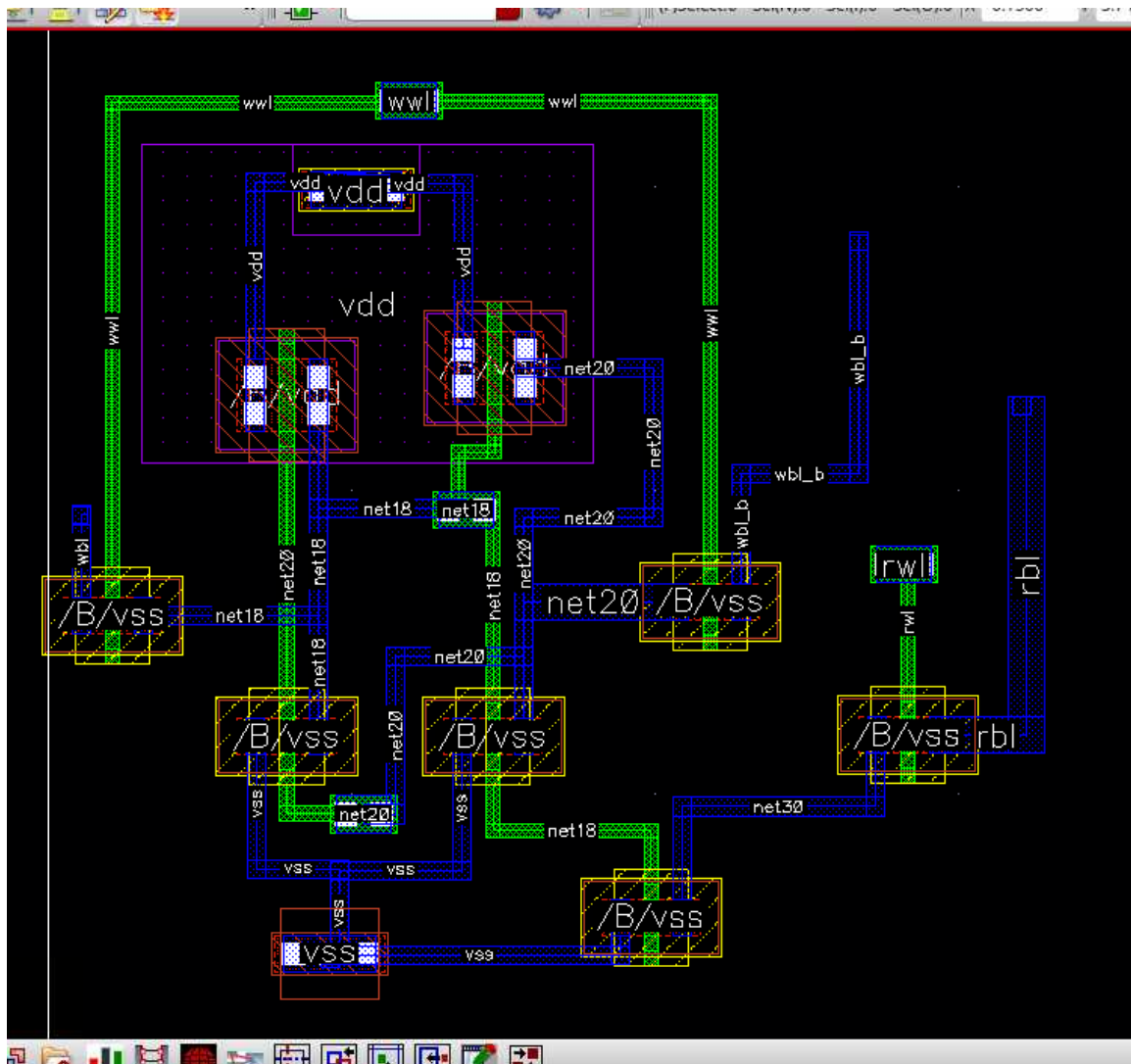
Αφού επιβεβαιώσαμε την ορθή λειτουργία προχωρήσαμε στην δημιουργία του layout. Το παρόν κύκλωμα θα μπορούσε να καταλαμβάνει αρκετά μικρότερο χώρο όμως όπως αναφέρθηκε στο εργαστήριο αυτό δεν ήταν μία από τις προτεραιότητες της παρούσας εργασίας.

Τα transistor είναι συνδεδεμένα με αραιές συνδέσεις και η τελική μορφή καθορίστηκε από την επαλήθευση του DRC.

Για τα p-mos τρανζιστορ δημιουργήθηκε ένα πηγάδι n-well προκειμένου να μην υπάρχουν βραχυκυκλώματα. Μέσα στο πηγάδι δημιουργήθηκε και το νία το οποίο φέρει τον ακροδέκτη του VDD. Ως αδυναμία του κυκλώματος μας θα εντοπίζαμε ότι ο ακροδέκτης του VDD είναι περικυκλωμένος από τις οδεύσεις του wwl.



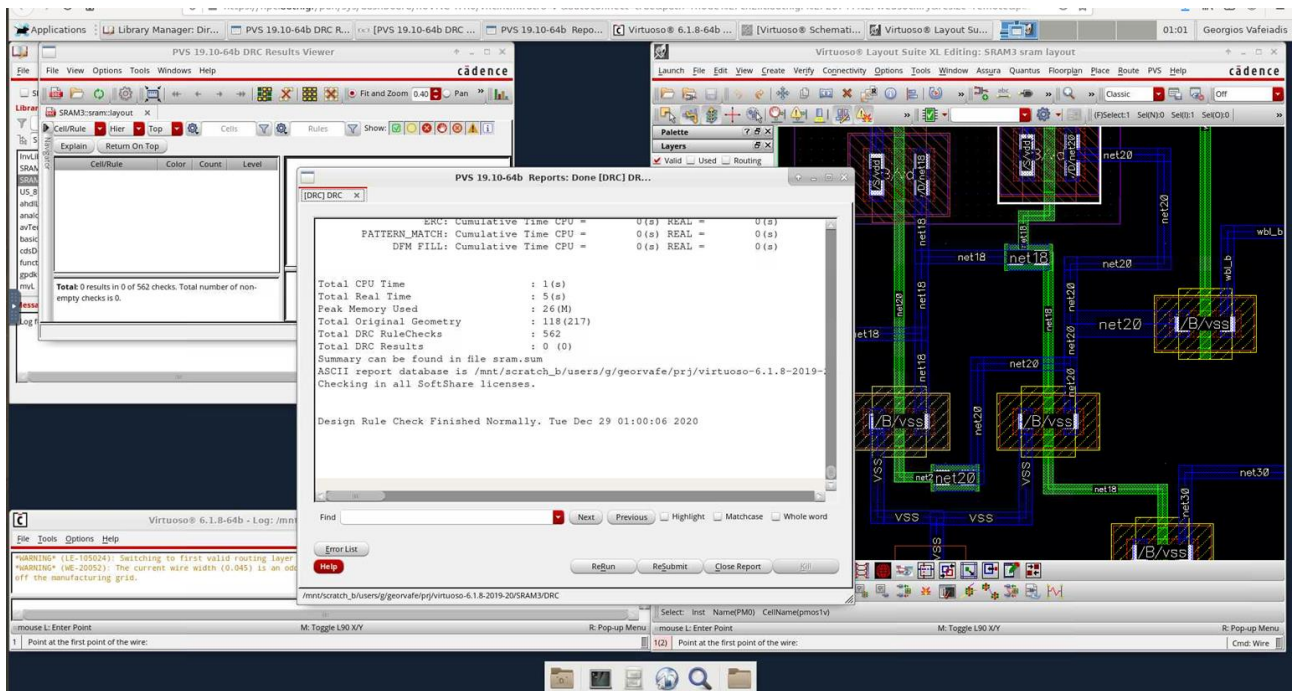
Παρακάτω μπορείτε να δείτε πιο αναλυτικά το τελικό Layout.



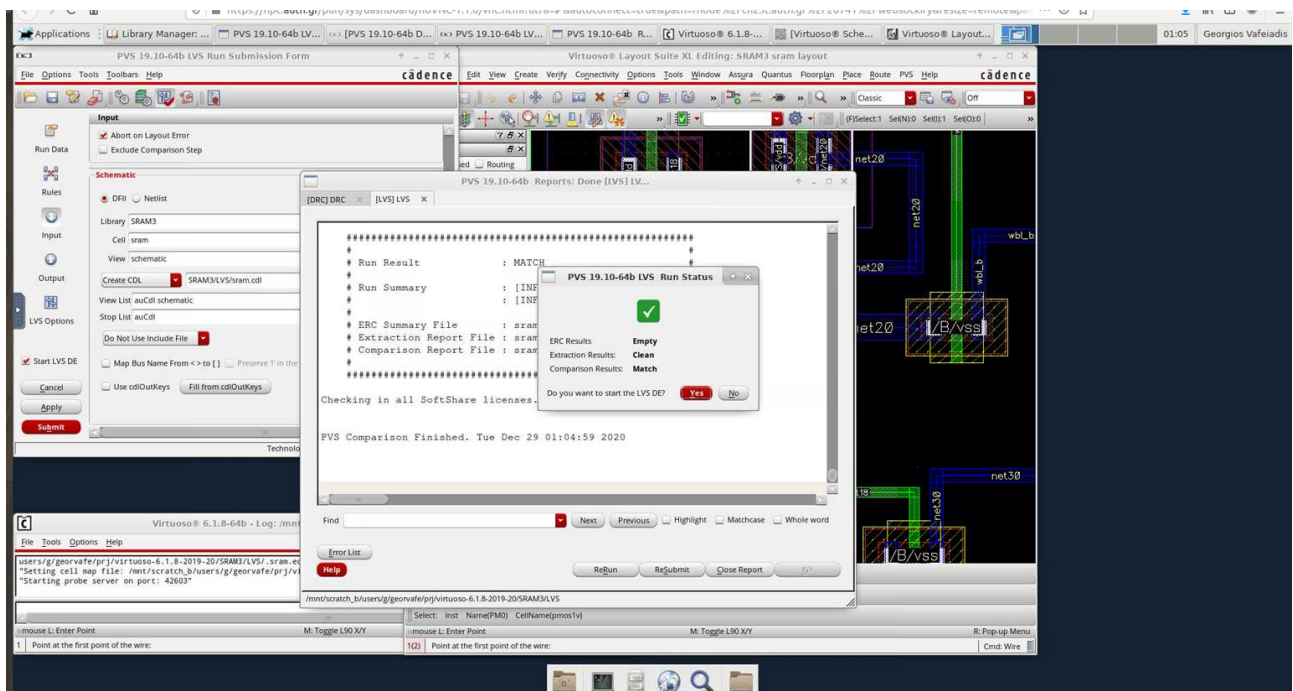
## Απόδειξη ορθής σχεδίασης

Με βάση τις απαιτήσεις του εργαστηρίου ακολουθούν τα αποδεικτικά DRC, ο οποίος είναι ο έλεγχος των χωροταξικών κανόνων με βάση τα οποία πρέπει να σχεδιαστεί το κύκλωμα. Οι γωνίες των οδεύσεων και οι αποστάσεις των υποκυκλωμάτων είναι μερικοί από τους ελέγχους που γίνονται.





Και στην συνέχεια ακολουθεί ο έλεγχος της σωστής κυκλωματικής λειτουργίας του κυττάρου(LVS).



Πιο αναλυτικά οι έλεγχοι που έγιναν στο LVS αναλύονται στην επισκόπηση που φαίνεται παρακάτω.

