

****

**《计算机组成及体系结构》**

**课程设计**

**题 目 MIPS单总线CPU设计**

班 级 2021级 奇安信1班

学 号 202183760012

姓 名 朱宸扬

院 系计算机学院、网络空间安全学院

专 业 信息安全

教 师 郭 萍

**二Ｏ二三 年 六 月 十六 日**

目录

[1单总线CPU设计(定长指令周期3级时序)(HUST) 3](#_Toc11698)

[1.1 MIPS指令译码器设计 3](#_Toc22324)

[1.2 时序发生器FSM设计 4](#_Toc20258)

[1.2.1定长 4](#_Toc23021)

[1.2.2变长 5](#_Toc4098)

[1.3 时序发生器输出函数设计 6](#_Toc5402)

[1.3.1定长 6](#_Toc29472)

[1.3.2变长 6](#_Toc28755)

[1.4 硬布线控制器组合逻辑单元 7](#_Toc21846)

[1.5 硬布线控制器设计 8](#_Toc26915)

[1.5.1定长 8](#_Toc6960)

[1.5.2变长 8](#_Toc23267)

[1.6 8](#_Toc32681)

[2单总线CPU设计(现代时序+中断)(HUST) 9](#_Toc30054)

[2.1MIPS指令译码器设计 9](#_Toc30962)

[2.2微程序入口查找 9](#_Toc19768)

[2.3条件判别逻辑测试 10](#_Toc3833)

[2.4微程序组合逻辑 11](#_Toc5292)

[2.5 存放 12](#_Toc4957)

[2.6现代时序硬布线状态机 13](#_Toc30114)

[2.6硬布线控制器 14](#_Toc19129)

# 1单总线CPU设计(定长指令周期3级时序)(HUST)

## MIPS指令译码器设计

译码器是IR和控制器CU之间的桥梁，把IR的输出变成指令。具体的OP段查看32位mips操作手册。

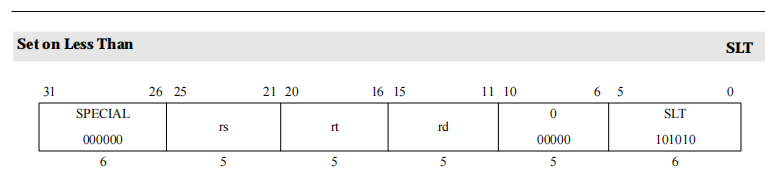


图1-1 SLT 指令码

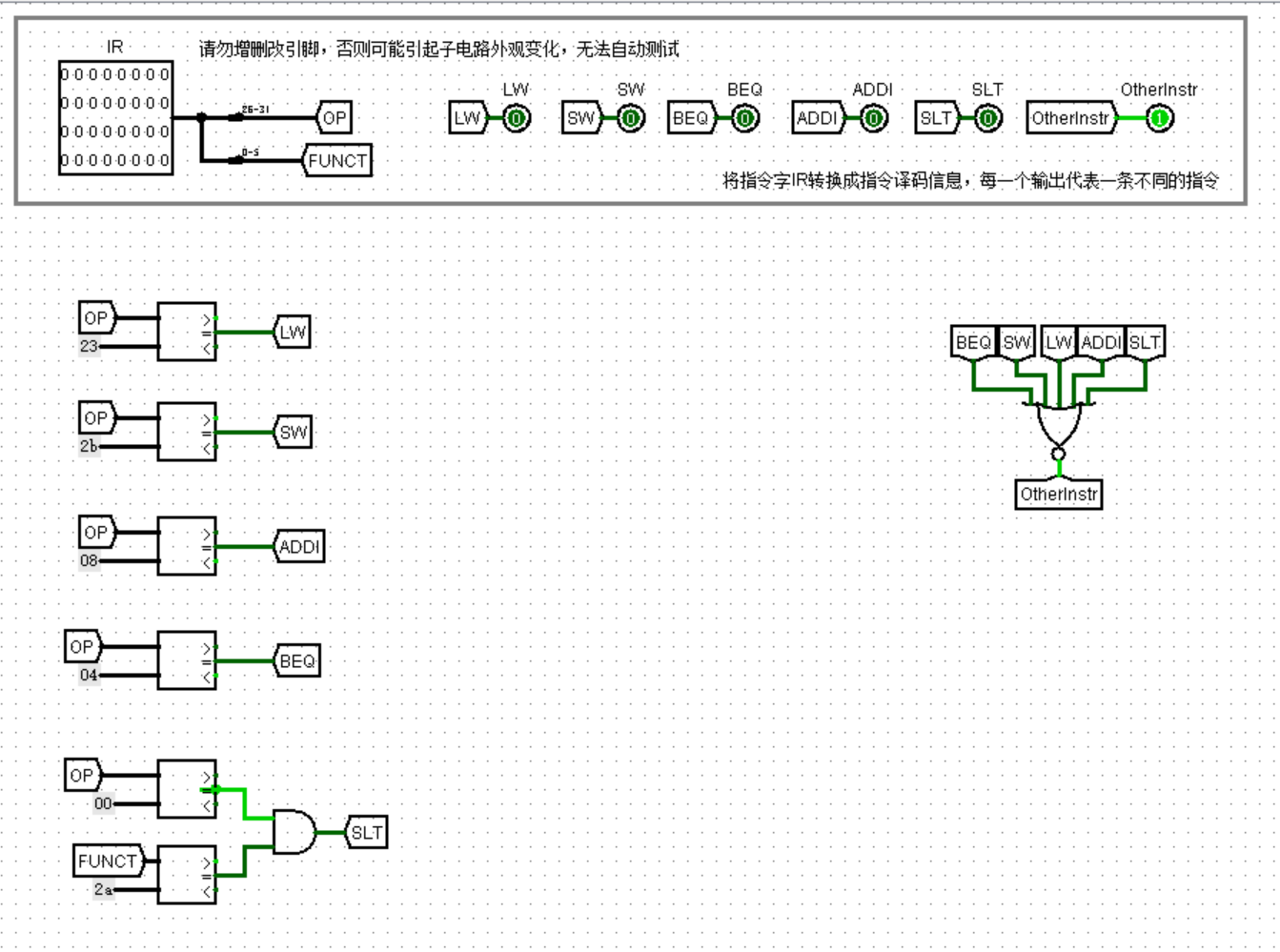


图1-2译码器

其中，SLT为R型指令，有funct字段。

## 时序发生器FSM设计

### 1.2.1定长

单总线结构中如果采用定长指令周期，所有MIPS指令都需要3个机器周期，每个机器周期4个时钟节拍，一共需要12个状态，状态图如下：

# IMG_256

图1-3定长周期时序

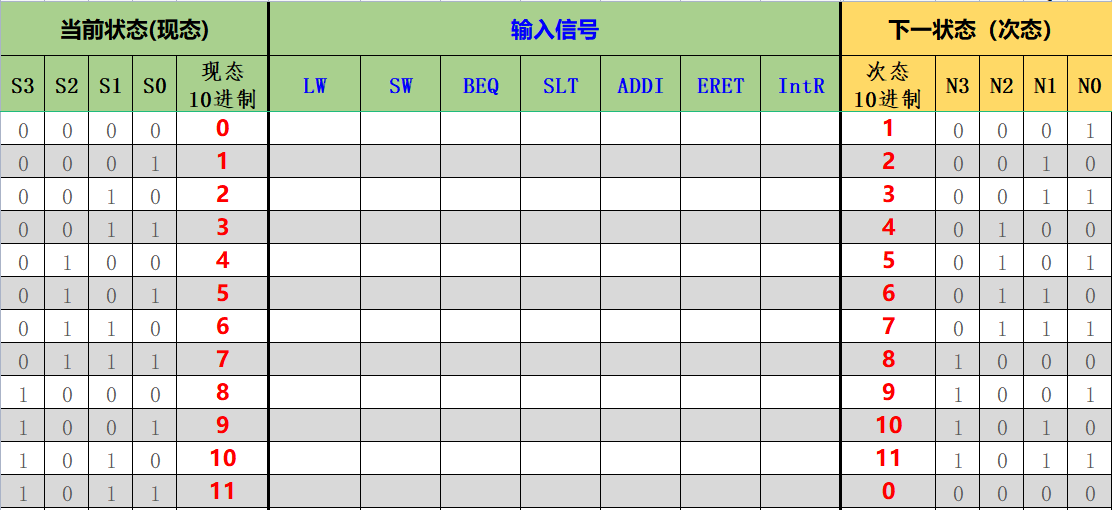


图1-4定长周期时序填表

电路在状态机中，电路就是多个引脚和线，无展示必要

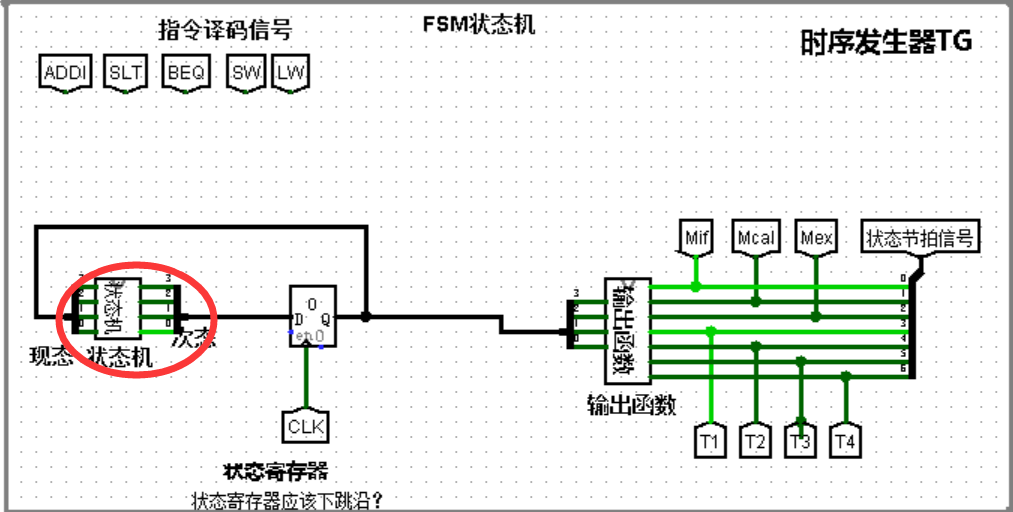


图1-5状态

### 1.2.2变长

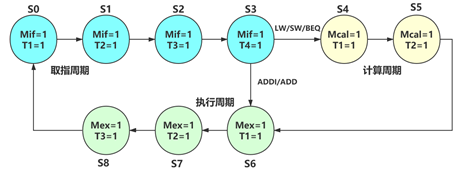


图1-5变长周期时序

图1-6变长周期时序

多了指令跳转。



图1-7变长周期时序填表

## 时序发生器输出函数设计

1.3.1定长

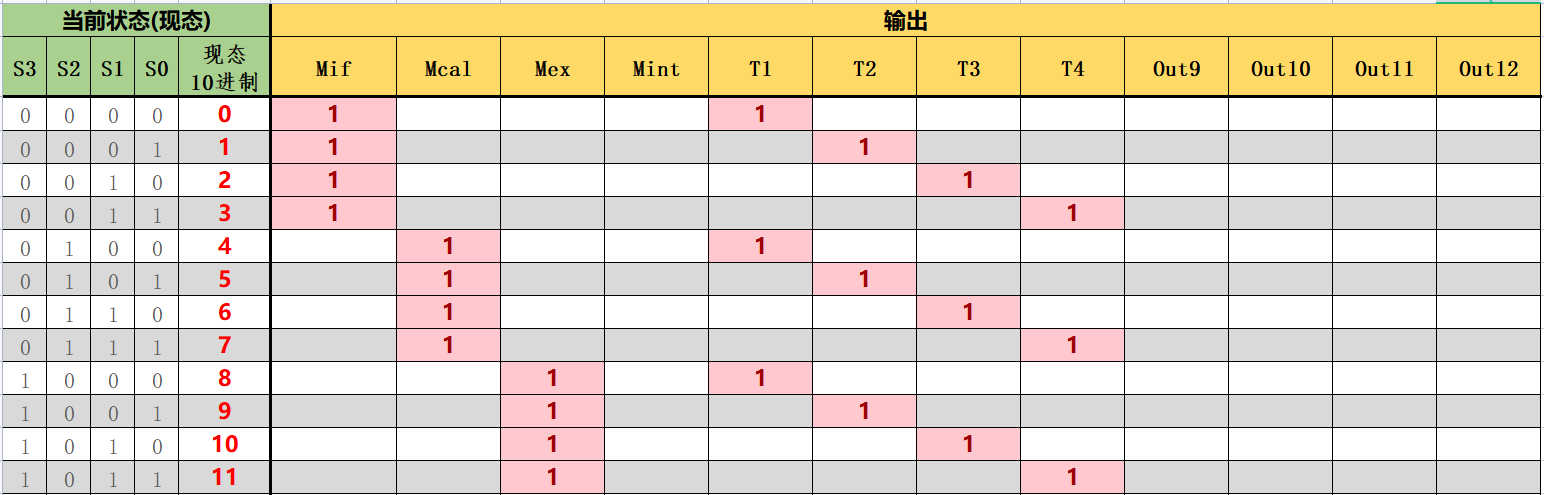


图1-8定长输出

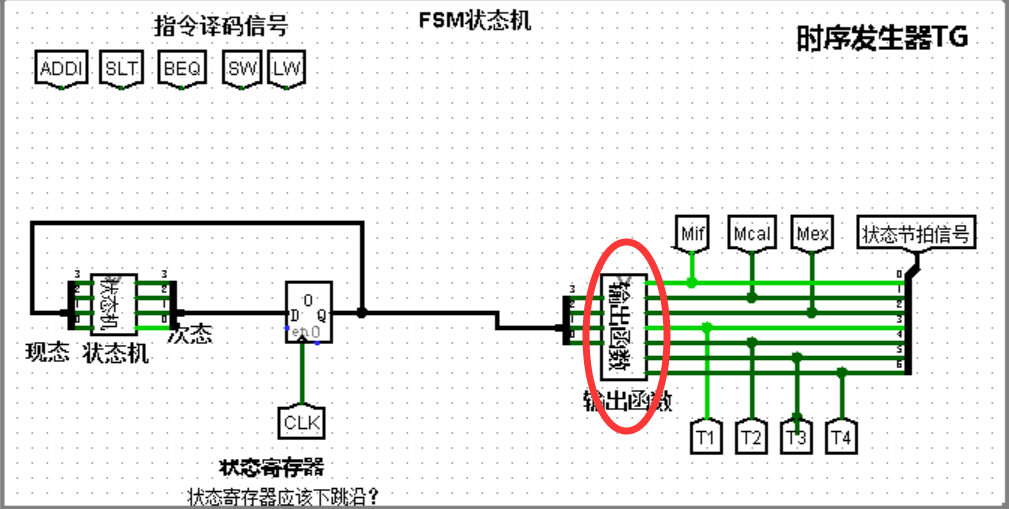


图1-9输出函数

1.3.2变长

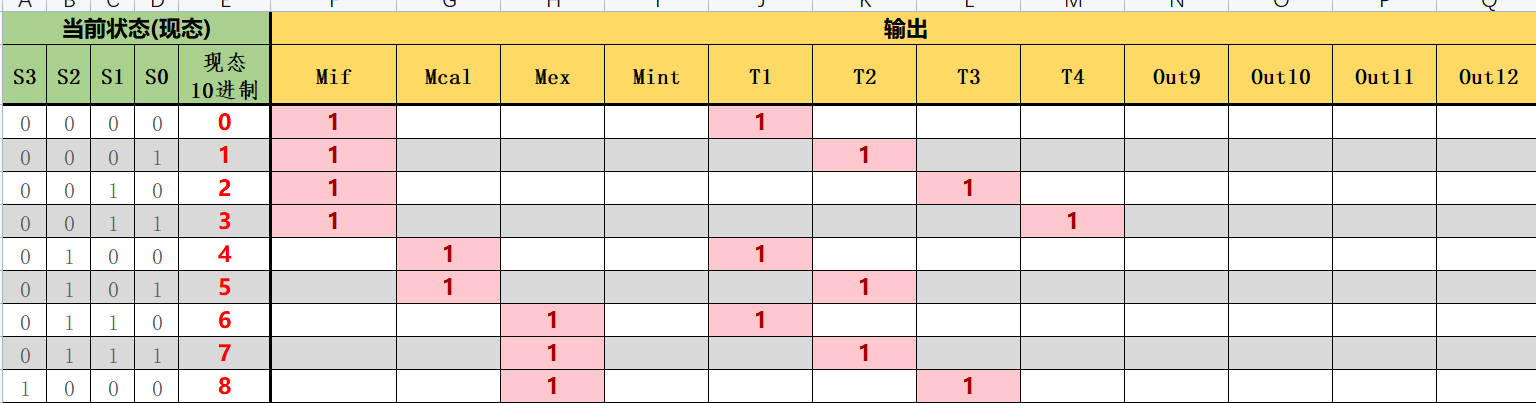


图1-10变长输出

## 硬布线控制器组合逻辑单元

工作量最大的部分，每一个指令对应的所有微操作，这一步我参考了教材上的指令微操作。

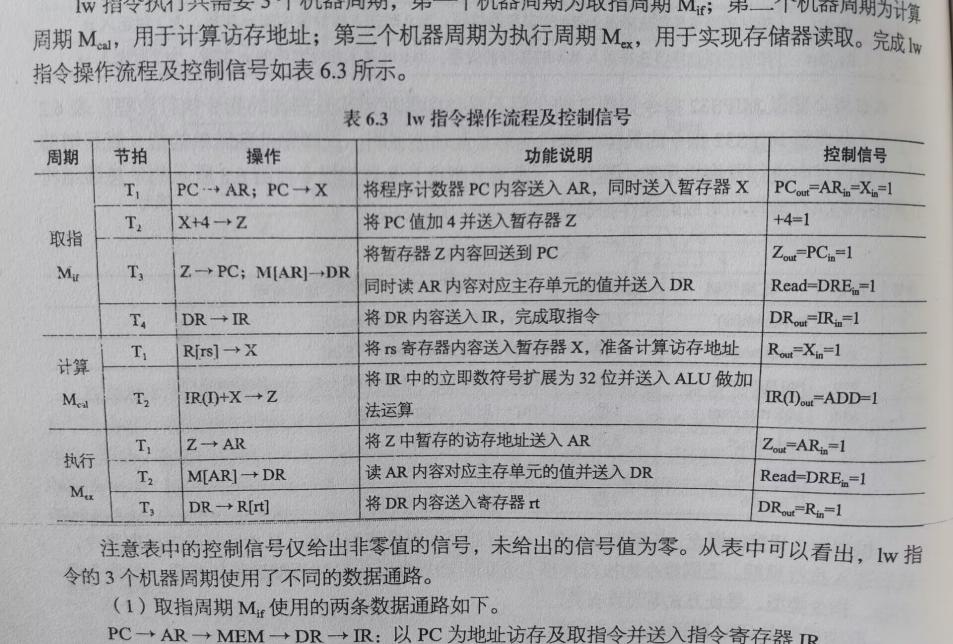
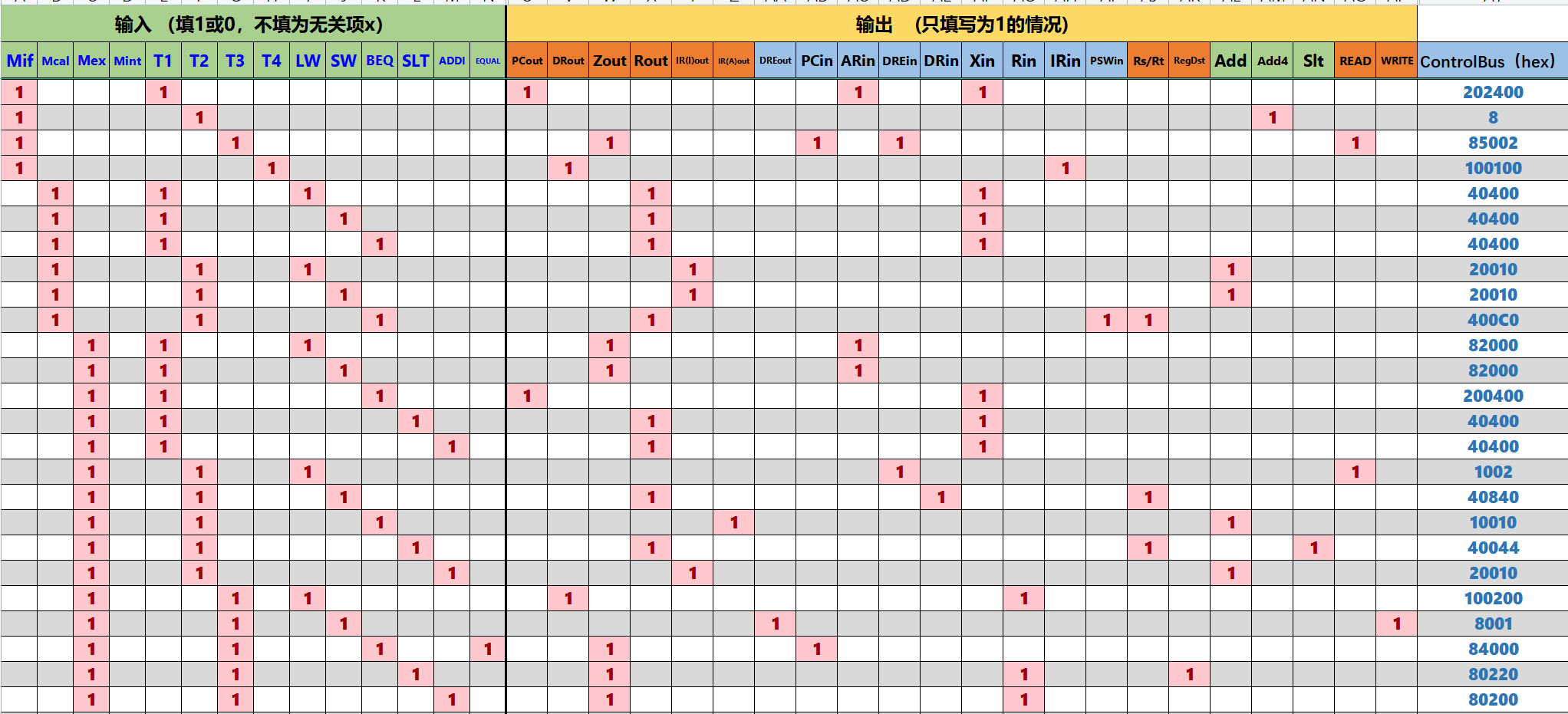


图1-11控制信号

对应的指令教材都列好了。



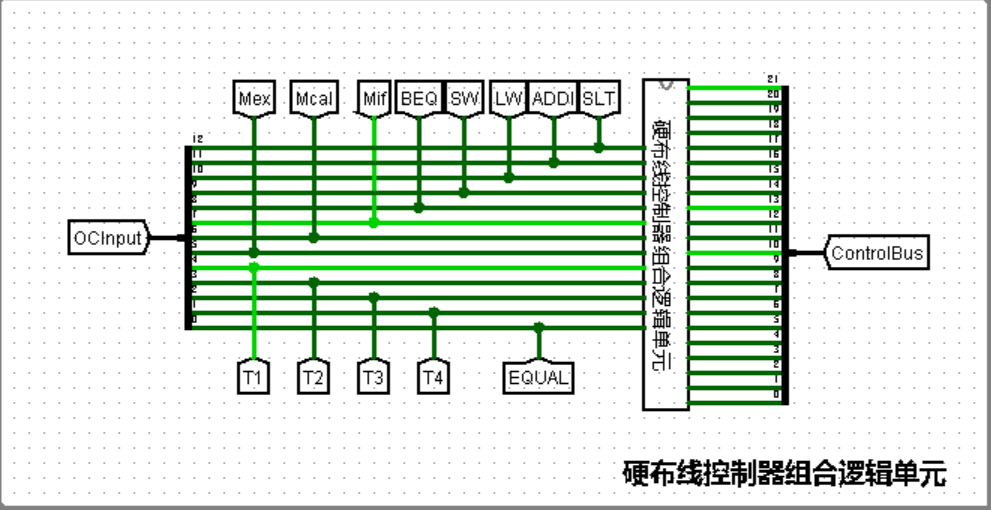
图1-12硬布线控制器组合逻辑单元

图1-13硬布线控制器组合逻辑单元

## 硬布线控制器设计

### 1.5.1定长

图1-14硬布线控制器

### 1.5.2变长

变长需要将指令也输入

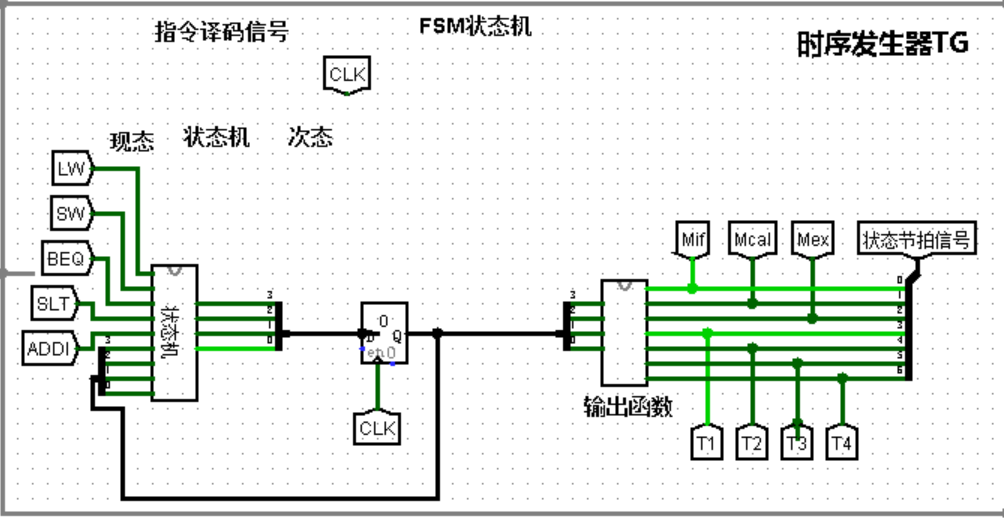


图1-15硬布线控制器(变长)

## 

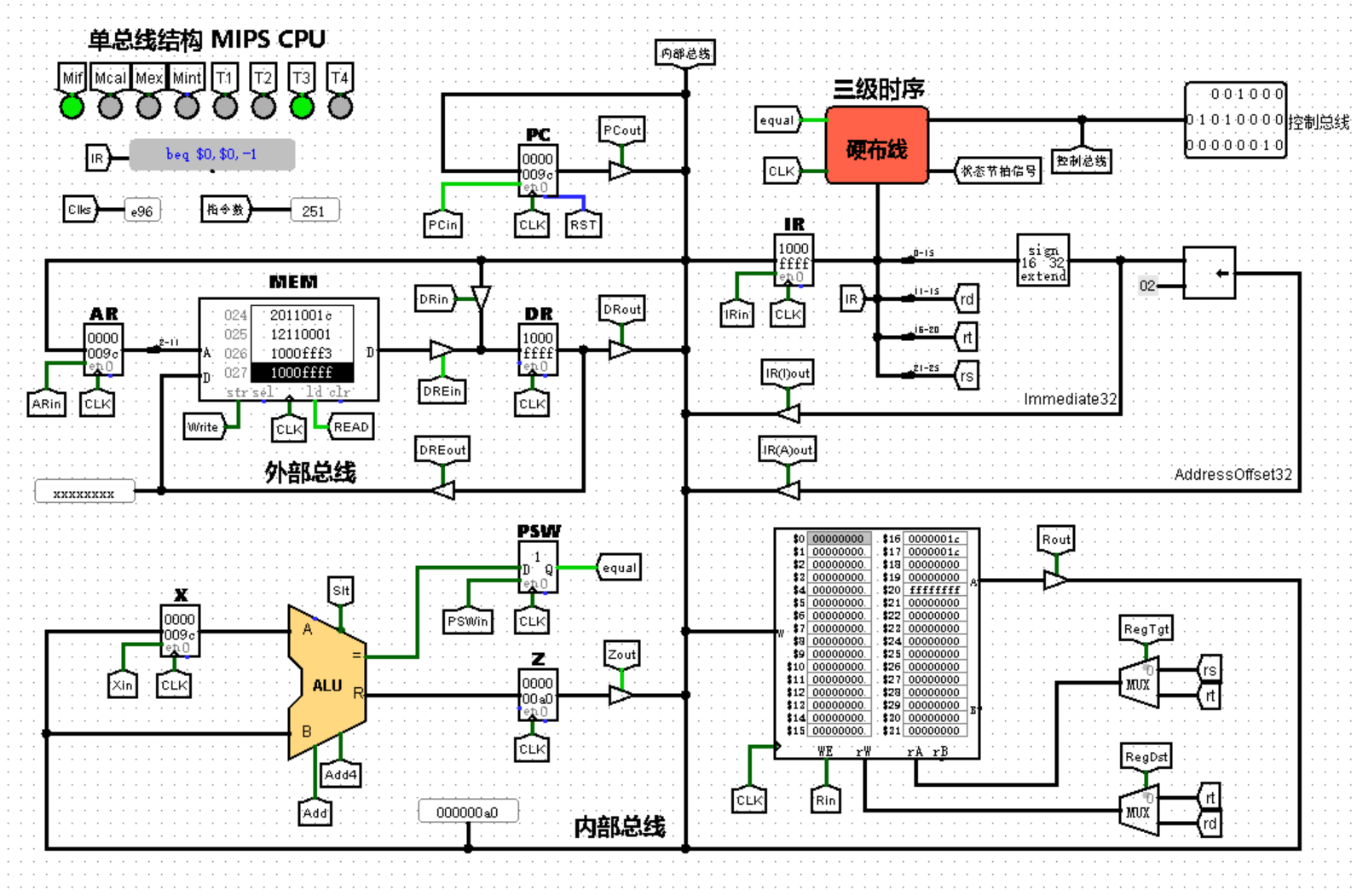
结果无误

图1-16 cpu运行结果



# 2单总线CPU设计(现代时序+中断)(HUST)

## 2.1MIPS指令译码器设计

同上

## 2.2微程序入口查找

# 

图2-1现代时序

# 

图2-2微程序入口



图2-3微程序（中断）入口

2.3条件判别逻辑测试

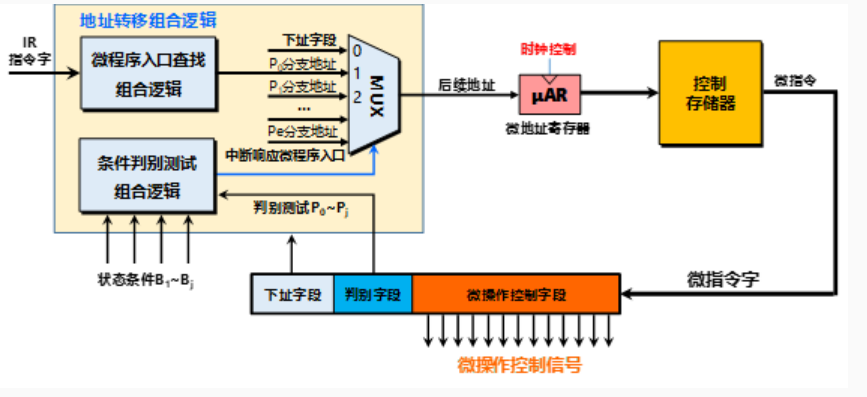
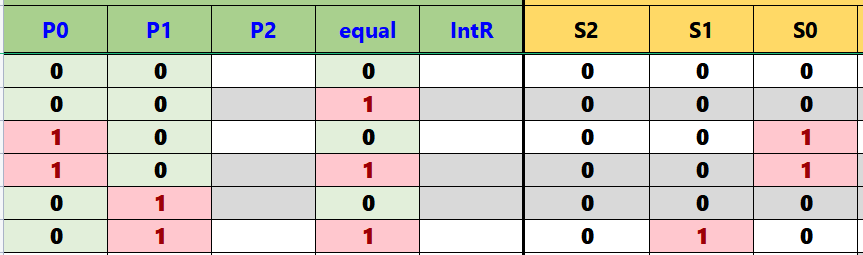


图2-4微程序条件判别测试逻辑(中断)



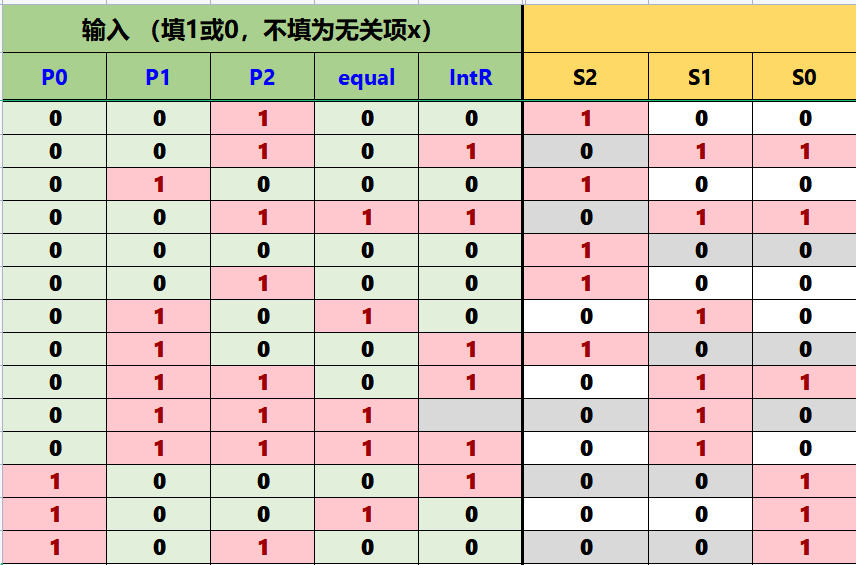
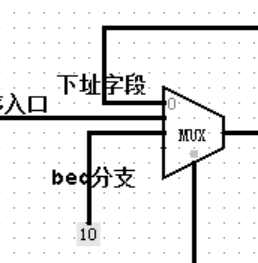
图2-5微程序判别逻辑

图2-6微程序判别逻辑(中断)

根据微指令字中的判别测试字段和条件反馈信息生成后续地址的多路选择信号，中断会多加一个P2位，P2=1表示当前微指令为微程序最后一条微指令，需要进行中断判断。



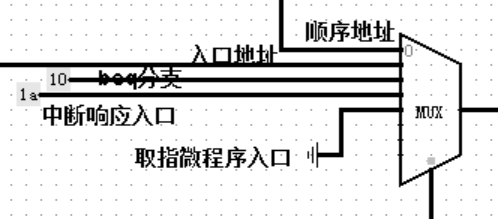


图2-7微程序判别逻辑比较

## 2.4状态机

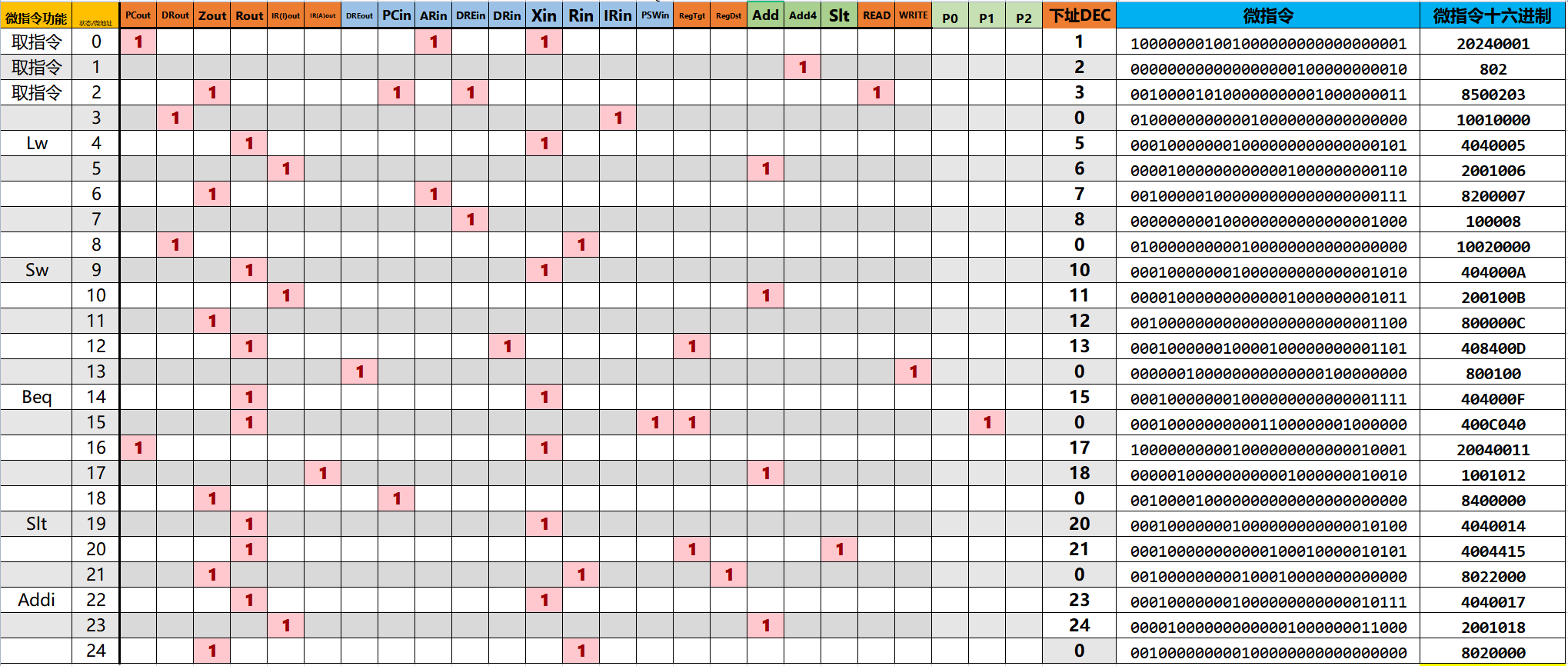


图2-8微程序

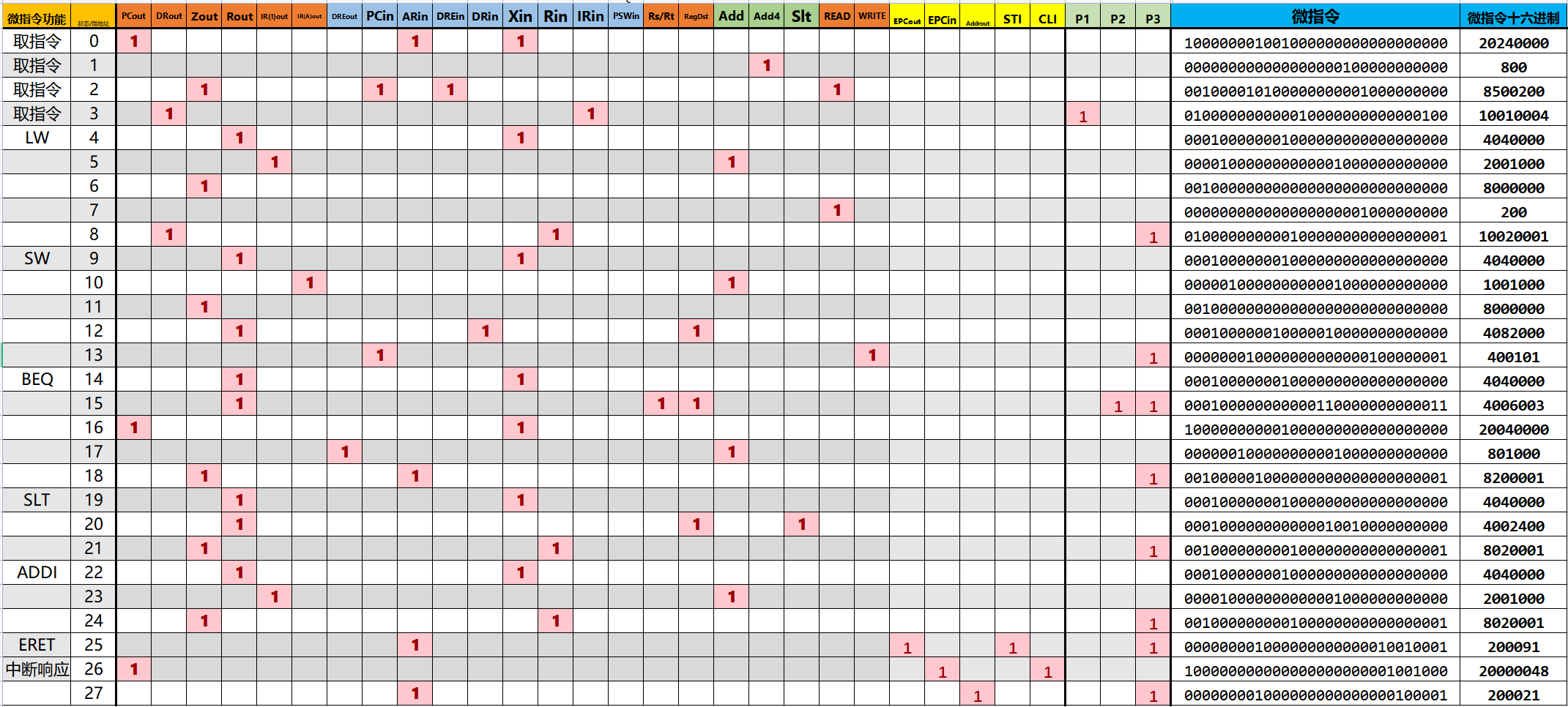


图2-9微程序(中断)

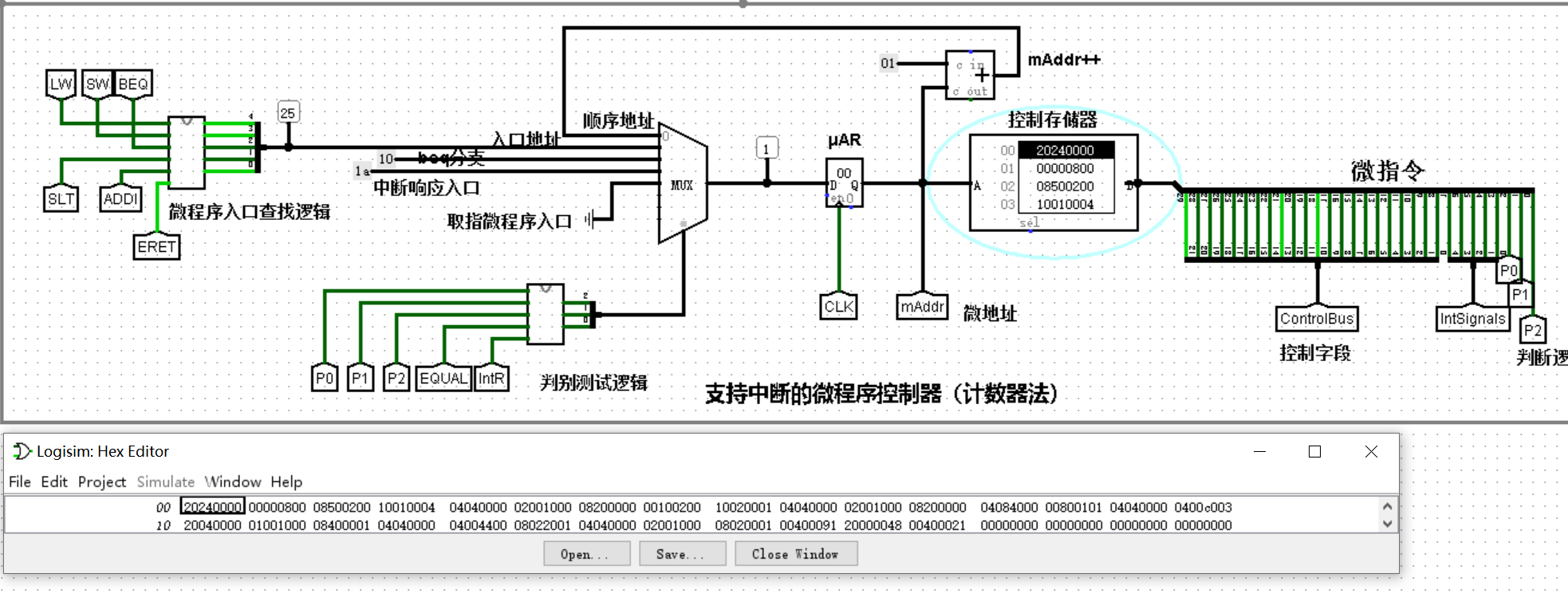


图2-9微程序电路(中断)

## 2.5

将16进制微指令放入控制存储器中

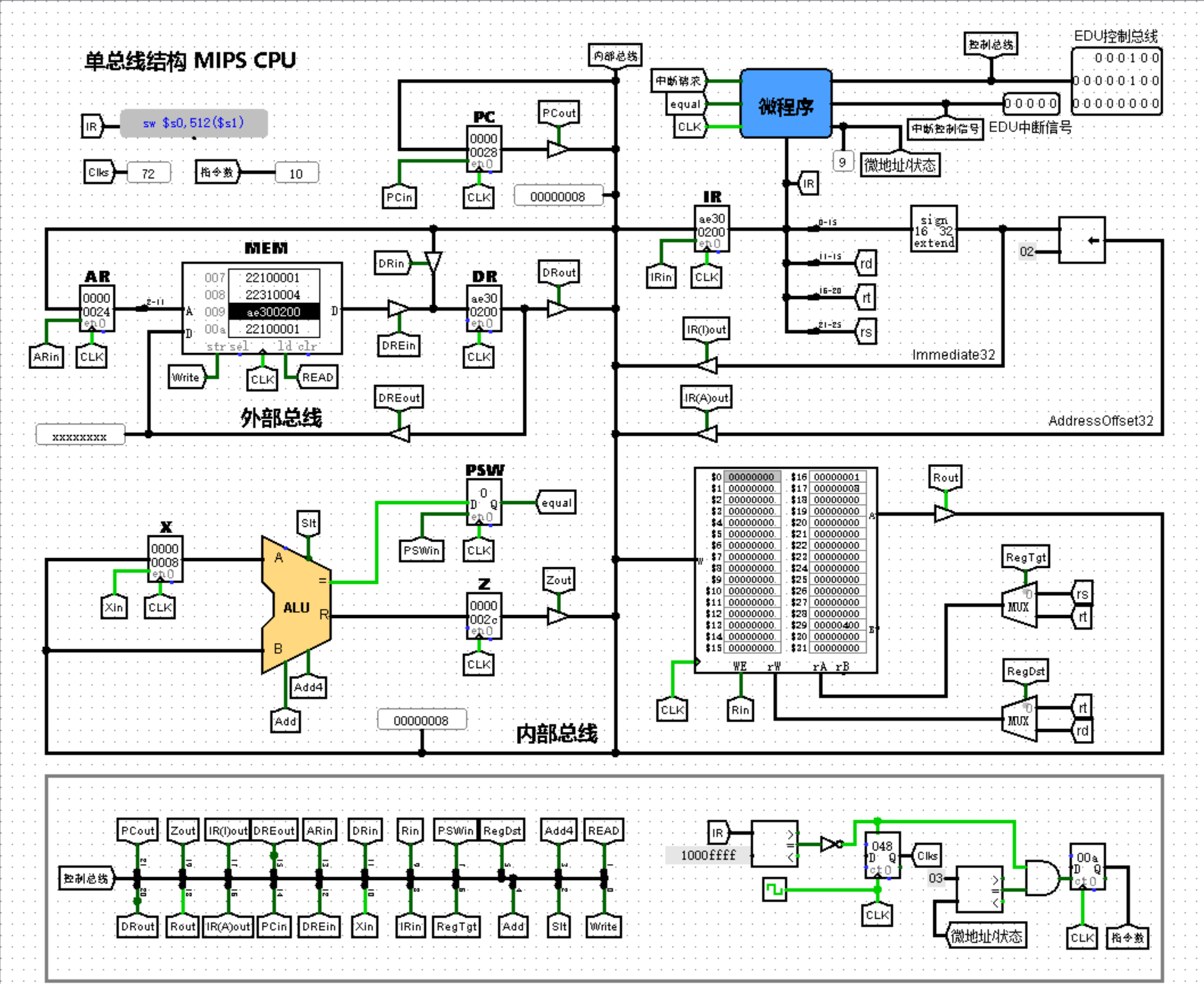
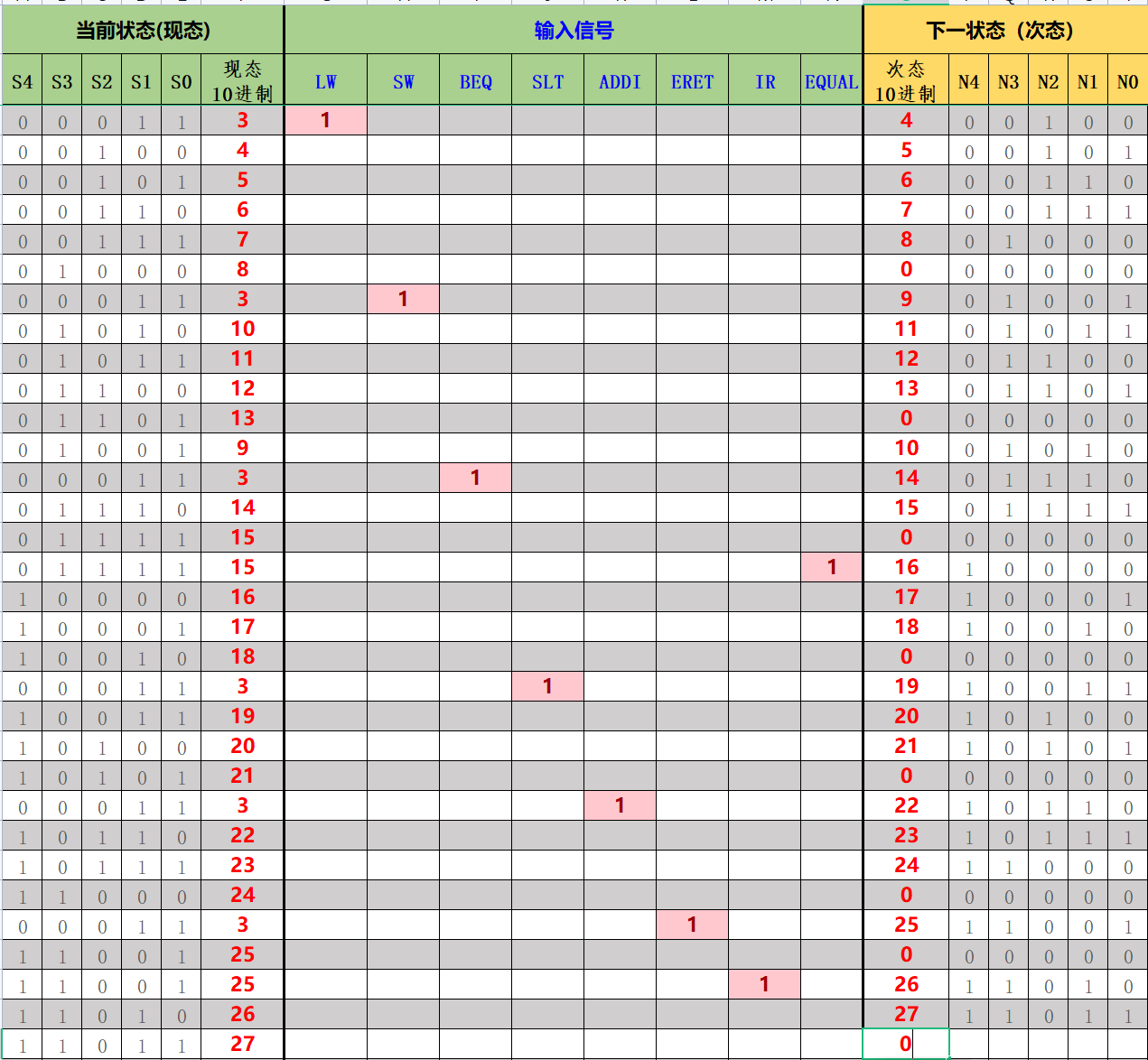


图2-10微程序运行结果(中断)

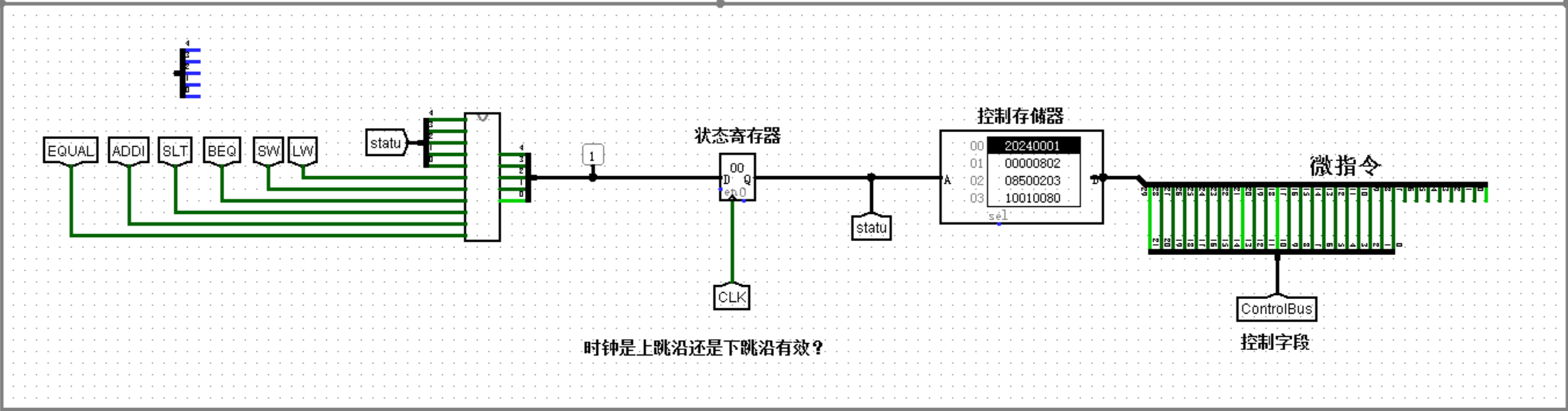
## 2.6现代时序硬布线状态机

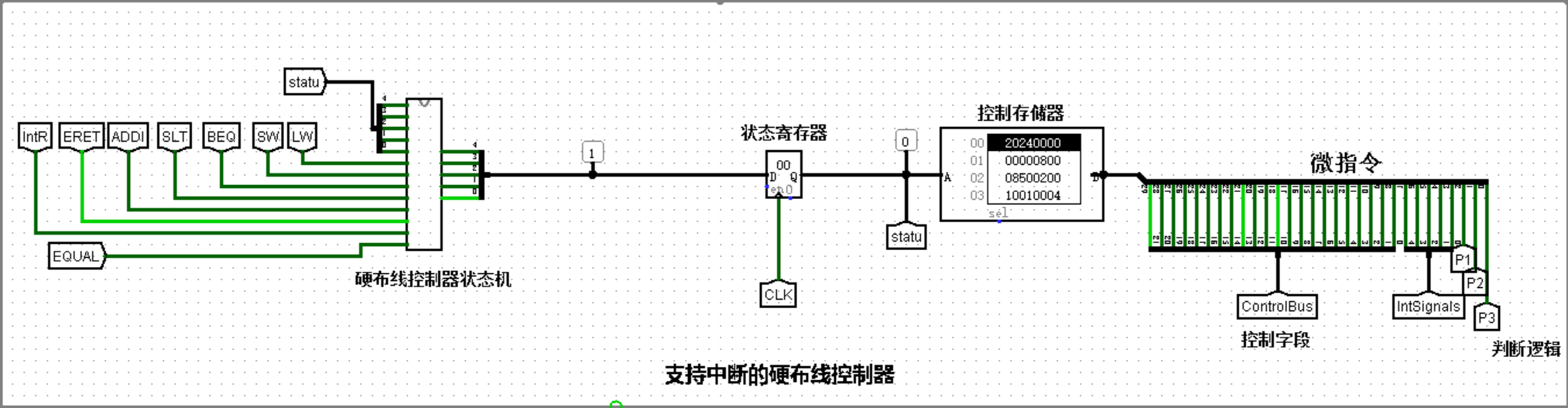
状态机逻辑与微程序状态机有区别，只是分支任务

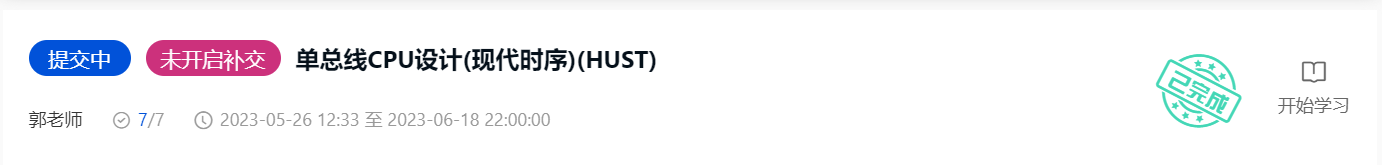


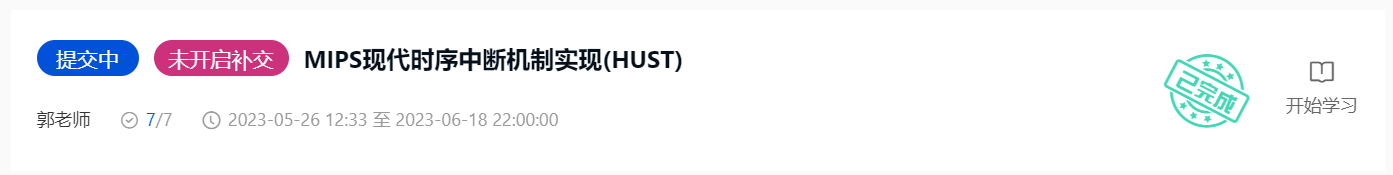


2.6硬布线控制器









**注意：**

**一、排版说明**

**正文一律采用 宋体 小四号； 一级标题：小二加重宋体；二级标题：三号加重宋体；三号标题及以下（如果你需要）：四号加重宋体。**

**将标题设置成要求字号的标题，系统自动上下拉开间距，所有标题都要顶格。（所有标题需要加粗，正文不需要加粗），正文每段落开头请空两个汉字的位置,小四号宋体，行间距1.25倍。**

1. **图表要求**

**测试结果不能只贴图片，得配文字说明，所插入图片必须转正并标号给题目（如：图1 拓扑结构图），图名放在图的下方居中；如果有表，也要编号（如：表1 所有参数表），表名放在表的上方居中。**

**三、提交以下文档**

1. **WORD格式课程设计报告**
2. **PDF格式课程设计报告**
3. **Logisim配置文件（必须要有配置文件）**

**四、提交日期**

**封面后的一页都说明自己的分组，组员有哪些，自己做的哪几个实验，然后是目录（页码从目录开始算)，最后要有参考文献。**

**课程设计提交的截止日期为2023.6.16日，请学委于22点前发我。**

**命名：21级计组课设\_张三\_12345678。**

***（请将此页注释在报告中删除）***