

25

Последовательный периферийный интерфейс (SPI)

Устройства с низкой плотностью это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 16 до 32 Кбайт.

Устройства средней плотности это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 64 до 128 Кбайт.

Устройства высокой плотности это микроконтроллеры STM32F101xx и STM32F103xx с плотностью флэш-памяти от 256 до 512 Кбайт.

Устройства XL-плотности это микроконтроллеры STM32F101xx и STM32F103xx, в которых плотность флэш-памяти колеблется от 768 Кбайт до 1 Мбайт.

Устройства линии связи это микроконтроллеры STM32F105xx и STM32F107xx.

25.1

Введение в SPI

В устройствах с высокой плотностью, XL-плотностью и линиях подключения интерфейс SPI обеспечивает две основные функции, поддерживая либо протокол SPI, либо I2S-аудиопротокол. По умолчанию выбрана функция SPI. Можно переключить интерфейс с SPI на I2S по программному обеспечению.

В устройствах Cat.1 и Cat.2 I2S-протокол S недоступен.

Последовательный периферийный интерфейс (SPI) обеспечивает полудуплексную, синхронную, последовательную связь с внешними устройствами. Интерфейс может быть сконфигурирован как ведущий, и в этом случае он обеспечивает синхронизацию связи (SCK) с внешним ведомым устройством. Интерфейс также может работать в конфигурации с несколькими мастерами.

Его можно использовать для различных целей, включая симплексную синхронную передачу по двум линиям с возможной двунаправленной линией данных или надежную связь с использованием проверки CRC.

I2S также является синхронным последовательным интерфейсом связи. Он поддерживает четыре различных аудиостандарта, включая I2S Стандарт Philips, стандарты, соответствующие MSB и LSB, и стандарт PCM. Он может работать как ведомое или ведущее устройство в полудуплексном режиме (используя 4 контакта) или в полудуплексном режиме (используя 6 контактов). Ведущие часы могут быть предоставлены интерфейсом для внешнего подчиненного компонента, когда I2S настроен как мастер связи.

Предупреждение:

Поскольку некоторые выводы SPI3/I2S3 используются совместно с выводами JTAG (SPI3_NSS/I2S3_WS с JTDI и SPI3_SCK/I2S3_CK с JTDO), они не контролируются контроллером ввода-вывода и зарезервированы для использования JTAG (после каждого сброса). Для этого перед настройкой выводов SPI3/I2S3 пользователь должен отключить JTAG и использовать интерфейс SWD (при отладке приложения) или отключить оба интерфейса JTAG/SWD (для автономных приложений). Для получения дополнительной информации о конфигурации выводов интерфейса JTAG/SWD см. [Раздел 9.3.5: Переназначение альтернативных функций JTAG/SWD](#).

25,2 SPI и я2Основные характеристики S

25.2.1 Функции SPI

- Полнодуплексные синхронные передачи по трем линиям
- Симплексная синхронная передача по двум линиям с двунаправленной линией данных или без нее
- Выбор формата 8- или 16-битного кадра передачи
- Работа в режиме Master или Slave
- Возможность работы в режиме Multimaster
- 8 предварительных делителей скорости передачи в ведущем режиме
- (f_{пклк}/2 макс.) Частота ведомого режима (f_{пклк}/2 макс.) Более быстрая
- связь как для ведущего, так и для ведомого
- Управление NSS с помощью аппаратного или программного обеспечения как для ведущего, так и для ведомого: динамическая смена операций ведущего/ведомого.
- Программируемая полярность и фаза часов
- Программируемый порядок данных со сдвигом в сторону старших или младших разрядов
- Специальные флаги передачи и приема с возможностью прерывания Флаг состояния
- занятости шины SPI
- Аппаратная функция CRC для надежной связи:
 - значение CRC может быть передано как последний байт в режиме Tx
 - Автоматическая проверка ошибок CRC для последнего полученного байта
- Флаги неисправности, переполнения и ошибки CRC в ведущем режиме с возможностью прерывания 1-
- байтовый буфер передачи и приема с возможностью DMA: запросы Tx и Rx

25.2.2 я2S-функции

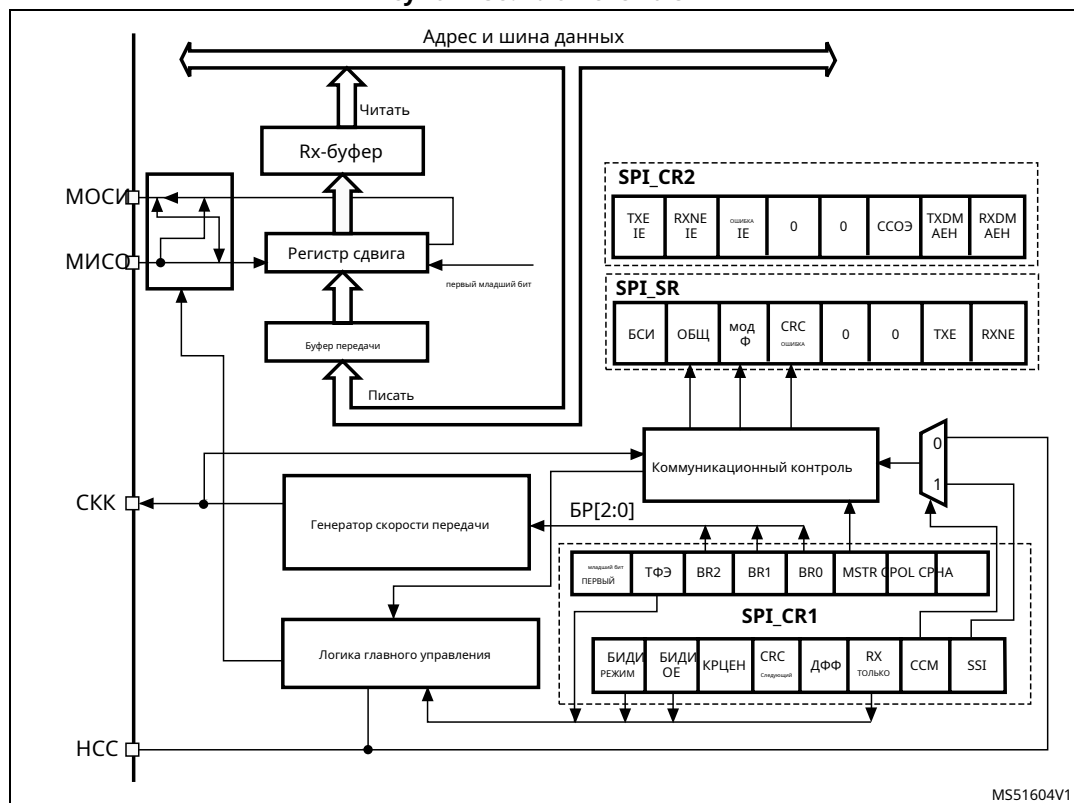
- Полудуплексная связь (только передатчик или приемник)
- Ведущий или ведомый режим
- 8-битный программируемый линейный прескалер для достижения точных частот выборки звука (от 8 кГц до 192 кГц)
- Формат данных может быть 16-битным, 24-битным или 32-битным.
- Кадр пакета фиксируется на 16-битном (16-битном кадре данных) или 32-битном (16-битном, 24-битном, 32-битном кадре данных) аудиоканале.
- Программируемая полярность часов (устойчивое состояние)
- Флаг опустошения в режиме ведомой передачи и флаг оверрана в режиме приема (ведущий и ведомый)
- 16-битный регистр для передачи и приема с одним регистром данных для обеих сторон канала
- Поддержал я2S-протоколы:
 - я2Стандарт Филпс
 - стандарт с выравниванием по MSB (с выравниванием по левому краю)
 - Стандарт с выравниванием по младшим разрядам (выравнивание по правому краю)
 - Стандарт PCM (с синхронизацией коротких и длинных кадров в 16-битном кадре канала или 16-битном кадре данных, расширенном до 32-битного кадра канала)
- Направление данных всегда сначала MSB
- Возможность DMA для передачи и приема (16-битная ширина)
- Основной тактовый сигнал может быть выведен для управления внешним аудиокомпонентом. Соотношение зафиксировано на уровне $256 \times F_s$ (где F_s частота дискретизации звука)
- В устройствах линии связи оба I2S (I2S2 и I2S3) имеют специальный PLL (PLL3) для генерации еще более точных часов.

25,3 Функциональное описание SPI

25.3.1 Общее описание

Блок-схема SPI показана на [Рисунок 238](#).

Рисунок 238. Блок-схема SPI

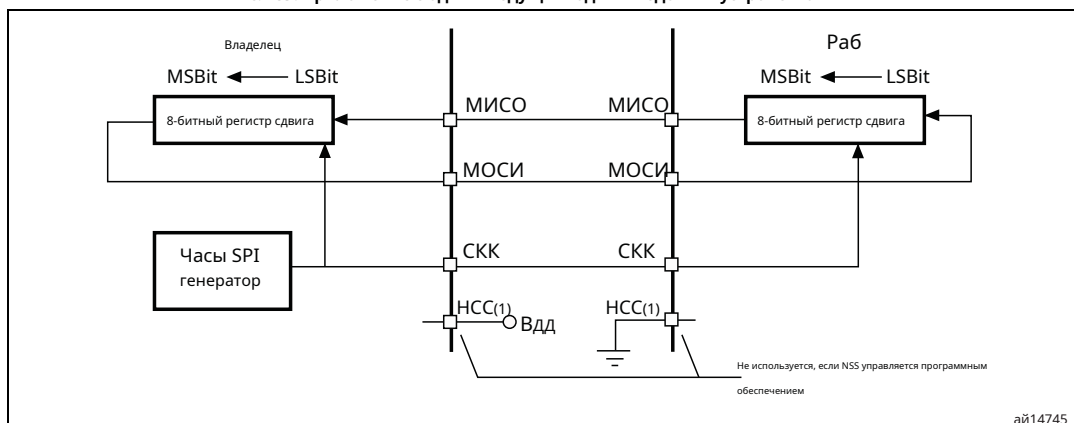


Обычно SPI подключается к внешним устройствам через четыре контакта:

- MISO: Master In/Slave Out данные. Этот вывод может использоваться для передачи данных в ведомом режиме и приема данных в ведущем режиме.
- MOSI: Master Out / Slave In data. Этот контакт может использоваться для передачи данных в ведущем режиме и приема данных в ведомом режиме.
- SCK: выход Serial Clock для мастеров SPI и вход для ведомых SPI.
- NSS: Выбор ведомого. Это необязательный контакт для выбора ведомого устройства. Этот контакт действует как «выбор микросхемы», позволяя главному SPI общаться с подчиненными индивидуально и избегать конфликтов на линиях данных. Входы ведомого NSS могут управляться стандартными портами ввода-вывода на ведущем устройстве. Вывод NSS также может использоваться как выход, если он включен (бит SSOE) и имеет низкий уровень, если SPI находится в основной конфигурации. Таким образом, все контакты NSS от устройств, подключенных к главному выводу NSS, видят низкий уровень и становятся подчиненными, когда они настроены в аппаратном режиме NSS. При настройке в ведущем режиме с NSS, сконфигурированным как вход (MSTR=1 и SSOE=0), и если NSS получает низкий уровень, SPI входит в состояние ошибки ведущего режима: бит MSTR автоматически сбрасывается, и устройство настраивается в подчиненном режиме. (Ссылаться на [Раздел 25.3.10](#)).

Базовый пример взаимосвязей между одним мастером и одним ведомым показан на рис. [Рисунок 239](#).

Рис. 239. Приложение с одним ведущим/одним ведомым устройством



1. Здесь вывод NSS настроен как вход.

Выходы MOSI соединены вместе, а выходы MISO соединены вместе. Таким образом, данные передаются последовательно между ведущим и ведомым (сначала старший значащий бит).

Связь всегда инициируется мастером. Когда ведущее устройство передает данные ведомому устройству через вывод MOSI, ведомое устройство отвечает через вывод MISO. Это подразумевает полнодуплексную связь как с исходящими, так и с входными данными, синхронизированными с одним и тем же тактовым сигналом (который предоставляется ведущим устройством через вывод SCK).

Управление контактами выбора ведомого (NSS)

Управление выбором ведомого устройства аппаратного или программного обеспечения может быть установлено с помощью бита SSM в регистре SPI_CR1.

- Программное управление NSS (SSM = 1)

Информация о выборе ведомого управляется внутренним значением бита SSI в регистре SPI_CR1. Внешний вывод NSS остается свободным для использования другими приложениями.

- Аппаратное управление NSS (SSM = 0)

Возможны две конфигурации в зависимости от конфигурации выхода NSS (бит SSOE в регистре SPI_CR2).

- Выход NSS включен (SSM = 0, SSOE = 1)

Эта конфигурация используется только тогда, когда устройство работает в ведущем режиме. Сигнал NSS устанавливается в низкий уровень, когда мастер начинает связь, и остается низким до тех пор, пока SPI не будет отключен.

- Выход NSS отключен (SSM = 0, SSOE = 0)

Эта конфигурация позволяет использовать несколько ведущих устройств для устройств, работающих в ведущем режиме. Для устройств, настроенных как ведомые, контакт NSS действует как классический вход NSS: ведомое устройство выбирается, когда NSS имеет низкий уровень, и отменяется, когда значение NSS высокое.

Фаза часов и полярность часов

Четыре возможных временных соотношения могут быть выбраны программным обеспечением с использованием битов CPOL и CPHA в регистре SPI_CR1. Бит CPOL (полярность часов) управляет установившимся значением часов, когда данные не передаются. Этот бит влияет как на ведущий, так и на ведомый режимы. Если CPOL сброшен, вывод SCK находится в состоянии ожидания низкого уровня. Если CPOL установлен, вывод SCK находится в состоянии ожидания высокого уровня.

Если установлен бит CPHA (тактовая фаза), второй фронт на выводе SCK (задний фронт, если бит CPOL сброшен, передний фронт, если бит CPOL установлен) является стробом захвата MSBit. Данные фиксируются при возникновении второго тактового перехода. Если бит CPHA сброшен, первый фронт на выводе SCK (задний фронт, если бит CPOL установлен, нарастающий фронт, если бит CPOL сброшен) является стробом захвата MSBit. Данные фиксируются при возникновении первого тактового перехода.

Комбинация битов CPOL (полярность синхронизации) и CPHA (фаза синхронизации) выбирает фронт синхронизации захвата данных.

[Рисунок 240](#), показывает передачу SPI с четырьмя комбинациями битов CPHA и CPOL. Диаграмма может быть интерпретирована как временная диаграмма ведущего или ведомого, где вывод SCK, вывод MISO, вывод MOSI напрямую подключены между ведущим и ведомым устройством.

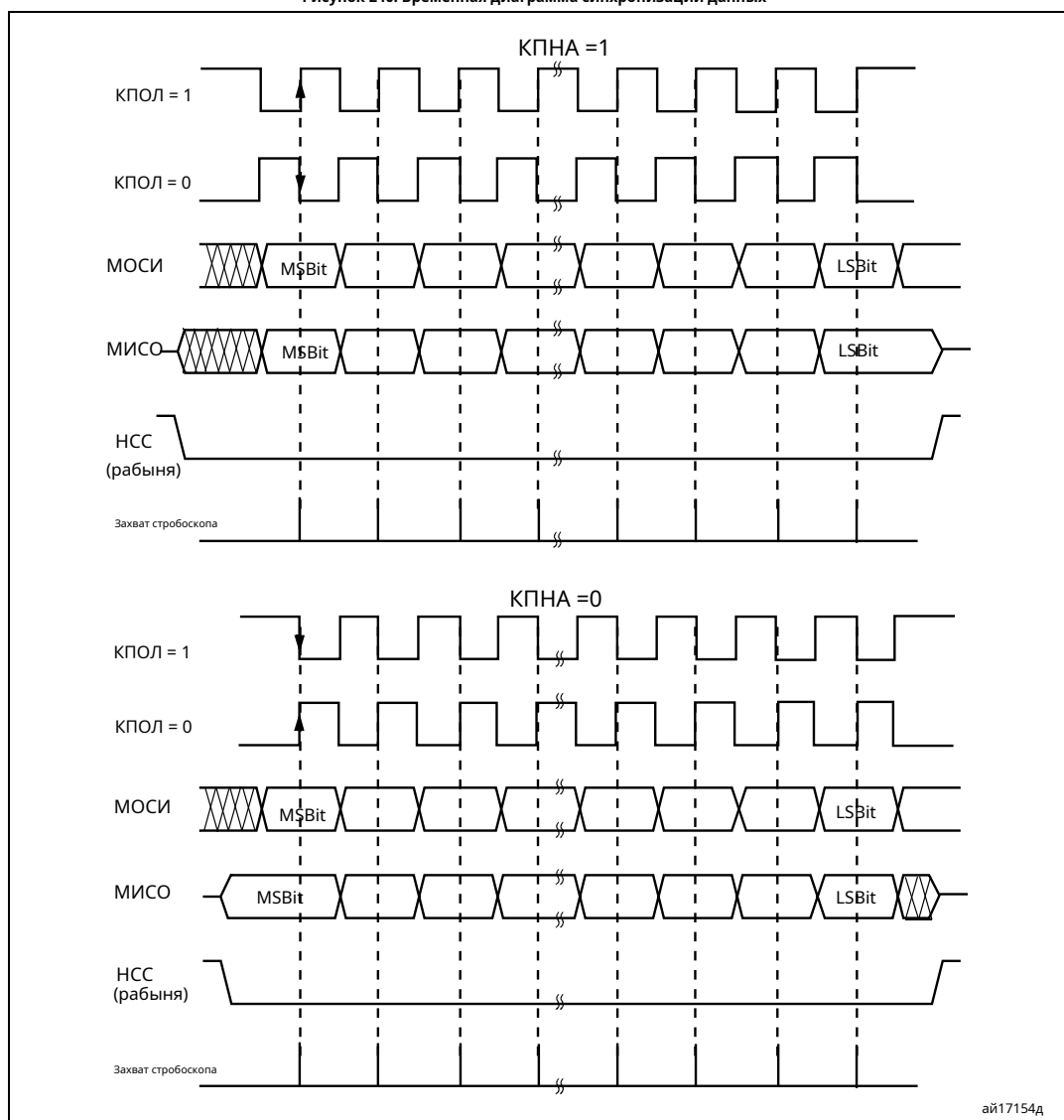
Примечание:

Перед изменением битов CPOL/CPHA необходимо отключить SPI, сбросив бит SPE. Ведущий и ведомый должны быть запрограммированы с одинаковым режимом синхронизации.

Неактивное состояние SCK должно соответствовать полярности, выбранной в регистре SPI_CR1 (подтягивание SCK вверх, если CPOL=1, или опускание SCK, если CPOL=0).

Формат кадра данных (8- или 16-битный) выбирается с помощью бита DFF в регистре SPI_CR1 и определяет длину данных во время передачи/приема.

Рисунок 240. Временная диаграмма синхронизации данных



ай17154д

1. Эти тайминги показаны при сбросе бита LSBFIRST в регистре SPI_CR1.

Формат фрейма данных

Данные могут быть смещены либо по старшим, либо по младшим разрядам, в зависимости от значения бита LSBFIRST в регистре SPI_CR1.

Каждый кадр данных имеет длину 8 или 16 бит в зависимости от размера данных, запрограммированных с использованием бита DFF в регистре SPI_CR1. Выбранный формат кадра данных применим для передачи и/или приема.

25.3.2 Настройка SPI в ведомом режиме

В ведомой конфигурации последовательные часы принимаются на выводе SCK от ведущего устройства. Значение, установленное в битах BR[2:0] в регистре SPI_CR1, не влияет на скорость передачи данных.

Примечание:

Рекомендуется включить ведомое устройство SPI до того, как ведущее устройство отправит часы. В противном случае может произойти нежелательная передача данных. Регистр данных ведомого устройства должен быть готов до первого фронта коммуникационных часов или до окончания текущей связи. Перед включением ведомого и ведущего обязательно необходимо установить полярность тактового сигнала связи на установившееся значение.

Следуйте приведенной ниже процедуре, чтобы настроить SPI в ведомом режиме:

Процедура

1. Установите бит DFF, чтобы определить 8- или 16-битный формат кадра данных.
2. Выберите биты CPOL и CPHA, чтобы определить одну из четырех взаимосвязей между передачей данных и последовательными часами (см. [Рисунок 240](#)). Для корректной передачи данных биты CPOL и CPHA должны быть одинаково настроены в ведомом и ведущем устройствах.
3. Формат кадра (сначала старший или младший бит в зависимости от значения бита LSBFIRST в регистре SPI_CR1) должен быть таким же, как у ведущего устройства.
4. В аппаратном режиме (см. [Управление контактами выбора ведомого \(NSS\)](#)), контакт NSS должен быть подключен к сигналу низкого уровня во время полной последовательности передачи байта. В программном режиме NSS установите бит SSM и очистите бит SSI в регистре SPI_CR1.
5. Очистите бит MSTR и установите бит SPE (оба в регистре SPI_CR1), чтобы назначить контактам альтернативные функции.

В этой конфигурации вывод MOSI является вводом данных, а вывод MISO — выводом данных.

Последовательность передачи

Байт данных параллельно загружается в буфер Tx во время цикла записи.

Последовательность передачи начинается, когда ведомое устройство получает тактовый сигнал и старший бит данных на своем выводе MOSI. Остальные биты (7 битов в 8-битном формате кадра данных и 15 битов в 16-битном формате кадра данных) загружаются в регистр сдвига. Флаг TXE в регистре SPI_SR устанавливается при передаче данных из буфера Tx в регистр сдвига, и генерируется прерывание, если установлен бит TXEIE в регистре SPI_CR2.

Последовательность получения

Для получателя, когда передача данных завершена:

- Данные в регистре сдвига передаются в буфер Rx и устанавливается флаг RXNE (регистр SPI_SR).
- Прерывание генерируется, если бит RXNEIE установлен в регистре SPI_CR2.

После последнего фронта тактового импульса выборки устанавливается бит RXNE, копия байта данных, полученного в сдвиговом регистре, перемещается в буфер Rx. Когда регистр SPI_DR считывается, периферийное устройство SPI возвращает это буферизованное значение.

Очистка бита RXNE выполняется чтением регистра SPI_DR.

25.3.3 Настройка SPI в ведущем режиме

В ведущей конфигурации последовательные часы генерируются на выводе SCK.

Процедура

1. Выберите биты BR[2:0], чтобы определить скорость передачи последовательных часов (см. регистр SPI_CR1).
2. Выберите биты CPOL и CPHA, чтобы определить одну из четырех взаимосвязей между передачей данных и последовательными часами (см. [Рисунок 240](#)).
3. Установите бит DFF, чтобы определить 8- или 16-битный формат кадра данных.
4. Настройте бит LSBFIRST в регистре SPI_CR1, чтобы определить формат кадра.
5. Если вывод NSS требуется в режиме ввода, в аппаратном режиме подключите вывод NSS к сигналу высокого уровня во время полной последовательности передачи байта. В программном режиме NSS установите биты SSM и SSI в регистре SPI_CR1. Если вывод NSS требуется в режиме вывода, следует установить только бит SSOE.
6. Биты MSTR и SPE должны быть установлены (они остаются установленными, только если вывод NSS подключен к сигналу высокого уровня).

В этой конфигурации вывод MOSI является выходом данных, а вывод MISO — вводом данных.

Последовательность передачи

Последовательность передачи начинается, когда байт записывается в буфер Tx.

Байт данных параллельно загружается в регистр сдвига (из внутренней шины) во время передачи первого бита, а затем последовательно сдвигается на вывод MOSI сначала MSB или LSB, в зависимости от бита LSBFIRST в регистре SPI_CR1. Флаг TXE устанавливается при передаче данных из буфера Tx в регистр сдвига, и генерируется прерывание, если установлен бит TXEIE в регистре SPI_CR2.

Последовательность получения

Для получателя, когда передача данных завершена:

- Данные в регистре сдвига передаются в буфер RX и устанавливается флаг RXNE
- Прерывание генерируется, если в регистре SPI_CR2 установлен бит RXNEIE

На последнем фронте такта выборки устанавливается бит RXNE, копия байта данных, полученного в регистре сдвига, перемещается в буфер Rx. Когда регистр SPI_DR считывается, периферийное устройство SPI возвращает это буферизованное значение.

Очистка бита RXNE выполняется чтением регистра SPI_DR.

Непрерывный поток передачи может поддерживаться, если следующие данные для передачи помещаются в буфер Tx после начала передачи. Обратите внимание, что перед любой попыткой записи в буфер Tx флаг TXE должен быть равен '1'.

Примечание:

Когда мастер обменивается данными с ведомыми SPI, выбор которых необходимо отменить между передачами, вывод NSS должен быть настроен как GPIO или другой GPIO должен использоваться и переключаться программным обеспечением.

25.3.4 Настройка SPI для полудуплексной связи

SPI может работать в полудуплексном режиме в двух конфигурациях.

- 1 тактовый и 1 двунаправленный провод данных
- 1 тактовый и 1 провод данных (только для приема или только для передачи)

1 тактовый и 1 двунаправленный провод данных (BIDIMODE = 1)

Этот режим включается установкой бита BIDIMODE в регистре SPI_CR1. В этом режиме SCK используется для часов, а MOSI в ведущем или MISO в ведомом режиме используется для передачи данных. Направление передачи (ввод/вывод) выбирается битом BIDIOE в регистре SPI_CR1. Когда этот бит равен 1, строка данных выводится, в противном случае она вводится.

1 тактовый сигнал и 1 однонаправленный канал передачи данных (BIDIMODE = 0)

В этом режиме приложение может использовать SPI либо в режиме только передачи, либо в режиме только приема.

- Режим только для передачи аналогичен полнодуплексному режиму (BIDIMODE=0, RXONLY=0): данные передаются по контакту передачи (MOSI в ведущем режиме или MISO в ведомом режиме) и приемному контакту (MISO в ведущем режиме или MOSI в ведомом режиме) можно использовать как ввод-вывод общего назначения. В этом случае приложению достаточно просто игнорировать Rx-буфер (если регистр данных читается, он не содержит принятого значения).
- В режиме только приема приложение может отключить функцию вывода SPI, установив бит RXONLY в регистре SPI_CR1. В этом случае он освобождает вывод ввода-вывода передачи (MOSI в ведущем режиме или MISO в ведомом режиме), поэтому его можно использовать для других целей.

Чтобы начать связь в режиме только приема, настройте и включите SPI:

- В ведущем режиме связь начинается немедленно и прекращается, когда бит SPE сбрасывается и текущий прием прекращается. В этом режиме нет необходимости читать флаг BSY. Он всегда устанавливается, когда идет обмен данными по SPI.
- В ведомом режиме SPI продолжает получать до тех пор, пока NSS отключен (или бит SSI сброшен в программном режиме NSS) и работает SCK.

25.3.5 Процедуры передачи и приема данных

Буферы Rx и Tx

При приеме данные принимаются, а затем сохраняются во внутреннем буфере Rx, а при передаче данные сначала сохраняются во внутреннем буфере Tx перед передачей.

Доступ для чтения к регистру SPI_DR возвращает буферизованное значение Rx, тогда как доступ для записи к SPI_DR сохраняет записанные данные в буфер Tx.

Последовательность запуска в ведущем режиме

- В полнодуплексном режиме (BIDIMODE=0 и RXONLY=0)
 - Последовательность начинается, когда данные записываются в регистр SPI_DR (буфер Tx).
 - Затем данные параллельно загружаются из буфера Tx в 8-битный регистр сдвига во время передачи первого бита, а затем последовательно выводятся на вывод MOSI.
 - В то же время полученные данные на выводе MISO последовательно сдвигаются в 8-битный регистр сдвига, а затем параллельно загружаются в регистр SPI_DR (буфер Rx).
- В однонаправленном режиме только приема (BIDIMODE=0 и RXONLY=1)
 - Последовательность начинается, как только SPE=1
 - Активируется только приемник, и полученные данные на выводе MISO последовательно сдвигаются в 8-битный регистр сдвига, а затем параллельно загружаются в регистр SPI_DR (буфер Rx).
- В двунаправленном режиме при передаче (BIDIMODE=1 и BIDIOE=1)
 - Последовательность начинается, когда данные записываются в регистр SPI_DR (буфер Tx).
 - Затем данные параллельно загружаются из буфера Tx в 8-битный регистр сдвига во время передачи первого бита, а затем последовательно выводятся на вывод MOSI.
 - Данные не получены.
- В двунаправленном режиме при приеме (BIDIMODE=1 и BIDIOE=0)
 - Последовательность начинается, как только SPE=1 и BIDIOE=0.
 - Полученные данные на выводе MOSI последовательно сдвигаются в 8-битный регистр сдвига, а затем параллельно загружаются в регистр SPI_DR (буфер Rx).
 - Передатчик не активирован, и данные не выводятся последовательно на вывод MOSI.

Последовательность запуска в ведомом режиме

- В полнодуплексном режиме (BIDIMODE=0 и RXONLY=0)
 - Последовательность начинается, когда ведомое устройство получает тактовый сигнал и первый бит данных на своем выводе MOSI. Оставшиеся 7 бит загружаются в регистр сдвига.
 - В то же время данные параллельно загружаются из буфера Tx в 8-битный регистр сдвига во время передачи первого бита, а затем последовательно выводятся на вывод MISO. Программное обеспечение должно записать данные для отправки до того, как ведущее устройство SPI инициирует передачу.
- В однонаправленном режиме только приема (BIDIMODE=0 и RXONLY=1)
 - Последовательность начинается, когда ведомое устройство получает тактовый сигнал и первый бит данных на своем выводе MOSI. Оставшиеся 7 бит загружаются в регистр сдвига.
 - Передатчик не активирован, и данные не выводятся последовательно на вывод MISO.
- В двунаправленном режиме при передаче (BIDIMODE=1 и BIDIOE=1)
 - Последовательность начинается, когда ведомое устройство получает тактовый сигнал и первый бит в буфере Tx передается на вывод MISO.
 - Затем данные параллельно загружаются из буфера Tx в 8-битный регистр сдвига во время передачи первого бита, а затем последовательно выводятся на вывод MISO.

программное обеспечение должно записать данные для отправки до того, как ведущее устройство SPI инициирует передачу.

- Данные не получены.
- В двунаправленном режиме при приеме (BIDIMODE=1 и BIDIOE=0)
 - Последовательность начинается, когда ведомое устройство получает тактовый сигнал и первый бит данных на своем выводе MISO.
 - Полученные данные на выводе MISO последовательно сдвигаются в 8-битный регистр сдвига, а затем параллельно загружаются в регистр SPI_DR (буфер Rx).
 - Передатчик не активирован, и данные не выводятся последовательно на вывод MISO.

Обработка передачи и приема данных

Флаг TXE (буфер Tx пуст) устанавливается, когда данные передаются из буфера Tx в сдвиговый регистр. Это указывает на то, что внутренний буфер Tx готов к загрузке следующих данных. Прерывание может быть сгенерировано, если установлен бит TXEIE в регистре SPI_CR2. Очистка бита TXE выполняется путем записи в регистр SPI_DR.

Примечание:

Программное обеспечение должно убедиться, что флаг TXE установлен на 1 перед попыткой записи в буфер Tx. В противном случае он перезаписывает данные, ранее записанные в буфер Tx.

Флаг RXNE (буфер Rx не пуст) устанавливается на последнем фронте тактового импульса выборки, когда данные передаются из сдвигового регистра в буфер Rx. Это указывает на то, что данные готовы к чтению из регистра SPI_DR. Прерывание может быть сгенерировано, если установлен бит RXNEIE в регистре SPI_CR2. Очистка бита RXNE выполняется чтением регистра SPI_DR.

Для некоторых конфигураций флаг BSY можно использовать во время последней передачи данных, чтобы дождаться завершения передачи.

Процедура полнодуплексной передачи и приема в ведущем или ведомом режиме (BIDIMODE=0 и RXONLY=0)

Программное обеспечение должно следовать этой процедуре для передачи и приема данных (см. [Рисунок 241](#) и [Рисунок 242](#)):

1. Включите SPI, установив бит SPE в 1.
2. Записать первый передаваемый элемент данных в регистр SPI_DR (при этом сбрасывается флаг TXE).
3. Подождите, пока TXE=1, и запишите второй элемент данных для передачи. Затем подождите, пока RXNE=1, и прочитайте SPI_DR, чтобы получить первый полученный элемент данных (это очистит бит RXNE). Повторяйте эту операцию для каждого передаваемого/принимаемого элемента данных до тех пор, пока не будет получено n-1 данных.
4. Подождите, пока RXNE=1, и прочитайте последние полученные данные.
5. Подождите, пока TXE=1, а затем подождите, пока BSY=0, прежде чем отключать SPI.

Эта процедура также может быть реализована с использованием специальных подпрограмм прерывания, запускаемых при каждом переднем фронте флага RXNE или TXE.

Рис. 241. Поведение TXE/RXNE/BSY в режиме Master/full-duplex (BIDIMODE=0 и RXONLY=0) в случае непрерывных передач

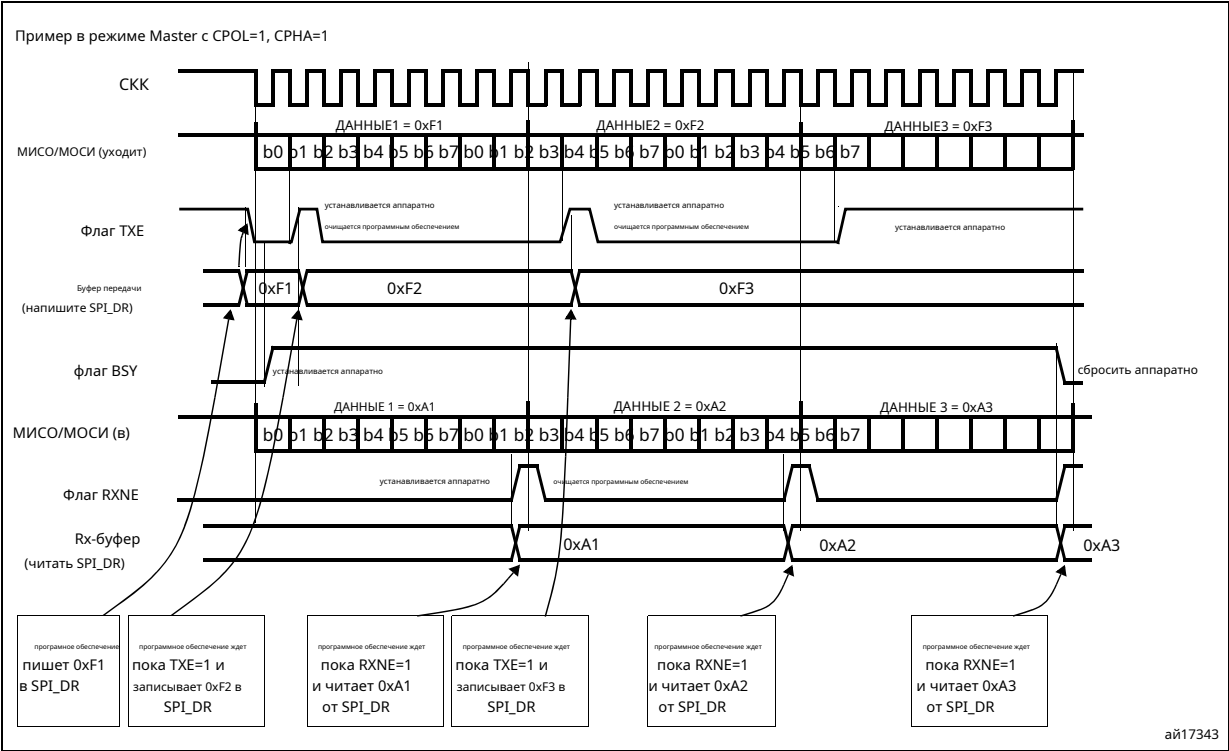
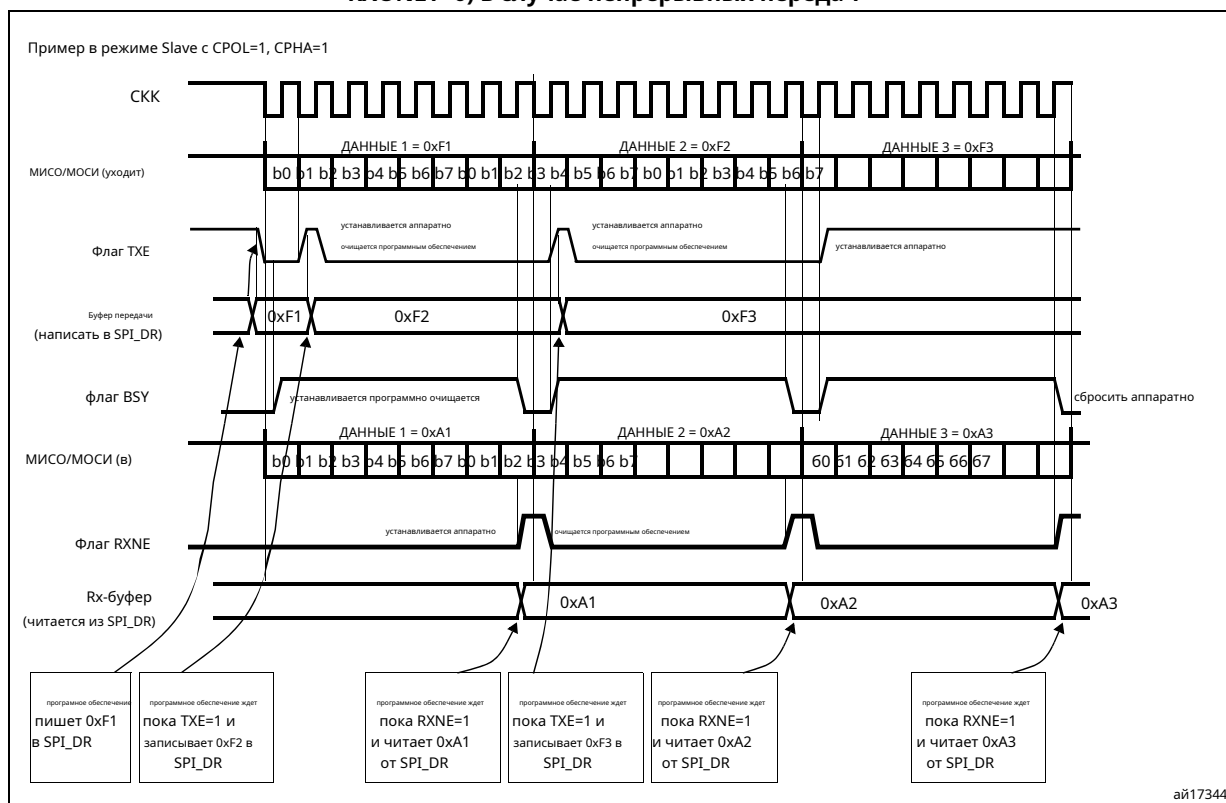


Рис. 242. Поведение TXE/RXNE/BSY в режиме Slave/full-duplex (BIDIMODE=0, RXONLY=0) в случае непрерывных передач



Процедура только для передачи (BIDIMODE=0 RXONLY=0)

В этом режиме процедура может быть сокращена, как описано ниже, и бит BSY может использоваться для ожидания завершения передачи (см. [Рисунок 243](#) и [Рисунок 244](#)).

1. Включите SPI, установив бит SPE в 1.
2. Запишите первый элемент данных для отправки в регистр SPI_DR (при этом очищается бит TXE).
3. Подождите, пока TXE=1, и запишите следующий элемент данных для передачи. Повторите этот шаг для каждого элемента данных, который необходимо передать.
4. После записи последнего элемента данных в регистр SPI_DR подождите, пока TXE=1, затем подождите, пока BSY=0, это означает, что передача последних данных завершена.

Эта процедура также может быть реализована с использованием специальных подпрограмм прерывания, запускаемых при каждом переднем фронте флага TXE.

Примечание:

Во время прерывистой связи существует задержка в 2 периода синхронизации APB между операцией записи в SPI_DR и установкой бита BSY. Как следствие, в режиме только передачи необходимо сначала дождаться установки TXE, а затем очистки BSY после записи последних данных.

После передачи двух элементов данных в режиме только передачи в регистре SPI_SR устанавливается флаг OVR, поскольку полученные данные никогда не считываются.

Рисунок 243. Поведение TXE/BSY в режиме Master только для передачи (BIDIMODE=0 и RXONLY=0) в случае непрерывных переводов

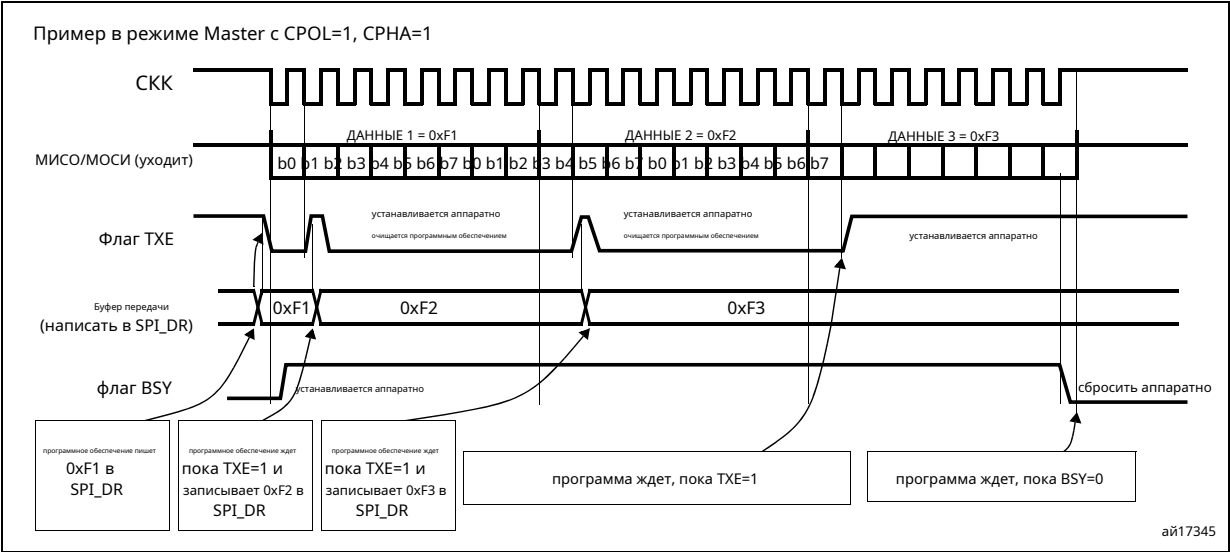
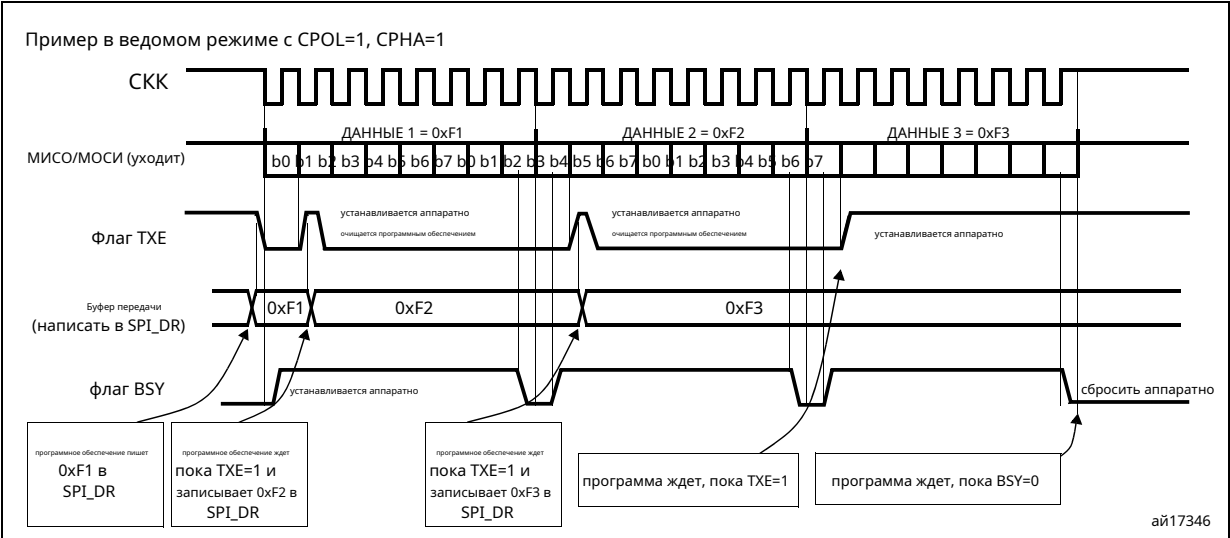


Рисунок 244. TXE/BSY в режиме передачи Slave (BIDIMODE=0 и RXONLY=0) в случае непрерывных переводов



Процедура двунаправленной передачи (BIDIMODE=1 и BIDIOE=1)

В этом режиме процедура аналогична процедуре в режиме только передачи, за исключением того, что биты BIDIMODE и BIDIOE должны быть установлены в регистре SPI_CR2 перед включением SPI.

Однонаправленная процедура только для приема (BIDIMODE=0 и RXONLY=1)

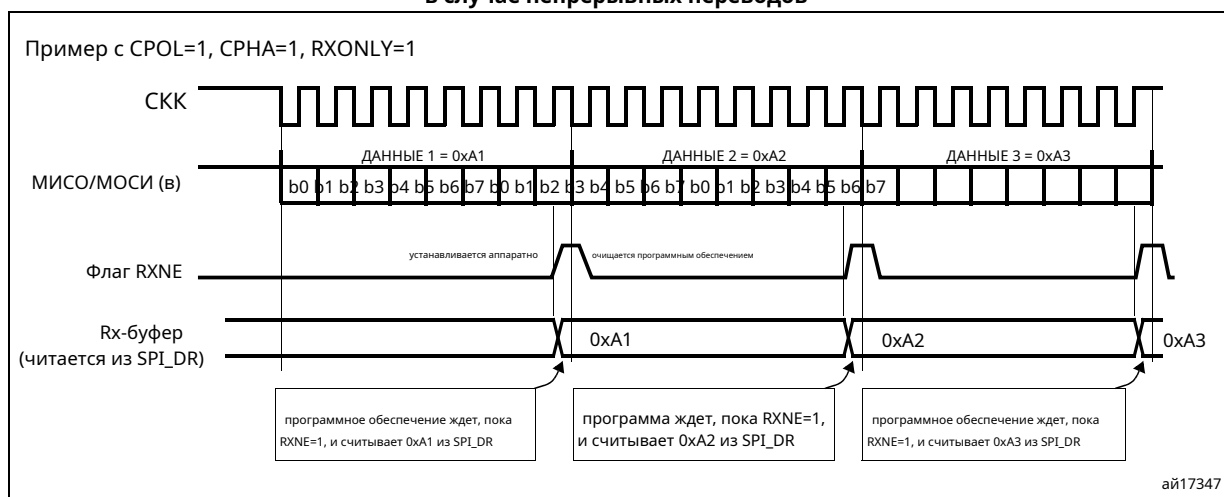
В этом режиме процедура может быть сокращена, как описано ниже (см. [Рисунок 245](#)):

1. Установите бит RXONLY в регистре SPI_CR1.
 2. Включите SPI, установив бит SPE в 1:
 - а) В ведущем режиме это немедленно активирует генерацию тактового сигнала SCK, и данные принимаются последовательно до тех пор, пока SPI не будет отключен (SPE=0).
 - б) В ведомом режиме данные принимаются, когда ведущее устройство SPI устанавливает низкий уровень NSS и генерирует тактовый сигнал SCK.
 3. Подождите, пока RXNE=1, и прочитайте регистр SPI_DR, чтобы получить полученные данные (при этом будет очищен бит RXNE). Повторите эту операцию для каждого принимаемого элемента данных.
- Эту процедуру также можно реализовать с помощью специальных подпрограмм прерывания, запускаемых при каждом переднем фронте флага RXNE.

Примечание:

Если требуется отключить SPI после последней передачи, следуйте рекомендации, описанной в [Раздел 25.3.8](#).

Рисунок 245. Поведение RXNE в режиме только приема (BIDIRMODE=0 и RXONLY=1) в случае непрерывных переводов



Процедура двунаправленного приема (BIDIMODE=1 и BIDIOE=0)

В этом режиме процедура аналогична процедуре режима «только прием», за исключением того, что перед включением SPI необходимо установить бит BIDIMODE и очистить бит BIDIOE в регистре SPI_CR2.

Непрерывные и прерывистые передачи

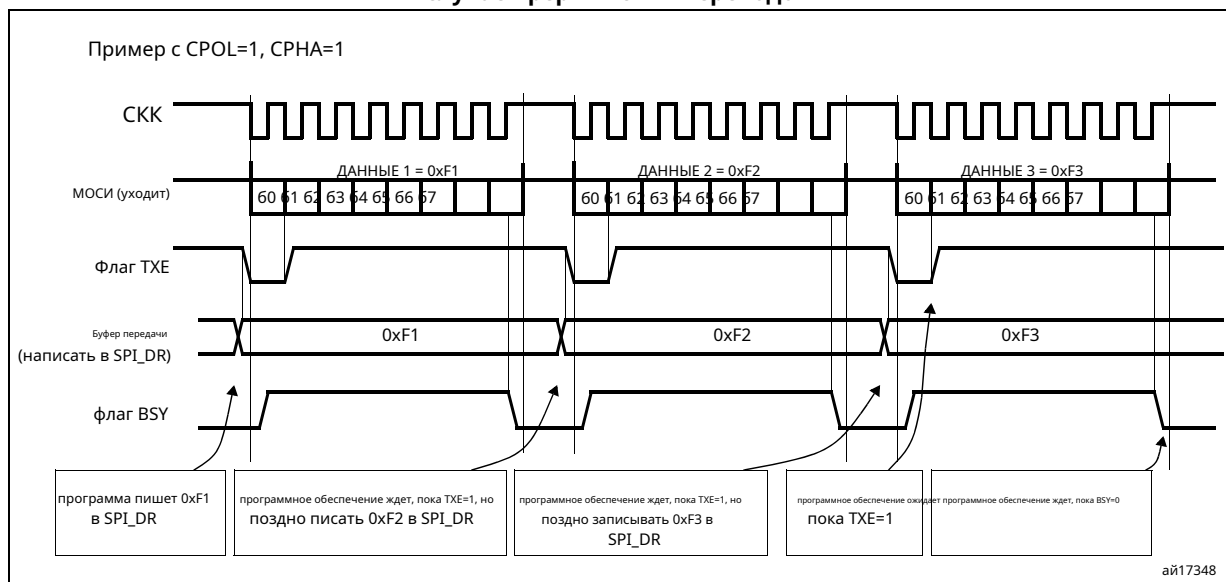
При передаче данных в ведущем режиме, если программное обеспечение достаточно быстро, чтобы обнаружить каждый нарастающий фронт TXE (или прерывания TXE) и немедленно записать в регистр SPI_DR до завершения текущей передачи данных, связь считается непрерывной. В этом случае нет разрыва в генерации часов SPI между каждым элементом данных, и бит BSY никогда не сбрасывается между каждой передачей данных.

Наоборот, если программное обеспечение недостаточно быстрое, это может привести к некоторым разрывам связи. В этом случае бит BSY сбрасывается между каждой передачей данных (см. [Рисунок 246](#)).

В режиме Master только для приема (RXONLY=1) связь всегда непрерывна, а флаг BSY всегда считывается как 1.

В ведомом режиме непрерывность связи определяется ведущим устройством SPI. В любом случае, даже если связь непрерывна, флаг BSY становится низким между каждой передачей в течение минимальной продолжительности одного тактового цикла SPI (см. [Рисунок 244](#)).

Рисунок 246. Поведение TXE/BSY при передаче (BIDIRMODE=0 и RXONLY=0) в случае прерывистых переводов



25.3.6 Расчет CRC

Калькулятор CRC был реализован для надежности связи. Отдельные вычислители CRC реализованы для переданных данных и принятых данных. CRC вычисляется с использованием программируемого полинома последовательно для каждого бита. Он вычисляется по фронту тактового импульса, определяемому битами CPHA и CPOL в регистре SPI_CR1.

Примечание:

Этот SPI предлагает два вида стандарта расчета CRC, которые напрямую зависят от формата кадра данных, выбранного для передачи и/или приема: 8-битные данные (CR8) и 16-битные данные (CRC16).

Вычисление CRC включается установкой бита CRCEN в регистре SPI_CR1. Это действие сбрасывает регистры CRC (SPI_RXCRCR и SPI_TXCRCR). В полнодуплексном режиме или режиме только передатчика, когда передача управляется программным обеспечением (режим ЦП), необходимо записать бит CRCNEXT сразу после того, как последние передаваемые данные будут записаны в SPI_DR. В конце этой последней передачи данных передается значение SPI_TXCRCR.

В режиме только приема и когда передача управляется программным обеспечением (режим ЦП), необходимо записать бит CRCNEXT после получения предпоследних данных. CRC принимается сразу после последнего приема данных, после чего выполняется проверка CRC.

В конце передачи данных и CRC устанавливается флаг CRCERR в регистре SPI_SR, если во время передачи происходит повреждение.

Если данные присутствуют в буфере TX, значение CRC передается только после передачи байта данных. Во время передачи CRC вычислитель CRC отключается, а значение регистра остается неизменным.

Связь SPI с использованием CRC возможна с помощью следующей процедуры:

1. Запрограммируйте значения CPOL, CPHA, LSBFirst, BR, SSM, SSI и MSTR.
2. Запрограммируйте полином в регистре SPI_CRCPR.
3. Включите вычисление CRC, установив бит CRCEN в регистре SPI_CR1. Это также очищает регистры SPI_RXCRCR и SPI_TXCRCR.
4. Включите SPI, установив бит SPE в регистре SPI_CR1.
5. Запустите связь и поддерживайте связь до тех пор, пока не будут переданы или получены все, кроме одного байта или полуслова.
 - В полнодуплексном режиме или режиме только передатчика, когда передача управляется программным обеспечением, при записи последнего байта или полуслова в буфер Tx установите бит CRCNEXT в регистре SPI_CR1, чтобы указать, что CRC будет передан после передачи. последнего байта.
 - В режиме только приемника установите бит CRCNEXT сразу после приема предпоследних данных, чтобы подготовить SPI к переходу в фазу CRC в конце приема последних данных. Вычисление CRC заморожено во время передачи CRC.
6. После передачи последнего байта или полуслова SPI переходит к фазе передачи и проверки CRC. В полнодуплексном режиме или режиме только приемника полученный CRC сравнивается со значением SPI_RXCRCR. Если значение не совпадает, устанавливается флаг CRCERR в SPI_SR и может генерироваться прерывание при установке бита ERRIE в регистре SPI_CR2.

Примечание:

Когда SPI находится в ведомом режиме, будьте осторожны, чтобы включить вычисление CRC только тогда, когда часы стабильны, то есть, когда часы находятся в устойчивом состоянии. В противном случае может быть выполнен неправильный расчет CRC. На самом деле, CRC чувствителен к тактовому сигналу ведомого SCK, как только устанавливается CRCEN, независимо от значения бита SPE.

При высоких частотах битрейта будьте осторожны при передаче CRC. Поскольку количество используемых циклов ЦП должно быть как можно меньше на этапе передачи CRC, запрещается вызывать программные функции в последовательности передачи CRC, чтобы избежать ошибок в последних данных и приеме CRC. Фактически бит CRCNEXT должен быть записан до окончания передачи/приема последних данных.

Для частот с высокой скоростью передачи данных рекомендуется использовать режим DMA, чтобы избежать ухудшения характеристик скорости SPI из-за того, что обращения к ЦП влияют на пропускную способность SPI.

Когда устройства сконфигурированы как ведомые и используется аппаратный режим NSS, на выводе NSS необходимо поддерживать низкий уровень между фазой данных и фазой CRC.

Когда SPI настроен в ведомом режиме с включенной функцией CRC, вычисление CRC происходит, даже если на вывод NSS подается высокий уровень. Это может произойти, например, в случае среды с несколькими ведомыми устройствами, где ведущий поочередно обращается к ведомым устройствам.

Между отменой выбора ведомого (высокий уровень на NSS) и новым выбором ведомого (низкий уровень на NSS) значение CRC должно быть очищено как на ведущей, так и на ведомой стороне, чтобы повторно синхронизировать ведущее и ведомое устройства для их соответствующего вычисления CRC.

Чтобы очистить CRC, выполните следующую

процедуру: 1. Отключите SPI (SPE = 0).

2. Очистить бит CRCEN

3. Установите бит CRCEN

4. Включите SPI (SPE = 1)

25.3.7 Флаги состояния

Четыре флага состояния предназначены для приложения, чтобы полностью контролировать состояние шины SPI.

Флаг пустого буфера Tx (TXE)

Когда он установлен, этот флаг указывает, что буфер Tx пуст и следующие данные для передачи могут быть загружены в буфер. Флаг TXE очищается при записи в регистр SPI_DR.

Буфер Rx не пуст (RXNE)

Когда этот флаг установлен, он указывает, что в буфере Rx есть допустимые полученные данные. Он очищается при чтении SPI_DR.

флаг ЗАНЯТО

Этот флаг BSY устанавливается и сбрасывается аппаратно (запись в этот флаг не действует). Флаг BSY указывает на состояние коммуникационного уровня SPI.

Когда BSY установлен, это указывает на то, что SPI занят обменом данными. Существует одно исключение в ведущем режиме/режиме двунаправленного приема (MSTR=1 и BDM=1 и BDOE=0), где во время приема флаг BSY остается низким.

Флаг BSY полезен для обнаружения конца передачи, если программа хочет отключить SPI и перейти в режим остановки (или отключить периферийные часы). Это позволяет избежать повреждения последней передачи. Для этого необходимо строго соблюдать процедуру, описанную ниже.

Флаг BSY также полезен для предотвращения конфликтов записи в системе с несколькими мастерами.

Флаг BSY устанавливается, когда начинается передача, за исключением режима ведущего/режима двунаправленного приема (MSTR=1 и BDM=1 и BDOE=0).

Очищено:

- когда передача завершена (кроме ведущего режима, если связь непрерывна),
- когда SPI отключен
- когда возникает ошибка режима ведущего (MODF=1)

Когда связь не является непрерывной, флаг BSY имеет низкий уровень между каждой связью.

Когда связь непрерывна:

- в ведущем режиме флаг BSY остается высоким во время всех передач
- в ведомом режиме флаг BSY становится низким на один тактовый цикл SPI между каждой передачей

Примечание:

Не используйте флаг BSY для обработки каждой передачи или приема данных. Вместо этого лучше использовать флаги TXE и RXNE.

25.3.8 Отключение SPI

Когда передача завершена, приложение может остановить связь, отключив периферийное устройство SPI. Это делается путем очистки бита SPE.

Для некоторых конфигураций отключение SPI и переход в режим остановки во время текущей передачи может привести к повреждению текущей передачи и/или флаг BSY может стать ненадежным.

Чтобы избежать любого из этих эффектов, рекомендуется соблюдать следующую процедуру при отключении SPI:

В полнодуплексном режиме ведущего или ведомого (BIDIMODE=0, RXONLY=0)

1. Подождите, пока RXNE=1, чтобы получить последние данные
2. Подождите, пока TXE=1
3. Затем подождите, пока BSY=0
4. Отключите SPI (SPE=0) и, в конце концов, войдите в режим Halt (или отключите периферийные часы).

В ведущем или ведомом однонаправленном режиме только передачи (BIDIMODE=0, RXONLY=0) или двунаправленном режиме передачи (BIDIMODE=1, BIDIOE=1)

После того, как в регистр SPI_DR будут записаны последние данные: 1.

Подождите, пока TXE=1

2. Затем дождитесь, пока BSY=0

3. Отключите SPI (SPE=0) и, в конце концов, войдите в режим Halt (или отключите периферийные часы).

В режиме основного однонаправленного приема (MSTR=1, BIDIMODE=0, RXONLY=1) или в режиме двунаправленного приема (MSTR=1, BIDIMODE=1, BIDIOE=0)

Этот случай должен управляться особым образом, чтобы гарантировать, что SPI не инициирует новую передачу:

1. Дождитесь предпоследнего появления RXNE=1 (n-1)
2. Затем подождите один тактовый цикл SPI (используя программный цикл) перед отключением SPI (SPE=0).
3. Затем дождитесь последнего RXNE=1, прежде чем войти в режим остановки (или отключить периферийные часы).

Примечание:

В режиме ведущего двунаправленного приема (MSTR=1 и BDM=1 и BDOE=0) флаг BSY остается низким во время передачи.

В подчиненном режиме только приема (MSTR=0, BIDIMODE=0, RXONLY=1) или в режиме двунаправленного приема (MSTR=0, BIDIMODE=1, BIDIOE=0)

1. Вы можете отключить SPI (запишите SPE=1) в любое время: текущая передача завершится до того, как SPI будет отключен.
2. Затем, если вы хотите войти в режим остановки, вы должны сначала дождаться, пока BSY = 0, прежде чем войти в режим остановки (или отключить периферийные часы).

25.3.9 Связь SPI с использованием DMA (прямая адресация памяти)

Чтобы работать на максимальной скорости, SPI должен получать данные для передачи, а данные, полученные в буфере Rx, следует считывать, чтобы избежать переполнения. Для облегчения передачи SPI имеет функцию прямого доступа к памяти, реализующую простой протокол запроса/подтверждения.

Доступ к DMA запрашивается, когда разрешающий бит в регистре SPI_CR2 включен. К буферам Tx и Rx должны быть отправлены отдельные запросы (см. [Рисунок 247](#) и [Рисунок 248](#)):

- При передаче запрос DMA выдается каждый раз, когда TXE устанавливается в 1. Затем DMA записывает в регистр SPI_DR (это очищает флаг TXE).
- При приеме запрос DMA выдается каждый раз, когда RXNE устанавливается в 1. Затем DMA считывает регистр SPI_DR (это очищает флаг RXNE).

Когда SPI используется только для передачи данных, можно включить только канал SPI Tx DMA. В этом случае устанавливается флаг OVR, так как полученные данные не читаются.

Когда SPI используется только для приема данных, можно включить только канал SPI Rx DMA.

В режиме передачи, когда DMA записал все данные для передачи (флаг TCIF установлен в регистре DMA_ISR), можно контролировать флаг BSY, чтобы убедиться, что связь SPI завершена. Это необходимо, чтобы не повредить последнюю передачу перед отключением SPI или переходом в режим остановки. Программное обеспечение должно сначала дождаться, пока TXE=1, а затем пока BSY=0.

Примечание:

Во время прерывистой связи существует задержка в 2 периода синхронизации APB между операцией записи в SPI_DR и установкой бита BSY. Как следствие, необходимо сначала дождаться TXE=1, а затем BSY=0 после записи последних данных.

Рисунок 247. Передача с использованием DMA

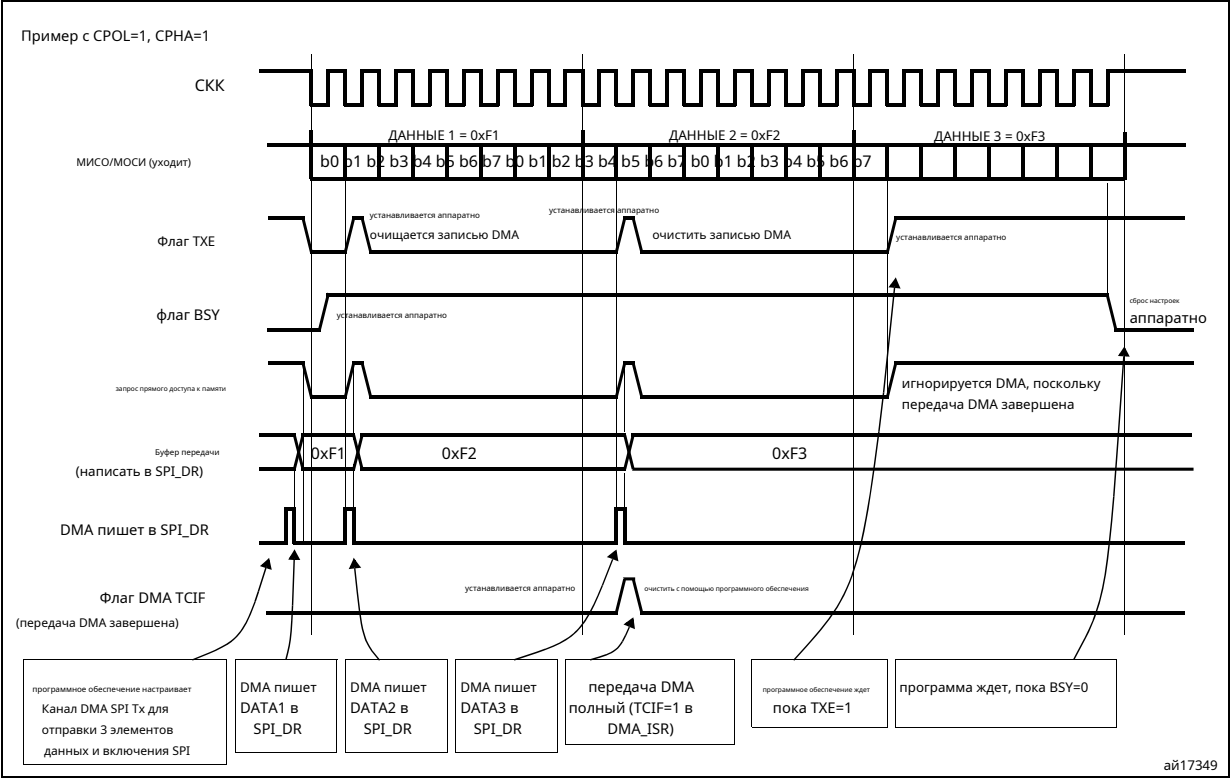
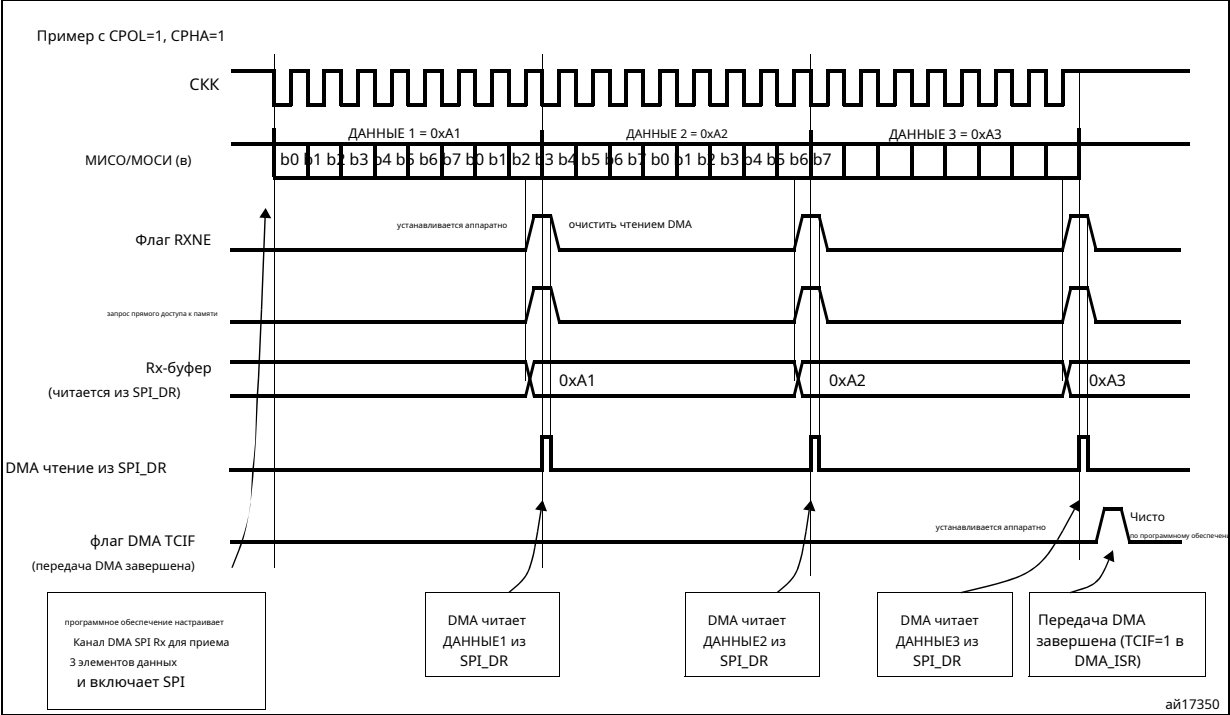


Рисунок 248. Прием с использованием DMA



Возможность DMA с CRC

Когда связь SPI включена с связью CRC и режимом DMA, передача и прием CRC в конце связи выполняются автоматически, то есть без использования бита CRCNEXT. После приема CRC необходимо прочитать CRC в регистре SPI_DR, чтобы сбросить флаг RXNE.

В конце передачи данных и CRC устанавливается флаг CRCERR в SPI_SR, если во время передачи происходит повреждение.

25.3.10 Флаги ошибок

Ошибка ведущего режима (MODF)

Неисправность режима ведущего возникает, когда на выводе NSS ведущего устройства установлен низкий уровень (в аппаратном режиме NSS) или бит SSI находится на низком уровне (в программном режиме NSS), это автоматически устанавливает бит MODF. Сбой в режиме Master влияет на периферийное устройство SPI следующим образом:

- Устанавливается бит MODF и генерируется прерывание SPI, если установлен бит ERRIE.
- Бит SPE очищается. Это блокирует все выходные данные устройства и отключает интерфейс SPI.
- Бит MSTR сбрасывается, что переводит устройство в ведомый режим.

Используйте следующую программную последовательность для сброса бита MODF:

1. Сделайте доступ для чтения или записи к регистру SPI_SR, когда установлен бит MODF.
2. Затем запишите в регистр SPI_CR1.

Чтобы избежать любых конфликтов нескольких ведомых устройств в системе, состоящей из нескольких MCU, на выводе NSS должен быть установлен высокий уровень во время последовательности очистки бита MODF. Биты SPE и MSTR могут быть восстановлены в исходное состояние после этой последовательности очистки.

В целях безопасности аппаратное обеспечение не позволяет устанавливать биты SPE и MSTR, пока установлен бит MODF.

В ведомом устройстве бит MODF не может быть установлен. Однако в конфигурации с несколькими ведущими устройство может находиться в ведомом режиме с установленным битом MODF. В этом случае бит MODF указывает на то, что мог возникнуть конфликт между несколькими ведущими для управления системой. Процедура прерывания может использоваться для чистого восстановления из этого состояния путем выполнения сброса или возврата в состояние по умолчанию.

Состояние переполнения

Состояние переполнения возникает, когда ведущее устройство отправило байты данных, а ведомое устройство не очистило бит RXNE, полученный в результате передачи предыдущего байта данных.

Когда перерасход состояния возникает:

- устанавливается бит OVR и генерируется прерывание, если установлен бит ERRIE.

В этом случае содержимое буфера приемника не будет обновляться вновь полученными данными от ведущего устройства. Чтение из регистра SPI_DR возвращает этот байт. Все остальные передаваемые впоследствии байты теряются.

Очистка бита OVR выполняется чтением из регистра SPI_DR, за которым следует доступ для чтения к регистру SPI_SR.

CRC-ошибка

Этот флаг используется для проверки достоверности полученного значения, когда установлен бит CRCEN в регистре SPI_CR1. Флаг CRCERR в регистре SPI_SR устанавливается, если значение, полученное в сдвиговом регистре, не совпадает со значением SPI_RXCRCR приемника.

25.3.11 Прерывания SPI

Таблица 182. Запросы на прерывание SPI

Прервать событие	Флаг события	Включить контрольный бит
Передать флаг пустого буфера	TXE	TXEIE
Флаг получения буфера не пустой	RXNE	RXNEIE
Событие отказа главного режима	МОДФ	ЭРПИ
Ошибка переполнения	ОБЩ	
Флаг ошибки CRC	CRCERR	



SPI может функционировать как аудио I2S интерфейс, когда возможность S включена (установкой бита I2SMOD в регистре SPI_I2SCFGR). Этот интерфейс использует почти те же выводы, флаги и прерывания, что и SPI.

Я2S имеет три общих контакта с SPI:

- SD: последовательные данные (отображенные на контакте MOSI) для передачи или приема двух каналов данных с временным мультиплексированием (только в полудуплексном режиме).
- WS: Word Select (отображается на контакте NSS) — это сигнал управления данными, выводимый в ведущем режиме и вводимый в ведомом режиме.
- CK: Serial Clock (отображается на выводе SCK) — это последовательный выход часов в ведущем режиме и последовательный вход часов в подчиненном режиме.

Дополнительный контакт можно использовать, когда для некоторых внешних аудиоустройств требуется выход основного тактового сигнала:

- MCK: Master Clock (сопоставляется отдельно) используется, когда I2S настроен в ведущем режиме (и когда установлен бит MCKOE в регистре SPI_I2SPR), чтобы выводить эти дополнительные часы, сгенерированные с предварительно настроенной частотой, равной $256 \times F_s$, где F_s — частота дискретизации звука.

Я2S использует свой собственный тактовый генератор для генерации коммуникационных часов, когда он установлен в ведущем режиме. Этот тактовый генератор также является источником основного тактового сигнала. Два дополнительных регистра доступны в I2C-режиме. Один связан с конфигурацией генератора тактовых импульсов SPI_I2SPR, а другой является общим I2C-регистром конфигурации SPI_I2SCFGR (стандарт звука, режим ведомого/ведущего, формат данных, кадр пакета, полярность синхронизации и т. д.).

Регистр SPI_CR1 и все регистры CRC не используются в I2C-режиме. Аналогично, бит SSOE в регистре SPI_CR2 и биты MODF и CRCERR в SPI_SR не используются.

Я2S использует тот же регистр SPI для передачи данных (SPI_DR) в 16-битном режиме.

25.4.2 Поддерживаемые аудиопротоколы

Трехлинейная шина должна обрабатывать только аудиоданные, обычно мультиплексированные во времени по двум каналам: правому каналу и левому каналу. Однако есть только один 16-битный регистр для передачи и приема. Таким образом, программа должна записать в регистр данных адекватное значение, соответствующее рассматриваемой стороне канала, или прочитать данные из регистра данных и идентифицировать соответствующий канал, проверив бит CHSIDE в регистре SPI_SR. Левый канал всегда передается первым, а затем правый канал (CHSIDE не имеет значения для протокола PCM).

Доступны четыре кадра данных и пакетов. Данные могут быть отправлены в формате:

- 16-битные данные, упакованные в 16-битный кадр
- битные данные, упакованные в 32-битный кадр
- битные данные, упакованные в 32-битный кадр
- битные данные, упакованные в 32-битный кадр

При использовании 16-битных данных, расширенных на 32-битный пакет, первые 16 бит (MSB) являются значащими битами, 16-битный LSB принудительно устанавливается в 0 без каких-либо действий программного обеспечения или запроса DMA (только одна операция чтения/записи).

Для 24-битных и 32-битных кадров данных требуется две операции чтения или записи ЦП в/из SPI_DR или две операции DMA, если DMA предпочтительнее для приложения. В частности, для 24-битного кадра данных 8 незначащих битов расширяются до 32 битов с помощью 0-битов (аппаратно).

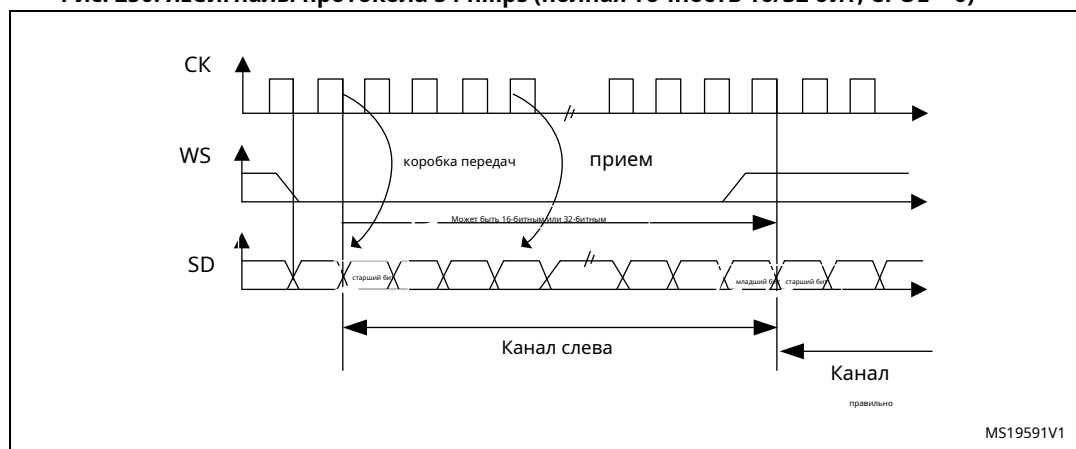
Для всех форматов данных и стандартов связи старший бит всегда отправляется первым (сначала старший бит).

Я2Интерфейс S поддерживает четыре аудиостандарта, настраиваемых с помощью битов I2SSTD[1:0] и PCMSYNC в регистре SPI_I2SCFGR.

Я2Стандарт Philips

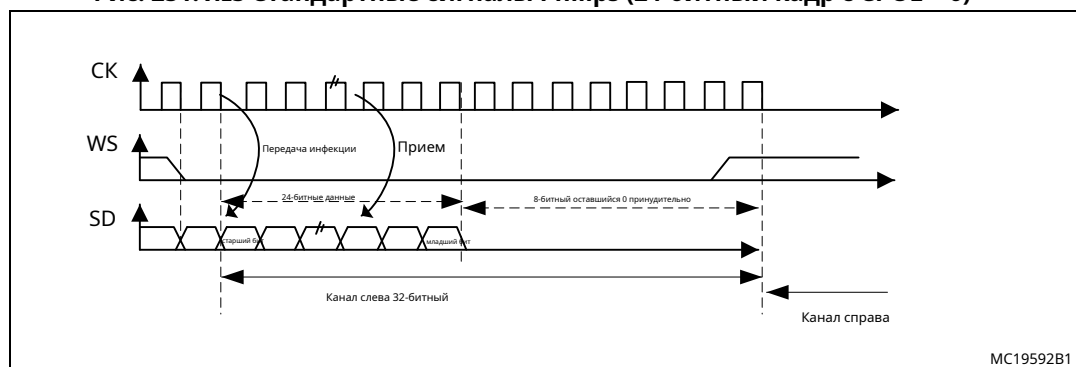
Для этого стандарта сигнал WS используется для указания того, какой канал передается. Он активируется за один тактовый цикл CK до того, как станет доступен первый бит (MSB).

Рис. 250. Я2Сигналы протокола S Philips (полная точность 16/32 бит, CPOL = 0)



Данные фиксируются по заднему фронту CK (для передатчика) и считываются по переднему фронту (для приемника). Сигнал WS также фиксируется по заднему фронту CK.

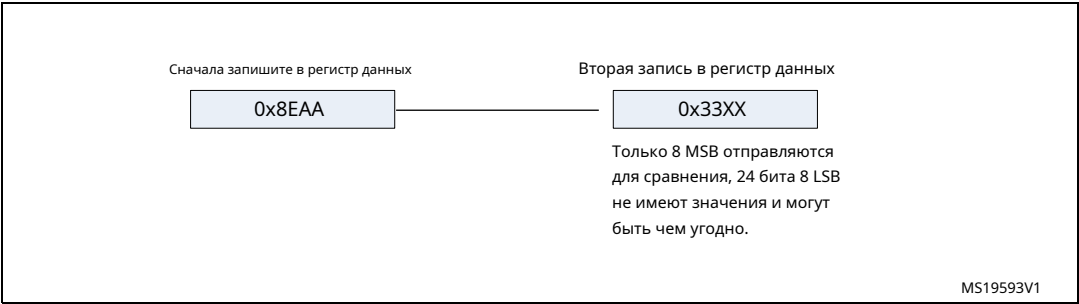
Рис. 251. Я2S Стандартные сигналы Philips (24-битный кадр с CPOL = 0)



Этот режим требует двух операций записи или чтения в/из SPI_DR.

- В режиме передачи:
если необходимо отправить 0x8EAA33 (24 бита):

Рисунок 252. Передача 0x8EAA33



- В режиме приема:
если получены данные 0x8EAA33:

Рисунок 253. Получение 0x8EAA33

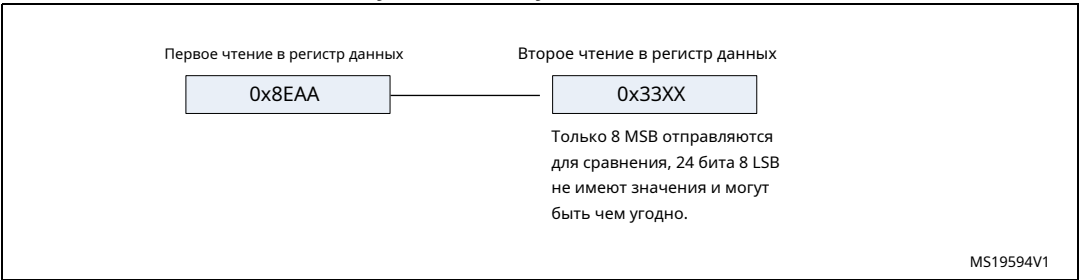
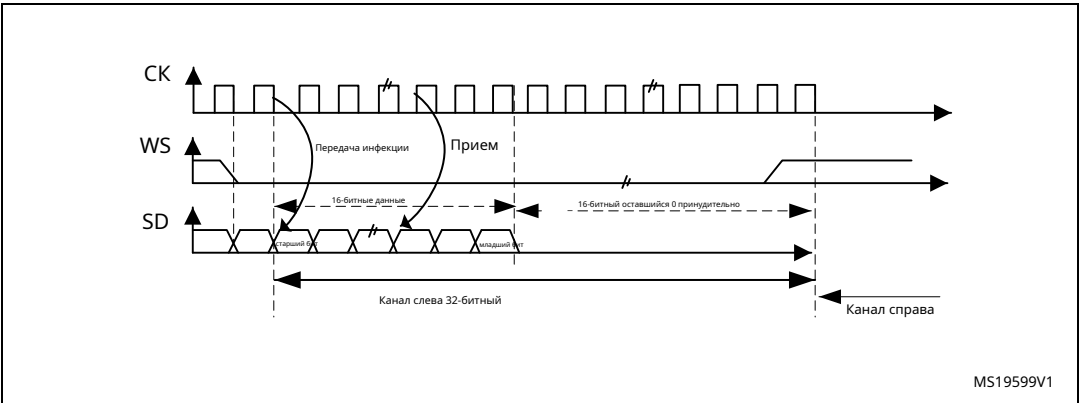


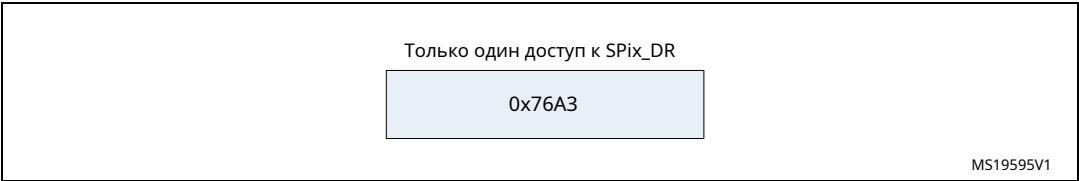
Рис. 254. Я2Стандарт S Philips (16-битный расширенный до 32-битного пакетного кадра с КПОЛ = 0)



Когда 16-битный кадр данных, расширенный до 32-битного кадра канала, выбран во время I2На этапе конфигурации S требуется только один доступ к SPI_DR. Оставшиеся 16 бит аппаратно устанавливаются в 0x0000, чтобы расширить данные до 32-битного формата.

Если данные для передачи или полученные данные имеют значение 0x76A3 (0x76A30000, расширенный до 32 бит), операция, показанная на рис. [Рисунок 255](#) требуется для.

Рисунок 255. Пример



Для передачи каждый раз, когда MSB записывается в SPI_DR, устанавливается флаг TXE, и его прерывание, если разрешено, генерируется для загрузки SPI_DR новым значением для отправки. Это происходит, даже если 0x0000 еще не отправлено, потому что это делается аппаратно.

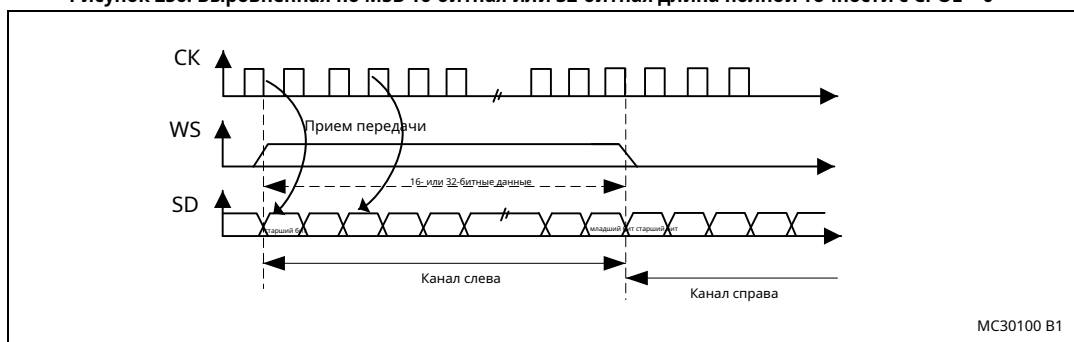
Для приема устанавливается флаг RXNE и его прерывание, если разрешено, генерируется при приеме первых 16 полуслов MSB.

Таким образом, обеспечивается больше времени между двумя операциями записи или чтения, что предотвращает условия недополнения или переполнения (в зависимости от направления передачи данных).

Оправданный стандарт MSB

Для этого стандарта сигнал WS генерируется одновременно с первым битом данных, то есть старшим битом.

Рисунок 256. Выровненная по MSB 16-битная или 32-битная длина полной точности с CPOL = 0



Данные фиксируются по заднему фронту CK (для передатчика) и считываются по переднему фронту (для приемника).

Рис. 257. Длина 24-битного кадра с выравнением по MSB с CPOL = 0

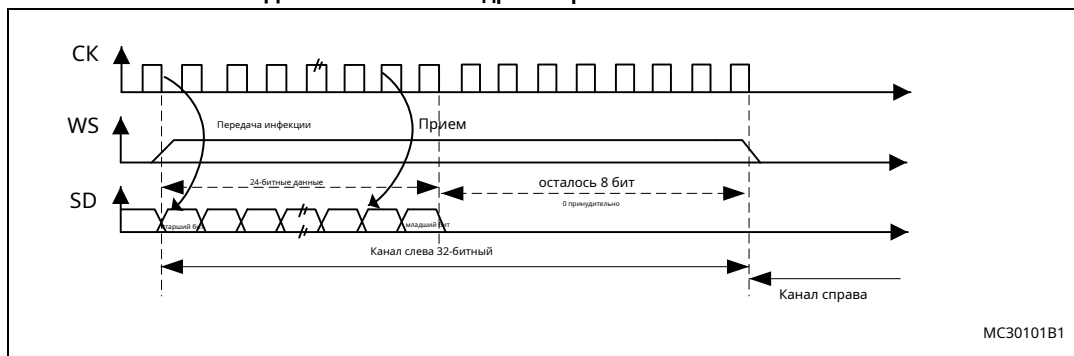
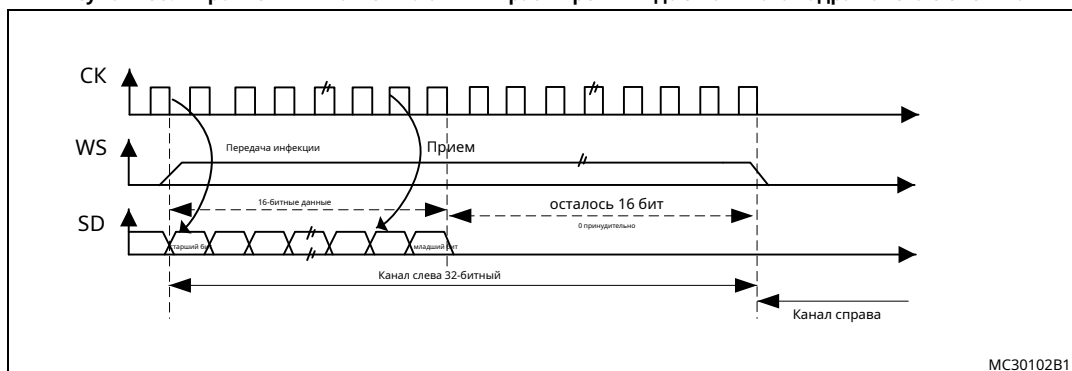


Рисунок 258. Выровненный по MSB 16-битный расширенный до 32-битного кадра пакета с CPOL = 0

**Оправданный стандарт LSB**

Этот стандарт аналогичен стандарту MSB (без разницы для 16-битных и 32-битных форматов кадров с полной точностью).

Рис. 259. Выровненная LSB 16-битная или 32-битная полная точность с CPOL = 0

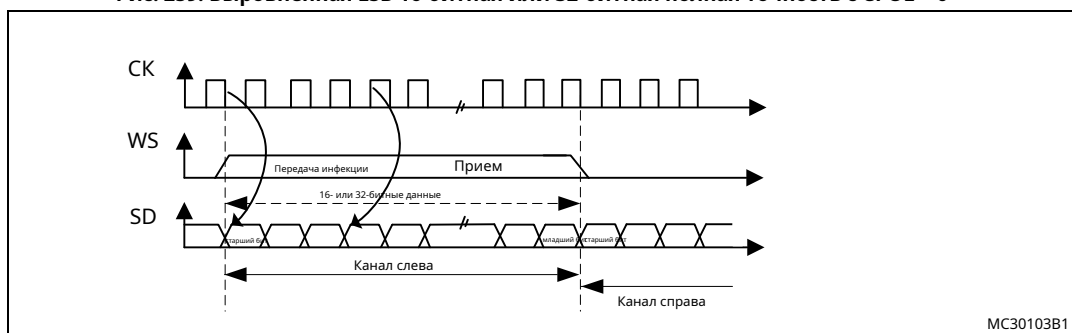
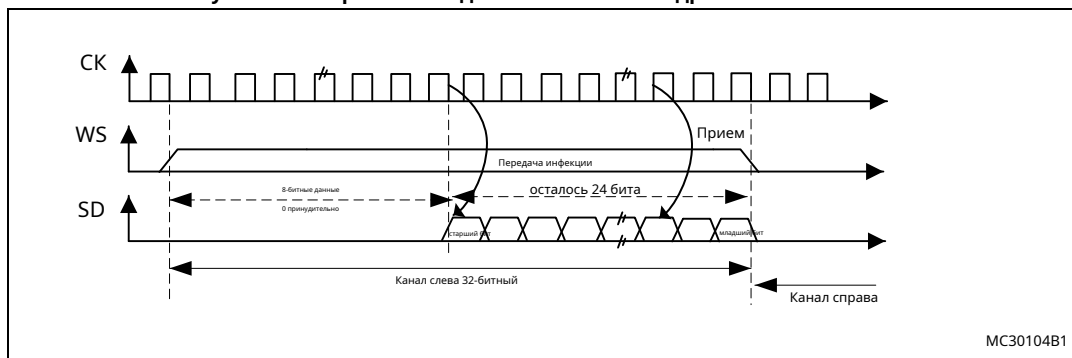


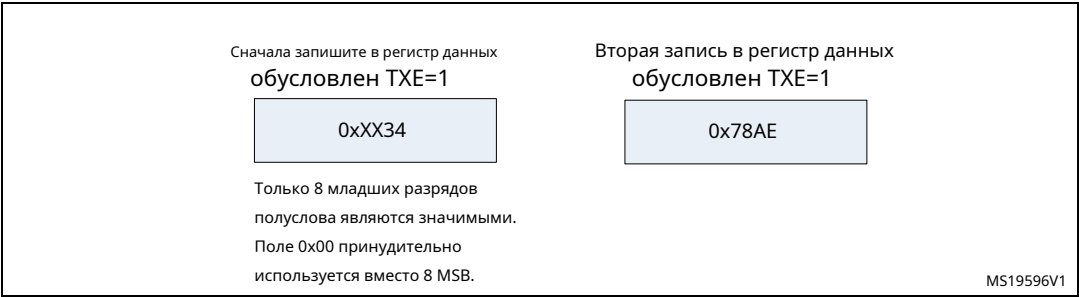
Рисунок 260. Выровненная длина 24-битного кадра LSB с CPOL = 0



- В режиме передачи:

Если необходимо передать данные 0x3478AE, требуются две операции записи в регистр SPI_DR с помощью программного обеспечения или DMA. Операции показаны ниже.

Рисунок 261. Операции, необходимые для передачи 0x3478AE



- В режиме приема:
Если получены данные 0x3478AE, для каждого события RXNE требуются две последовательные операции чтения из SPI_DR.

Рисунок 262. Операции, необходимые для получения 0x3478AE

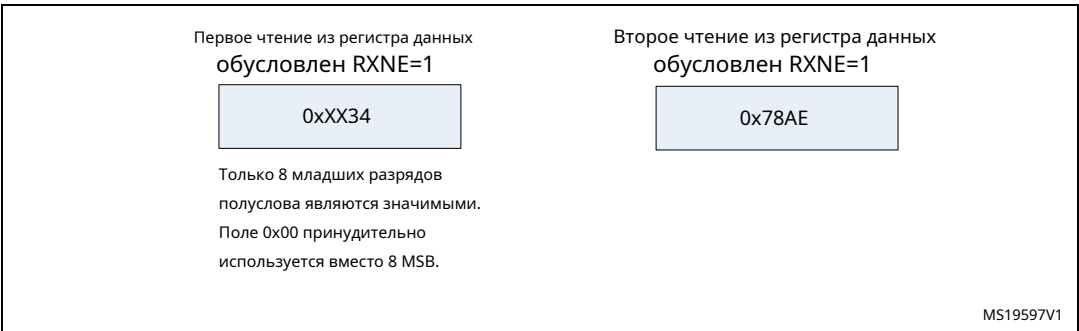
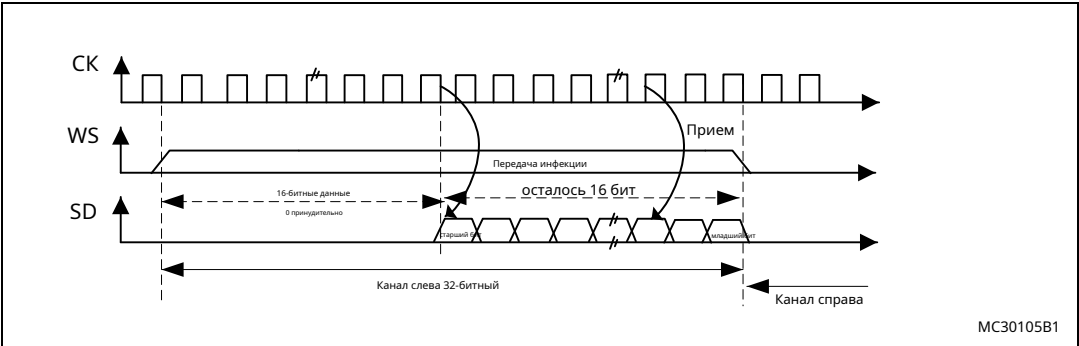
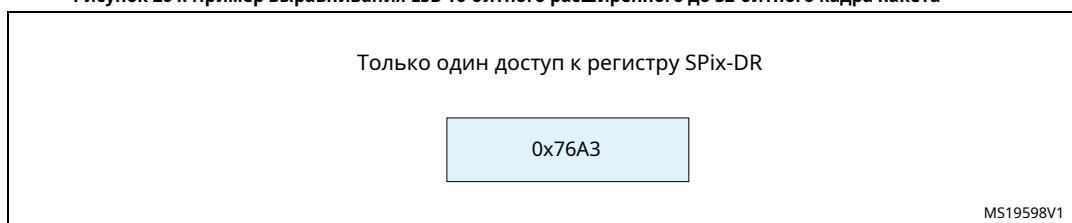


Рисунок 263. Выровненный LSB 16-битный расширенный до 32-битного кадра пакета с CPOL = 0



Когда 16-битный кадр данных, расширенный до 32-битного кадра канала, выбран во время I2Фазы конфигурации S. Требуется только один доступ к SPI_DR. Оставшиеся 16 бит аппаратно устанавливаются в 0x0000, чтобы расширить данные до 32-битного формата. В данном случае он соответствует полуслову MSB.

Если данные для передачи или полученные данные имеют формат 0x76A3 (0x0000 76A3, расширенный до 32 бит), операция, показанная на рис. [Рисунок 264](#) требуется для.

Рисунок 264. Пример выравнивания LSB 16-битного расширенного до 32-битного кадра пакета

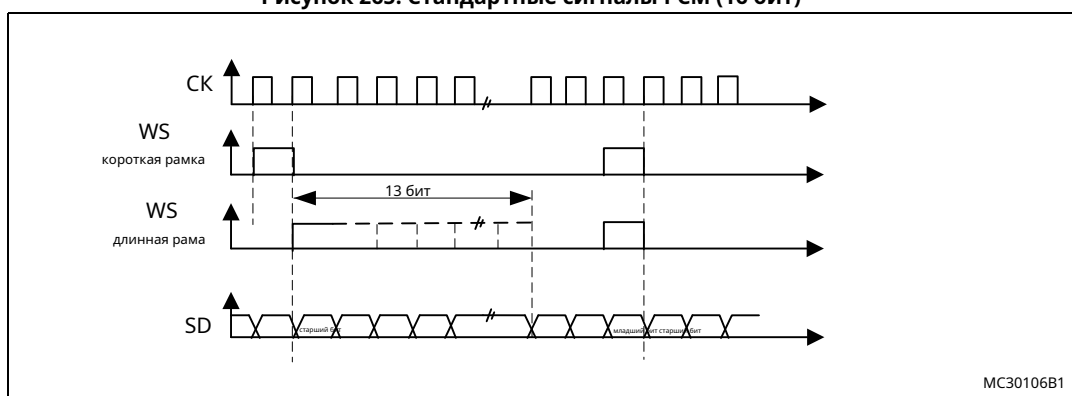
В режиме передачи, когда установлен TXE, приложение должно записать данные для передачи (в данном случае 0x76A3). Поле 0x000 передается первым (расширение на 32-бит). TXE снова подтверждается, как только эффективные данные (0x76A3) отправляются на SD.

В режиме приема RXNE устанавливается, как только принимается значащее полуслово (а не поле 0x0000).

Таким образом, между двумя операциями записи или чтения предоставляется больше времени, чтобы предотвратить условия недогрузки или переполнения.

стандарт ПКМ

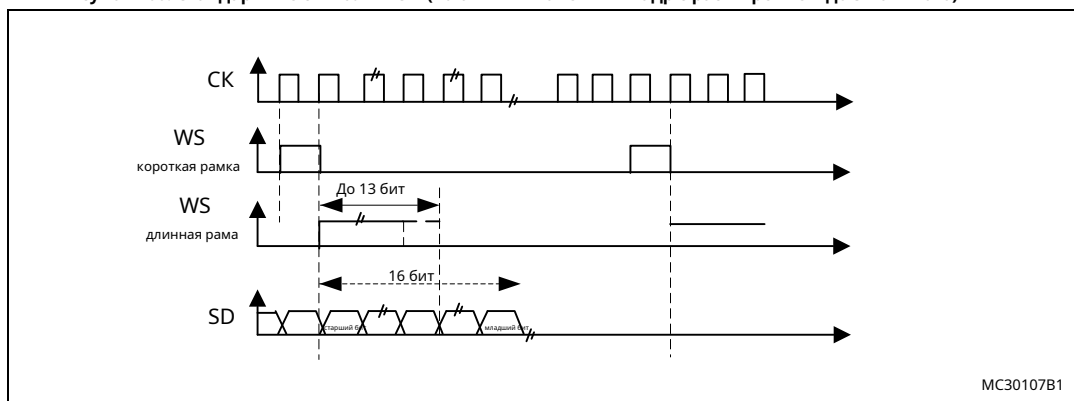
Для стандарта PCM нет необходимости использовать информацию на стороне канала. Два режима PCM (короткий и длинный кадр) доступны и настраиваются с помощью бита PCMSYNC в SPI_I2SCFGR.

Рисунок 265. Стандартные сигналы PCM (16 бит)

Для синхронизации длинных кадров время подтверждения сигнала WS фиксировано и равно 13 битам в ведущем режиме.

Для короткой кадровой синхронизации сигнал синхронизации WS имеет длину только один цикл.

Рисунок 266. Стандартные сигналы PCM (16-битный пакетный кадр с расширением до 32-битного)



Примечание:

Для обоих режимов (ведущего и ведомого) и для обеих синхронизаций (короткой и длинной) необходимо указать количество битов между двумя последовательными фрагментами данных (и, следовательно, двумя сигналами синхронизации) (биты DATLEN и CHLEN в регистре SPI_I2SCFGR) даже в ведомом режиме.

25.4.3 Тактовый генератор

Я2Битрейт S определяет поток данных на I2линия данных S и я2Частота тактового сигнала S.

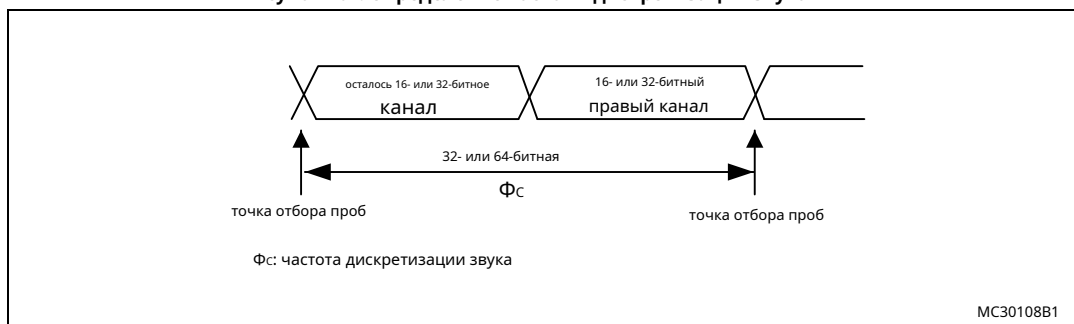
я2S битрейт = количество бит на канал × количество каналов × частота дискретизации звука

Для 16-битного звука, левого и правого каналов, I2Битрейт S рассчитывается следующим образом:

$$\text{я2Битрейт S} = 16 \times 2 \times F_c$$

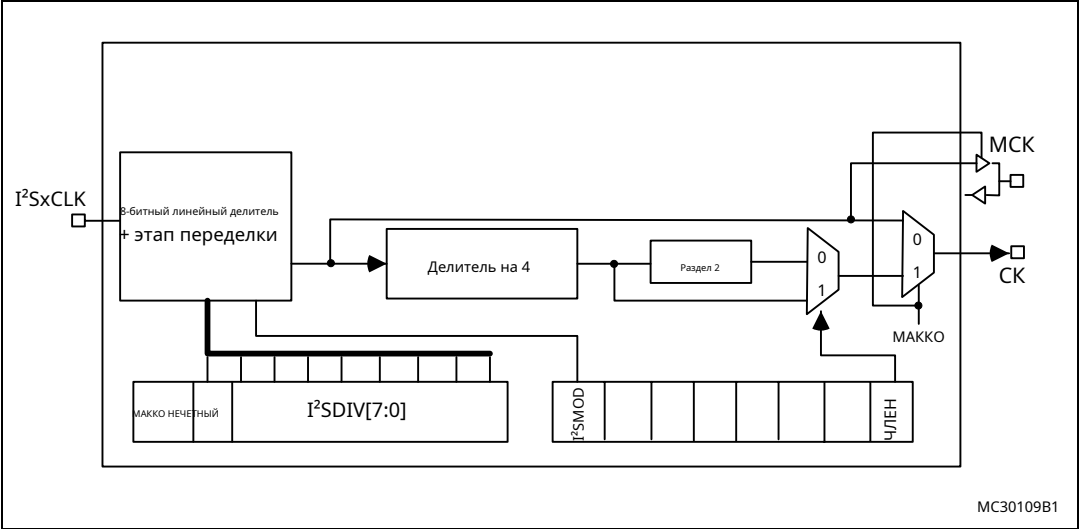
Будет: я2Битрейт S = 32 × 2 × Fесли длина пакета составляет 32 бита.

Рисунок 267. Определение частоты дискретизации звука



Когда настроен основной режим, необходимо предпринять определенные действия, чтобы правильно запрограммировать линейный делитель для связи с желаемой звуковой частотой.

Рис. 268. ЯзАрхитектура тактового генератора S



1. Где x может быть 2 или 3.

[Рисунок 267](#) представляет архитектуру коммуникационных часов. . Источником I2SxCLK являются системные часы (обеспечиваемые HSI, HSE или PLL, а также источником часов АНВ). Для устройств линии связи источником tThe I2SxCLK может быть либо SYSCLK, либо тактовый сигнал PLL3 VCO (2 × PLL3CLK) для достижения максимальной точности. Этот выбор осуществляется с помощью битов I2S2SRC и I2S3SRC в регистре RCC_CFGR2.

Частота дискретизации звука может быть 96 кГц, 48 кГц, 44,1 кГц, 32 кГц, 22,05 кГц, 16 кГц, 11,025 кГц или 8 кГц (или любое другое значение в этом диапазоне). Чтобы достичь желаемой частоты, линейный делитель необходимо запрограммировать в соответствии с приведенными ниже формулами:

Когда сгенерированы главные часы (установлен MCKOE в регистре SPI_I2SPR):

$$F_c = I2SxCLK / [(16 \cdot 2) \cdot ((2 \cdot I2SDIV) + \text{НЕЧЕТНЫЙ}) \cdot 8]$$
, когда кадр канала имеет ширину 16 бит $F_c = I2SxCLK / [(32 \cdot 2) \cdot ((2 \cdot I2SDIV) + \text{НЕЧЕТНЫЙ}) \cdot 4]$, когда кадр канала имеет ширину 32 бита

Когда главные часы отключены (бит MCKOE очищен):

$$F_c = I2SxCLK / [(16 \cdot 2) \cdot ((2 \cdot I2SDIV) + \text{ODD})]$$
, когда кадр канала имеет ширину 16 бит $F_c = I2SxCLK / [(32 \cdot 2) \cdot ((2 \cdot I2SDIV) + \text{ODD})]$, когда кадр канала имеет ширину 32 бита

[Таблица 183](#), [Таблица 184](#), [Таблица 185](#) предоставят примеры значений точности для различных конфигураций часов.

Примечание:

Возможны и другие конфигурации, обеспечивающие оптимальную точность часов.

Табл. 183. Точность звуковой частоты с использованием стандартной HSE 8 МГц
(только устройства высокой плотности и XL-плотности)

SYSCLK (МГц)	I2S_DIV		I2S_ODD		МКЛК	Цель fc (Гц)	Настоящее fc(кГц)		Ошибка	
	16-битный	32-битный	16-битный	32-битный			16-битный	32-битный	16-битный	32-битный
72	11	6	1	0	Нет	96000	97826.09	93750	1,90%	2,34%
72	23	11	1	1	Нет	48000	47872,34	48913.04	0,27%	1,90%
72	25	13	1	0	Нет	44100	44117,65	43269,23	0,04%	1,88%



Табл. 183. Точность звуковой частоты с использованием стандартной HSE 8 МГц
(только для устройств высокой плотности и XL-плотности) (продолжение)

SYSCLK (МГц)	I2S_DIV		I2S_ODD		МКЛК	Цель fc (Гц)	Настоящее fc (кГц)		Ошибка	
	16-битный	32-битный	16-битный	32-битный			16-битный	32-битный	16-битный	32-битный
72	35	17	0	1	Нет	32000	32142,86	32142,86	0,44%	0,44%
72	51	25	0	1	Нет	22050	22058,82	22058,82	0,04%	0,04%
72	70	35	1	0	Нет	16000	15675,75	16071,43	0,27%	0,45%
72	102	51	0	0	Нет	11025	11029,41	11029,41	0,04%	0,04%
72	140	70	1	1	Нет	8000	8007,11	7978,72	0,09%	0,27%
72	2	2	0	0	Да	96000	70312,15	70312,15	26,76%	26,76%
72	3	3	0	0	Да	48000	46875	46875	2,34%	2,34%
72	3	3	0	0	Да	44100	46875	46875	6,29%	6,29%
72	4	4	1	1	Да	32000	31250	31250	2,34%	2,34%
72	6	6	1	1	Да	22050	21634,61	21634,61	1,88%	1,88%
72	9	9	0	0	Да	16000	15625	15625	2,34%	2,34%
72	13	13	0	0	Да	11025	10817,30	10817,30	1,88%	1,88%
72	17	17	1	1	Да	8000	8035,71	8035,71	0,45%	0,45%

Таблица 184. Точность звуковой частоты при использовании стандартной частоты 25 МГц и PLL3
(только устройства линии связи)

Данные длина	PREDIV2	PLL3MUL	I2SDIV	I2SODD	МКЛК	Цель фс (Гц)	Реальный фс (кГц)	Ошибка
32	6	14	9	1	Нет	96000	95942.9825	0,0594%
16	6	14	38	0	Нет	48000	47971.4912	0,0594%
32	6	14	19	0	Нет	48000	47971.4912	0,0594%
16	8	14	31	0	Нет	44100	44102.823	0,0064%
32	8	14	15	1	Нет	44100	44102.823	0,0064%
16	5	13	63	1	Нет	32000	31988,189	0,0369%
32	8	20	30	1	Нет	32000	32018.443	0,0576%
16	8	14	62	0	Нет	22050	22051.4113	0,0064%
32	8	14	31	0	Нет	22050	22051.4113	0,0064%
16	7	20	139	1	Нет	16000	16001.0241	0,0064%
32	5	13	63	1	Нет	16000	15994.0945	0,0369%
16	8	14	124	0	Нет	11025	11025.7056	0,0064%
32	8	14	62	0	Нет	11025	11025.7056	0,0064%
16	7	10	139	1	Нет	8000	8000.51203	0,0064%
32	7	20	139	1	Нет	8000	8000.51203	0,0064%
16	5	10	2	0	Да	96000	97656,25	1,7253%
32	5	10	2	0	Да	96000	97656,25	1,7253%
16	7	12	3	1	Да	48000	47831.6327	0,3508%
32	7	12	3	1	Да	48000	47831.6327	0,3508%
16	5	9	4	0	Да	44100	43945.3125	0,3508%
32	5	9	4	0	Да	44100	43945.3125	0,3508%
16	5	9	5	1	Да	32000	31960.2273	0,1243%
32	5	9	5	1	Да	32000	31960.2273	0,1243%
16	5	13	11	1	Да	22050	22078.8043	0,1306%
32	5	13	11	1	Да	22050	22078.8043	0,1306%
16	5	9	11	0	Да	16000	15980.1136	0,1243%
32	5	9	11	0	Да	16000	15980.1136	0,1243%
16	8	14	15	1	Да	11025	11025.7056	0,0064%
32	8	14	15	1	Да	11025	11025.7056	0,0064%
16	8	20	30	1	Да	8000	8004.61066	0,0576%
32	8	20	30	1	Да	8000	8004.61066	0,0576%

Таблица 185. Точность звуковой частоты с использованием стандарта 14,7456 МГц и PLL3
(только устройства линии связи)

Данные длина	PREDIV2	PLL3MUL	I2SDIV	I2SODD	МКЛК	Цель фс (Гц)	Реальный фс (кГц)	Ошибка
16	3	10	16	0	Нет	96000	96000	0,0000%
32	3	10	8	0	Нет	96000	96000	0,0000%
16	3	10	32	0	Нет	48000	48000	0,0000%
32	3	10	16	0	Нет	48000	48000	0,0000%
16	4	9	23	1	Нет	44100	44119.148	0,0434%
32	4	13	17	0	Нет	44100	44047.059	0,1200%
16	3	10	48	0	Нет	32000	32000	0,0000%
32	3	10	24	0	Нет	32000	32000	0,0000%
16	4	20	104	1	Нет	22050	22047.8469	0,0098%
32	4	9	32	1	Нет	22050	22059.5745	0,0434%
16	3	10	96	0	Нет	16000	16000	0,0000%
32	3	10	48	0	Нет	16000	16000	0,0000%
16	4	20	209	1	Нет	11025	11023.923	0,0098%
32	4	20	104	1	Нет	11025	11023.923	0,0098%
16	3	10	192	0	Нет	8000	8000	0,0000%
32	3	10	96	0	Нет	8000	8000	0,0000%
16	3	10	2	0	Да	96000	96000	0,0000%
32	3	10	2	0	Да	96000	96000	0,0000%
16	3	10	4	0	Да	48000	48000	0,0000%
32	3	10	4	0	Да	48000	48000	0,0000%
16	4	20	6	1	Да	44100	44307.6923	0,4710%
32	4	20	6	1	Да	44100	44307.6923	0,4710%
16	3	10	6	0	Да	32000	32000	0,0000%
32	3	10	6	0	Да	32000	32000	0,0000%
16	4	13	8	1	Да	22050	22023.5294	0,1200%
32	4	13	8	1	Да	22050	22023.5294	0,1200%
16	3	10	12	0	Да	16000	16000	0,0000%
32	3	10	12	0	Да	16000	16000	0,0000%
16	4	13	17	0	Да	11025	11029.7872	0,0434%
32	4	13	17	0	Да	11025	11029.7872	0,0434%
16	3	10	24	0	Да	8000	8000	0,0000%
32	3	10	24	0	Да	8000	8000	0,0000%

25.4.4 я2S основной режим

Я2S можно настроить в ведущем режиме для передачи и приема. Это означает, что последовательные часы генерируются на выводе CK так же, как и сигнал выбора слова WS. Основные часы (MCK) могут быть выведены или нет благодаря биту MCKOE в регистре SPI_I2SPR.

Процедура

1. Выберите биты I2SDIV[7:0] в регистре SPI_I2SPR, чтобы определить скорость передачи последовательного тактового сигнала для достижения правильной частоты дискретизации звука. Бит ODD в регистре SPI_I2SPR также должен быть определен.
2. Выберите бит CKPOL, чтобы определить постоянный уровень для коммуникационных часов. Установите бит MCKOE в регистре SPI_I2SPR, если главный тактовый сигнал MCK должен быть предоставлен внешнему звуковому компоненту ЦАП/АЦП (значения I2SDIV и ODD должны вычисляться в зависимости от состояния выхода MCK, для получения более подробной информации см. [Раздел 25.4.3: Тактовый генератор](#)).
3. Установите бит I2SMOD в SPI_I2SCFGR, чтобы активировать I2S и выберите I2 Стандарт S через биты I2SSTD[1:0] и PCMSYNC, длину данных через биты DATLEN[1:0] и количество битов на канал путем настройки бита CHLEN. Выберите также I2Основной режим и направление S (передатчик или приемник) через биты I2SCFG[1:0] в регистре SPI_I2SCFGR.
4. При необходимости выберите все потенциальные источники прерывания и возможности прямого доступа к памяти, записав в регистр SPI_CR2.
5. Должен быть установлен бит I2SE в регистре SPI_I2SCFGR.

WS и CK настроены в режиме вывода. MCK также является выходом, если установлен бит MCKOE в SPI_I2SPR.

Последовательность передачи

Последовательность передачи начинается, когда в буфер Tx записывается полуслово.

Предполагается, что первые данные, записанные в буфер Tx, соответствуют данным канала Left. Когда данные передаются из буфера Tx в регистр сдвига, устанавливается TXE, и данные, соответствующие правому каналу, должны быть записаны в буфер Tx. Флаг CHSIDE указывает, какой канал должен быть передан. Это имеет значение, когда установлен флаг TXE, потому что флаг CHSIDE обновляется, когда TXE становится высоким.

Полный кадр следует рассматривать как передачу данных по левому каналу, за которой следует передача данных по правому каналу. Невозможно иметь частичный кадр, в котором отправляется только левый канал.

Полуслово данных параллельно загружается в 16-разрядный регистр сдвига во время передачи первого бита, а затем последовательно выводится на вывод MOSI/SD, начиная со старшего разряда. Флаг TXE устанавливается после каждой передачи из буфера Tx в сдвиговый регистр и генерируется прерывание, если установлен бит TXEIE в регистре SPI_CR2.

Для получения более подробной информации об операциях записи в зависимости от I2Выбран стандартный режим S, см. [Раздел 25.4.2: Поддерживаемые аудиопротоколы](#).

Чтобы обеспечить непрерывную передачу аудиоданных, необходимо записать в SPI_DR следующие данные для передачи до окончания текущей передачи.

Чтобы выключить я2S, сбрасывая I2SE, обязательно дождаться TXE=1 и BSY=0.

Последовательность приема

Режим работы такой же, как и для режима передачи, за исключением пункта 3 (см. процедуру, описанную в [Раздел 25.4.4: I2S основной режим](#)), где конфигурация должна установить основной режим приема через биты I2SCFG[1:0].

Какими бы ни были данные или длина канала, аудиоданные принимаются 16-битными пакетами. Это означает, что каждый раз, когда буфер Rx заполняется, устанавливается флаг RXNE и генерируется прерывание, если в регистре SPI_CR2 установлен бит RXNEIE. В зависимости от конфигурации данных и длины канала значение звука, полученное для правого или левого канала, может быть результатом одного или двух приемов в буфер Rx.

Очистка бита RXNE выполняется чтением регистра SPI_DR.

CHSIDE обновляется после каждого приема. Он чувствителен к сигналу WS, генерируемому I2C ячейка.

Для получения более подробной информации об операциях чтения в зависимости от I2S выбран стандартный режим S, см. [Раздел 25.4.2: Поддерживаемые аудиопротоколы](#).

Если данные получены, когда ранее полученные данные еще не были прочитаны, генерируется переполнение и устанавливается флаг OVR. Если в регистре SPI_CR2 установлен бит ERRIE, генерируется прерывание, указывающее на ошибку.

Чтобы выключить я2S, требуются конкретные действия для обеспечения того, чтобы I2S правильно завершает цикл передачи, не иницируя новую передачу данных. Последовательность зависит от конфигурации данных и длины канала, а также от выбранного режима аудиопротокола. В случае:

- 16-битная длина данных расширена на 32-битную длину канала (DATLEN = 00 и CHLEN = 1) с использованием режима выравнивания LSB (I2SSTD = 10)
 - а) Дождитесь предпоследнего RXNE = 1 ($n - 1$)
 - б) Затем подождите 17 I2S тактов (с использованием программного цикла)
 - в) Отключить I2C (I2SE = 0)
- 16-битная длина данных расширена на 32-битную длину канала (DATLEN = 00 и CHLEN = 1) в выравнивании MSB, I2S режимы S или PCM (I2SSTD = 00, I2SSTD = 01 или I2SSTD = 11 соответственно)
 - а) Дождаться последнего RXNE
 - б) Затем подождите 1 I2S такт S (с использованием программного цикла)
 - в) Отключить I2C (I2SE = 0)
- Для всех других комбинаций DATLEN и CHLEN, независимо от режима звука, выбранного с помощью битов I2SSTD, выполните следующую последовательность, чтобы отключить I2C:
 - а) Дождитесь предпоследнего RXNE = 1 ($n - 1$)
 - б) Тогда подождите один я2С такт S (с использованием программного цикла)
 - в) Отключить I2C (I2SE = 0)

Примечание:

Флаг BSY остается низким во время передачи.

25.4.5 я2S подчиненный режим

В ведомом режиме я2S можно настроить в режиме передачи или приема. Режим работы в основном соответствует тем же правилам, что и для I2S мастер-конфигурация. В ведомом режиме I не генерирует часы. I2S-интерфейс. Часы и WS

сигналы поступают от внешнего мастера, подключенного к I2S-интерфейс. Тогда пользователю не нужно настраивать часы.

Шаги настройки, которые необходимо выполнить, перечислены ниже:

1. Установите бит I2SMOD в регистре SPI_I2SCFGR для достижения I2S и выберите I2 Стандарт S через биты I2SSTD[1:0], длину данных через биты DATLEN[1:0] и количество битов на канал для кадра, конфигурирующего бит CHLEN. Выберите также режим (передача или прием) для ведомого с помощью битов I2SCFG[1:0] в регистре SPI_I2SCFGR.
2. При необходимости выберите все потенциальные источники прерываний и возможности DMA, записав в регистр SPI_CR2.
3. Должен быть установлен бит I2SE в регистре SPI_I2SCFGR.

Последовательность передачи

Последовательность передачи начинается, когда внешнее ведущее устройство отправляет часы и когда сигнал NSS_WS запрашивает передачу данных. Ведомое устройство должно быть включено до того, как внешнее ведущее устройство начнет связь. Я2Регистр данных S должен быть загружен до того, как мастер инициирует связь.

Для я2В режимах S, с выравниванием по MSB и с выравниванием по LSB первый элемент данных, записываемый в регистр данных, соответствует данным для левого канала. Когда связь начинается, данные передаются из буфера Tx в сдвиговый регистр. Затем устанавливается флаг TXE, чтобы запросить запись данных правильного канала в I2Регистр данных S.

Флаг CHSIDE указывает, какой канал должен быть передан. По сравнению с ведущим режимом передачи, в ведомом режиме CHSIDE чувствителен к сигналу WS, поступающему от внешнего ведущего. Это означает, что ведомое устройство должно быть готово передать первые данные до того, как ведущее устройство сгенерирует часы. Утверждение WS соответствует первому переданному левому каналу.

Примечание:

I2SE должен быть записан по крайней мере за два цикла PCLK до того, как первый такт ведущего появится на линии CK.

Полуслова данных параллельно загружаются в 16-разрядный регистр сдвига (из внутренней шины) во время передачи первого бита, а затем сначала последовательно выводятся на вывод MOSI/SD MSB. Флаг TXE устанавливается после каждой передачи из буфера Tx в сдвиговый регистр и генерируется прерывание, если установлен бит TXEIE в регистре SPI_CR2.

Обратите внимание, что перед попыткой записи буфера Tx флаг TXE должен быть установлен на 1.

Для получения более подробной информации об операциях записи в зависимости от I2Выбран стандартный режим S, см. [Раздел 25.4.2: Поддерживаемые аудиопротоколы](#).

Чтобы обеспечить непрерывную передачу аудиоданных, необходимо записать в регистр SPI_DR следующие данные для передачи до окончания текущей передачи. Устанавливается флаг опустошения, и может быть сгенерировано прерывание, если данные не будут записаны в регистр SPI_DR до первого фронта тактового сигнала следующей передачи данных. Это указывает программному обеспечению, что переданные данные неверны. Если бит ERRIE установлен в регистре SPI_CR2, прерывание генерируется, когда флаг UDR в регистре SPI_SR становится высоким. В этом случае обязательно отключите I2S и перезапустите передачу данных, начиная с левого канала.

Чтобы выключить я2S, сбрасывая бит I2SE, обязательно дождаться TXE = 1 и BSY = 0.

Последовательность приема

Режим работы такой же, как и для режима передачи, за исключением пункта 1 (см. процедуру, описанную в [Раздел 25.4.5: I2S подчиненный режим](#)), где конфигурация должна установить основной режим приема, используя биты I2SCFG[1:0] в регистре SPI_I2SCFGR.

Независимо от длины данных или длины канала, аудиоданные принимаются 16-битными пакетами. Это означает, что каждый раз, когда буфер RX заполняется, устанавливается флаг RXNE в регистре SPI_SR и генерируется прерывание, если в регистре SPI_CR2 установлен бит RXNEIE. В зависимости от длины данных и конфигурации длины канала значение звука, полученное для правого или левого канала, может быть результатом одного или двух приемов в буфер RX.

Флаг CHSIDE обновляется каждый раз, когда данные принимаются для чтения из SPI_DR. Он чувствителен к внешней линии WS, управляемой внешним главным компонентом.

Очистка бита RXNE выполняется чтением регистра SPI_DR.

Для получения более подробной информации об операциях чтения в зависимости от I2S выбран стандартный режим S, см. [Раздел 25.4.2: Поддерживаемые аудиопротоколы](#).

Если данные получены, когда предыдущие полученные данные еще не были прочитаны, генерируется переполнение и устанавливается флаг OVR. Если в регистре SPI_CR2 установлен бит ERRIE, генерируется прерывание, указывающее на ошибку.

Чтобы выключить я2S в режиме приема I2SE должен быть очищен сразу же после получения последнего RXNE = 1.

Примечание:

Внешние главные компоненты должны иметь возможность отправлять/принимать данные в 16-битных или 32-битных пакетах через аудиоканал.

25.4.6 Флаги состояния

Приложение предоставляет три флага состояния, чтобы полностью контролировать состояние I2S Автобус C.

Флаг занятости (BSY)

Флаг BSY устанавливается и сбрасывается аппаратно (запись в этот флаг не действует). Он указывает на состояние коммуникационного уровня I2S.

Когда BSY установлен, это означает, что I2S занят общением. Существует одно исключение в режиме основного приема (I2SCFG = 11), когда флаг BSY остается низким во время приема.

Флаг BSY полезен для обнаружения конца передачи, если программе необходимо отключить I2S. Это позволяет избежать повреждения последней передачи. Для этого необходимо строго соблюдать процедуру, описанную ниже.

Флаг BSY устанавливается, когда начинается передача, за исключением случаев, когда I2S находится в режиме главного приемника.

Флаг BSY очищается:

- когда передача завершена (за исключением режима основной передачи, в котором предполагается непрерывная связь)
- когда я2S отключен

Когда связь непрерывна:

- В режиме основной передачи флаг BSY остается высоким во время всех передач.
- В ведомом режиме флаг BSY становится низким на один I2S тактов между каждой передачей

Примечание:

Не используйте флаг BSY для обработки каждой передачи или приема данных. Вместо этого лучше использовать флаги TXE и RXNE.

Флаг пустого буфера Tx (TXE)

Если этот флаг установлен, он указывает, что буфер Tx пуст и в него можно загрузить следующие данные для передачи. Флаг TXE сбрасывается, когда буфер Tx уже содержит данные для передачи. Он также сбрасывается, когда я2S отключен (бит I2SE сброшен).

Буфер RX не пуст (RXNE)

Когда этот флаг установлен, он указывает, что в буфере RX есть допустимые полученные данные. Он сбрасывается при чтении регистра SPI_DR.

Флаг стороны канала (CHSIDE)

В режиме передачи этот флаг обновляется, когда TXE становится высоким. Он указывает сторону канала, которой должны принадлежать данные для передачи на SD. В случае возникновения ошибки опустошения в режиме ведомой передачи этот флаг не является надежным, и я2S перед возобновлением связи необходимо выключить и снова включить S.

В режиме приема этот флаг обновляется при получении данных в SPI_DR. Он указывает, с какой стороны канала были получены данные. Обратите внимание, что в случае ошибки (например, OVR) этот флаг становится бессмысленным, и I2S следует сбросить, отключив, а затем включив его (с конфигурацией, если ее нужно изменить).

Этот флаг не имеет значения в стандарте PCM (как для коротких, так и для длинных кадров).

Когда флаг OVR или UDR в SPI_SR установлен, а также установлен бит ERRIE в SPI_CR2, генерируется прерывание. Это прерывание можно очистить, прочитав регистр состояния SPI_SR (после очистки источника прерывания).

25.4.7 Флаги ошибок

Есть два флага ошибки для I2C ячейка.

Флаг недогрузки (UDR)

В режиме ведомой передачи этот флаг устанавливается, когда появляются первые часы для передачи данных, когда программное обеспечение еще не загрузило какое-либо значение в SPI_DR. Он доступен, когда установлен бит I2SMOD в SPI_I2SCFGR. Прерывание может быть сгенерировано, если установлен бит ERRIE в SPI_CR2.

Бит UDR очищается операцией чтения в регистре SPI_SR.

Флаг переполнения (OVR)

Этот флаг устанавливается, когда данные получены, а предыдущие данные еще не были прочитаны из SPI_DR. В результате поступающие данные теряются. Прерывание может быть сгенерировано, если бит ERRIE установлен в SPI_CR2.

В этом случае содержимое приемного буфера не обновляется вновь полученными данными от передающего устройства. Операция чтения в регистр SPI_DR возвращает предыдущие правильно полученные данные. Все остальные передаваемые впоследствии полуслова теряются.

Очистка бита OVR выполняется операцией чтения в регистре SPI_DR, за которой следует доступ для чтения в регистр SPI_SR.

25.4.8 Я2S прерывания

[Таблица 186](#) предоставляет список I2C прерывания.

Таблица 186. Я2S запросы на прерывание

Прервать событие	Флаг события	Включить контрольный бит
Передать флаг пустого буфера	TXE	TXEIE
Флаг получения буфера не пустой	RXNE	RXNEIE
Ошибка переполнения	ОБЩ	ЭРПИ
Ошибка опустошения	УДР	

25.4.9 Функции прямого доступа к памяти

DMA работает точно так же, как и в режиме SPI. Нет разницы на Я2S. Только функция CRC недоступна в I2Режим S, так как нет системы защиты передачи данных.

25,5 **СПИ и я2S-регистры**

Доступ к периферийным регистрам должен осуществляться полусловами (16 бит) или словами (32 бита).

25.5.1 Регистр управления SPI 1 (SPI_CR1) (не используется в I2S-режим)

Смещение адреса: 0x00

Значение сброса: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
БИДИ РЕЖИМ	БИДИ ОЕ	CRC RU	CRC следующий	ДФФ	RX только	CCM	SSI	младший бит ПЕРВЫЙ	ТФЭ	БР [2:0]			МСТР	КПОЛ	СРНА
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Бит 15 БИДИМОД:Двунаправленный режим передачи данных включен

0: выбран режим 2-строчной однонаправленной передачи данных

1: выбран режим 1-строчной двунаправленной передачи данных

Примечание. Этот бит не используется в I2S-режим

Немного14 БИДОЕ:Включение выхода в двунаправленном режиме

Этот бит в сочетании с битом BIDImode выбирает направление передачи в двунаправленном режиме. 0: вывод отключен (режим только приема).

1: выход включен (режим только передачи)

Примечание. Этот бит не используется в I2C-режим.

В ведущем режиме вывод MOSI используется, а вывод MISO используется в ведомом режиме.

Немного13 КРЦЕН:Аппаратный расчет CRC включен

0: вычисление CRC отключено 1:

вычисление CRC включено

Примечание. Этот бит следует записывать только тогда, когда SPI отключен (SPE = '0') для корректной работы. Он не используется в I2C-режим.

Немного12 CRCNEXT:передача CRC следующая

0: Фаза данных (без фазы CRC) 1: Следующая

передача — CRC (фаза CRC) *Примечание:*

Когда SPI сконфигурирован в полнодуплексном режиме или режиме только передатчика, CRCNEXT должен быть записан, как только последние данные будут записаны в регистр SPI_DR.

Когда SPI настроен в режиме только приемника, CRCNEXT должен быть установлен после предпоследнего приема данных.

Этот бит следует держать очищенным, когда передача управляется DMA. Он не используется в I2C-режим.

Немного11 ДФФ:Формат фрейма данных

0: для передачи/приема выбран 8-битный формат кадра данных 1: для

передачи/приема выбран 16-битный формат кадра данных *Примечание:*

Этот бит следует записывать только тогда, когда SPI отключен (SPE = '0') для корректной работы. Он не используется в I2C-режим.



Бит 10 ТОЛЬКО RX:Только получать

Этот бит в сочетании с битом BIDImode выбирает направление передачи в двухстрочном однонаправленном режиме. Этот бит также полезен в системе с несколькими ведомыми устройствами, в которой к этому конкретному ведомому устройству нет доступа, и выходные данные ведомого устройства, к которому осуществляется доступ, не повреждены.

0: полный дуплекс (передача и прием) 1:

выход отключен (режим только приема)

Примечание. Этот бит не используется в I2S-режим

Бит 9 SSM:Управление ведомым программным обеспечением

Когда бит SSM установлен, вход вывода NSS заменяется значением из бита SSI. 0: Управление ведомым программным обеспечением отключено

1: управление программным ведомым включено

Примечание. Этот бит не используется в I2S-режим

Бит 8 CSM:Выбор внутреннего ведомого

Этот бит действует только тогда, когда установлен бит SSM. Значение этого бита принудительно передается на вывод NSS, а значение ввода-вывода на выводе NSS игнорируется.

Примечание. Этот бит не используется в I2S-режим

Бит 7 LSBПЕРВЫЙ:Формат кадра

0: первым передается старший бит 1:

первым передается младший бит

Примечание. Этот бит не следует изменять во время обмена данными. Он не используется в I2S-режим

Бит 6 ТФЭ:SPI включить

0: Периферийные устройства отключены

1: Периферийные устройства включены

Примечание: Этот бит не используется в I2C-режим.

При отключении SPI следуйте процедуре, описанной в [Раздел 25.3.8](#).

Биты 5:3 BR[2:0]:Контроль скорости передачи

000: фпклк/2

001: фпклк/4

010: фпклк/8

011: фпклк/16

100: фпклк/32

101: фпклк/64

110: фпклк/128 111:

фпклк/256

Примечание. Эти биты не должны изменяться во время обмена данными. Они не используются в I2C-режим.

Бит 2 MSTR:Основной выбор

0: Ведомая конфигурация

1: Основная конфигурация

Примечание. Этот бит не следует изменять во время обмена данными. Он не используется в I2C-режим.

Бит 1 **CPOL**: Полярность часов

0: СК на 0 в режиме ожидания 1: СК
на 1 в режиме ожидания

Примечание: Этот бит не следует изменять во время обмена данными. Он не
используется в I2S-режим

Бит 0 **CPHA**: Фаза часов

0: первый синхронизирующий переход является первым фронтом захвата данных 1: второй
синхронизирующий переход является первым фронтом захвата данных

Примечание: Этот бит не следует изменять во время обмена данными. Он не
используется в I2S-режим

25.5.2 Регистр управления SPI 2 (SPI_CR2)

Смещение адреса: 0x04

Значение сброса: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Зарезервированный								TXEIE	RXNEIE	ЭРПИ	Рез.	Рез.	ССОЭ	TXDMAEN	RXDMAEN
								RW	RW	RW			RW	RW	RW

Биты 15:8 Зарезервировано, должно быть сохранено значение сброса.

Бит 7 **TXEIE**: Разрешение прерывания о пустом буфере Tx

0: прерывание TXE замаскировано
1: прерывание TXE не маскируется. Используется для генерации запроса на прерывание, когда установлен флаг TXE.

Бит 6 **RXNEIE**: Буфер RX не пуст, разрешение прерывания

0: прерывание RXNE замаскировано
1: Прерывание RXNE не маскируется. Используется для генерации запроса на прерывание, когда установлен флаг RXNE.

Бит 5 **ЭРПИ**: Разрешение прерывания при ошибке

Этот бит управляет генерацией прерывания при возникновении состояния ошибки (CRCERR, OVR, MODF в режиме SPI и UDR, OVR в I).2C-режим).
0: прерывание по ошибке маскируется
1: прерывание по ошибке разрешено

Биты 4:3 Зарезервировано, должно быть сохранено значение сброса.

Бит 2 **SSOE**: Выход SS включен

0: выход SS отключен в ведущем режиме, и ячейка может работать в конфигурации с несколькими ведущими.
1: выход SS включен в ведущем режиме и когда ячейка включена. Ячейка не может работать в среде с несколькими мастерами.

Примечание. Этот бит не используется в I2S-режим



- Бит 1

TXDMAEN:Включение DMA буфера Tx
- Когда этот бит установлен, запрос DMA выполняется всякий раз, когда установлен флаг TXE.
- 0: DMA буфера Tx отключен
- 1: DMA буфера Tx включен
- Бит 0

RXDMAEN:Включение DMA буфера Rx
- Когда этот бит установлен, запрос DMA выполняется всякий раз, когда установлен флаг RXNE. 0:
- DMA буфера Rx отключен
- 1: DMA буфера Rx включен

25.5.3 Регистр статуса SPI (SPI_SR)

Смещение адреса: 0x08

Значение сброса: 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Зарезервированный								БСИ	ОБЩ	МОДФ	CRC ОШИБКА	УДР	CHSIDE	TXE	RXNE
								р	р	р	rc_w0	р	р	р	р

- Биты 15:8

Зарезервировано, должно быть сохранено значение сброса.
- Бит 7

БСИ:Флаг занятости
- 0: SPI (или I2S) не занят
- 1: SPI (или I2S) занят обменом данными или буфер Tx не пуст. Этот флаг устанавливается и сбрасывается аппаратно.
- Примечание. Флаг BSY следует использовать с осторожностью: см.[Раздел 25.3.7](#) и [Раздел 25.3.8](#).
- Бит 6

ОБЩ:Флаг переполнения
- 0: переполнение не произошло 1:
- произошло переполнение
- Этот флаг устанавливается аппаратно и сбрасывается программной последовательностью. Ссылаться на [Раздел 25.4.7: Флаги ошибок](#) для последовательности программного обеспечения.
- Бит 5

МОДФ:Ошибка режима
- 0: Ошибка режима не возникла 1:
- Ошибка режима произошла
- Этот флаг устанавливается аппаратно и сбрасывается программной последовательностью. Ссылаться на [Раздел 25.4.7: Флаги ошибок](#) для последовательности программного обеспечения.
- Примечание. Этот бит не используется в I2S-режим
- Бит 4

CRCERR:Флаг ошибки CRC
- 0: полученное значение CRC соответствует значению SPI_RXCRCR 1:
- полученное значение CRC не соответствует значению SPI_RXCRCR
- Этот флаг устанавливается аппаратно и сбрасывается программно, записывая 0.
- Примечание. Этот бит не используется в I2C-режим.
- Бит 3

УДР:Опрокинутый флаг
- 0: Опустошение не произошло 1:
- Опустошение произошло
- Этот флаг устанавливается аппаратно и сбрасывается программной последовательностью. Ссылаться на [Раздел 25.4.7: Флаги ошибок](#) для последовательности программного обеспечения.
- Примечание. Этот бит не используется в режиме SPI.

Бит 2 **CHSIDE**: Сторона канала

0: Левый канал должен быть передан или принят 1:

Правый канал должен быть передан или принят

Примечание. Этот бит не используется в режиме SPI и не имеет значения в режиме PCM.

Бит 1 **TXE**: Буфер передачи пуст

0: Буфер Tx не пуст 1:

Буфер Tx пуст

Бит 0 **RXNE**: Буфер приема не пустой

0: Буфер Rx пуст 1:

Буфер Rx не пуст

25.5.4 Регистр данных SPI (SPI_DR)

Смещение адреса: 0x0C

Значение сброса: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 15:0 **DR[15:0]**: Регистр данных

Данные получены или должны быть переданы.

Регистр данных разделен на 2 буфера - один для записи (буфер передачи) и другой для чтения (буфер приема). Запись в регистр данных запишет в буфер Tx, а чтение из регистра данных вернет значение, хранящееся в буфере Rx.

Примечание: Эти примечания относятся к режиму SPI:

В зависимости от бита выбора формата кадра данных (DFF в регистре SPI_CR1) отправляемые или получаемые данные являются либо 8-битными, либо 16-битными. Этот выбор необходимо сделать перед включением SPI, чтобы обеспечить правильную работу.

Для 8-битного кадра данных буферы являются 8-битными, и для передачи/приема используется только младший бит регистра (SPI_DR[7:0]). В режиме приема старший бит регистра (SPI_DR[15:8]) принудительно устанавливается в 0.

Для 16-битного кадра данных буферы являются 16-битными, и весь регистр SPI_DR[15:0] используется для передачи/приема.

25.5.5 Полиномиальный регистр SPI CRC (SPI_CRCPR) (не используется в I2S-режим)

Смещение адреса: 0x10

Значение сброса: 0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 15:0**CRCPOLY[15:0]**:Полиномиальный регистр CRC

Этот регистр содержит полином для вычисления CRC.

Полином CRC (0007h) является значением сброса этого регистра. При необходимости можно настроить другой полином.

Примечание. Эти биты не используются для I2C-режим.

25.5.6 Регистр SPI RX CRC (SPI_RXCRCR) (не используется в I2S-режим)

Смещение адреса: 0x14															
Значение сброса: 0x0000															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р

Биты 15:0**RXCRC[15:0]**:Регистр Rx CRC

Когда вычисление CRC разрешено, биты RxCRC[15:0] содержат вычисленное значение CRC для последующих полученных байтов. Этот регистр сбрасывается, когда бит CRCEN в регистре SPI_CR1 записывается в 1. CRC вычисляется последовательно с использованием полинома, запрограммированного в регистре SPI_CRCPR.

Учитываются только 8 бит LSB, когда формат кадра данных установлен как 8-битный (бит DFF SPI_CR1 очищен). Расчет CRC выполняется на основе любого стандарта CRC8.

При выборе 16-битного формата кадра данных учитываются все 16 бит этого регистра (установлен бит DFF регистра SPI_CR1). Расчет CRC выполняется на основе любого стандарта CRC16.

Примечание: Чтение этого регистра при установленном флаге BSY может вернуть неверное значение. Эти биты не используются для I2C-режим.

25.5.7 Регистр SPI TX CRC (SPI_TXCRCR) (не используется в I2S-режим)

Смещение адреса: 0x18

Значение сброса: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р

Биты 15:0TXCRC[15:0]:Регистр Tx CRC

Когда вычисление CRC разрешено, биты TxCRC[7:0] содержат вычисленное значение CRC для последующих передаваемых байтов. Этот регистр сбрасывается, когда бит CRCEN регистра SPI_CR1 записывается в 1. CRC вычисляется последовательно с использованием полинома, запрограммированного в регистре SPI_CRCPR.

Учитываются только 8 бит LSB, когда формат кадра данных установлен как 8-битный (бит DFF SPI_CR1 очищен). Расчет CRC выполняется на основе любого стандарта CRC8.

При выборе 16-битного формата кадра данных учитываются все 16 бит этого регистра (установлен бит DFF регистра SPI_CR1). Расчет CRC выполняется на основе любого стандарта CRC16.

Примечание: Чтение этого регистра при установленном флаге BSY может вернуть неверное значение. Эти биты не используются для I2C-режим.

25.5.8 SPI_I2Регистр конфигурации S (SPI_I2SCFGR)

Смещение адреса: 0x1C

Значение сброса: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Зарезервированный				I2SMOD	I2SE	I2SCFG		PCMSY	Рез.	I2SSTD		ЦКПОЛ	ДАТЛЕН		ЧЛЕН
				RW	RW	RW	RW	RW		RW	RW	RW	RW	RW	RW

Биты 15:12 Зарезервировано, должно быть сохранено значение сброса.

Бит 11 I2SMOD: выбор режима I2S

0: выбран режим SPI 1:
выбран режим I2S

Примечание. Этот бит следует настроить, когда SPI или I2S отключен

Бит 10 I2SE: Включить I2S

0: я2Периферийное устройство S отключено 1: I2S

периферийное устройство включено Примечание. Этот бит

не используется в режиме SPI.

Биты 9:8 I2SCFG: режим конфигурации I2S

00: Водомый - передача 01:

Водомый - прием 10:

Водущий - передача 11:

Водущий - прием

Примечание. Этот бит должен быть настроен, когда I2S отключен. Он не используется в режиме SPI.



Бит 7 **PCMSINC**: Синхронизация кадров PCM

0: Синхронизация коротких кадров 1:

Синхронизация длинных кадров

Примечание. Этот бит имеет значение, только если I2SSTD = 11 (используется стандарт PCM). В режиме SPI он не используется.

Бит 6 Зарезервировано: установлено на 0 аппаратно

Биты 5:4 **I2SSTD**: выбор стандарта I2S

00: я2S Стандарт Филиппс.

01: стандарт с выравниванием MSB (выравнивание по левому

краю) 10: стандарт с выравниванием LSB (выравнивание по

правому краю) 11: стандарт PCM

Для более подробной информации я2стандарты S, см. [Раздел 25.4.2: Поддерживаемые аудиопrotocolы](#). Не используется в режиме SPI.

Примечание. Для корректной работы эти биты должны быть настроены, когда I2S отключен.

Бит 3 **ЦКПОЛ**: Установившаяся полярность часов

0: я2Стабильное состояние часов S — низкий уровень 1: I2

Стабильное состояние часов S — высокий уровень

Примечание. Для корректной работы этот бит должен быть настроен, когда I2S отключен. Этот бит не используется в режиме SPI.

Биты 2:1 **ДАТЛЕН**: Длина данных для передачи

00: 16-битная длина данных

01: 24-битная длина данных

10: 32-битная длина данных

11: Не разрешено

Примечание: Для корректной работы эти биты должны быть настроены, когда I2S отключен. Этот бит не используется в режиме SPI.

Бит 0 **ЧЛЕН**: Длина канала (количество бит на аудиоканал)

0: 16-битная ширина

1: 32-битная ширина

Операция битовой записи имеет смысл, только если DATLEN = 00, в противном случае длина канала фиксируется аппаратно на 32-битном значении независимо от заполненного значения. Не используется в режиме SPI.

Примечание. Для корректной работы этот бит следует настроить, когда I2S отключен.

25.5.9 SPI_I2Регистр предварительного делителя S (SPI_I2SPR)

Смещение адреса: 0x20
Значение сброса: 0000 0010 (0x0002)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Зарезервированный						MAKKO	СТРАННЫЙ	I2SDIV							
						RW	RW	RW							

- Биты 15:10 Зарезервировано, должно быть сохранено значение сброса.
- Бит 9 **МАККО**: Включение выхода основного тактового сигнала
- 0: выход основного тактового сигнала отключен 1:
выход основного тактового сигнала включен
- Примечание: Этот бит должен быть настроен, когда I2S отключен. Он используется только тогда, когда я2S находится в ведущем режиме.*
- Этот бит не используется в режиме SPI.*
- Бит 8 **СТРАННЫЙ**: нечетный коэффициент для предварительного делителя
- 0: реальное значение делителя = I2SDIV *2 1:
реальное значение делителя = (I2SDIV * 2)+1
- Ссылаться на [Раздел 25.4.3: Тактовый генератор](#). Не используется в режиме SPI. Примечание:
Этот бит должен быть настроен, когда I2S отключен. Он используется только тогда, когда я2S находится в ведущем режиме.
- Биты 7:0 **I2SDIV**: Линейный прескалер I2S
- I2SDIV [7:0] = 0 или I2SDIV [7:0] = 1 являются запрещенными значениями. Ссылаться на [Раздел 25.4.3: Тактовый генератор](#). Не используется в режиме SPI. Примечание:
Эти биты должны быть настроены, когда I2S отключен. Он используется только тогда, когда я2S находится в ведущем режиме.

25.5.10 Карта регистров SPI

В таблице показана карта регистров SPI и значения сброса.

Таблица 187. Карта регистров SPI и значения сброса

Компенсировать	регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
0x00	SPI_CR1	Зарезервированный																БИДИМОД	БИДИОЭ	КРЦЕН	CRCNEXT	ДФФ	ТОЛЬКО RX	CCM	SSI	LSBFIRST	ТФЭ	БР [2:0]		МСТР	КПОЛ	СРНА					
	Сбросить значение																	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x04	SPI_CR2	Зарезервированный																								TXEIE	RXNEIE	ЭРПИ	Зарезервированный		ССОЭ	TXDMAEN	RXDMAEN				
	Сбросить значение																								0	0	0			0	0	0	0				
0x08	SPI_SR	Зарезервированный																								БСИ	ОБЦ	МОДФ	CRCERR	УДР	CHSIDE	TXE	RXNE				
	Сбросить значение																									0	0	0	0	0	0	0	1	0			
0x0C	SPI_DR	Зарезервированный																ДР[15:0]																			
	Сбросить значение																	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x10	SPI_CRCPR	Зарезервированный																CRCPOLY[15:0]																			
	Сбросить значение																	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1					
0x14	SPI_RXCRCR	Зарезервированный																RxCRC[15:0]																			
	Сбросить значение																	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x18	SPI_TXCRCR	Зарезервированный																TxCRC[15:0]																			
	Сбросить значение																	0	0	0	0	0	0	0	0	0	0	0	0	0	0						
0x1C	SPI_I2SCFGR	Зарезервированный																				I2SMOD	I2SE	I2SCFG	PCM5INC	Зарезервированный	I2SSTD		ЦКПОЛ	ДАТЛЕН	ЧЛЕН						
	Сбросить значение																					0	0	0	0		0	0	0	0	0	0					
0x20	SPI_I2SPR	Зарезервированный																								МАККО	СТРАНИЙ	I2SDIV									
	Сбросить значение																									0	0	0	0	0	0	0	0	0	0	1	0

Ссылаться на [Раздел 3.3: Карта памяти](#) для граничных адресов регистра.