



Microcontroladores

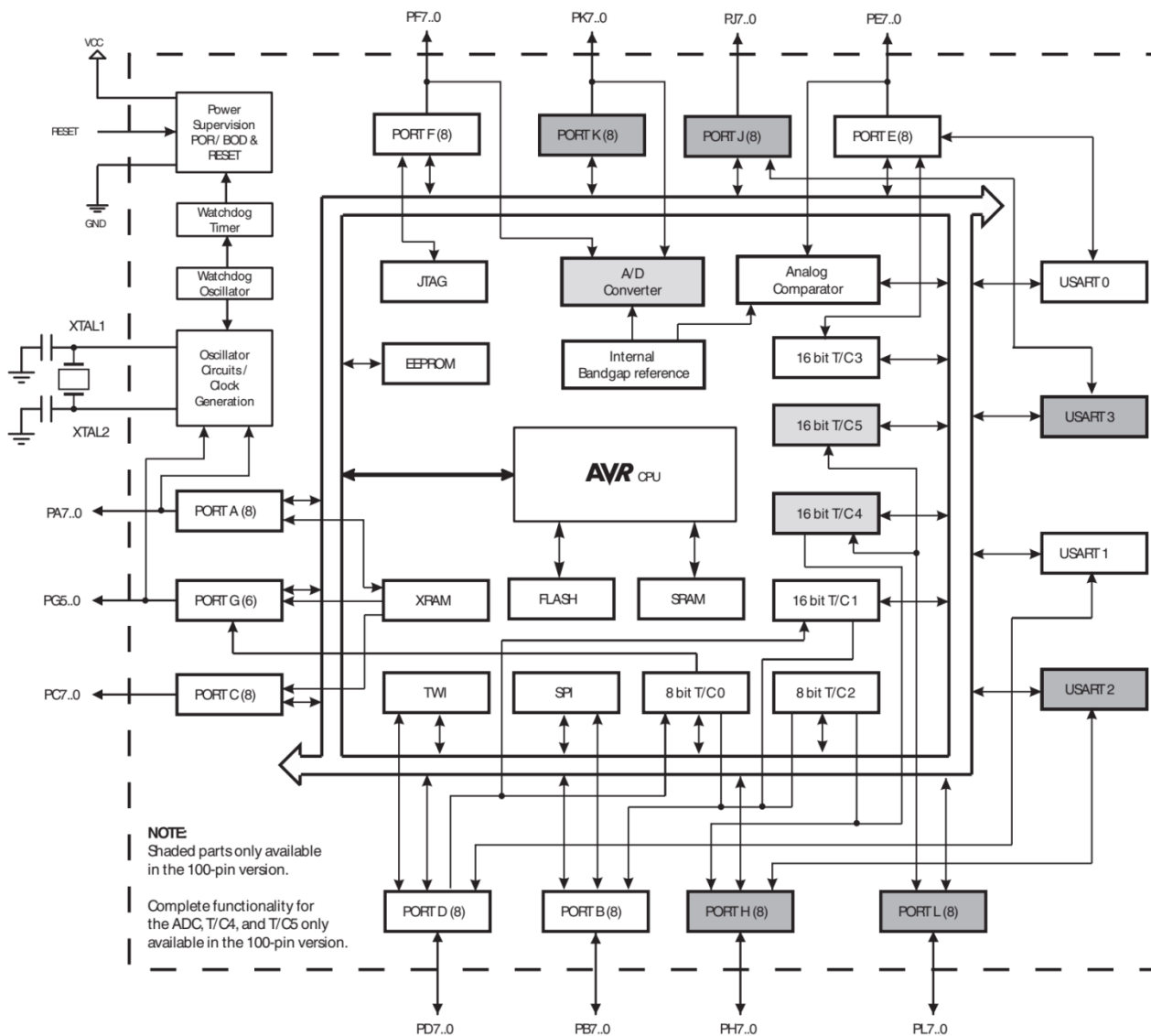
Arquitectura (AVR ATmega)



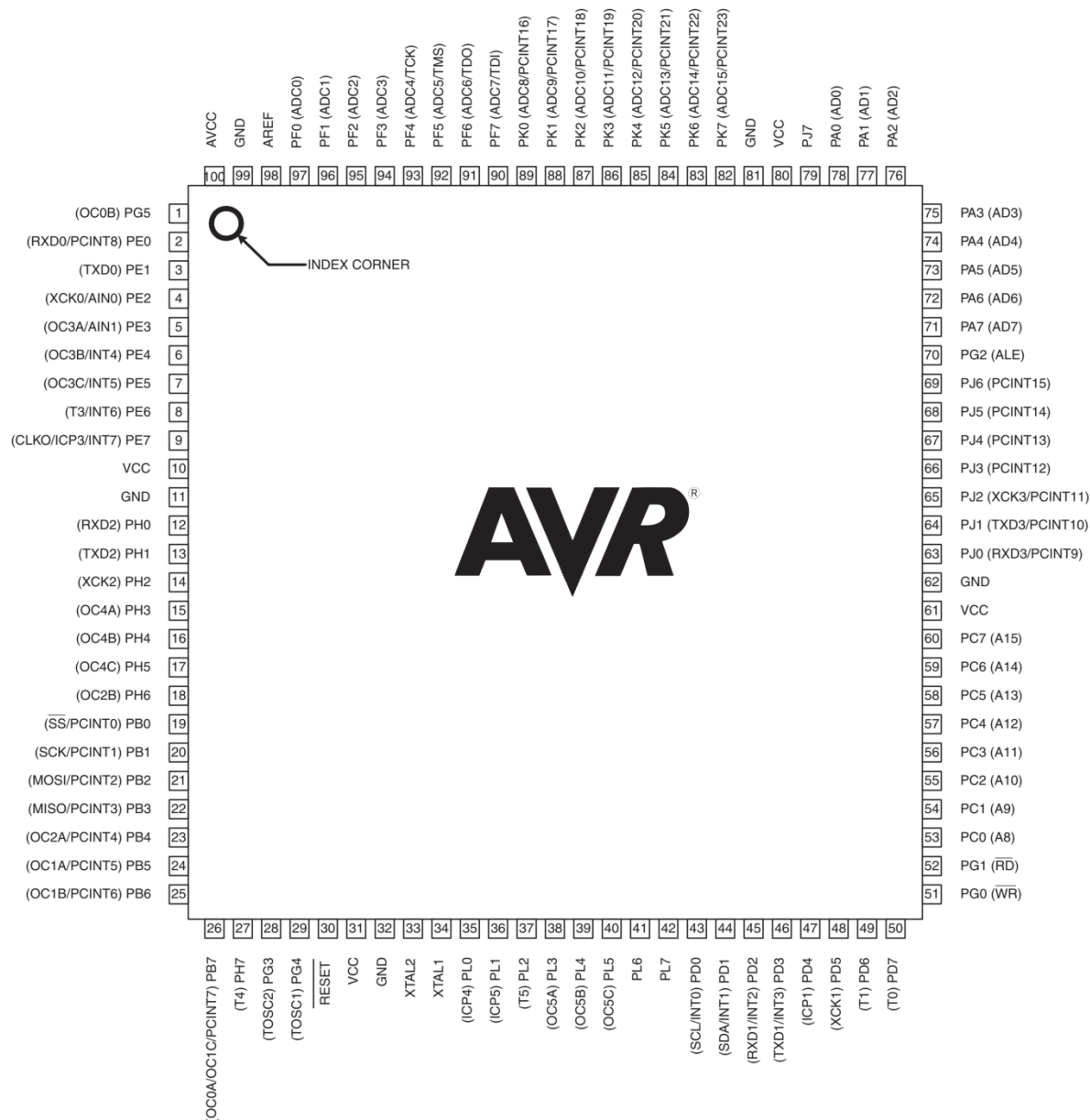
Arquitectura del Microcontrolador

- Diagrama de Bloques
- Terminales del Circuito Integrado (IC)
- Organización del CPU
- Organización de la Memoria
- Estructura de los puertos de E/S
- Registros Especiales
- Memoria Externa
- Dispositivos Periféricos Internos

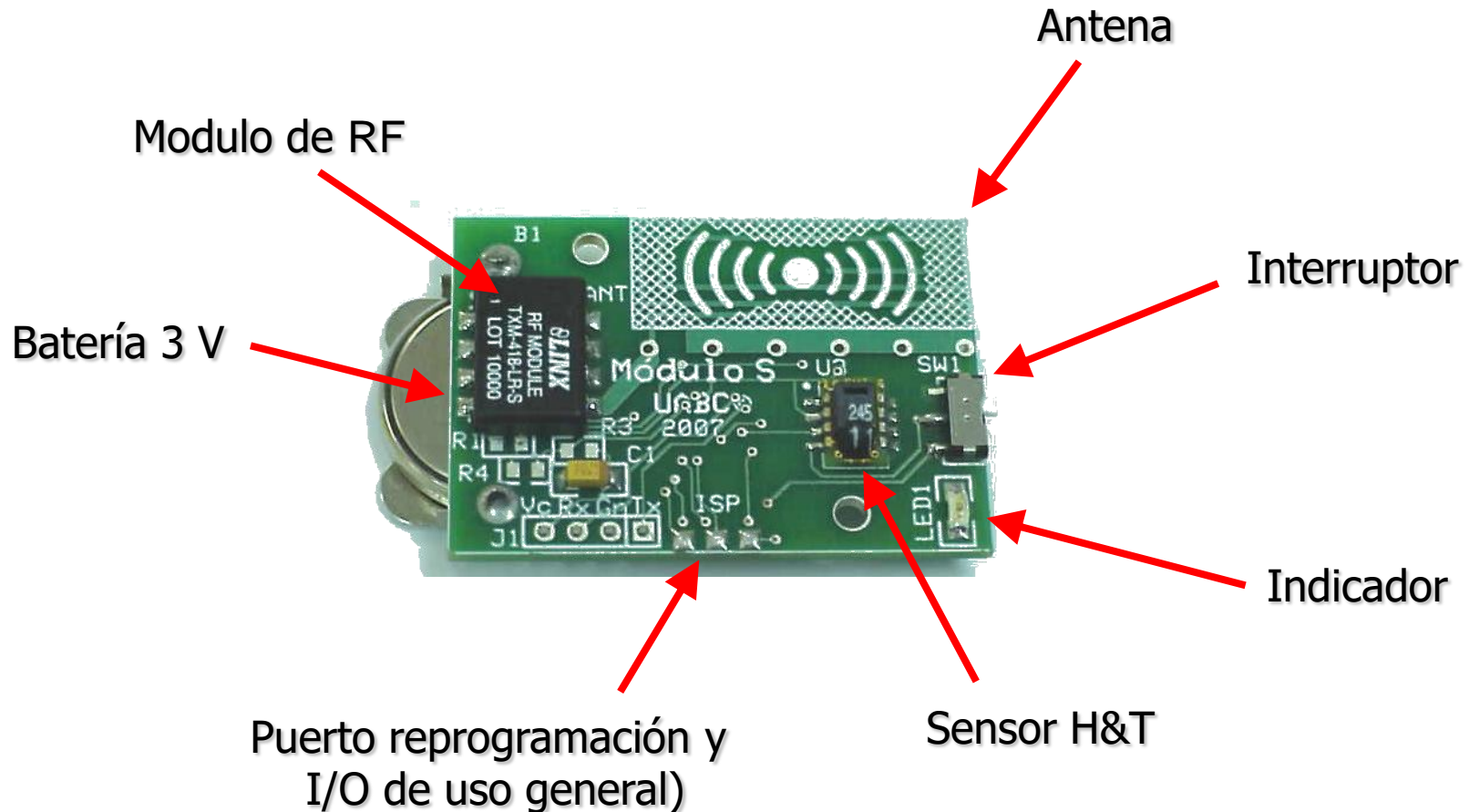
Diagrama de Bloques



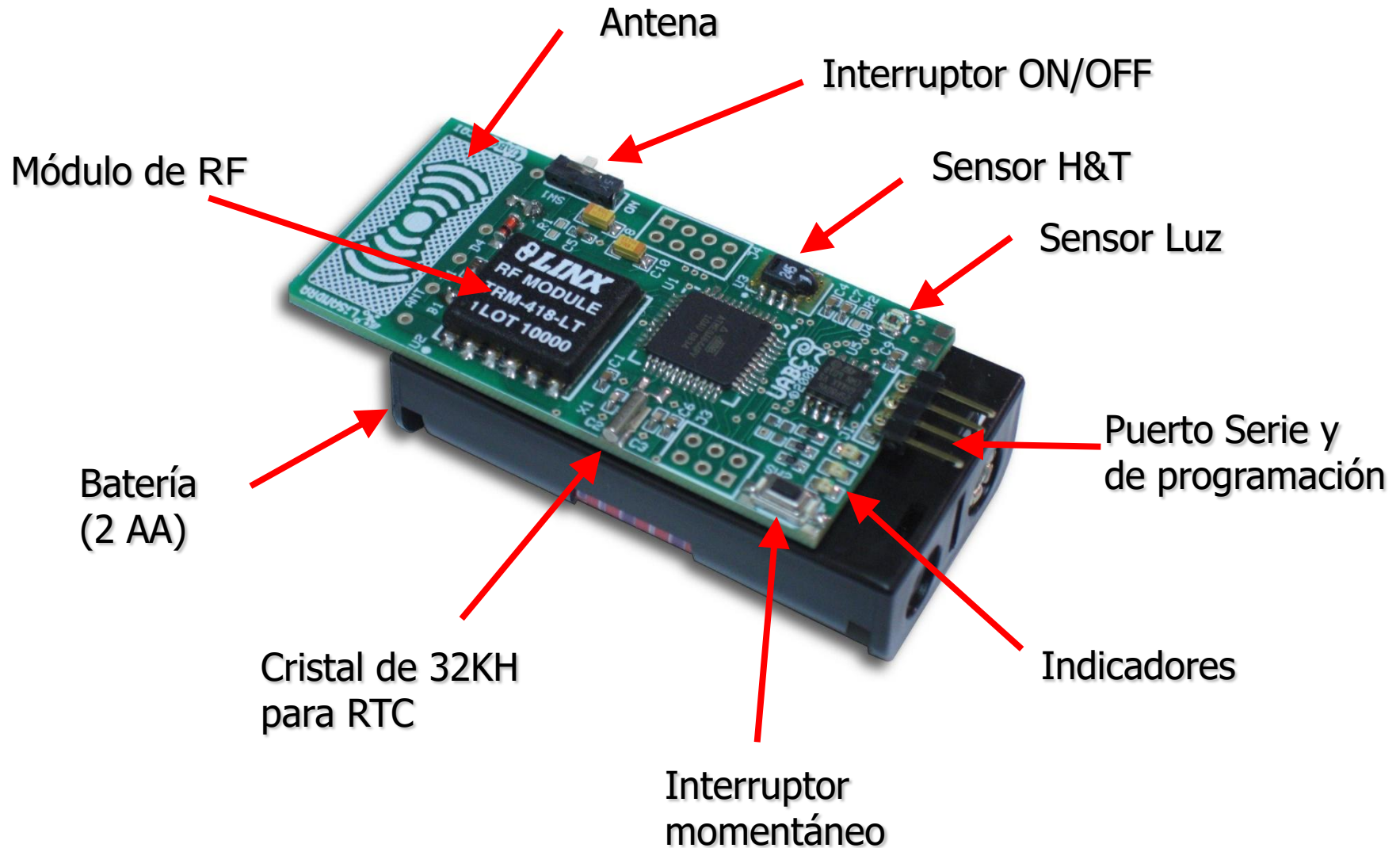
Terminales del Circuito Integrado (IC)



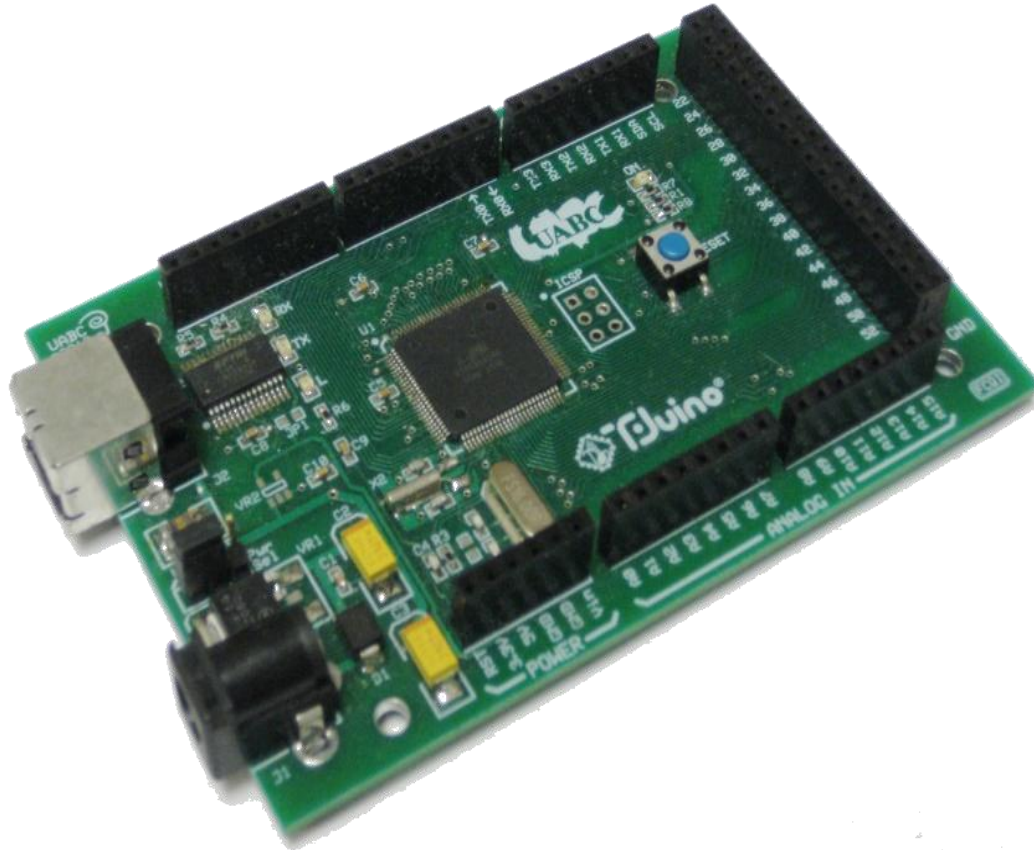
- **Nodo S (basado en ATmega8)**



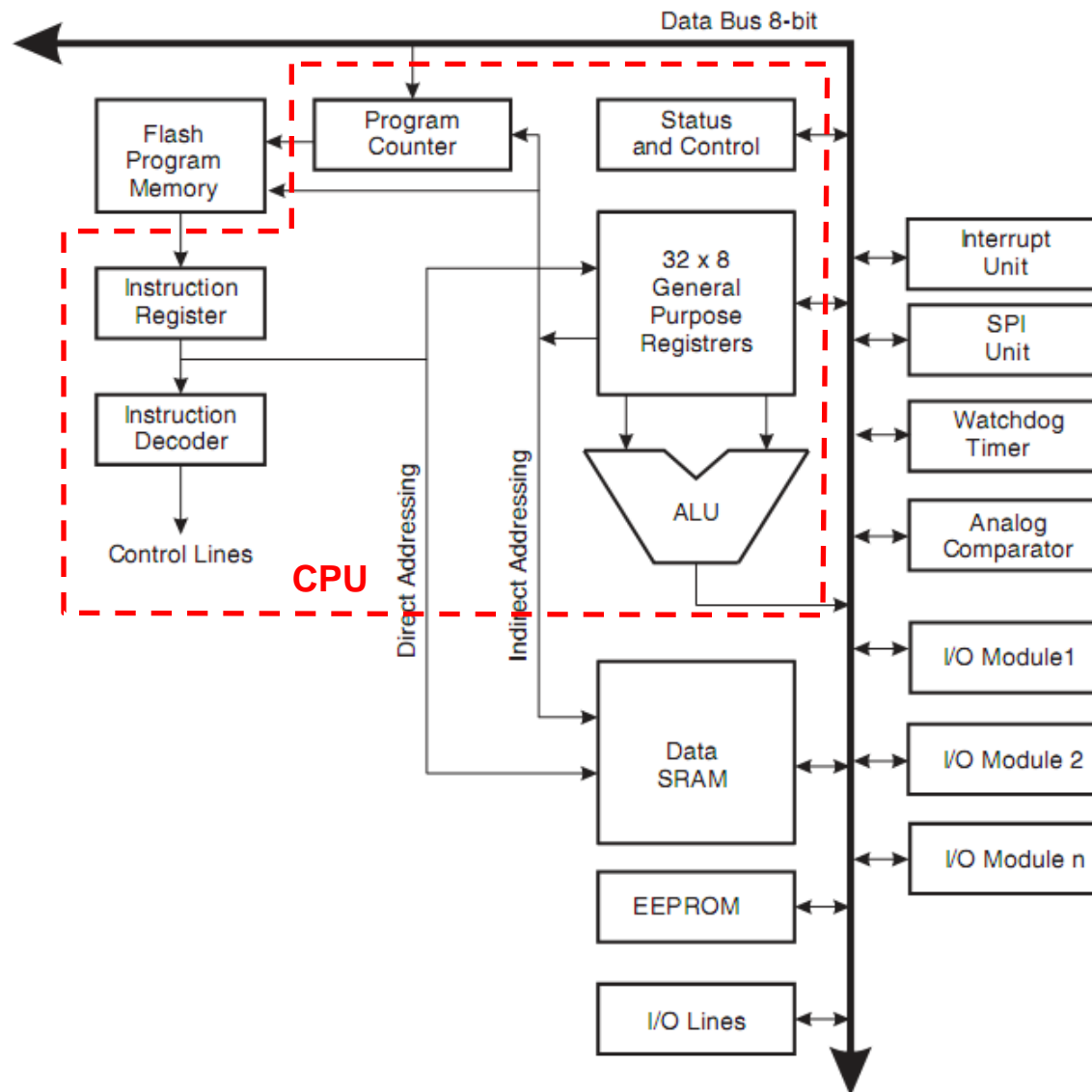
- **Nodo SD (basado en ATmega644p)**



- Tjuino (basado en ATmega1280p)



Arquitectura interna del Microcontrolador



General
Purpose
Working
Registers

X-register Low Byte
X-register High Byte
Y-register Low Byte
Y-register High Byte
Z-register Low Byte
Z-register High Byte



Registros Internos del CPU

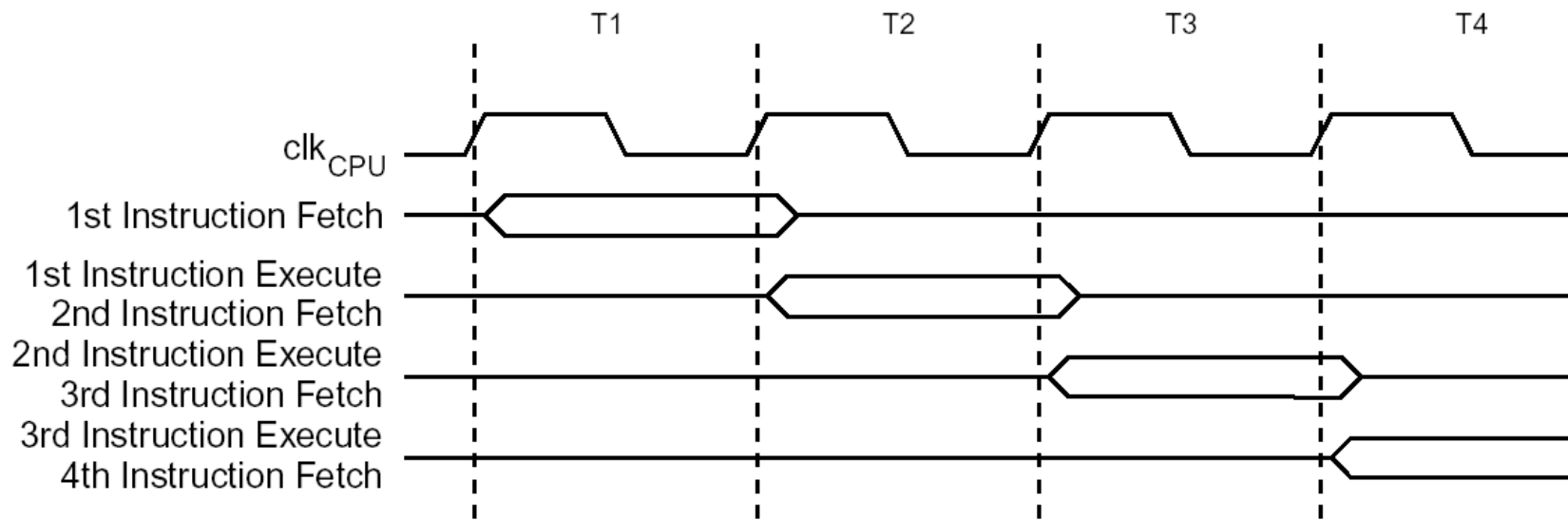
Registro de Estado (SREG)

Bit	7	6	5	4	3	2	1	0	
0x3F (0x5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

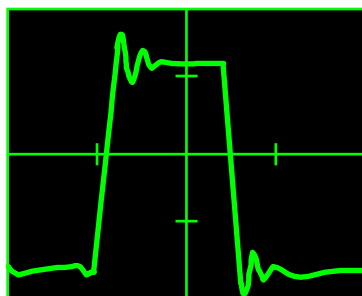
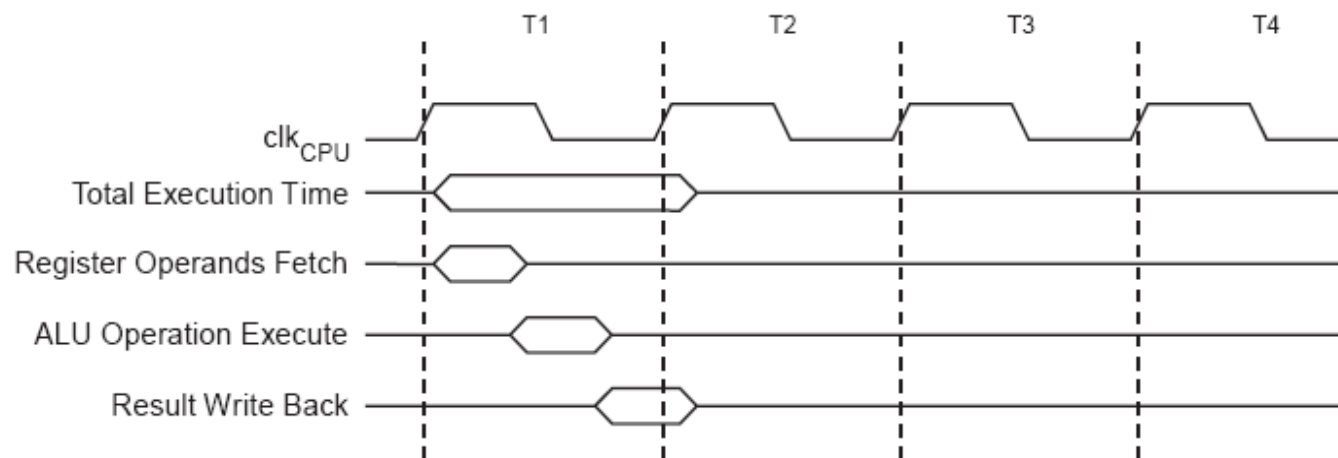
Puntero de pila (SP)

Bit	15	14	13	12	11	10	9	8	
0x3E (0x5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
0x3D (0x5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	7	6	5	4	3	2	1	0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	1	
	1	1	1	1	1	1	1	1	

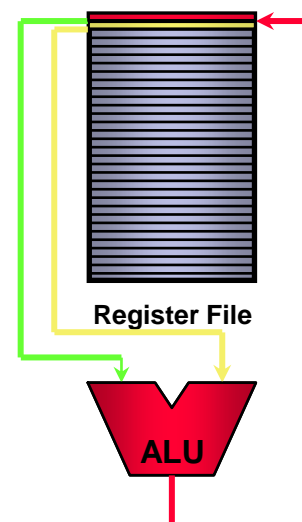
Ciclo de Ejecución



Ciclo de Ejecución



**Operación de Registros
toma solo un pulso de reloj**



Tiempo de Respuesta a interrupciones

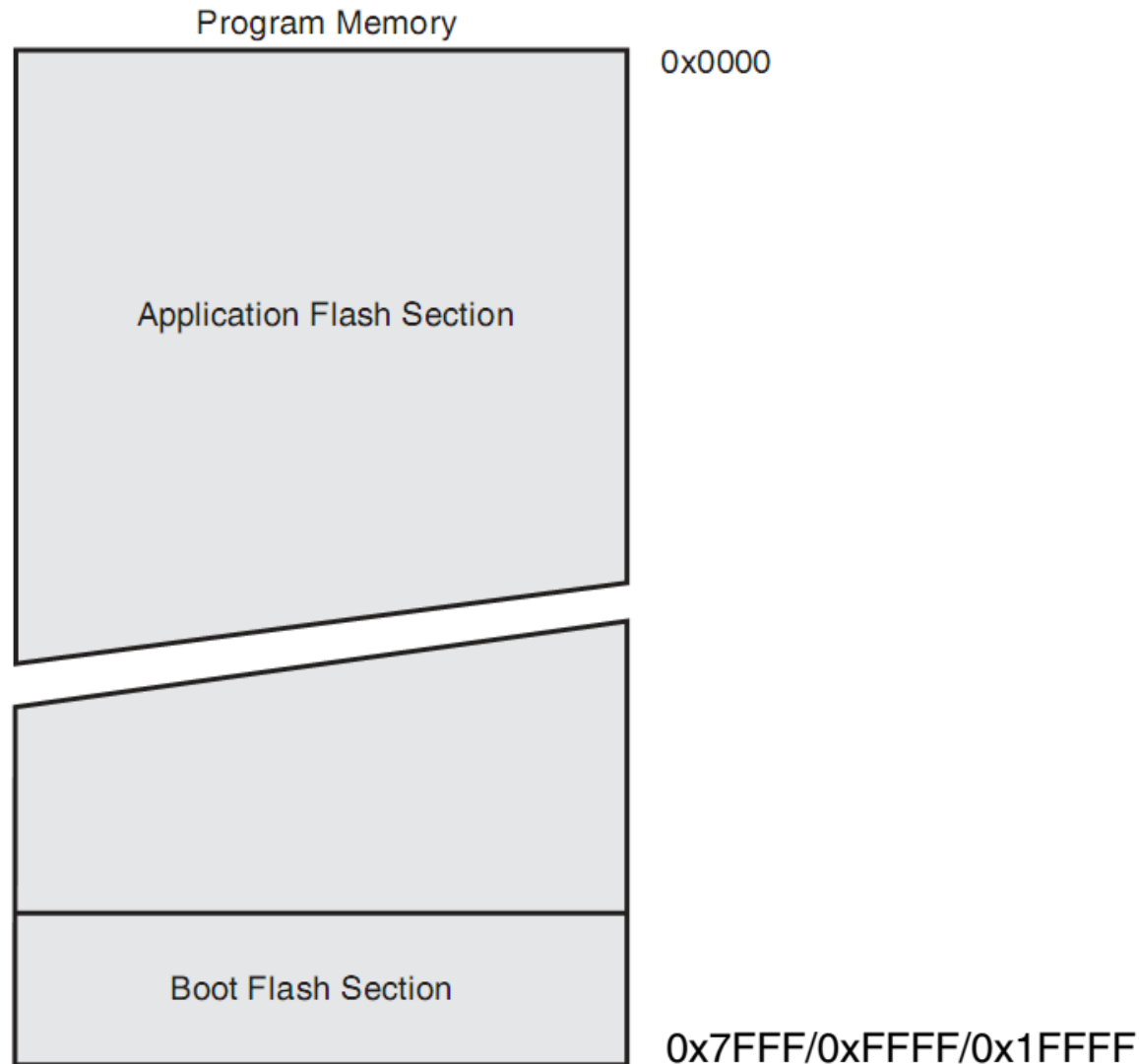
- El tiempo de respuesta de ejecución a una interrupción para todas las interrupciones del AVR habilitadas es de **5 ciclos de reloj** como mínimo.
- Después de los 5 ciclos de reloj ejecuta la instrucción de la dirección del vector de interrupciones para que se ejecute a rutina que maneja la correspondiente interrupción.
- Durante esos 5 ciclos de reloj, el contador del programa (PC) se introduce a la pila.
- El vector contiene normalmente un salto a la rutina de servicio interrupción (ISR), y este salto consume 3 ciclos de reloj.
- Si se produce una interrupción durante la ejecución de una instrucción de varios ciclos, la instrucción se completa antes de que se atienda la interrupción.

Tiempo de Respuesta a interrupciones

- Si se produce una interrupción cuando la MCU está en modo de suspensión (sleep), el tiempo de respuesta para ejecutar la interrupción se incrementa en 5 ciclos de reloj.
- Este aumento se suma a la puesta en marcha o tiempo de recuperación del MCU desde el modo de suspensión seleccionado.
- El retorno de una rutina de servicio de interrupción toma 5 ciclos de reloj. Durante estos 5 ciclos de reloj, el contador de programa (PC) (3 o 2 bytes) es recuperado de la pila, el apuntador de pila se incrementa en 2 o 3 bytes, y el bit I del registro de estado (SREG) es activado.

Nota : Este microcontrolador no salva el registro de estado cuando ocurre una interrupción por lo que es necesario hacerlo manualmente en el caso de programación en lenguaje ensamblador o bien que el compilador lo realice.

Organización de la Memoria de Programa



Organización de la Memoria de Datos (SRAM)

Address (HEX)	
32 Registers	0 - 1F
64 I/O Registers	20 - 5F
416 External I/O Registers	60 - 1FF
Internal SRAM (8192 × 8)	200 21FF
External SRAM (0 - 64K × 8)	2200
	FFFF