

大作业：FPGA双输出LUT映射技术

一、作业背景与目标

1.1 现实背景

在当前先进的FPGA架构中，双输出LUT已成为提升资源利用率的关键技术。传统的EDA工具主要针对单输出LUT进行优化，而双输出LUT结构为逻辑综合带来了新的挑战和机遇。

1.2 学习目标

通过本次大作业，学生将：

- 掌握LUT技术映射的基本原理和算法
- 学会处理实际工业级EDA问题的方法
- 培养算法设计、代码实现和性能优化的综合能力

二、作业任务描述

目标：LUT后优化（对应赛题基础题）

任务要求：给定已映射到单输出LUT的网表，设计算法将两个兼容的LUT合并为一个双输出LUT，以最小化总LUT数量。

技术要点：

- 输入：已映射的GTP_LUT网表（Verilog格式）
- 输出：优化后的网表（包含GTP_LUT6D，同样也应该是Verilog格式）
- 关键挑战：识别具有共享输入的逻辑函数对

三、技术框架与工具环境

3.1 开发平台

- 开发语言：C语言

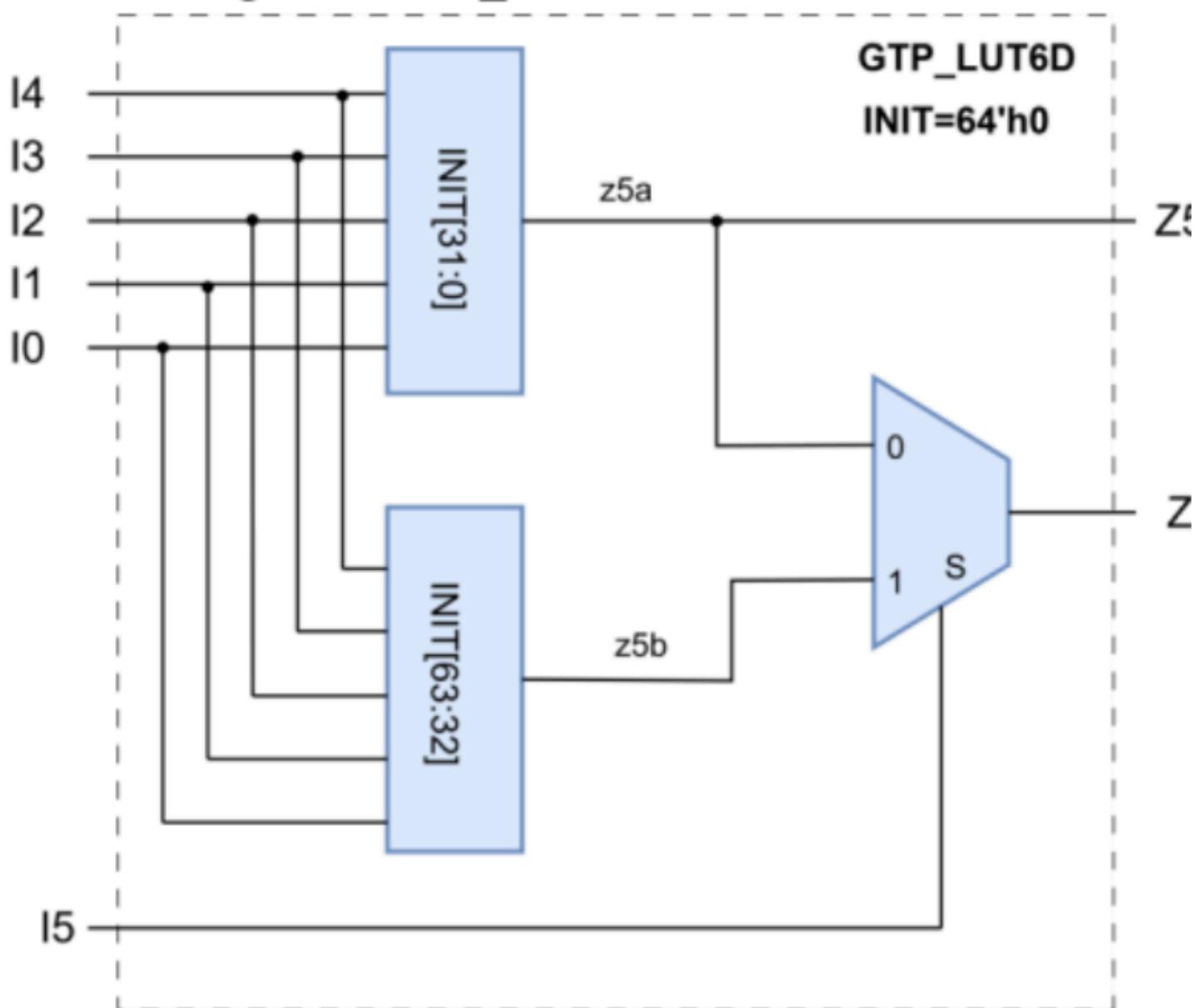
3.2 双输出LUT架构理解

（参考2025年集创赛说明）

GTP_LUT6D是6输入2输出的查找表，其特殊结构允许在单个LUT资源中实现两个相关逻辑函数。下图是

其中一个案例

Figure 3 GTP_LUT6D simulation model



- GTP_LUT6D和GTP_LUT在资源占用上是相等的
- GTP_LUT6D除了能够实现GTP_LUT6的功能外，还能够额外实现1个5输入1输出的查找表。即，GTP_LUT6D可以最大实现GTP_LUT6+GTP_LUT5的功能，当然也可以实现GTP_LUT5+GTP_LUT5 或 GTP_LUT4+GTP_LUT2及其他其他的（数字更低）的组合的功能；
- 若两个LUT的输入的并集小等于6，就可以考虑合并成一个LUT_6D，该LUT_6D固定六输入双输出，当输入端口不足6个时则部分输入可以为空，不用考虑LUT_6D内部逻辑问题
- 合并后的LUT_6D输入端口顺序不用考虑，输出端口对应两个被合并的LUT接口即可

比赛组织方提供的Q&A

** 注意：如果比赛放提供的Q&A与本作业的要求出现矛盾的话，则以本作业的要求为准**

Q16: 在官方提供的benchmark中，存在一种LUT6CARRY的LUT，官方似乎没有提供这种lut的仿真模型，赛题指南也没有对这种LUT的说明，请问我们选手应该如何处理这种LUT？以及这种lut参与计算面积和深度吗？ [0918]

A16: 不进行任何处理，并在输出结果中保留，原样输出。不参与面积和深度计算。

Q20: 赛题中的FPGA的双输出LUT一定要求两个待合并的LUT，其中一个的逻辑表达式是另一个的子式才能合并吗？[0927]

A20: 没有这个限制，可以利用给I5接VCC，让Z和Z5除了输入是共享的之外，其他部分是独立的。逻辑允许都可以，子表达式只是可以合并的其中一种特例。

Q23: 能不能改LUT6D?以及一些其他与测评平台有关的问题[1021]

A23: 网表只是为了更好理解LUT6D，并不是为了让大家修改。修改仿真文件来达到其他目的是不合理的，目的是为了使用LUT6D而并非修改。

四、程序输入输出要求

4.1 输入文件特征

- 格式：结构化Verilog网表
- 结构：单一展平module
- 不需要考虑组合逻辑门
- 每个LUT的格式如下图，其中：
 - 第1行 类型，LUT3 表明这是一个3输入查找表
 - 第2行 LUT的真值表，用16进制表示的 $2^3=8$ 位真值表 (在本作业中，不需要考虑)
 - 第3行 名称，此LUT实例的唯一名称，此例中名称为(双引号内)"\SYS/N55[10]_lut"
 - 第4~6行 LUT的3个输入端口以及对应的线网或地址
 - 第7行 LUT的输出端口以及对应的线网或地址

```
1  GTP_LUT3 #(  
2      .INIT(8'hca)  
3      ) \SYS/N55[10]_lut (  
4      .I0(\SYS/INTCTL [10]),  
5      .I1(\SYS/BRKADR [10]),  
6      .I2(ADR[2]),  
7      .Z(\SYS/N55 [10])  
8  );
```

4.2 输出文件要求

- 生成**合并信息文件**，把合并的GTP_LUT6D的情况输出，如针对某testcase数据，总共发现有两个合并案例，其中把1个LUT3（名称为XXX）和1个LUT5（名称为YYYY）合并成一个LUT6D，把1个LUT6（名称为XXZZZ）和1个LUT3（名称为ZY）合并成另一个LUT6D，则记录如下图，其中第1行

表示总共合并的数量：

1	2
2	
3	1
4	LUT3-XXX + LUT5-YYYY
5	
6	2
7	LUT6-XXZZZ + LUT3-ZY

- 假设上例中testcase的文件名为“design_1_syn.v”，则**合并信息文件**的名称为“design_1_syn.res”

4.3 程序要求

- 程序依次处理多个testcase
- 程序运行需要输出相应结果在屏幕，大致如下图：

```
PS D:\workspaces\codespace\cspace\output> & .\temp.exe

Test Case: design_1_syn.v
- generated 4234 LUT6Ds
- run time 9324.4 sec

Test Case: design_3_syn.v
- generated 234 LUT6Ds
- run time 93.8 sec
```

五、测评环境和评分标准

- 测评环境
 - 必须在学校linux环境下可运行(老师评价时也是用这个环境)
 - 会分配服务器账号密码
 - 后面提供一些测试程序
- 标准
 - LUT6D的数量 (提示：往排列优化方向考虑)

- 运行时间
- 内存峰值（不考虑内存使用情况）

六、交付

- 时间：12月31日前
- 资料：报告+C代码（每个小组只交一份）
- 其他：
 - 在报告中清晰列出每位同学的工作量占比
 - 交电子版