

## Reporte

### Objetivos

- Evidenciar el avance (mínimo 50%) realizado en el proyecto de laboratorio.
- Describir y especificar el avance en cada módulo descrito en el reporte de primera fase de laboratorio.
- Evaluar los avances del proyecto de laboratorio previo a la entrega de la fase final.

### Descripción

- Reporte - archivo .pdf en formato IEEE. Dicho archivo debe contener los datos generales de cada integrante del grupo y especificar las siguientes características del proyecto:
  - Descripción de los módulos ya implementados en la FPGA
  - Descripción de aquellos módulos de programación que no forman parte de VHDL.
  - Adjuntar imágenes y esquemáticos de los circuitos a implementar.
  - Calendarización de actividades con aquellas tareas que aún falta por implementar.
  - Tiempo estimado para completar cada actividad propuesta en la calendarización
  - Imágenes o link al vídeo donde se evidencie las pruebas de funcionamiento del proyecto.
- Módulos VHDL y Programación - carpetas separadas con aquellos módulo de VHDL y programación del dashboard.

### Forma de entrega

La entrega consiste en un archivo .zip con el nombre "Proyecto\_SF\_E6\_\*\*\*" sustituir los \*\*\* por su respectivo código de grupo, el archivo debe contener el reporte y las carpetas con las características descritas anteriormente.

Los estudiantes deben enviar dicho archivo por medio de la plataforma de UEDI en la asignación creada en el área de prácticas.

Adicionalmente los estudiantes deben presentarse a la hora especificada para mostrar los avances en el proyecto.

**Nota:** El archivo debe pesar un máximo de 10 MB.

### Fecha de entrega

#### Sección A (Lunes)

Hora límite: 18:00 Hrs.

Fecha: Lunes 2 de octubre de 2023

**Nota:** Cualquier archivo entregado después del horario y fecha establecido no será calificado y el grupo no podrá presentar la siguiente fase del proyecto.