

## بسم‌تعالی

با استفاده از زبان Verilog و طبق شرایط تعیین شده مدار زیر را توصیف نمایید (۳ نمره).

ماژول اصلی مدار یک شمارنده است که بین دو پارامتر ۲۸ بیتی A و B به صورت متناوب شمارش می‌نماید. با فعال شدن پایه ریست شمارنده از یک سمت (به دلخواه حد بالا یا پایین) و در جهت درست شروع به شمارش کرده تا به سمت دیگر برسد. با رسیدن به سمت دیگر جهت شمارش عوض خواهد شد. این شمارش صعودی و نزولی مکرراً بین دو حد تعیین شده توسط پارامترهای A و B ادامه می‌یابد. در زمان شمارش صعودی با هر دو پالس ساعت یک شمارش انجام می‌شود و در زمان شمارش نزولی با هر پالس یک شمارش صورت می‌گیرد.

در پیاده سازی ماژول اصلی لازم است که تا حد ممکن سلسله مراتب رعایت گردد بدین صورت که مثلاً برای پیاده سازی شمارنده و یا مقایسه کننده n بیتی از n بلوک تک بیتی استفاده گردد. در این پیاده سازی، تاخیر هر دروازه منطقی به کار گرفته شده در پایین‌ترین سطح توصیف مدار، در زمان یک شدن خروجی برابر ۳، در زمان صفر شدن برابر ۴ و در زمان قطع شدن برابر ۳ نانو ثانیه در نظر گرفته شود.

جهت تست مدار نیز یک ماژول توسعه داده شود که ابتدا ماژول اصلی را فراخوانی کرده و سپس پارامتر A را با شماره دانشجویی فرد پاسخ دهنده و پارامتر B را با مقدار 28'h9800000 مقداردهی نماید. پس از آن مدار را راه اندازی اولیه نموده و در ادامه همواره مقدار شمارنده را به همراه زمان شبیه سازی در مدت زمان ۳ پالس ساعت قبل و بعد از تغییر جهت شمارش نمایش دهد.

در نهایت حداکثر فرکانس پالس ساعت ورودی که می‌توان به ورودی این شمارنده داد را محاسبه نمایید.

در پاسخ دهی به این سوال خوانایی، ساختاریافتگی، استفاده از تکنیک‌های کدنویسی مناسب و به کارگیری ایده‌های متفاوت در کسب نمره کامل مهم خواهند بود.

پس از طراحی، پیاده سازی و تست سخت‌افزار مورد نظر، پاسخ را که شامل موارد زیر است در قالب یک فایل فشرده مطابق با دستورالعمل نحوه برگزاری امتحان میان‌ترم و در زمان مقرر ارسال نمایید:

۱- فایل متن اصلی تمام ماژول‌های Verilog (شامل ماژول اصلی و سایر ماژول‌ها)

۲- تصویر نسخه دست‌نویس توضیحات جامع ولی مختصر و مفید در مورد کلیات طرح پیاده سازی شده به همراه روش محاسبه حداکثر فرکانس پالس ساعت ورودی (حداکثر یک صفحه)

۳- تصویر نمودار زمانی و خروجی شبیه ساز در مدت زمان ۳ پالس ساعت قبل از رسیدن به حد بالا تا ۳ پالس ساعت پس از عبور از این حد

۴- تصویر نمودار زمانی و خروجی شبیه ساز در مدت زمان ۳ پالس ساعت قبل از رسیدن به حد پایین تا ۳ پالس ساعت پس از عبور از این حد