

华中科技大学 2019~2020 学年第一学期

“模拟电路与数字系统（二）/数字电路与逻辑设计”考试试卷(A 卷)

考试方式: 闭卷 考试日期: 2020.1.4 下午 考试时长: 150 分钟

院(系): _____ 专业班级: _____

学 号: _____ 姓 名: _____

题号	一	二	三	四	五	六	七	八	总分
分数									

分数	
评卷人	

一、填空题 (20 分)

(注: 所有答案必须填到下表对应位置中, 填写在题目中视为无效)

(1)	(2)	(3)
(4)	(5)	(6)
(7)	(8)	(9)
(10)	(11)	(12)
(13)	(14)	(15)
(16)	(17)	(18)
(19)	(20)	

- 带符号二进制补码 01011001 和 11010011 所表示的十进制数分别为 (1)、(2)。
- 二进制码 1101 转换为格雷码为 (3), 表示为 8421BCD 码为 (4)。
- 用 4 位二进制补码计算 $-5-3$ 时, 结果(是、否) (5) 产生溢出。若出现溢出, 解决的办法是进行 (6)。
- 某逻辑函数的最小项表达式为 $F(A, B, C, D) = \sum m(1,2,3,6,7,8,9,10,11,12,13,14,15)$, 其反函数的最小项表达式为 (7)。
- CMOS 与非门的一个输入端通过 $10k\Omega$ 的电阻接地, 则输出为 (8) 电平。

解答内容不得超过装订线

6. 用 PROM 实现 4 位二进制乘法运算, 需要 (9) 根地址线, (10) 根数据线, 其存储容量应为 (11)。
7. 如果令 D 触发器的 $D = \bar{Q}$, 则 D 触发器可以完成 (12) 触发器的逻辑功能。
8. 8 位移位寄存器串行输入时经 (13) 个 CP 脉冲后, 8 位数码全部移入寄存器。若该寄存器已存满 8 位数, 欲将其串行输出, 则需要经 (14) 个 CP 脉冲后数码才能全部移出。
9. 单稳态触发器从稳态翻转到暂稳态取决于 (15), 从暂稳态翻转到稳态取决 (16)。
10. 双积分式 A/D 转换器对 RC 元件的稳定性要求 (17)。
11. 8 位单极性 D/A 转换器的最小输出电压增量为 0.04V, 若输入数字量为 11001000B, 则对应的模拟输出电压为 (18) V。
12. 可编程逻辑器件 CPLD 编程基于 (19) 技术, 可编程逻辑器件 FPGA 编程基于 (20) 技术

分 数	
评卷人	

二、化简题 (10 分)

1. 用代数法求逻辑函数 L 的“最简与或式”(备注: 无推导步骤, 不给分)

$$L(A, B) = \overline{\overline{A + \bar{B}} + \overline{A + B} + (\bar{A} + B)(A + B)}$$

2. 用卡诺图化简, 求逻辑函数 L 的“最简与或式”(备注: A 是最高有效位, D 是最低有效位。不画圈, 不给分)。

$$L(A, B, C, D) = \sum m(0, 2, 5, 8, 10, 13, 15) + \sum d(4, 7, 14)$$

Figure 1 shows a 4x4 grid representing a 2D lattice. The vertical axis is labeled AB and the horizontal axis is labeled CD . Both axes have tick marks for 00, 01, 11, and 10. A circle containing the letter L is positioned at the top-left corner of the grid.

分 数	
评卷人	

三、画波形图（4分）

1、试画出图 1 所示电路的输出($Q_3 \sim Q_0$)波形。

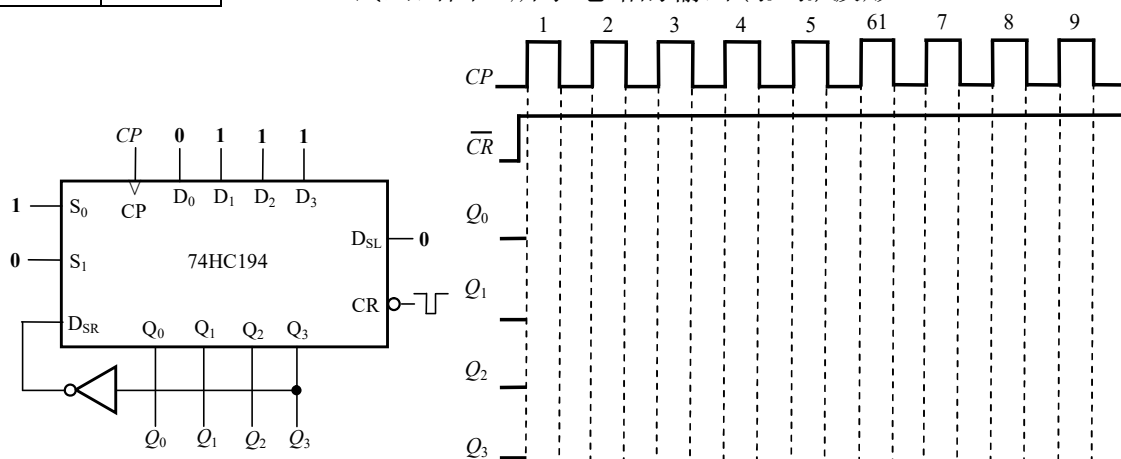
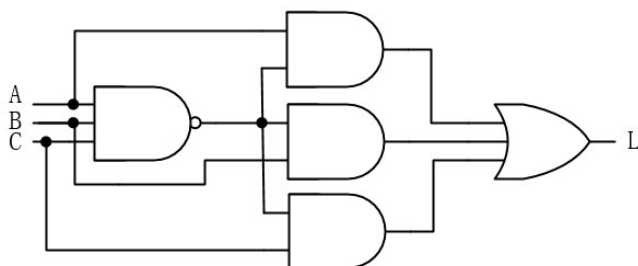


图 1

分 数	
评卷人	

四、已知组合电路如下图所示，试写出 L 的逻辑表达式，并列出的真值表，分析该电路的逻辑功能。（10 分）



(1) 写出 L 的逻辑表达式, 要求为与或非表达式

(2) 列出 L 的真值表

输入			输出
A	B	C	L

(3) 描述该电路的逻辑功能

分 数	
评卷人	

五、请设计一个组合逻辑电路对 4 位无符号二进制数

A ($A_3A_2A_1A_0$) 进行判断：当 A 为质数时，电路输出 F

为 1；否则，电路输出 F 为 0。 (10 分)

(1) 填充完成如下真值表

A_3	A_2	A_1	A_0	F	A_3	A_2	A_1	A_0	F

--	--	--	--	--	--	--	--	--	--

(2) 写出 F 的最简与或表达式 (写出化简步骤, 无步骤不给分)

(3) 如果只使用与非门, 请写出能够实现同样功能的 F 表达式 (写出逻辑变换的步骤, 无步骤不给分)

解
答
内
容
不
得
超
过
装
订
线

分 数	
评卷人	

六、试分析下述 Verilog 描述的电路功能 (15 分)

```

module xFF(output reg Q, input E, R, C);
    always @(posedge C, negedge R)
        if(~R) Q = 0;
        else if(E) Q = ~Q;
endmodule

module TOP(output Y, output[1:0] Q, input X, R, C);
    wire[1:0] E;
    assign Y = Q[1] & Q[0]   assign E[1] = Q[1] | ~X & Q[0] | X & ~Q[0];
    assign E[0] = ~Q[0] | X & ~Q[1] | ~X & Q[1];
    xFF ff0(Q[0], E[0], R, C);
    xFF ff1(Q[1], E[1], R, C);
endmodule

```

(1) 画出 xFF 模块的状态图, 并简述其功能。



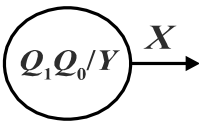
(2) 写出 TOP 电路的输出方程组和激励方程组。

输出方程组： $Y =$ _____

激励方程组： $E_0 =$ _____， $E_1 =$ _____。

(3) 填写 TOP 电路的状态表，画出状态图，并简述其功能。

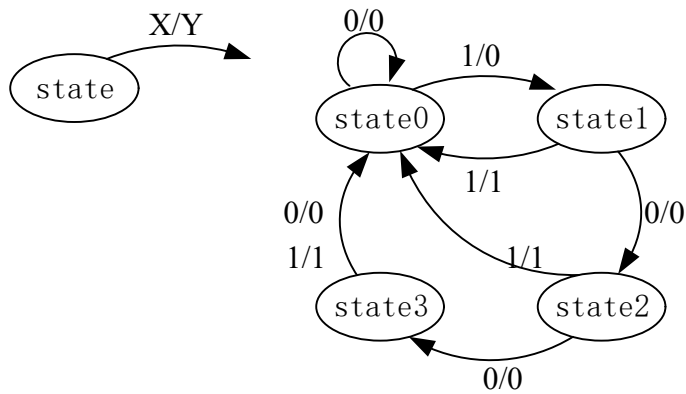
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$		Y
	X=0	X=1	
00			
01			
10			
11			



(4) 分析 TOP 电路是否具有自启动能力？

分 数	
评卷人	

七、设计下图所示状态转换图的时序逻辑电路。(15 分)



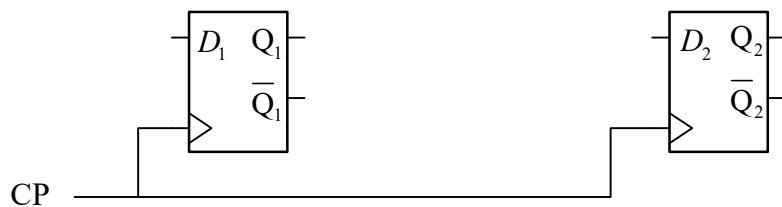
状态转换图

(1) 根据状态转换图填写状态转换表

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Y$	
	X=0	X=1
00		
01		
11		
10		

(2) 采用两个 D 触发器，利用卡诺图，化简得到两个触发器的激励方程 D_1 , D_2 和输出信号 Y 的最简与或表达式

(4) 在以下电路图上补充完成实现状态转换图对应功能的电路



(5) 补充完善以下具有异步复位功能的 Verilog HDL 代码，实现以上电路的功能

```
module doubleClick( input clk, input rst, input X, _____Y );
```

```
parameter s0 = 2'b00, s1 = 2'b01, s2 = 2'b11, s3=2'b10;
```

```
reg [1:0] state;
```

```
always @(*)    begin  
    if(!rst)    Y=_____;
```

```
    else
```

```
        case (state)
```

```
        s0: Y=0;
```

```
        s1: if(X) Y=1;    else Y=0;
```

```
        s2: if(X) Y=1;    else Y=0;
```

```
        s3:if(X) Y=1;    else Y=0;
```

```
        default: Y=0;
```

```
        endcase
```

```
end
```

```
always @(_____or negedge rst)
```

```
begin
```

```
    if(_____)
```

```
        state<=s0;
```

```
    else
```

```
        case (state)
```

```
        s0:  if(X)  _____state<=_____;
```

```
            else state<=s0;
```

```
        s1:if(X) state<=s0;
```

```
            else  _____state<=_____;
```

```
        s2:if(X) state<=s0;
```

```
            else  _____state<=_____;
```

```
        s3:_____state<=_____;
```



```

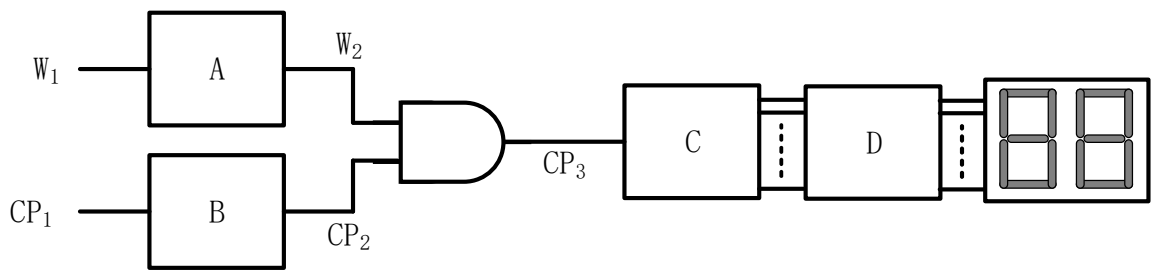
        default:state<=s0;
    endcase
end
endmodule

```

分 数	
评卷人	

八、综合题(16 分)

1. 下图所示是一个脉冲计数电路，基本功能是测量在被测信号 W_1 的一个周期内包含了多少个 CP_1 信号的周期。被测信号 W_1 为占空比不确定的周期性方波。信号 CP_1 为 10MHz 的输入时钟信号， CP_2 为 1KHz 的测试用时钟信号。模块 C 是计数器电路，计数结果将显示在两位数码管上。请回答如下问题：



(1) 请从（单稳触发器、施密特触发器、移位寄存器、计数器、编码器、加法器、显示译码器、比较器）中为模块 A、B、D 选择合适的功能电路，使该电路能够实现脉冲计数功能。

模块 A 是_____；

模块 B 是_____；

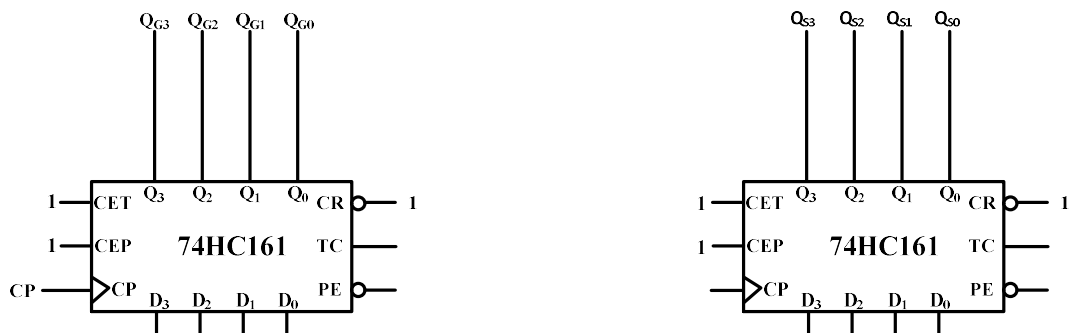
模块 D 是_____；

(2) 若要求计数结果以十进制形式显示在两位数码管上，则由两片 74HC161 构成的模块 C 电路的计数规律为_____；

(3) 已知 CP_2 信号的周期为 1ms，则该电路的量程（ W_1 的有效周期范围）为_____；如果数码管显示的结果为 37，则 W_1 的周期的取值范围可能为_____

(4) 下图为两片 74HC161 构成的模块 C 电路，图中 $Q_{G3}Q_{G2}Q_{G1}Q_{G0}$ 为测量结果的个位输出， $Q_{S3}Q_{S2}Q_{S1}Q_{S0}$ 为测量结果的十位输出。请将电路补充完整，使其能够实现本题目要求的功能。

解答内容不得超过装订线



2. 根据以下描述，画出满足鼠标“单击”、“双击”操作检测要求的状态转换图

鼠标操作中，在短暂的间隔时间内连续两次点击鼠标会被认为是“双击”，若间隔时间较长则不认为是双击。要求用同步时序电路状态机设计“鼠标双击”检测电路，电路的输入信号为上升沿有效的时钟信号 CP 和鼠标按键信号 X (X 与时钟上升沿同步)，输出信号 Y 为检测结果。电路具体要求如下：

X 信号平时为低电平，每次按下鼠标按键将产生持续时间为 1 个时钟周期的高电平。如果两次按键间隔小于或等于 2 个时钟周期时，则认为是“双击”操作， Y 将输出 1 个时钟周期的高电平。如果两次按键间隔大于 2 个时钟周期，则 Y 输出低电平。

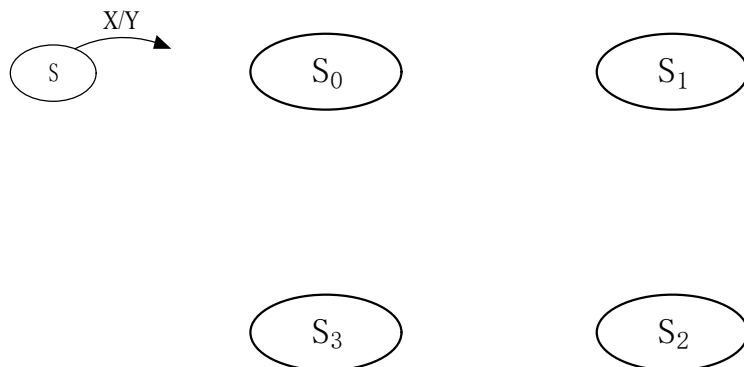
提示 1：一次鼠标按键只有“单击”和“双击”两种操作，且任意两次操作之间的间隔远超 2 个时钟周期，因此不必考虑鼠标“多击”的情况。

提示 2：状态机总共 4 个状态。

(1) 逻辑抽象，定义状态机中 4 个状态各个状态的含义

原始状态	状态含义
S_0	
S_1	
S_2	
S_3	

(2) 补充完成以下状态图，描述各个状态之间的转换关系



附录

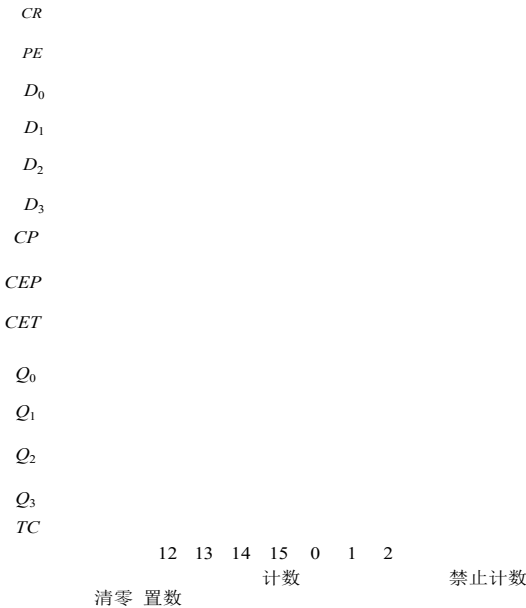
74HC194 的功能表

输 入						输 出				行	
清 零	控制信 号		串行输 入		时 钟 CP	并行输入					
\overline{CR}	S_1	S_0	右 移 D_{SR}	左 移 D_{SL}		DI_0	DI_1	DI_2	DI_3		Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}
L	×	×	×	×	×	×	×	×	×	L L L L	1
H	L	L	×	×	×	×	×	×	×	Q_0^n Q_1^n Q_2^n Q_3^n	2
H	L	H	L	×	↑	×	×	×	×	L Q_0^n Q_1^n Q_2^n	3
H	L	H	H	×	↑	×	×	×	×	H Q_0^n Q_1^n Q_2^n	4
H	H	L	×	L	↑	×	×	×	×	Q_1^n Q_2^n Q_3^n L	5
H	H	L	×	H	↑	×	×	×	×	Q_1^n Q_2^n Q_3^n H	6
H	H	H	×	×	↑	DI_0^*	DI_1^*	DI_2^*	DI_3^*	D_0 D_1 D_2 D_3	7

74HC161 的功能表

输 入								输 出					
清零	预置	使 能		时钟	预置数据输入								进位
\overline{CR}	\overline{PE}	CEP	CET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	D_3^*	D_2^*	D_1^*	D_0^*	D_3	D_2	D_1	D_0	#
H	H	L	×	×	×	×	×	×	保 持				#
H	H	×	L	×	×	×	×	×	保 持				L
H	H	H	H	↑	×	×	×	×	计 数				#

注： D_N^* 表示 CP 脉冲上升沿之前瞬间 D_N 的电平。
#表示只有当 $Q_3Q_2Q_1Q_0CET=1$ （正逻辑体系）时， TC 输出为高电平，其余均为低电平。



复位清零；置数：1100；计数：1101→1110→1111→0000→0001→0010；禁止计数

74HC161 的典型时序图

注意：考试之前可以撕下，考完必须和试卷一起提交，否则算舞弊

草稿纸