

# 华中科技大学考试卷 (A 卷, 闭卷)

课程: 数字电路与逻辑设计 (一) 2018.6.29 上午

专业 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_

题号	一 (15 分)	二 (12 分)	三 (13 分)	四 (22 分)	五 (30 分)	六 (8 分)	总分
得分							

## 一、填空题 (每空 1 分, 共 15 分)

(注: 所有答案必须填到下表对应位置中, 填写在题目中视为无效)

(1)	(2)	(3)
(4)	(5)	(6)
(7)	(8)	(9)
(10)	(11)	(12)
(13)	(14)	(15)

- 十进制数 $(10.875)_{10}$  的二进制表示为 $(1010.111)_2$ , 用 8421BCD 码表示为 $(00010000.1000\ 0111\ 0101)_{8421BCD}$ 。
- CMOS 与非门芯片, 若部分输入管脚悬空, 则输出逻辑电平不可预测 或 X。
- 逻辑函数 $F = \overline{AC}(B + \overline{D}) + B\overline{C}$  的对偶表达式  $F' = \underline{(\overline{A + C} + \overline{BD})(B + \overline{C})}$ 。
- 可编程逻辑 CPLD 中实现组合逻辑流函数是基于与或阵列, 而 FPGA 中则是基于 LUT (查找表)。
- D 触发器的输出 Q 端与一输入信号异或后, 接至其输入 D 端后, 则变成了 T 触发器。
- 对于三态门, 如果控制信号为非有效电平, 则输出信号为 高阻 态。
- 逻辑代数中, 三种基本逻辑运算分别是 逻辑与、逻辑或 和 逻辑非。
- DRAM 动态 MOS 存储单元需要 刷新 操作以免存储的信息丢失。
- 某一 32 位计算机系统中, 其外挂的 RAM 对应占用 CPU 物理地址空间为

0xc00000-0xffffffff。则该 RAM 容量为 2 Mbytes。

10. 在并行比较型 ADC、逐次比较型 ADC 和间接型 ADC 这三种模数转换器中，转换速率最快的是 并行比较型 ADC，转化速率最慢的是 间接性 ADC。

## 二、化简题（共 12 分）

1. 用代数法求逻辑函数  $F$  的“最简与或式”（无推导步骤不给分）

$$L = \overline{A}\overline{B} + \overline{A}\overline{C} + BC + \overline{A}\overline{C}\overline{D}$$

答案：

$$\begin{aligned} L &= \overline{A}\overline{B} + \overline{A}\overline{C} + BC + \overline{A}\overline{C}\overline{D} \\ &= \overline{A}(\overline{B} + \overline{C}) + BC + \overline{A}\overline{C}\overline{D} \\ &= \overline{A}\overline{B}\overline{C} + BC + \overline{A}\overline{C}\overline{D} \\ &= \overline{A} + BC + \overline{A}\overline{C}\overline{D} \\ &= \overline{A} + BC \end{aligned}$$

2. 用卡诺图化简，求逻辑函数  $L$  的“最简与或式”（无步骤不给分）

$$L(A, B, C, D) = \sum m(0, 4, 6, 13, 14, 15) + \sum d(1, 2, 3, 5, 7, 9, 10, 11)$$

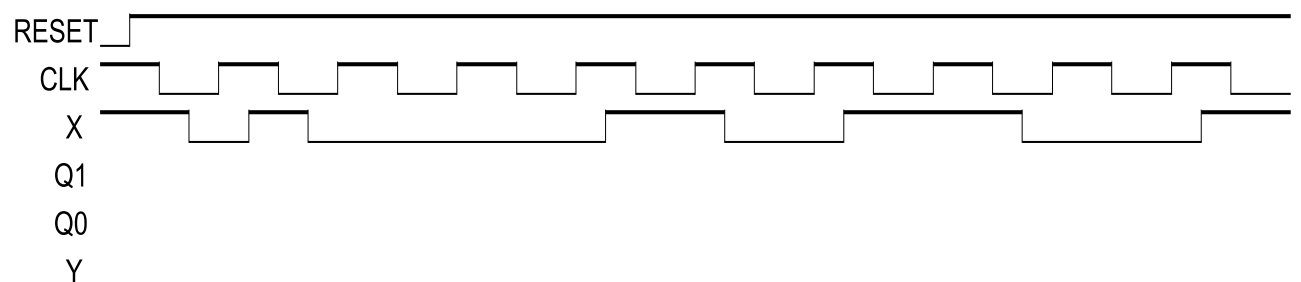
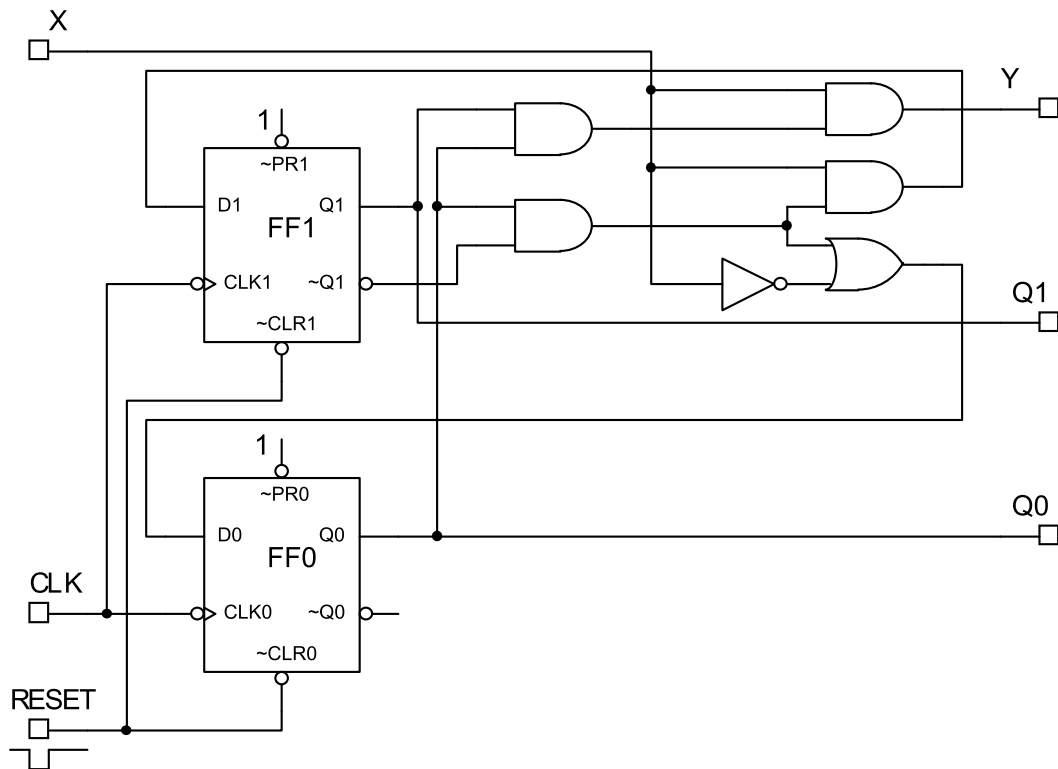
$\begin{matrix} L \\ \swarrow \\ CD \end{matrix}$	$AB$	00	01	11	10
	00				
	01				
	11				
	10				

答案：

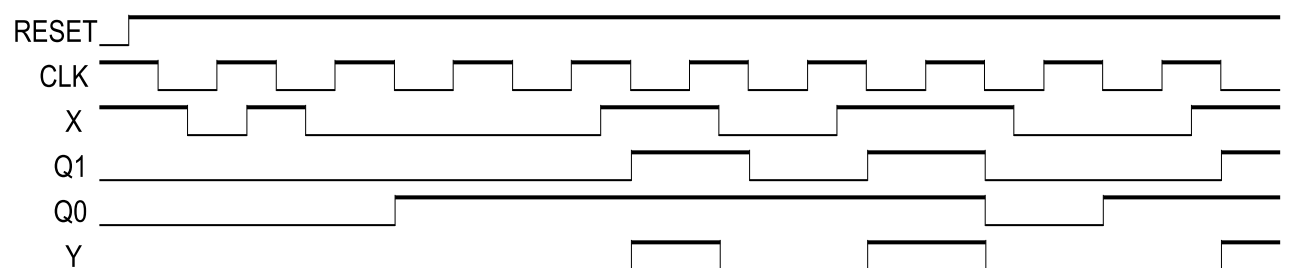
$$L = \overline{A} + C + D$$

### 三、画波形图（共 13 分）

根据以下电路及输入信号波形，请绘制电路输出信号波形。其中， $FF_n$  ( $n=0, 1$ ) 为 D 触发器， $D_n$ 、 $CLK_n$ 、 $\sim CLR_n$ 、 $\sim PR_n$ 、 $Q_n$ 、 $\sim Q_n$  分别为  $FF_n$  的激励输入端、时钟输入端、异步置 0 端、异步置 1 端、状态输出端和反相输出端， $X$ 、 $CLK$ 、 $RESET$  分别为电路输入信号、时钟信号、启动脉冲信号。



答：

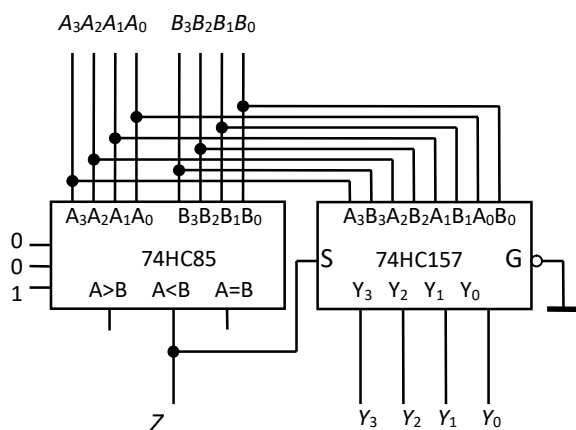


#### 四、组合电路分析与设计（共 22 分）

1. (10 分) 电路如图所示， $A$ 、 $B$  为两组四位二进制数，74HC85 为四位比较器，74HC157 为四个二选一数据选择器（功能表见附录）。试分析电路的工作原理。

(1) 当  $Z = 1$  时，输出四位二进制数  $Y = ?$  当  $Z = 0$  时，输出  $Y = ?$

(2) 指出电路的功能。



1.  $Z=1$  时  $Y=B$   
 $Z=0$  时  $Y=A$  (4分)

2. 比较  $A, B$  大小,  $Y$  输出  $A, B$  中较大的那个数。  
 (4分)

2. (12 分) 设  $X$ 、 $Z$  均为三位二进制数并分别用  $X_2X_1X_0$  和  $Z_2Z_1Z_0$  表示， $X$  为输入， $Z$  为输出，要求二者之间有如下关系：当  $2 \leq X \leq 4$  时  $Z = X + 3$

$$X < 2 \text{ 时 } Z = 0$$

$$X > 4 \text{ 时 } Z = 1$$

(1) 列出实现上述要求的逻辑函数的真值表。

$X_2$	$X_1$	$X_0$	$Z_2$	$Z_1$	$Z_0$
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	1	0	1
0	1	1	1	1	0
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	0	1
1	1	1	0	0	1

(3分)

(2) 写出输出逻辑函数的最小项之和表达式。

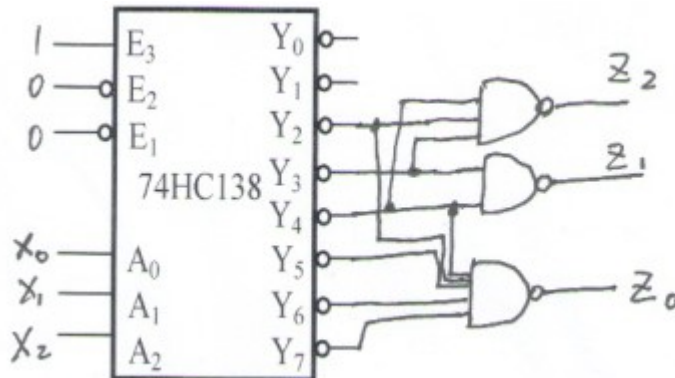
$$Z_2(X_2, X_1, X_0) = \sum m(2, 3, 4)$$

$$Z_1(X_2, X_1, X_0) = \sum m(3, 4)$$

$$Z_0(X_2, X_1, X_0) = \sum m(2, 4 \sim 7)$$

(3分)

(3) 试用一片三线—八线译码器 74HC138 (功能参见附表) 和必要的门电路构成实现上述要求的逻辑电路。要求标出 74HC138 各控制信号的有效电平。(规定  $A_2$ ,  $A_1$ ,  $A_0$  依次分别接  $X_2$ ,  $X_1$ ,  $X_0$ )



(6分)

## 五、时序电路分析与设计 (共 30 分)

1. (12 分) 芯片 CUT 的功能由如下 Verilog HDL 程序描述。请回答以下问题

```
module CUT (M1,M0,D,GIN,DIN,F,CP,CL);
```

```
input M1,M0;
```

```
input GIN,DIN;
```

```

input CP,CL;

input [3:0] D;

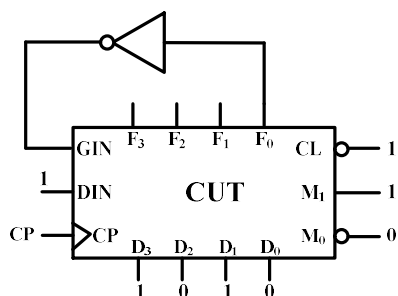
output [3:0] F;

reg [3:0] F;

always @(posedge CP or negedge CL)
    if (~CL)
        F<=4'b0000;
    else
        case ({M1,M0})
            2'b00: F <= F;
            2'b01: F <= {F[2:0], DIN};
            2'b10: F <= {GIN, F[3:1]};
            2'b11: F <= D;
        endcase
    endmodule

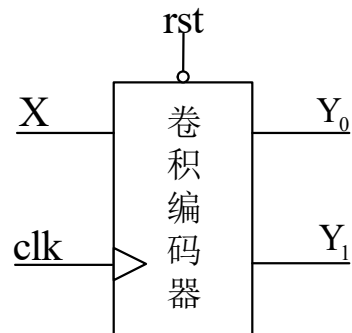
```

- (1) 信号 CL 的功能是\_\_\_\_\_。
- 信号 M1,M0 的功能是\_\_\_\_\_。
- 芯片 CUT 的的置数功能是\_\_\_\_\_（同步/异步）的。
- (2)芯片 CUT 的功能是\_\_\_\_\_。
- \_\_\_\_\_。
- (3)如下电路图是用芯片 CUT 和逻辑门设计的一个时序电路，若电路的初态为  $F=4'b1010$ ，请画出有效计数循环的状态图。

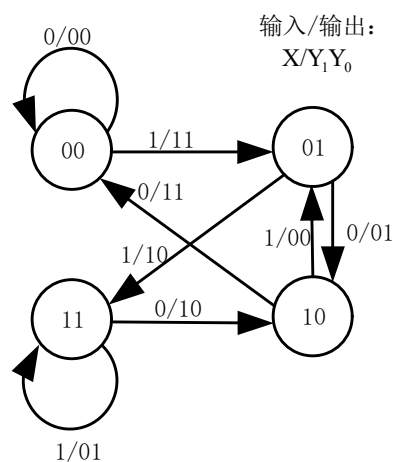


2. （18 分）卷积码是一种典型的信道编码，已广泛应用在多种通信系统之中。

考虑一个简单的 1/2 码率的卷积码编码器，其硬件框图如下：



图中输入信号：上升沿有效的时钟信号  $clk$ ，低电平有效的异步复位信号  $rst$ ，输入信息比特  $X$ ；图中的输出信号：两个编码比特  $Y_0$  和  $Y_1$ 。在每一个时钟周期有效沿，根据输入的信息比特  $X$  得到两个编码比特  $Y_0$  和  $Y_1$ 。当  $rst$  无效时，编码器按照下图所示的状态转移图工作；当  $rst$  有效时，电路进入“00”状态。根据以上说明，完成下面的时序电路设计。



(1) 根据状态转移图，将以下的 Verilog HDL 程序补充完整，且无语法错误。

```

module CC (clk, rst, X, Y0, Y1);
input clk, rst, X;
output Y0, Y1;
    ① _____;
    reg [1:0] state;
    ② _____ S0 = 2'b00, S1 = 2'b01, S2 = 2'b10, S3 = 2'b11;

    always@(posedge clk or ③ _____)
    if (!rst)
        state = S0;
    else

```

```

case(state)
    S0: state = (X == 0) ? S0 : S1;
    S1: _____ ④ _____;
    S2: state = (X == 0) ? S0 : S1;
    S3: state = (X == 0) ? S2 : S3;
    default: state = S0;
endcase

always@(posedge clk)
    case(state)
        S0: {Y1, Y0} = (X == 0) ? 2'b00 : 2'b11;
        S1: {Y1, Y0} = (X == 0) ? 2'b01 : 2'b10;
        S2: {Y1, Y0} = _____ ⑤ _____;
        S3: {Y1, Y0} = (X == 0) ? 2'b10 : 2'b01;
        default: {Y1, Y0} = 2'b00;
    endcase

    _____ ⑥ _____

```

① reg Y1, Y0;                      ② parameter                      ③ negedge rst

④ state = (X == 0) ? S2 : S3                      ⑤ (X == 0) ? 2'b11 : 2'b00                      ⑥ endmodule

(2) 根据状态转移图，填写下面的状态转移表（用  $Q_1Q_0$  表示状态）

$Q_1Q_0$	$Q_1^{n+1}Q_0^{n+1} / Y_1Y_0$	
	X	
	0	1
00		
01		
10		
11		

$Q_1Q_0$	$Q_1^{n+1}Q_0^{n+1} / Y_1Y_0$	
	X	
	0	1
00	00/00	01/11
01	10/01	11/10
10	00/11	01/00
11	10/10	11/01



(3) 使用两个 D 触发器设计电路，则触发器的状态方程和激励方程、以及电路的输出方程分别为：

$$\text{状态方程: } Q_1^{n+1} = Q_0, Q_0^{n+1} = X$$

$$\text{激励方程: } D_1 = Q_0, D_0 = X$$

$$\text{输出方程: } Y_1 = Q_1 \oplus X, Y_0 = Q_1 \oplus Q_0 \oplus X$$

(4) 利用 D 触发器触发器和少量门电路，画出电路图。

答案略

## 六、综合题（共 8 分）

AD9226 是一款最大采样率可达到 65Msps (sample per second) 的流水线型 ADC。其工作的关键时序流图见下，其中每一次的转换输出将延迟 7 个转换周期(图 1)，在采样时钟上升沿到来后，数据需要延迟 3.5~7 ns 才能出现在 data out 端口 (图 1 TOD, Time of Output Delay, 单位 ns)。现将该 ADC 用于高速数据采样，采样时钟频率 50MHz，占空比 50%，每次自动采集 8 个数据，并存放于从地址 0 开始的 RAM 当中。系统框图 (图 2) 描述了由 ADC AD9226、单稳态电路 Mono、计数器 74AS161、组合电路模块“Mod A”和 RAM 共同组成的自动数据采集系统。

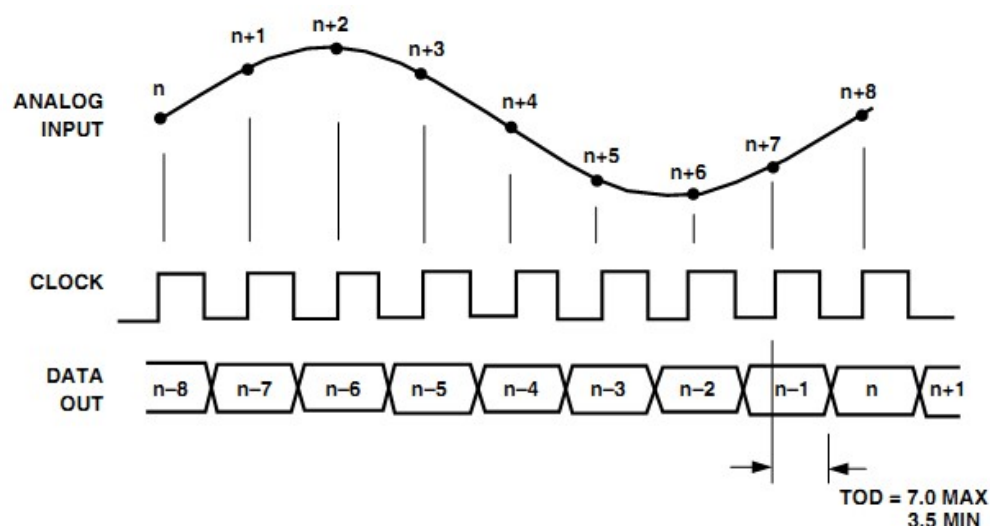


图-1

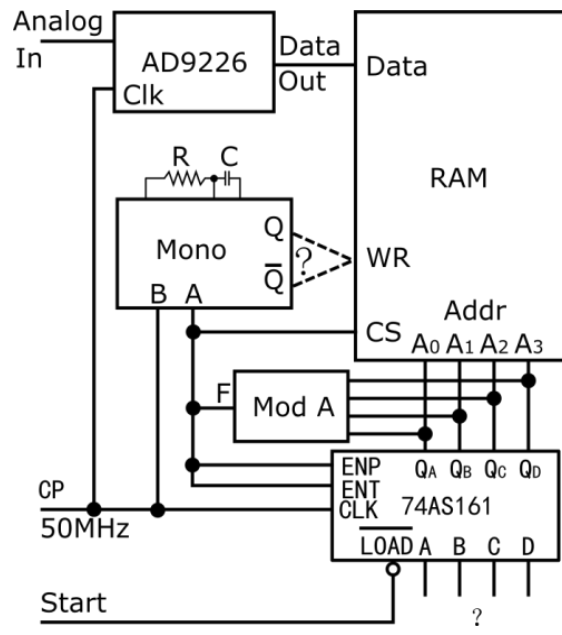


图-2

试回答以下问题：

1) 对系统当中的单稳态电路 Mono，在电阻  $R$  选取  $1k\Omega$  时，电容  $C$  的取值范围是多少？请给出计算过程。

答：根据输出在时钟上升沿到来后  $7ns$ （最大）出现在数据输出端，则单稳态电路暂态最短时间  $7ns$ ；根据采集系统  $50MHz$  时钟频率，周期  $20ns$ ，则单稳态电路暂态最长时间  $20ns$ 。根据  $T_w=0.7RC$  公式， $R=1K$ ，则  $C$  取值在  $10pf\sim 28.5pf$  之间。

2) 计数器 74AS161 的预置端(高位)  $DCBA$ (低位)，应当预置的数值是？为什么？

答：预置数为  $16-7=9$ ，1001，用于跳过 7 个流水线延迟，使首个数据存储到地址 0。

附录

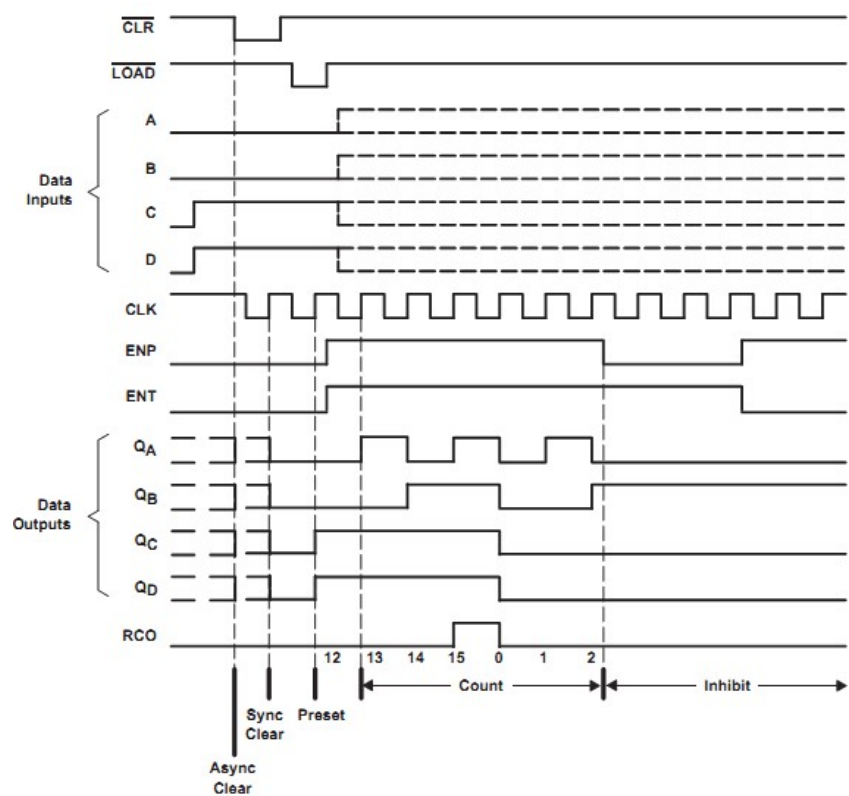
4 位数值比较器 74HC85 的功能表

输 入								输 出					
$A_3$	$B_3$	$A_2$	$B_2$	$A_1$	$B_1$	$A_0$	$B_0$	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_3 > B_3$		×		×		×		×	×	×	H	L	L
$A_3 < B_3$		×		×		×		×	×	×	L	H	L
$A_3 = B_3$		$A_2 > B_2$		×		×		×	×	×	H	L	L
$A_3 = B_3$		$A_2 < B_2$		×		×		×	×	×	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 > B_1$		×		×	×	×	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 < B_1$		×		×	×	×	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 > B_0$		×	×	×	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 < B_0$		×	×	×	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	L	L	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	H	L	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		×	×	H	L	L	H
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	H	L	L	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	L	L	H	H	L

74HC138 集成译码器功能表

输 入			输 出										
$E_3$	$\overline{E_2}$	$\overline{E_1}$	$A_2$	$A_1$	$A_0$	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	X	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

74AS161 时序图



单稳态电路 Mono 功能表

B	A	Q	$\bar{Q}$
L	H	L	H
$\blacktriangle$	H		
X	L	L	H

$T_w=0.7RC$

注意：考试之前可以撕下，考完必须和试卷一起提交，否则算舞弊

草稿纸