

华中科技大学考试卷

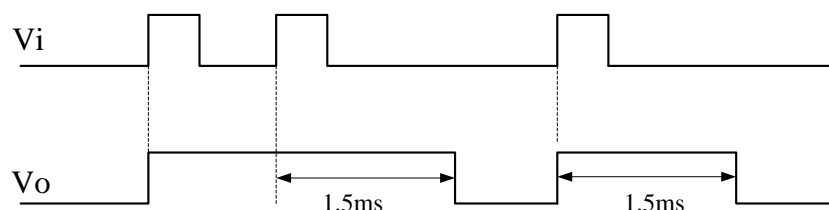
课程：电子技术基础(数字部分)〈闭卷〉 2012.7.3 8:30-11:00

院系 _____ 班级 _____ 姓名 _____ 学号 _____

题号	一 (16)	二 (10)	三 (8)	四 (14)	五 (13)	六 (30)	七 (9)	总分
得分								

一、填空题：（答案请写在集中答题表）

- 十进制数 $(10.25)_{10}$ 对应的二进制表示为①，用 8421BCD 码表示为②。
- 7Bit ASCII 码“A”对应的十六进制数为 0x41,在串行传输采用“偶校验”方式时，需增加的校验位 $P=$ ③。
- 当“3-8 线译码器”对应的 8 个低电平有效的译码输出 $O_7O_6\cdots O_0=(11011111)_2$ ，其对应的 3 位地址输入信号 $A_2A_1A_0$ (A_0 为最低有效位)应为④。
- $F = A + B + \overline{C} + \overline{D} + E$ 的对偶式为⑤。 $\overline{L} = A \cdot \overline{B} + A(C + \overline{D})$ 的反演式 L 是⑥。
- 当不同工艺和供电电压的逻辑电路芯片一起使用时，要优先考虑解决⑦。
- 某十二进制的减法计数器，初始状态 $Q_3Q_2Q_1Q_0 = 0101$ (Q_3 为最高位)，经过 2012 个时钟周期后，其计数状态 $Q_3Q_2Q_1Q_0$ 为⑧。
- 使用一片 ROM 实现两个 4bit 数的乘法运算，需要容量⑨bit 的 ROM。
- 某系统要求产生信号 V_i 、 V_o 的关系如下图所示，应采用的脉冲电路是⑩。



- 数字逻辑电路中，出现功能冒险现象的主要原因是电路中存在⑪。
- 十位逐次比较型 ADC 每一次转换至少需要⑫个时钟周期。某模拟信号的最高有效频率不高于 4KHz，若采用上述 ADC 对其进行无失真数字化，则其工作时钟频率至少应大于⑬KHz。指采样频率
- 一个单极性 12bit 的 D/A 转换器，当数字量为 $(0FA)_{16}$ 时，输出电压为 0.5V；若需要输出模拟量为 0.8V，对应的十六进制的数字量为⑭。

12. 欲将一个移位寄存器中的二进制数乘以 $(32)_{10}$ ，需要15个移位时钟脉冲。
13. 两种不同类型的高密度可编程逻辑器件中，适用于完成复杂时序电路的是16。

填空题集中答题表

编号	答案	编号	答案
①		⑨	
②		⑩	
③		⑪	
④		⑫	
⑤		⑬	
⑥		⑭	
⑦		⑮	
⑧		⑯	

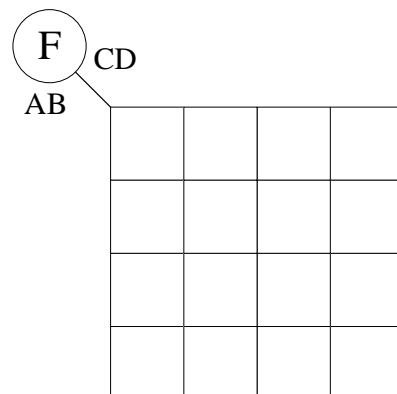
二、化简（10分）

1、用代数法将逻辑函数化简为“最简与或式”。(注：无步骤不给分)

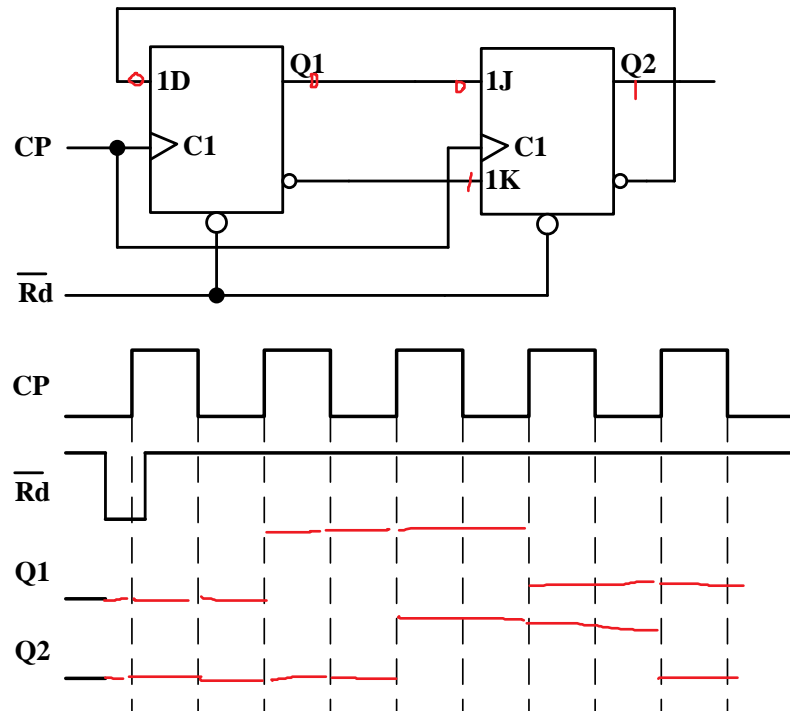
$$F = A\bar{B} + \bar{A}CD + \overline{\bar{B}C} + \bar{D} + BCD$$

2、用卡诺图法将逻辑函数化为“最简与或式”。(注：没有画圈，不给分)

$$F(A, B, C, D) = \sum m(0, 1, 2, 4, 5, 8) + \sum \Phi(3, 6, 10)$$



三、分析如下电路，按照给出的输入波形画出输出 Q1 和 Q2 的波形。（8 分）



四、VerilogHDL 分析。（14 分）

1、将程序中的横线中的内容补充完整（注：共三个位置）。

module test(clk , rst , ctrl , Din , Dout);

input clk , rst , ctrl;

input[3:0] Din;

output Dout;

reg[1:0] iCnt;

always@(posedge clk or _____) //the first always block
if(!rst)

iCnt <= 2'b00;

else if(!ctrl)

iCnt <= iCnt + 1'b1;

else

iCnt <= iCnt - 1'b1;

always@(iCnt or Din)

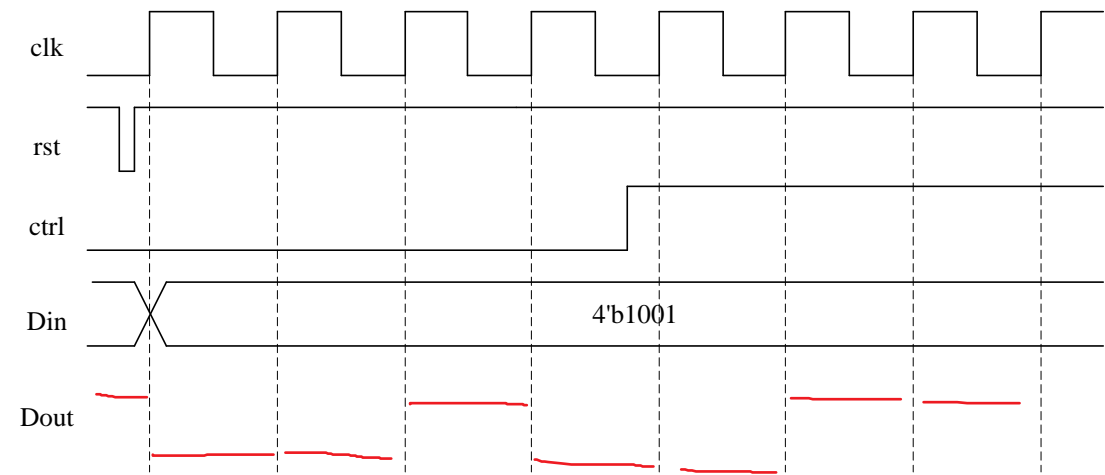
//the second always block

Dout = Din[iCnt];

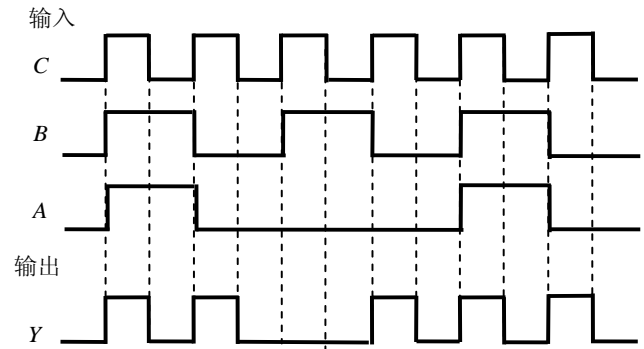


2、第一个 always 语句块的功能是什么？第二个 always 语句块的功能是什么？（限 100 字内）

3、根据给出的输入波形，画出输出信号 D_{out} 波形。



五、组合逻辑电路的输入和输出波形如下图所示。（13 分）



1、列出真值表（A 为最高位，C 为最低位）。

A	B	C	Y

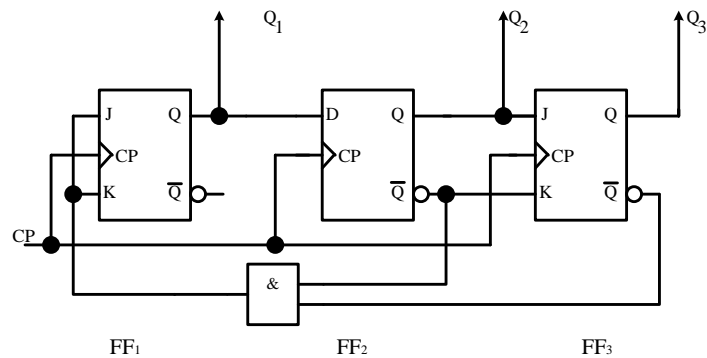
2、写出 Y 的最小项之和逻辑表达式。

3、用卡诺图将 Y 化简为最简与或式。

4、请画出用 2 输入与非门实现上述逻辑电路。

六、时序逻辑分析（30 分）

6.1、假设触发器的初始状态 $Q_3Q_2Q_1$ 为“000”（ Q_3 是最高有效位），试分析电路图：



(1) 写出驱动方程；

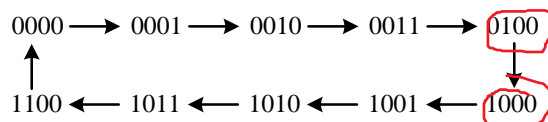
(2) 写出状态方程；

(3) 列出状态转换表、画出状态转换图；

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}

(4) 该电路能否自启动？

6.2、试用一片 4 位同步二进制计数器 74HC161、三个非门、一个三输入与非门、一个四输入与非门设计一个 5421BCD 码十进制计数器。5421BCD 码十进制计数器的计数规律如下图所示。

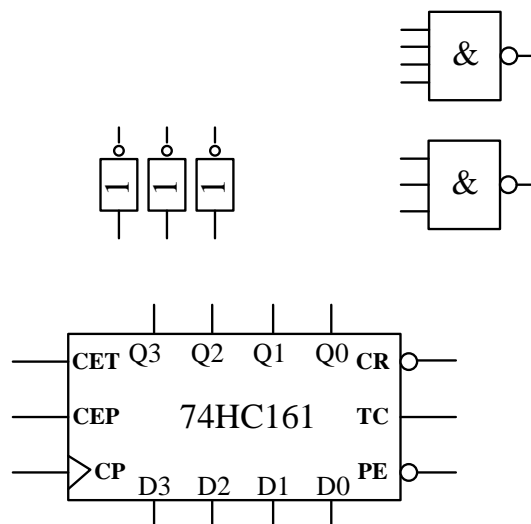


(1) 写出简要设计思路(限 100 字内)；

(2) 写出产生 74HC161 异步清零信号 CR 的逻辑方程；

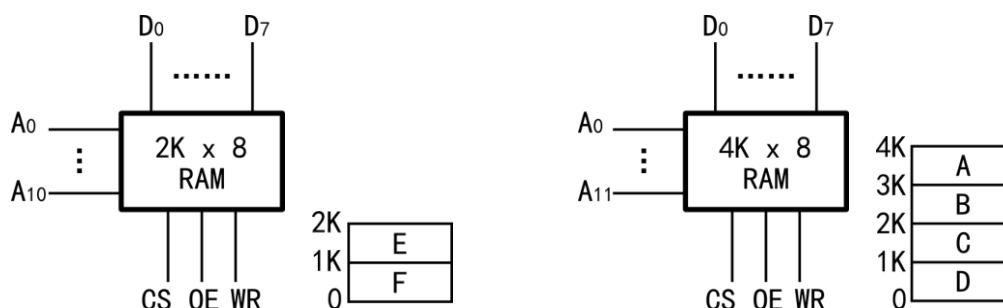
(3) 写出产生 74HC161 同步置数信号 PE 的逻辑方程；

(4) 根据给出的芯片和逻辑门电路连接电路图。

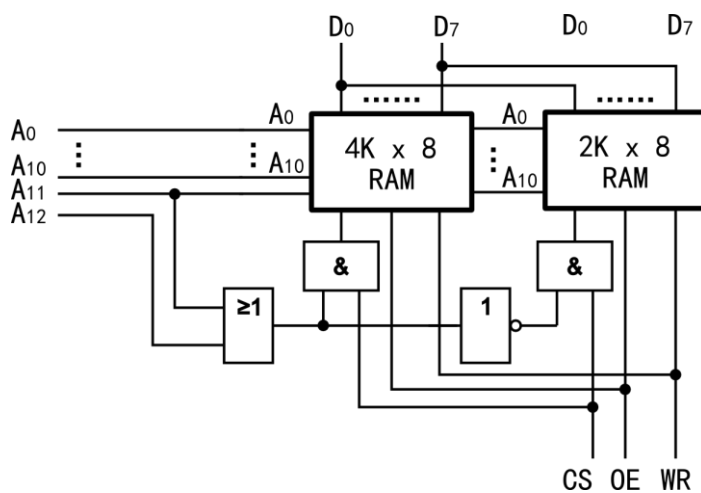


七、综合题（9分）

4K×8 bit 和 2K×8 bit RAM 各一块，分别如下图所示（CS 片选、OE 读使能、WR 写使能都是低有效），分别用字母 A~F 标识 RAM 内部不同地址的存储区域（注：每个字母标识 1KB 区域）。



将两片 RAM 组合成为 6K×8 Bit 的 RAM 块，如下图所示。



1) 通过分析该组合方案，试确定原各 RAM 当中的存储区域分别位于 6K 存储空间中的哪个位置，将 A~F 填写到右边的括号当中

2) 由于 13 根地址线允许访问 8K 的地址空间，而硬件提供的物理存储容量仅有 6K，若按图中给出的连接方式，则 6K~8K 之间的寻址空间将被存储到 A~F 当中的哪些区域？

答：

6K	()
5K	()
4K	()
3K	()
2K	()
1K	()
0	()

3) 若希望访问 6~8K 之间的地址时，给出一个“错误指示”信号，试仅用逻辑门在原图上实现“错误指示”的最简电路。

华中科技大学考试卷 草稿纸

(必须写名字, 且随试卷一起上交, 否则算零分)

院系 _____ 班级 _____ 姓名 _____ 学号 _____

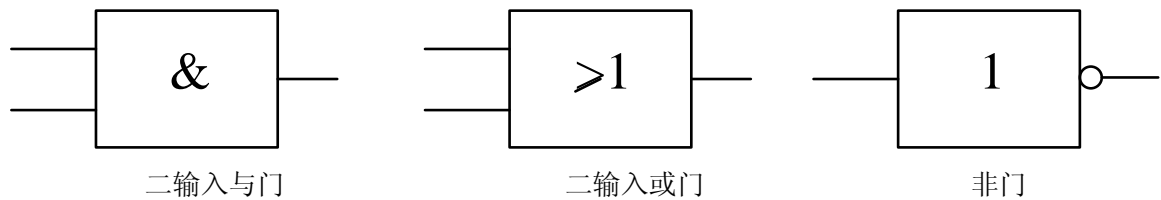
请把五张试卷(含草稿纸、附录), 按页序, 一起交卷!

重修同学, 请在试卷第 1 页学号旁的梯形内标注 **重修**

华中科技大学考试卷 附录

(必须写名字，且随试卷一起上交，否则算零分)

院系 _____ 班级 _____ 姓名 _____ 学号 _____

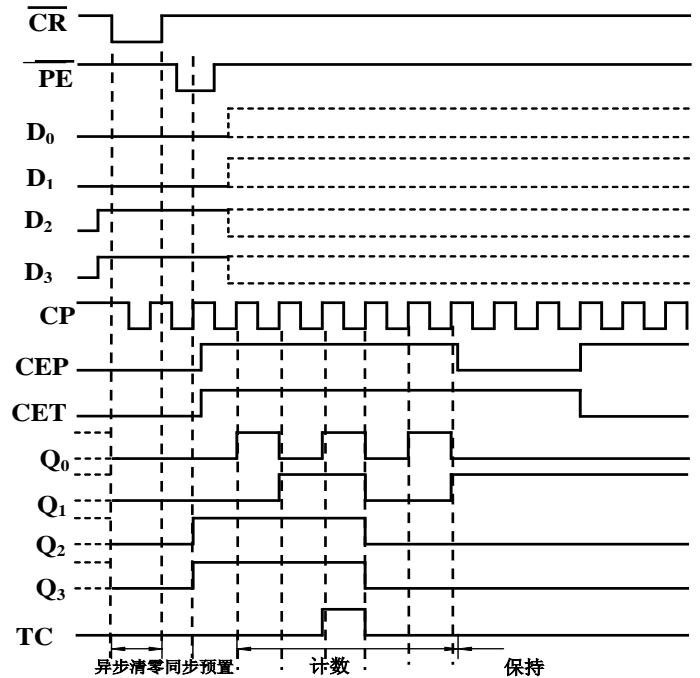


奇偶校验是一种校验代码传输正确性的方法。偶校验：就是让原有数据序列中（包括 1 位校验比特）1 的个数为偶数

74HC161 功能表和典型波形图

$$TC = CET \cdot Q_3 Q_2 Q_1 Q_0$$

清零	预置	使能		时钟	预置数据输入	输出
CR	PE	CEP	CET	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$
L	x	x	x	x	x x x x	L L L L
H	L	x	x		$D_3 D_2 D_1 D_0$	$D_3 D_2 D_1 D_0$
H	H	L	x	x	X X X X	保持
H	H	X	L	x	X X X X	保持
H	H	H	H		X X X X	计数



3-8 线译码器真值表

TRUTH TABLE													
INPUTS						OUTPUTS							
E_1	E_2	E_3	A_0	A_1	A_2	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care