1、电路设计技术：

传统，自下而上。现代，EDA技术（electronics Design Automation），从上到下。

2、正逻辑，负逻辑

3、有符号补码1000，对应-8，这在原码中是没有对应的。

4、解决加法溢出的方法：进行位扩展。

5、BCD编码分为

有权码：如8421BCD码。优点，与十进制的转换容易。

无权码：

余3码，对每一位8421码+3，当两个余3码相加时，比两个8421码相加多6，自动产生进位信号，便于求10的补码。

余3循环码，相邻代码只有一位不同，每次转换只涉及一个触发器，不会发生竞争冒险现象。

格雷码（不是BCD码，是无权码），常用于模拟量的转换，因为模拟量细微变化时，码仅变化一位，方便检错。（DAC转换器可以用格雷码）

6、逻辑代数中，有与，或，非三种基本的逻辑运算。

7、逻辑运算的描述方式：逻辑代数表达式，真值表，逻辑图，卡诺图，波形图，硬件描述语言（HDL）

8、在微处理器，计算机和数据通信中，采用十六进制。

9、数字逻辑是计算机的基础。

10、逻辑关系指的是条件和结果之间的因果关系

11、常用运算律（2章5页）

12、对偶规则要改变常量，1换成0，0换成1

13、逻辑函数表达式的基本形式：与-或表达式，或-与表达式。

14、最小项表达式也称为标准与-或式

15、最大项，偶尔卡诺图也会借助最大项化简。

16、卡诺图小心四角相邻。

17、现代集成电路设计的系统构成是ASIC电路

18、3’b101中3指的是位宽，例如8’ha1.

19、endmodule后没有分号

20、结构描述方式，数据流描述方式，行为描述方式。

21、门级建模，将电路图用文本语言表示出来，如存在一个与门，就定义一个与门，and A1(…)

开关级建模，把组成逻辑门的MOS管都给描述出来，如pmos(…)

22、CMOS门用于超大规模，甚大规模集成电路（所以重点学习）。TTL用于中大规模。

23、MOS管开关电路的波形上升沿下降沿较慢。

24、CMOS门静态功耗小，带负载能力强。

25、传输门可以组成异或门，可以组成数据选择器。

26、缓冲电路（反相器）可以统一参数。保护电路避免过充电压损害电路。

27、漏极开路门，必须外接电源和电阻，依旧是与非逻辑，但支持线与。

28、三态门，任何时刻只能有一个门的使能端有效，其他门输出高阻。

29、CMOS电路基本无静态功耗，有动态功耗。TTL门主要为静态功耗。

30、MOS分为PMOS(positive)，NMOS(negative)，CMOS，其中NMOS比PMOS快。

31、CMOS电路中增加一个输入端，就要增加一个PMOS和一个NMOS。

32、不同系列逻辑电路的接口，可以用逻辑电平转换器。

33、用加法器可以实现奇校验，偶校验。

34、产生竞争的原因：门的延时时间。

35、消除竞争冒险的方法：发现并消除互补变量，输出端并联电容器。

36、译码器的分类：唯一地址译码器（2-10进制译码器），代码变换器（BCD-格雷码译码器）。

37、FPGA的查找表LUT由数据选择器构成。

38、四位数值比较器74HC85是从低位比到高位的，低位的结果传给高位，高位先自己比，能比出结果，就把结果直接传给更高位（不用管低位传来的结果），如果高位相等，那就把低位的结果传给更高位。

39、超前进位加法计数器

40、芯片级联组成高位的加法器时，片内是超前进位，片间是串行进位。

41、减法运算通常用加补码的办法来解决。

42、PLD是可编程逻辑器件的总称，包括GAL，CPLD，FPGA。CPLD具有加密功能，FPGA不能加密。

43、PLD可以用或阵列直接输出（组合逻辑），或者经过寄存器再输出（时序逻辑）。

44、叠栅注入MOS（SIMOS）紫外光擦除，浮栅，快闪电擦除。

45、寄存器的主要组成部分是触发器。

46、时序逻辑电路由组合电路和存储电路组成。

47、GAL使用E2CMOS工艺，可以多次编程。

48、ROM由地址译码器，存储矩阵，输出控制电路三部分组成。

49、DRAM不需要时钟

50、可编程元器件连线区的编程一般由E2CMOS管实现。

51、CPLD用可编程与-或阵列实现逻辑函数，编程基于E2PROM或快闪存储器。

52、FPGA是用查找表LUT实现逻辑函数，复杂函数用众多LUT和触发器实现，编程基于SRAM。

52、FPGA触发器资源丰富（适合复杂时序电路），CPLD组合逻辑电路资源丰富。

53、FPGA的利用率更高

54、CPLD的延时较小。

55、单稳是一个稳态一个暂稳态，施密特是两个稳态，多谐振荡是两个暂稳态。

56、DA转换器。数码寄存器，n位模拟开关，解码网络，求和电路。

57、DA转换器，要求每个模拟开关的电压降要相等。

58、DA转换器：比例系数误差，失调误差，非线性误差。

59、AD转换器：取样，保持，量化，编码。

60、量化误差，只舍不入=最小量化单位。四舍五入，最小量化单位/2

61、并行比较次数（n位编码说明要产生种结果，其中输入=0让所有比较器都不通过，其余每种输出对应一个比较器和触发器）

62、逐次比较型，n位AD转换器其中内置一个n位的DA转换器，n+2个触发器（n个主从D触发器，两个RS触发器），一个n+1位的移位寄存器，需要n+1个CP完成比较。

63、双积分AD转换器要求时钟源在一个转换周期内保持稳定