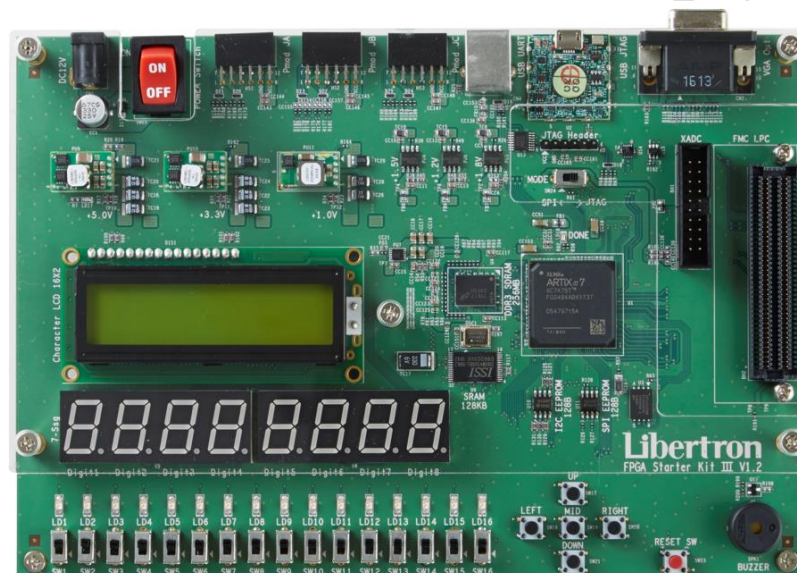


FSK III Buzzer Tutorial (v1.2B)

Authors : 기술지원팀 김민석 팀장



Libertron Co., Ltd

본 설명서를 (주)리버트론의 허락 없이 복제하는 행위는 금지되어 있습니다.

1. 개요

- 부저 (Piezo Buzzer)는 피에조 효과 또는 압전 효과의 원리를 이용하여 소리를 만들어 내는 소자 이다.

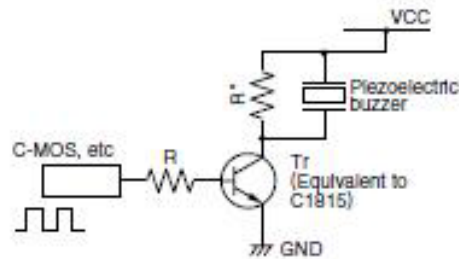
부저에 전기신호를 인가하면 물질의 변형 및 공기 입자가 힘을 받아 압력 차이가 발생 되면서 음파를 생성하는데, 이 음파의 주파수를 조절 하여 음계를 만들 수 있다.

이 매뉴얼은 FSK III 의 Dip Switch의 On/Off 를 활용해 Piezo Buzzer 의 동작확인 을 기술한다.

(압전 효과 : 수정이나 세라믹과 같은 물질에 압력을 주면 전기적 신호가 발생 or 전기적 신호를 가하면 물질이 힘을 받아 변형이 오는 효과)



1) Piezo Buzzer



2) Piezo Buzzer 의 응용 회로

2. 상세 설명

2.1 준비 사항 및 테스트 환경

2.1.1 준비사항

- FPGA Starter Kit III (Ver 1.2B)
- Power Adapter
- USB B Type Cable (FPGA 다운로드 용)

2.1.2. 테스트 환경

- Windows 10 / Vivado 2018.2 (상/하위 버전 관계 없음)

2.2 프로젝트 세부 설명

2.2.1 디자인 동작 방향

- 본 자료에서는 FSK III 에 있는 100Mhz의 Clock 입력을 받아서 분주한다.

"001" → 도(32.7032),

"010" → 레(36.7081),

"011" → 미(41.2032)

"100" → 파(43.6535)

"101" → 솔(48.9994)

"110" → 라(55.0000)

"111" → 시(61.7354)

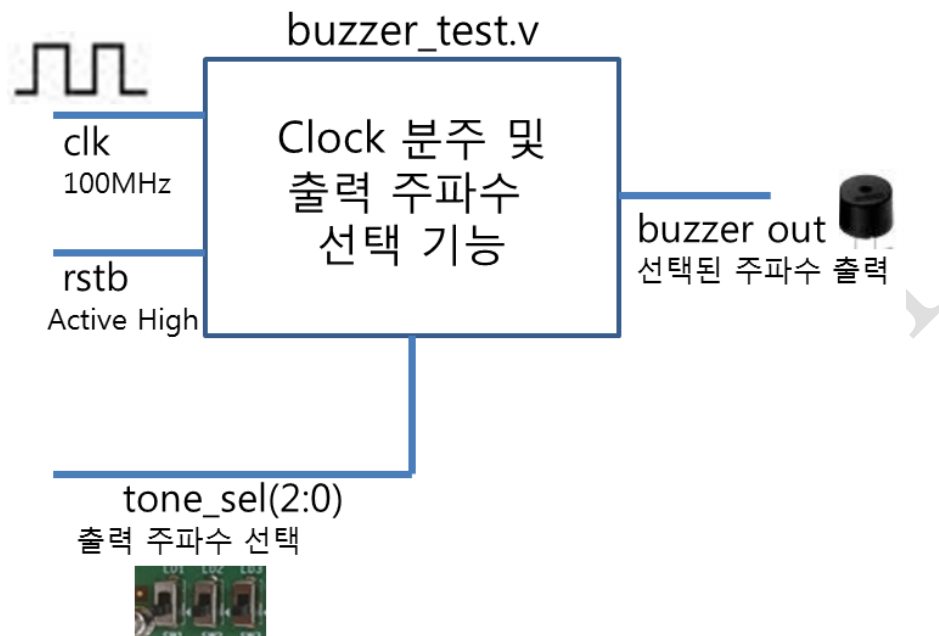
까지 음계에 맞게 분주 및 출력하여 주파수에 맞는 음계를 표현 한다.

하기의 표와 같이 피에조 부저의 음계 주파수를 확인할 수 있으며,

검색 사이트에서 쉽게 확인 가능 하다.

옥타브 음계 \	1	2	3	4	5	6
C(도)	32.7032	65.4064	130.8128	261.6256	523.2511	1046.5020
C#	34.6478	69.2957	138.5913	277.1826	554.3653	1108.7310
D(레)	36.7081	73.4162	146.8324	293.6648	587.3295	1174.6590
D#	38.8909	77.7817	155.5635	311.1270	622.2540	1244.5080
E(미)	41.2034	82.4069	164.8138	329.6276	659.2551	1318.5100
F(파)	43.6535	87.3071	174.6141	349.2282	698.4565	1396.9130
F#	46.2493	92.4986	184.9972	369.9944	739.9888	1479.9780
G(솔)	48.9994	97.9989	195.9977	391.9954	783.9909	1567.9820
G#	51.9130	103.8262	207.6523	415.3047	830.6094	1661.2190
A(라)	55.0000	110.0000	220.0000	440.0000	880.0000	1760.0000
A#	58.2705	116.5409	233.0819	466.1638	932.3275	1864.6550
B(시)	61.7354	123.4708	246.9417	493.8833	987.9666	1975.5330

2.2.2 디자인 동작 블록도

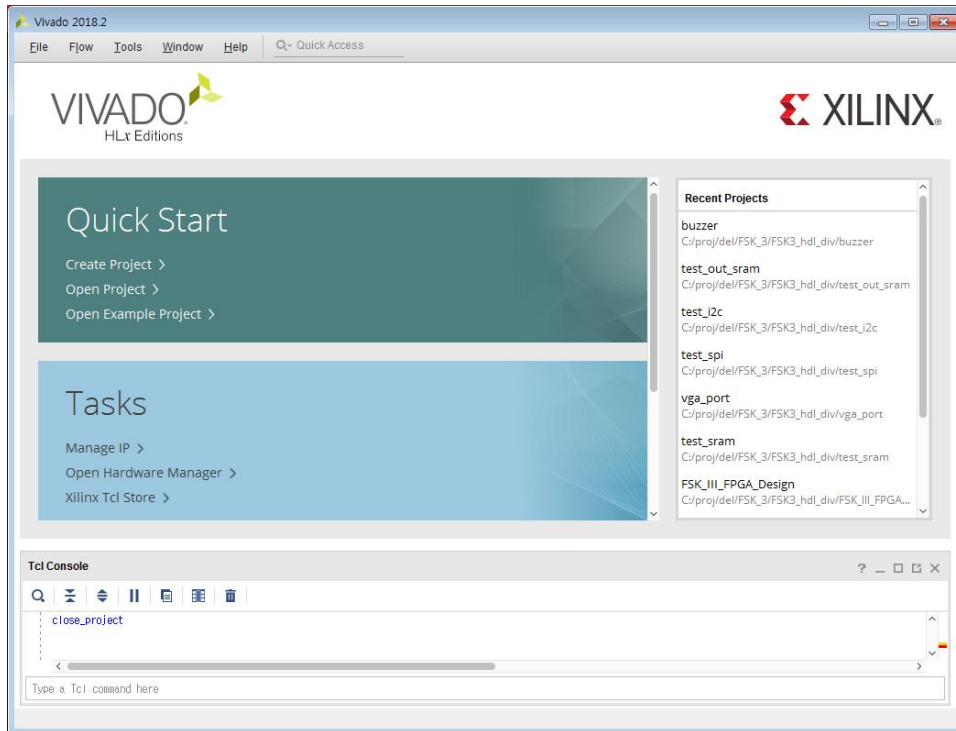


- 상기 그림과 같이 FSK III 에서 들어오는 100MHz의 Clock 및 출력 주파수를 선택하는 로직을 구성한다. Tone_sel (Dip Switch)의 값에 따라 buzzer out 에 출력하여 Buzzer 의 동작을 확인한다.

2.2.3 Vivado 디자인 구성

1) Vivado New Project 실행

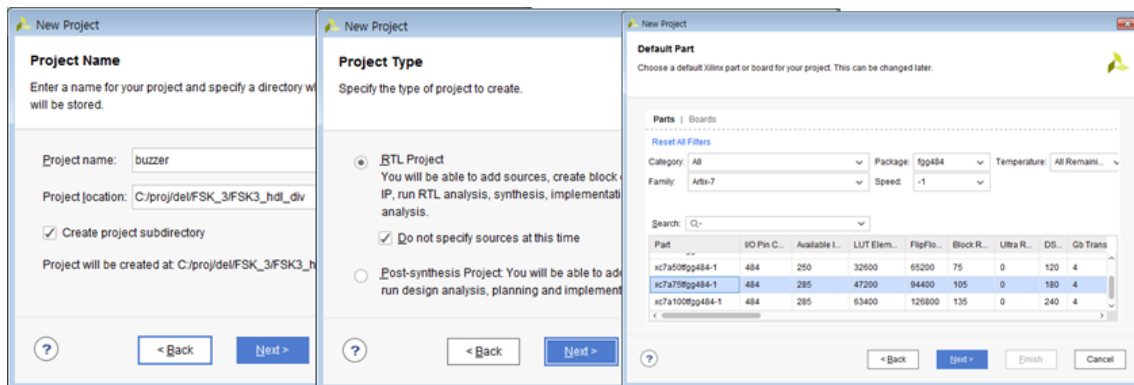
* Project 작업 경로 및 폴더에 특수문자 및 한글의 인식이 안되므로, 영어만 사용할 것



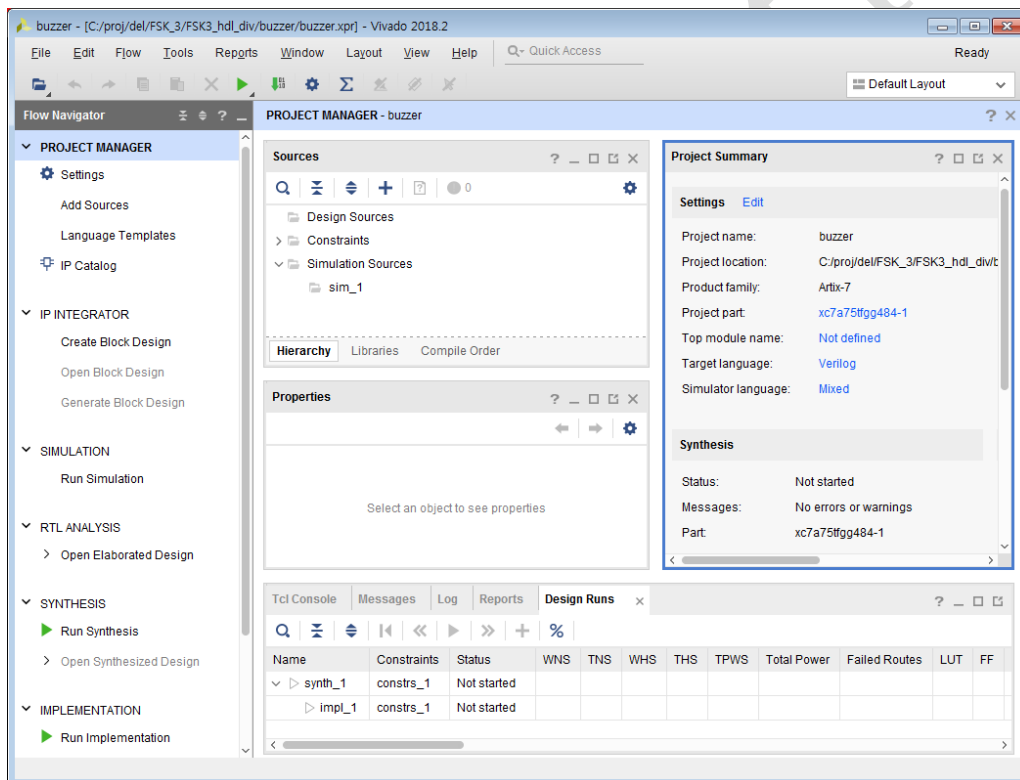
2) 상기 그림에서 다음과 같이 진행 한다.

- Create Project → Create a New Vivado Project 에서 Next 클릭
- Project Name 란에 "Buzzer" 입력 후 Next 클릭
- RTL Project 선택 후 Next 클릭
- Default Part 란에서 하기와 같이 선택 (하기 그림 참조)

Family	Artix-7
Package	Fgg484
Speed	-1
Full Part Name	XC7A75TFGG484-1

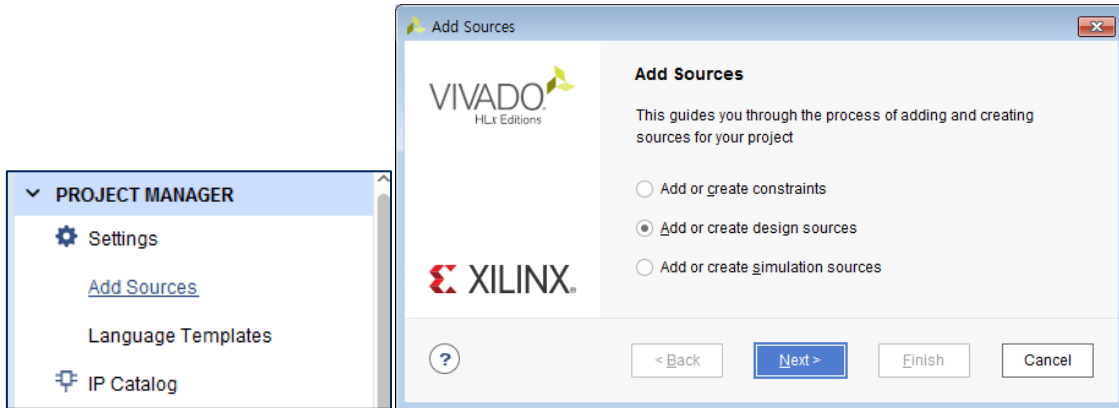


- 3) 상기 작업 후 New Project Summary 창이 나타나면 Finish 클릭
작업이 완료 되면 하기와 같이 Vivado 초기 프로젝트 화면이 나타난다.

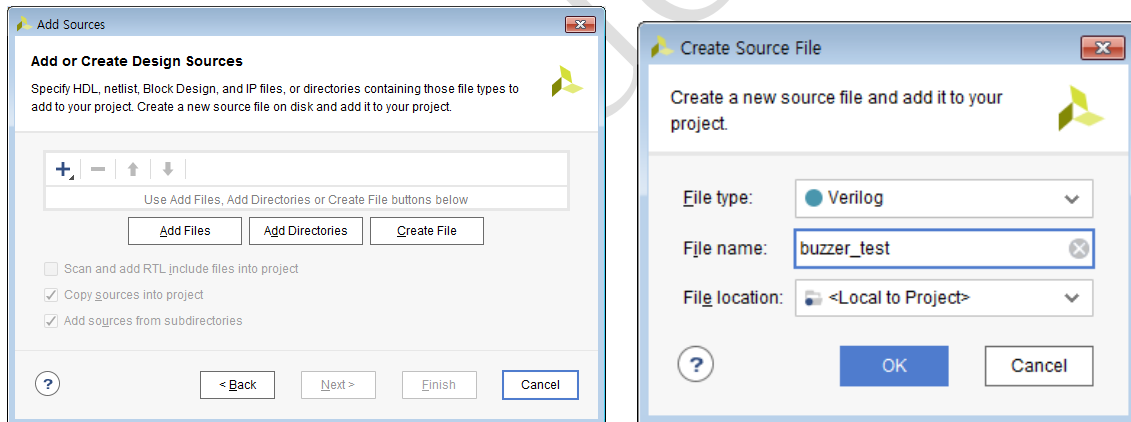


2.2.4 Vivado New Design Create

- 1) 하기의 그림과 같이 Project Manager 창에 있는 Add Source 를 클릭
→ Add or create design sources 선택 및 Next 클릭

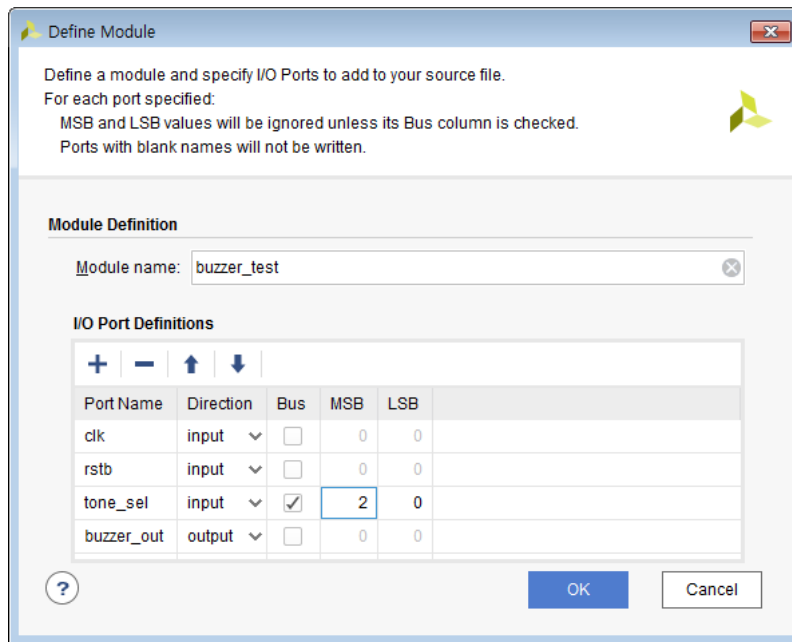


- 2) Add Sources 창에서 Create File →
File Name 란에 Buzzer_Test 입력 후 Ok 버튼 클릭 및 Finish 클릭

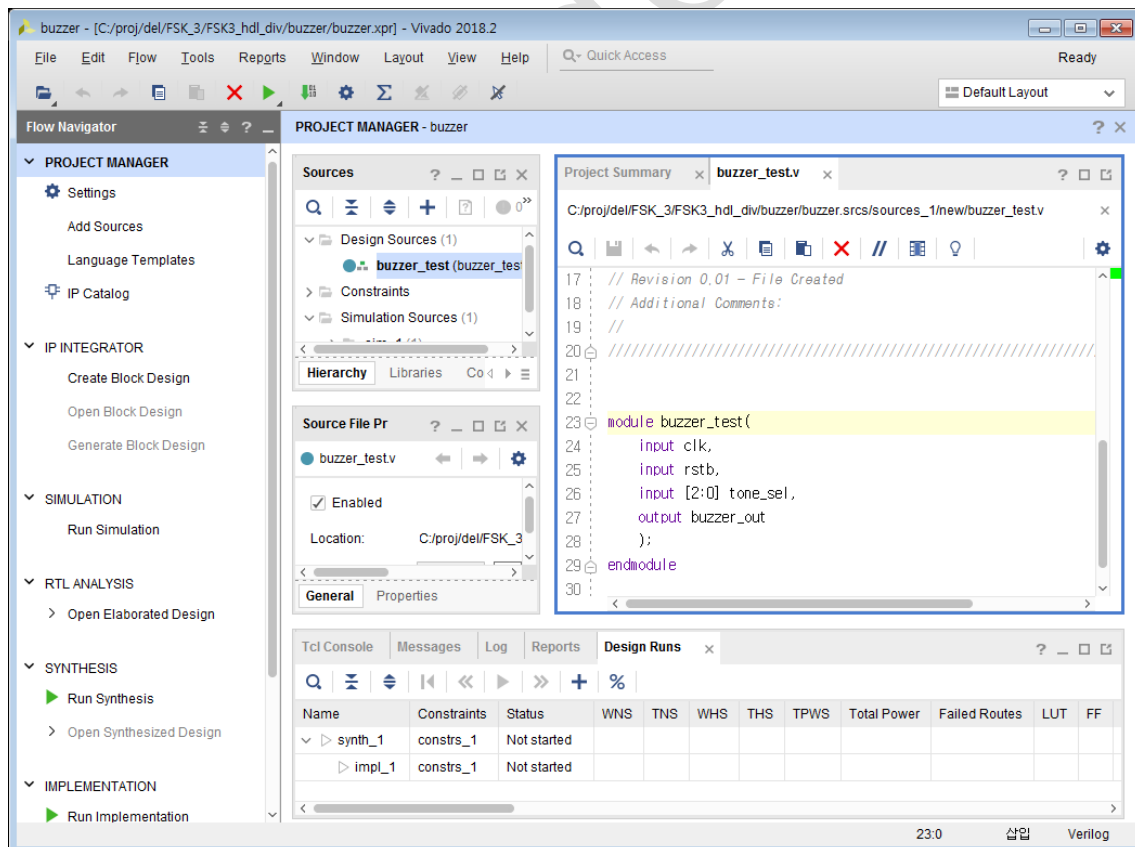


- 3) Define Module 창에서 하기와 같이 입력하고 OK 클릭

Port Name	Direction	Bus	MSB	LSB
clk	input			
rstb	input			
tone_sel	Input	✓	2	
buzzer_out	output			



* 작업이 완료 되면 하기와 같이 Vivado 창이 나타난다.



2.2.6 Design 요약 설명 (코드 내 주석)

```

/*****

** Parameter Definition                                **

*****/

```

▶ Parameter Definition

- 음계의 주파수를 생성하기 위한 분주 값을 파라미터로 미리 정해 놓은 부분

```

/*****

** Reg Definition                                    **

*****/

```

▶ Reg Definition

- 분주를 하기 위해 필요한 Register 를 정의하는 부분

```

/*****

** Musical Scale Select

*****/

```

▶ Musical Scale Select

- Dis Switch 의 입력 값에 따라 case 문으로 각 음계의 주파수를 출력에 연결시켜 주는 부분

```

/*****

** Generate Tone Pulse

*****/

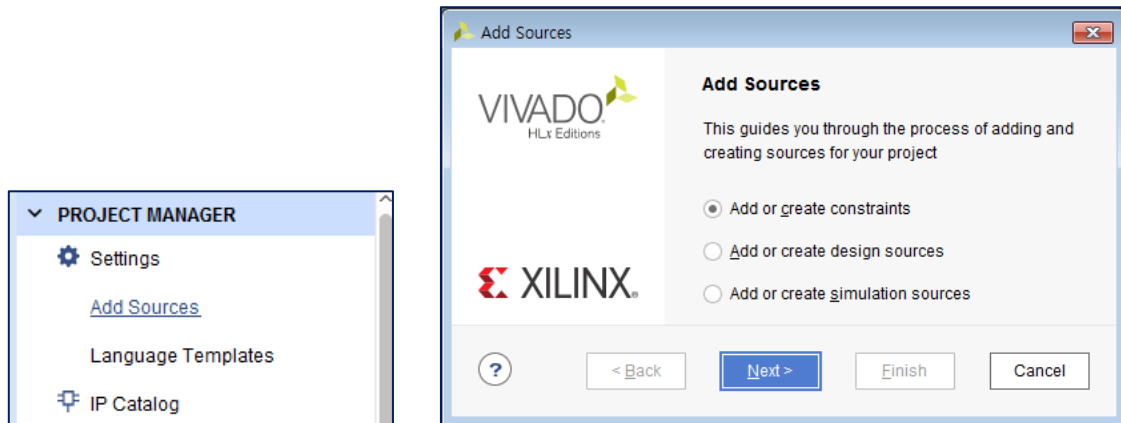
```

▶ Generate Tone Pulse

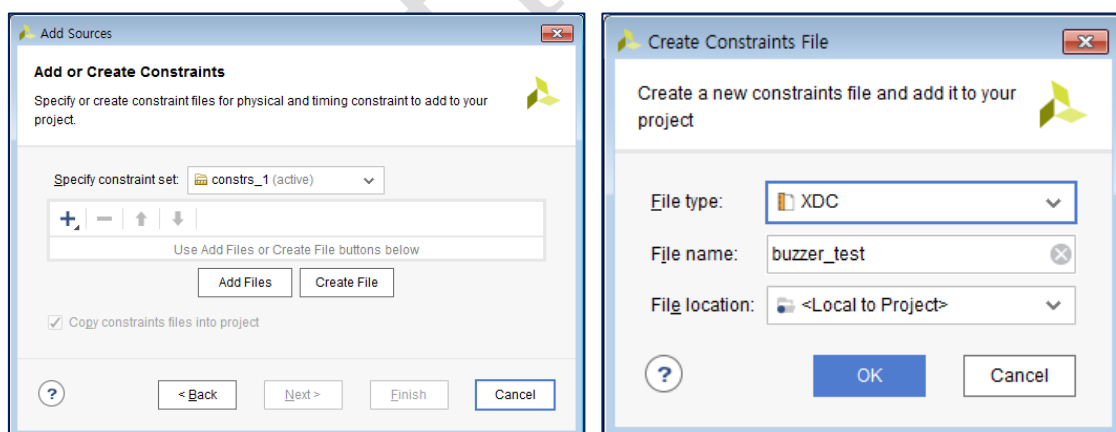
- Counter 로 Clock 을 분주 후, 원하는 음계의 주파수를 만들어 Buzzer 출력부로 내보내는 부분

2.2.7 Vivado Design Pin 정보 (XDC) 입력 작업

- 1) 하기의 그림과 같이 PROJECT MANAGER 창에서 Add Sources 클릭
→ Add or create constraints 선택 후 Next 클릭



- 2) Add or Create Constraints 창에서 Create File 클릭
→ File name 란에 "buzzer_test" 라고 입력한 후 OK 클릭
→ 그리고 다시 Add or Create Constraints 창이 나타나면 Finish 클릭



- 3) 하기의 그림과 같이 Sources 창에서 buzzer_test.xdc 가 나타난 것을 확인 할 수 있으며, buzzer_test.xdc 파일을 더블 클릭하면 Vivado 우측창에 XDC 를 편집할 수 있는 에디터 창이 나타난다.
이곳에 하기의 핀 정보를 입력 한다.

```
set_property -dict {PACKAGE_PIN R4 IOSTANDARD LVCMOS33} [get_ports clk]

set_property -dict {PACKAGE_PIN U7 IOSTANDARD LVCMOS33} [get_ports rstb]

set_property -dict {PACKAGE_PIN J4 IOSTANDARD LVCMOS15} [get_ports {tone_sel[0]}]

set_property -dict {PACKAGE_PIN L3 IOSTANDARD LVCMOS15} [get_ports {tone_sel[1]}]

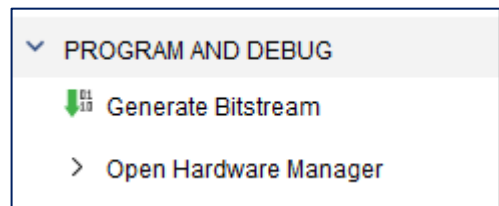
set_property -dict {PACKAGE_PIN K3 IOSTANDARD LVCMOS15} [get_ports {tone_sel[2]}]

set_property -dict {PACKAGE_PIN P20 IOSTANDARD LVCMOS33} [get_ports buzzer_out]
```

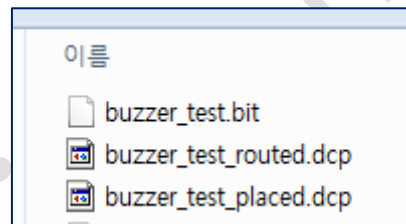
2.2.8 Vivado 디자인 다운로드 파일(bit) 생성

- 1) 지금까지의 작업으로 디자인 소스와 핀 정보(XDC) 파일 생성이 완료되었으며, FSK III 에 Design Download 를 위해 bit 파일을 생성한다.

하기 그림과 같이 PROJECT MANAGER 창에 있는 Generate Bitstream 클릭 후 다른 창이 나타나면 OK를 눌러 진행한다.

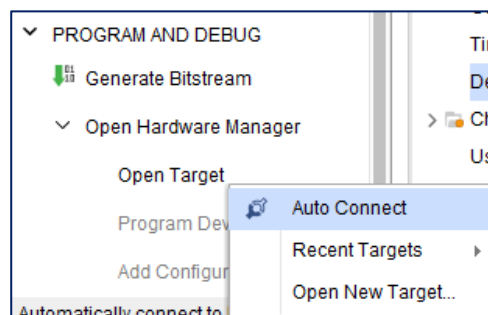


작업이 완료 되면 프로젝트 폴더에서 Bit 파일이 생성됨을 확인할 수 있다.
(프로젝트 폴더 → buzzer.runs 폴더 → impl_1 폴더 → buzzer_test.bit)

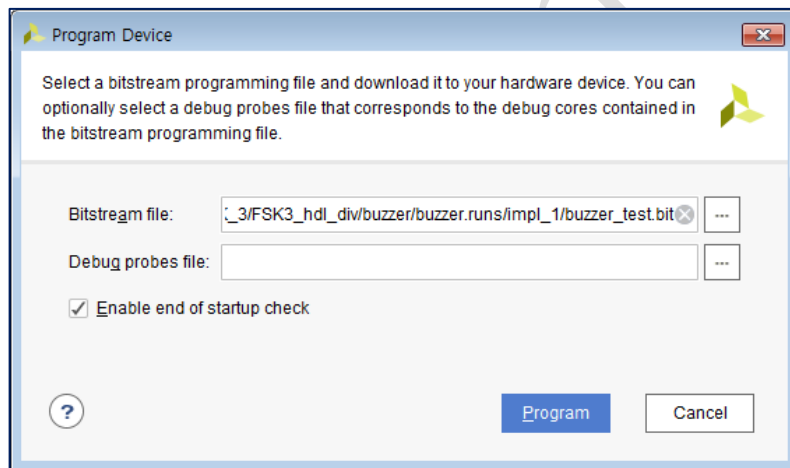
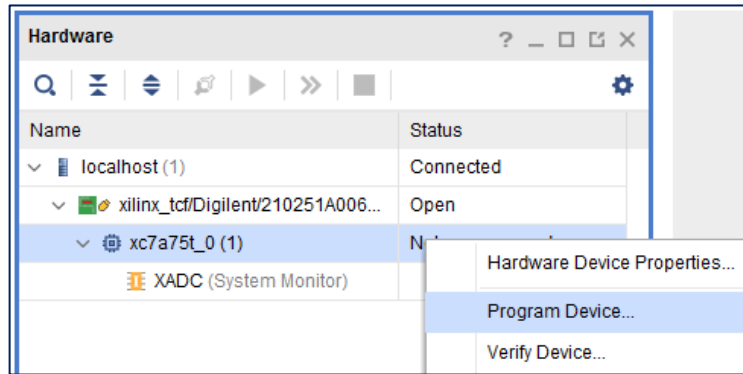


2.2.7 FSK III 에 Design (bit file) Download 진행

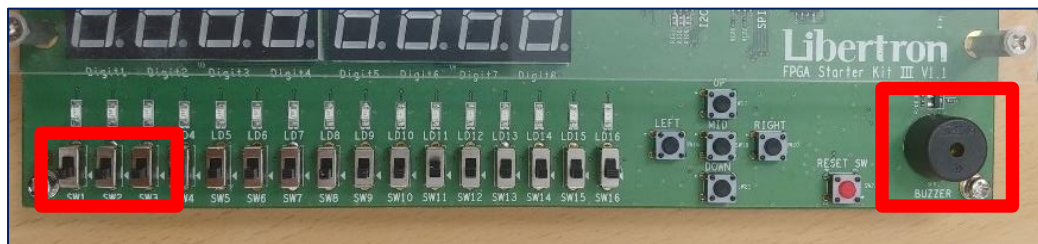
- 1) FSK III 보드를 JTAG Cable (Micro 5pin)을 통해 PC와 연결하고 전원을 켜다.
하기 그림과 같이 PROJECT MANAGER → PROGRAM AND DEBUG
→ Open Hardware Manager → Open Target → Auto Connect 를 선택



- 2) Hardware 탭에 xc7a75t_0(1) 이 나타나면 우클릭 후 Program Device 선택
→ Program Device 창에서 Program 을 클릭하여 FPGA (FSK III)에
다운로드를 진행 한다.



하기 그림의 좌측에 있는 Dip Switch 3개를 위아래로 움직이면 (001~111 값)
오른쪽에 있는 피에조 부저에서 값에 맞는 소리가 출력 된다.



2.2.9 임의의 음계 출력 디자인 구성 방법

- 상기 Design 은 3개의 Dip Switch 로 음계를 구성하였다.
(Mute, Do, Re, Mi, Pa, Sol, Ra, Si 총 8개의 음계)

따라서, 사용자가 원하는 다른 음계를 출력하고자 하는 경우 하기와 같은 블록의 Design 을 수정하면 된다.

- 1) 하기의 dip_sw(tone_sel) 의 입력 개수를 늘려, 표현할 수 있는 경우의 수를 8개에서 그 이상 원하는 개수의 비트로 수정 한다.

```
/******  
** Input Signal Define **  
*****/  
input wire [02:0] tone_sel , // dip_sw 1, 2, 3
```

- 2) 하기의 음계에 대한 분주 값의 파라미터를 원하는 음계로 표현될 수 있도록 음계 표에 맞게 수정 한다.

```
/******  
** Parameter Definition **  
*****/  
localparam Mute = 27'd3000000;  
localparam Do = HOST_HZ / 27'd523 / 2;  
localparam Re = HOST_HZ / 27'd597 / 2;
```

- 3) 하기와 같이 dip_sw(tone_sel) 의 입력에 대한 개수를 원하는 비트로 늘리고, 출력하고자 하는 음계를 추가로 정의 한다.

```
/******  
** Musical Scale Select  
*****/  
always @(*) begin  
    case (tone_sel)  
        4'd0 : hz_sel <= Mute ;  
        4'd1 : hz_sel <= Do ;  
        4'd2 : hz_sel <= Re ;
```

감사합니다.

Revision History

Ver	Date	Revision
1.2	2020-09-21	Initial Document Release.