

Vivado 实验一：LED 流水灯设计实验

姓名： 宋渝杰 学号： 18340146

一、实验目的

1. 熟悉 vivado 软件，理解源文件、约束文件、顶层文件的作用与关系；
2. 学会自顶向下的设计思想和模块化的设计方法；
3. 学会将 vivado 项目烧录到 basys 3 开发板。

二、实验要求

系统输入：开始、暂停、变向、复位信号（拨码开关或按键）；

系统输出：16 位 LED 控制信号；

系统功能：开始工作后，一个 LED 亮起，并按照一定方向流动；方向由变向信号决定（0：从右到左流动；1：从左到右流动）；复位后最右边 LED 亮起。

系统结构参考：module1-CLK_div 将 basys 3 提供的 100MHz 时钟信号进行分频；module2-LED 控制模块；顶层文件 top.v 连接 module1 和 module2；

三、实验内容

实验过程：

这次实验的主要目的是了解 vivado 的工作方法以及实验设计流程。实现的基本方式如同助教在实验课上一步步做的那样：

1. 建立空项目，编写好顶层和底层的代码（这次试验使用的是助教提供的代码）
2. 设置 TOP.v 为顶层，加入约束文件
3. Run Synthesis、Run Implementation、生成 Bitstream，共三次操作
4. 链接 BASYS3 开发板，Program Device 即可生成流水灯系统

代码：（来自于助教文件）

1. 顶层模块：Top.v

```
module Top( CLK, Start, Stop, Shift, RST, Display );
    input CLK;
    input Start;
    input Stop;
    input Shift;
    input RST;
    output [15:0] Display;

    wire clk_wire;

    CLK_div clk_div1 (
        .CLK_in( CLK ),
        .CLK_out( clk_wire )
    );
```

注：实验内容的条理性和美观性将影响实验报告的分数。对实验结果是否拍照不作要求，重点在于实验内容的描述和关键代码的解释。

```

        LED led1 (
            .CLK( clk_wire ),
            .Start( Start ),
            .Stop( Stop ),
            .Shift( Shift ),
            .RST( RST ),
            .Display( Display )
        );
    endmodule

```

2. 底层模块: CLK_div.v

```

module CLK_div #(parameter N = 10000000) (
    input CLK_in,
    output CLK_out
);

    reg [31:0]counter;
    reg out;
    assign CLK_out = out;

    always @(posedge CLK_in) begin
        if (counter == N-1) begin
            counter <= 0;
        end
        else begin
            counter <= counter + 1;
        end
    end

    always @(posedge CLK_in) begin
        if (counter == N-1) begin
            out <= !out;
        end
    end

endmodule

```

3. 底层模块: LED.v

```

module LED( CLK, Start, Stop, Shift, RST, Display );
    input CLK;
    input Start;
    input Stop;

```

```

input Shift;
input RST;
output [15:0] Display;

reg [15:0] led;
assign Display = led;

initial begin
    led <= 16'b0000000000000001;
end

always@( posedge CLK ) begin
    if ( RST ) begin
        led <= 16'b0000000000000001;
    end
    else if ( !Stop && Start ) begin
        case ( Shift )
            1 : begin
                if ( led == 16'b0000000000000001 ) begin
                    led <= 16'b1000000000000000;
                end
                else begin
                    led <= led >> 1;
                end
            end
            0 : begin
                if ( led == 16'b1000000000000000 ) begin
                    led <= 16'b0000000000000001;
                end
                else begin
                    led <= led << 1;
                end
            end
        endcase
    end
end

endmodule

```

四、实验总结

这次实验主要目的还是以了解为主，基本的实现操作在资料中都有讲述，直接现学现用即可。主要的收获是了解了 vivado 生成项目的主要流程，以及 verilog 语言的一些语法以及结构。