

---

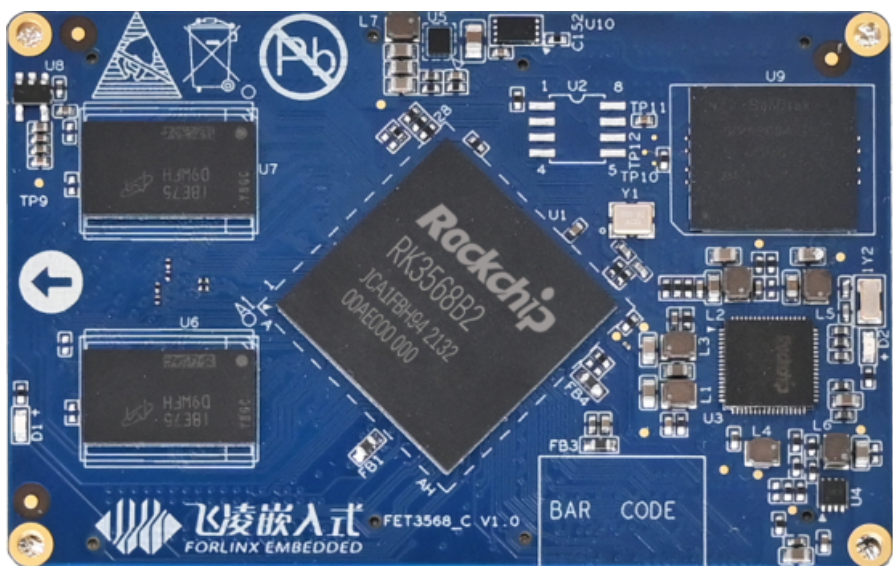
## 主要布局要求 V1.3

### 原理图更新日志 2023.09.24

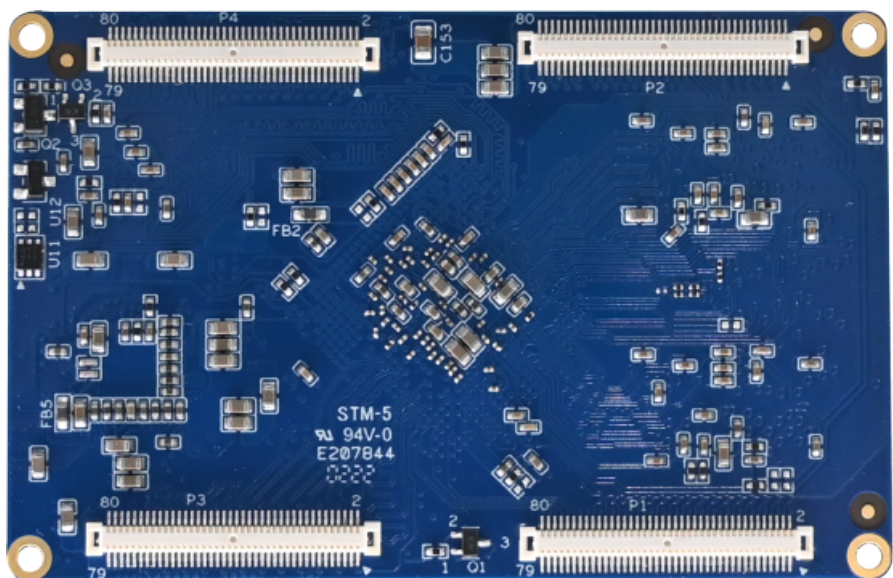
1. 为方便器件采购，更新了一些电容电阻封装。

### 原理图更新日志 2023.09.22

1. 更新了 LVDS 接口及布局
  2. 删除了 FPGA 所连接的 Ethernet 接口 (原理图 GbE1 页面)
1. 12 层板，mil 为单位
  2. 整板尺寸 10512 mil × 6142 mil，倒角 120 mil
  3. 安装孔相对板子中心坐标：(-5020, 2835)、(-5020, -2835)、(2106, -2835)、(5020, -2835)、(5020, 2835)、(2106, 2835)
  4. 该 PCB 正面 (TOP 层) 与一块核心板 FET3568-C (外观图如图 1 所示) 通过四个连接器 (原理图 FET3568J-C 页面: J10(左上)、J11(右上)、J12(左下)、J13(右下)，分别对应核心板: P1、P2、P3、P4) 相连，核心板尺寸图如图 2 所示 (单位: mm)，更多详细尺寸请见: "Appendices/核心板 1.0 DXF 文件" 内的 dxf 结构文件。
  5. 核心板的四角预留了四个直径 2.2mm 的安装孔，在该 PCB 中应使用 M2, L=2mm 的贴片螺母 (M7、M8、M9、M10, 未提供封装, 需更换 *PCB Footprint*)，贴片螺母的规格参见图 3
  6. 500 pin 高密连接器 SEAF 是模拟信号输入端，放在电路板背面 (bottom 层)，右侧正中心，
  7. 从 SEAF 到 ADC 包括 130 对差分对输入信号，该部分为模拟信号，附近请不要覆盖任何数字电源层，以干扰模拟信号质量。
  8. ADC(ADS52J90) 输出到 FPGA 为 JESD 高速信号，请保证同 ADC 的不同输出信号线以及不同 ADC 的输出信号线 (包括时钟) 到 FPGA 的长度尽量等长，以保证时钟同步性。
  9. ADC(AD9635) 输出到 FPGA 的信号为 LVDS，请保证同 ADC 的不同输出信号线 (包括时钟) 到 FPGA 的长度尽量等长，以保证时钟同步性
  10. FPGA 与核心板之间的 8 位 GPIO 信号做等长。
  11. USB3.0 设计规则
    - USB3.0 端口设计采用点对点方式，U3\_TX\_DP、U3\_TX\_DN 需要采用



(a) FET3568-C 核心板正面图



(b) FET3568-C 核心板背面图

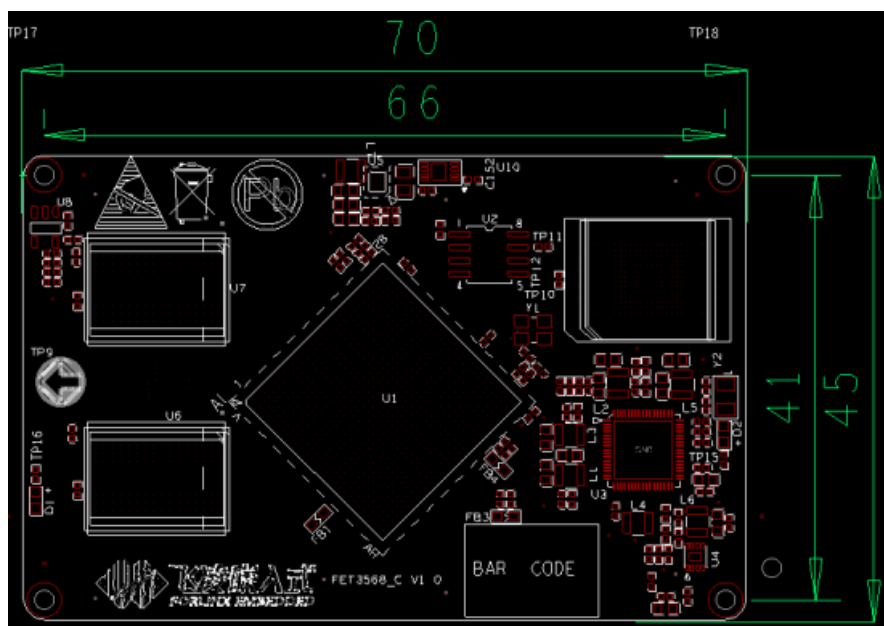
图 1 FET3568-C 核心板外观图

AC 耦合，耦合电容放在离终端近的位置。

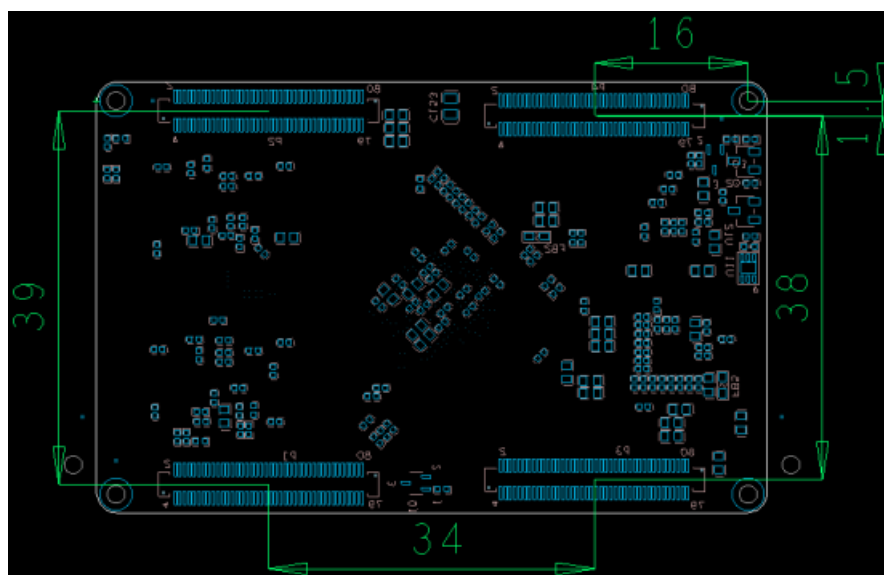
- USB 信号需要采用差分布线，阻抗  $90\Omega \pm 10\%$ 。
- USB 布线长度不超过150 mm，差分对内信号长度误差不超过0.12 mm。
- ESD 器件离 USB 接口不超过12 mm，共模扼流圈离 USB 接口不超过25 mm。

## 12. SDMMC0\_\* 设计规则

- SDMMC0 信号阻抗  $50\Omega \pm 10\%$ 。
- SDMMC0 接口信号要做等长控制，误差不超过 0.25 mm。
- 布线尽量短，串联端接电阻应靠近输出端。



(a) FET3568-C 核心板尺寸图 TOP




(b) FET3568-C 核心板尺寸图 BOTTOM

图 2 FET3568-C 核心板尺寸图

13. LVDS 信号需要采用差分布线，阻抗  $100\Omega \pm 10\%$ ，各差分信号之间预留  $100\Omega$  电阻焊接位置。

14. Ethernet 设计规则

- RGMII 接口分为发送信号，接收信号和控制信号，各组阻抗控制在  $50\Omega \pm 10\%$ 。
- 发送信号和接收信号，布线长度不超过 100 mm，组内信号长度误差不超过 2.54 mm。
- MDI 接口采用差分布线，阻抗  $100\Omega \pm 10\%$ 。组间等长要求  $\leq 1000\text{ mil}$



螺纹尺寸	孔深/通孔 +0.1 -0.08	品名	产品编号	长度“L” ±0.1 间隔高度 代码				最小的板厚	A 最大	C 最大	E ±0.1	孔 径 +0.08	最小焊垫
				1.8	2.5	3	5						
M2×0.4	通孔	satsob	M2	2	3	4	6	1.53	1.53	3.6	5.56	3.73	6.2

图 3 M2 贴片螺母尺寸

- MDI 组内差分误差不超过 0.12 mm。
- 芯片内部 DCDC 连接的功率电感要靠近芯片保证回路最短，并且保证地回路的完整
- 数据线上预留的串联电阻需要靠近源端放置
- 保护器件建议放置在变压器内侧，在变压器和 PHY 之间，靠近变压器

#### 15. FPGA 与核心板之间的 PCIe 设计规则

- PCIe 信号设计采用点对点方式，耦合方式采用 AC 耦合，耦合电容放在离发送端近的位置。
- PCIe 收发数据信号需要采用差分布线，阻抗  $85\ \Omega \pm 15\%$ 。
- PCIe 时钟信号采用差分布线，阻抗  $100\ \Omega \pm 10\%$ 。
- 差分对总长度不超过 300 mm，差分对内长度误差不超过 0.12 mm，同方向的差分对间长度误差不超过 180 mm，差分对间距离不低于 0.3 mm。

16. 原理图 *LVDS\_FPGA* 页面的芯片及接口放在电路板右侧，该接口为数字信号传输端，应保证该页面信号远离高密连接器 SEAF 及其所连接的模拟信号。

17. 原理图 *RS485\_External* 页面的芯片及接口放在电路板右侧 (不伸出板框)，该接口为数字信号传输端，应保证该页面信号远离高密连接器 SEAF 及其所连接的模拟信号

18. 原理图 *USB3.0* 页面的接口 (MOLEX\_2171790001、MOLEX\_0484050003)，其中 MOLEX\_0484050003 放电路板正面，MOLEX\_2171790001 放在电路板背面 (MOLEX\_0484050003 正下方)

19. 除 *LVDS\_FPGA* 和 *RS485\_External* 之外的接口可根据布局进行调整，数据流向为从右到左 (SEAF → ADC → FPGA → ARM 核心板)。

20. 线距满足 3W 原则，线宽普通走线 8 mil，电源和地走线不小于 20 mil。命名为 ± 或 pn、pm 的为差分对，线长差原则上在 20 mil~50 mil 之间，线宽 6 mil，线距 12 mil (线中心到线中心)。标注 A 的模拟电源层与标注 D 的数字电源层分开。

21. 更进一步的细节和布局改动可继续讨论。请尽快确认布局，若有无法满足的情况请尽早沟通。

附录 A 布局示意图

