

中国科学技术大学

博士学位论文



中国科学技术大学

笔记

作者姓名： 汤松松

学科专业： 核科学与技术

导师姓名： 刘树彬 教授 彭太平 教授

完成时间： 二〇二四年二月二十七日

University of Science and Technology of China
A dissertation for doctor's degree



**Notes for University of Science and
Technology of China**

Author: Tang Songsong

Speciality: Nuclear Science and Technology

Supervisors: Prof. Liu Shubin, Prof. Peng Taiping

Finished time: February 27, 2024

第 1 章 AXI 总线

1.1 为什么要学习 AXI 总线

1. ZYNQ: 异构芯片，内部总线使用的 AXI 总线。
2. 纯 FPGA 的 IP 接口也要用 AXI 总线。
3. 想做高速接口，设计 PCIe、JESD204B、DDR3/4 (APP, AXI), SOC

1.2 什么是 AXI 总线

(1) AXI 总线分类

1. AXI4-Full
2. AXI4-Lite
3. AXI4-Stream

AXI: 不是 Xilinx 研发的，是 ARM 研发的，AMBA 其中的一个，AMBA 包括 (APB, AHB, AXI)。

AXI 总线是一种突发总线，突发传输。一直连续的传输，比如说突发 8 次传输，就是指传输数据连续的传输 8 次，不需要每次都发起一次传输请求。

(2) AXI 的 5 个通道

1. 写地址通道
2. 写数据通道
3. 写响应通道
4. 读地址通道
5. 读数据通道

(3) 波形解读

1. VALID 和 READY，同时为高代表当前数据有效。
2. 先写地址，紧接着写数据，最后一个数据跟随 LAST
3. 先读地址，紧接着读数据，最后一个数据跟随 LAST
4. 写完数据，有一个写响应，表示写成功。

1.3 使用 FPGA 实现 AXI 主接口

突发传输：1 2 4 8 16 32 64 128 256

1.3.1 AXI 写实现的步骤

1. 写首地址
2. 紧接着写首地址，突发传输数据
3. 控制 LAST 信号
4. LAST 脉冲之后，等待一个响应信号

1.3.2 AXI 读实现的步骤

1. 写首地址
2. 紧接着等待从机传输过来的数据，当有效信号和准备信号同时为高时，读出数据
3. 接收 LAST 信号

1.3.3 实现功能：

1. 向从机的 0 地址写 1~16；
2. 读从机的 0 地址；

1.4 AXI 传输机制和死锁

(1) Outstanding address 和 Out-of-order

① Outstanding address

AXI 总线的写地址和写数据时分离的，可以在写地址总线上连续发送两次地址，再依次传输写数据。

② Out-of-order

多对多的情况下，针对不同 ID，传输顺利可以任意的，AXI4 中只针对从机有效。主机不支持。

(2) 什么是死锁

AXI 总线发生异常，无法正常工作。

(3) 为什么会产生死锁

没有严格遵守 AXI 总线协议

(4) AXI 产生死锁的情况 (多对多)

1. 一个主机对多个从机，主机先发送 S3、S2、S1，由于 S3 距离非常远，传输非常慢，而 S1 离得非常近，传输非常快。导致 S1 先收到了写地址信号，那么 S1 将会第一个占用 M1。但是 M1 的传输必须是顺序的，第一占用的必须是 S3，此时 M1 死锁。
2. 多主机对多从机 (Out-of-order)：两个主机，第一主机发送相同 ID 到 S1、

S2. 第二个主机发送相同的 ID 到 S2、S1. 但是, 经过 AXI 桥, 将 ID 扩展后, 对于从机来说是不同 ID, 可以乱序传输。那么 S1 可能会先响应第二个主机, 那么 S2 响应第一个主机。主机接收响应乱序, 违反 AXI4.0 协议规范, 死锁。

第 2 章 DPU V2

2.1 叶博电源方案