Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно-обчислювальної апаратури

**Лабораторна робота №2**

**з “Апаратних прискорювачів обчислень на мікросхемах програмованої логіки”**

на тему:

**«Основи Mathlab»**

Виконав:

Махиборода Антон

**студент III-го курсу ФЕЛ, гр. ДК-01**

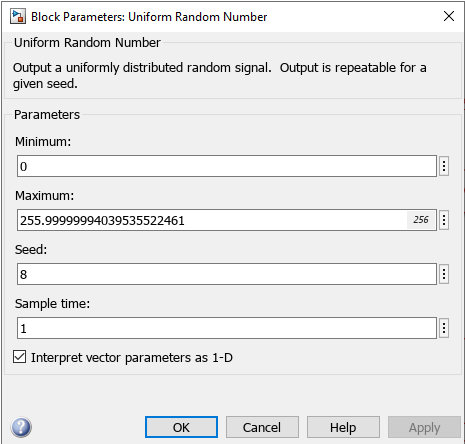
**Варіант: 8**

Київ – 2022

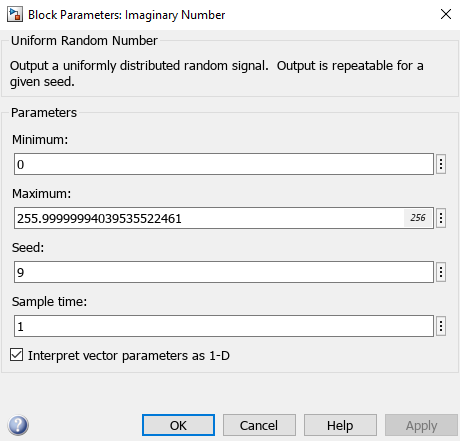
1. В Simulink побудувати блок схеми обчислювачів модуля і аргументу комплексного числа для вхідного аргументу з фіксованої комою і плаваючою комою. Обчислювачі для вхідних даних з фіксованою комою і плаваючою комою будувати в окремих моделях Simulink.

Налаштування Uniform Random Number(для обох блок-схем):

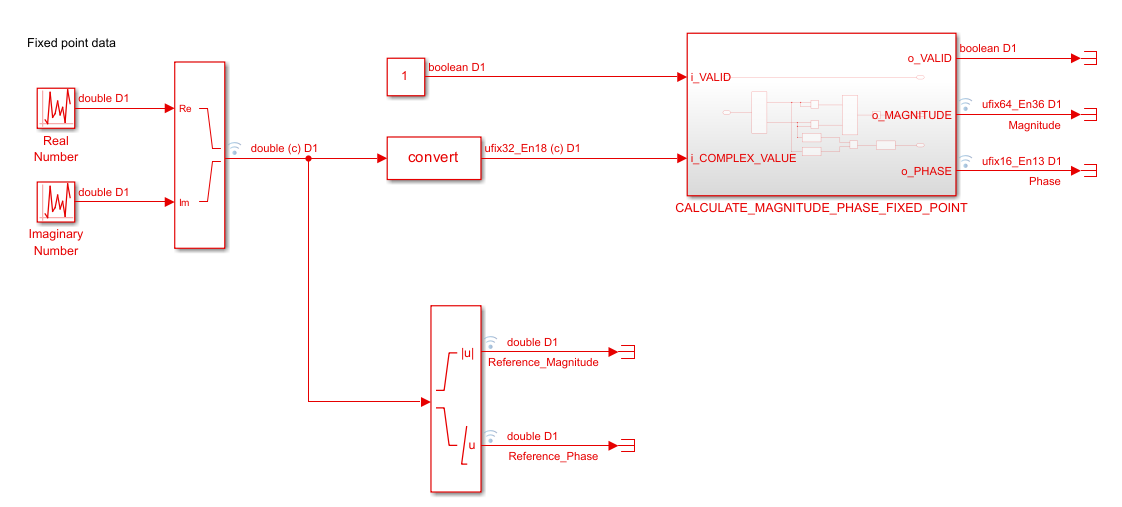
Дійсне число:



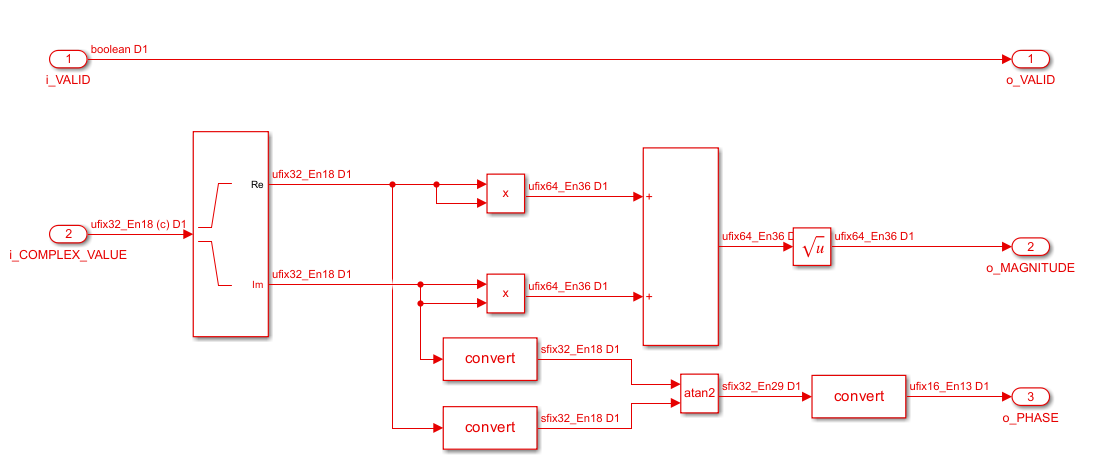
Уявне число:



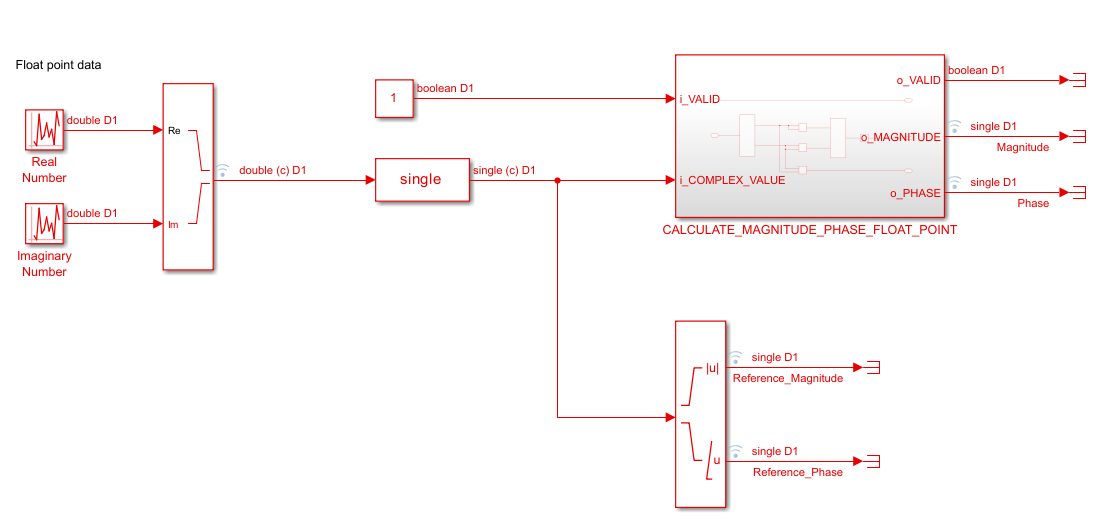
Fixed point:

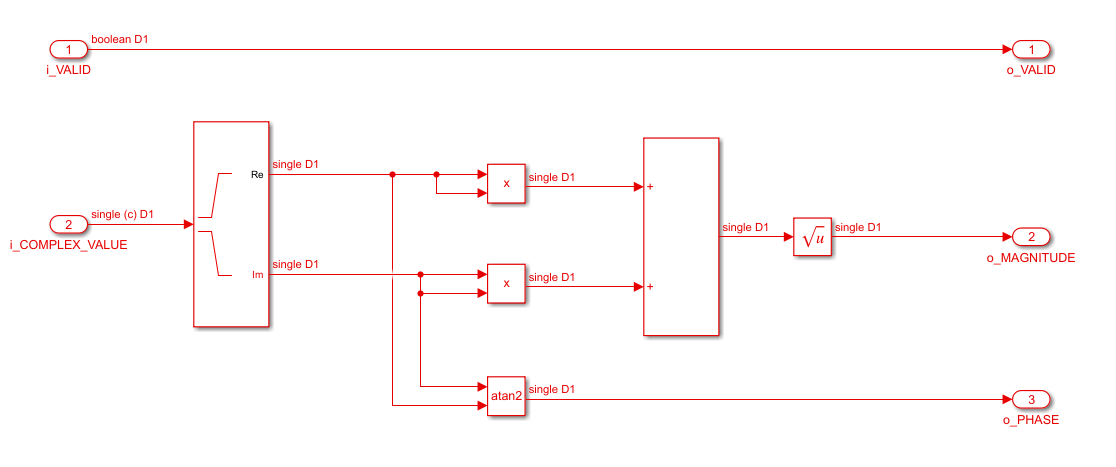


Підсистема (CALCULATE\_MAGNITUDE \_PHASE\_FIXED\_POINT):



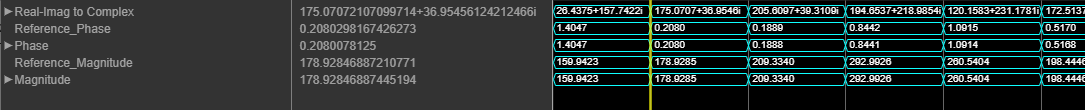
Float point:



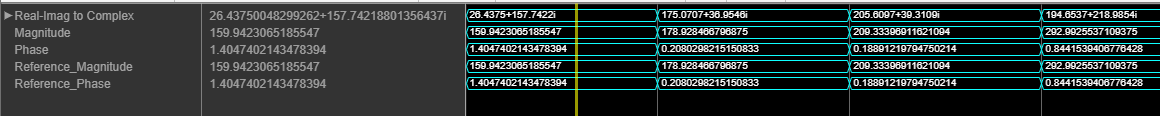
Підсистема(CALCULATE\_MAGNITUDE \_PHASE\_FIXED\_FLOAT): 

1. Для моделі обчислювача з вхідними даними у фіксованій комі та для моделі обчислювача з вхідними даними у плаваючій комі в логічному аналізаторі Simulink переглянути залежність від часу даних на вході обчислювача, а також даних на виході кожного обчислювача (розраховані значення модуля і аргументу комплексного числа) і еталонних значень результату (значення модуля і аргументу розраховані у блоці “Complex to Magnitude-Angle”). Переконатися, що еталонні значення результату або дорівнюють розрахованим значенням, або відрізняються на незначне значення похибки.

Fixed:



Float:

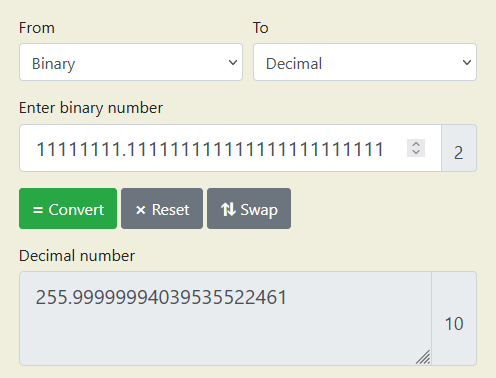


Розраховані значення Fixed мають не значну похибку, а Float співпадають з еталонними значеннями.

1. Створити звіт, в якому відобразити створені в Simulink блок схеми (з відображенням типів даних та з відображенням вмісту підсистем) і результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище.

У звіті необхідно обгрунтувати/вивести граничні значення діапазону чисел, які видає блок “Uniform Random Number”.

8 цілих, 24 дробових. 32-8 = 24.



1. Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали:
2. Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали.
3. Завантажити звіт і файли (файли моделі та у випадку наявності файли згенерованого HDL коду, файли проекту Quartus та тестбенчу) в репозиторій студента на github. Датою завершення виконання роботи вважається дата завантаження файлів в репозиторій.