



**Universitat**  
de les Illes Balears

**Sistemes Digitals**

---

# Pràctica de Sistemes Combinacionals

---

Alberto Pérez Ancín  
Lucía Porras Montes

**Professora: Catalina Lladó**



# SUMARI

<b>Sumari</b>	<b>i</b>
<b>Acrònims</b>	<b>iii</b>
<b>1 Introducció</b>	<b>1</b>
1.1 Sistemes combinacionals . . . . .	1
1.2 Cas de prova . . . . .	3
<b>2 Descripció de les parts identificades</b>	<b>5</b>
2.1 Transformació de SM a C2 . . . . .	5
2.2 Bit de control CA . . . . .	5
2.3 Bit de control CB . . . . .	6
2.4 Bit de control CR . . . . .	6
2.5 Comparador . . . . .	6
<b>3 Circuit de cadascuna de les parts identificades</b>	<b>7</b>
3.1 Circuit de transformació de SM a C2 . . . . .	7
3.1.1 Taula de veritat de SM a C2: . . . . .	8
3.1.2 Totes les possibles solucions de SM a C2: . . . . .	8
3.1.3 Mapes de Karnaugh de SM a C2: . . . . .	8
3.2 Circuit del bit de control CA . . . . .	9
3.3 Circuit del bit de control CB . . . . .	9
3.4 Circuit del bit de control CR . . . . .	10
3.5 Circuit del comparador . . . . .	10
<b>4 Descripció del disseny global de la solució</b>	<b>11</b>
4.1 Disseny global . . . . .	11
4.2 Descripció del disseny global . . . . .	12
<b>5 Joc de proves (components de Test de Digital que s'han d'utilitzar per cadascuna de les parts del circuit)</b>	<b>13</b>
5.1 Joc de proves SM a C2 . . . . .	13
5.1.1 Taula de veritat de SM a C2: . . . . .	14
5.2 Dades del joc de prova SM a C2 . . . . .	14
5.3 Resultat joc de proves SM a C2 . . . . .	14
5.4 Joc de proves del disseny global . . . . .	15
<b>6 Conclusions</b>	<b>17</b>



## ACRÒNIMS

**SM** Signe-Magnitud

**C2** Complement a 2



## INTRODUCCIÓ

La pràctica de sistemes digitals consta de dues parts principalment:

- Sistemes combinacionals: consisteix en la implementació d'un comparador de números, s'encarrega de comparar dos números que poden estar representats en Signe-Magnitud (SM) o Complement a 2 (C2), aquests números venen establertes en l'enunciat d'aquesta pràctica mitjançant tres bits de control (CA, CB i CR).
- Memòria: és el document explicatiu de la realització de la pràctica. A més a més, mitjançant les passes per a la resolució (*Disseny de cadascuna de les operacions individuals, Implementació de cadascuna de les operacions individuals, Joc de proves de les diferents parts, Disseny global del comparador, Implementació del comparador i Joc de proves del circuit complet*) com hem arribat fins a l'objectiu final de la pràctica.

### 1.1 Sistemes combinacionals

**Enunciat de la pràctica:** Aquesta pràctica consisteix en la creació d'un comparador de números. Per una banda, té dos operadors d'entrada de 3 bits (A2 A1 A0 i B2 B1 B0) que representen els dos números a comparar. A més, hi ha tres bits de control (CA, CB i CR) que indiquen en quina codificació numèrica estan definits aquests dos operadors d'entrada i el resultat.

Si CA = 0 els bits A2 A1 A0 representen un número codificat en Complement a 2. Per contra, si CA = 1 els bits A2 A1 A0 representen un número codificat en Signe-Magnitud. De la mateixa forma, si CB = 0 els bits B2 B1 B0 representen un número codificat en Complement a 2 i si CB = 1 els bits B2 B1 B0 representen un número codificat en Signe-Magnitud.

## 1. INTRODUCCIÓ

---

Finalment, el circuit té una sortida de 3 bits (R2 R1 R0). Codificat en C2 (si CR = 0) o Signe-Magnitud (si CR = 1).

Els components que representen les sortides i entrades del circuit **han d'estar clarament identificada amb els mateixos noms que s'indiquen en aquest enunciat.**

Passes per a la resolució:

- Disseny de cadascuna de les operacions individuals.
- Implementació de cadascuna de les operacions individuals.
- Joc de proves de les diferents parts.
- Disseny global del comparador.
- Implementació del comparador.
- Joc de proves del circuit complet.

Tots els dissenys amb Digital han d'estar ben estructurats i la claredat de l'esquemàtic es tindrà en compte. Igualment, totes les entrades i sortides han d'estar clarament identificades amb la nomenclatura indicada als enunciats dels exercicis. Si no es respecten aquests identificadors, la pràctica podrà ser suspesa.

Després d'analitzar el contingut de la pràctica hem dividit les parts identificades en:

- Transformació de SM a C2.
- Bit de control CA.
- Bit de control CB.
- Bit de control CR.
- Comparador.

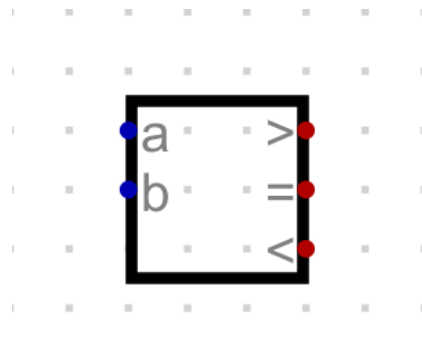


Figura 1.1: Comparador del Digital

## 1.2 Cas de prova

En un cas de prova (test case) d'un circuit, es pot descriure com aquest s'hauria de comportar. Podrà llavors automàticament comprovar-se si el comportament del circuit correspon a la descripció. Si no és així, es mostra un missatge d'error.

Una vegada hem analitzat i implementat tot, durem a terme els jocs de proves, els quals consisteixen en provar si té un comportament correcte en tots els casos possibles d'un circuit.

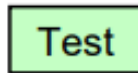


Figura 1.2: Cas de prova del Digital





## DESCRIPCIÓ DE LES PARTS IDENTIFICADES

### 2.1 Transformació de SM a C2

- **Aclariments:** La sortida C2 és la representació en C2 del valor representat en SM a l'entrada SM.

Les entrades [A2, A1, A0], sis portes lògiques AND, dos portes OR i tres sortides A2, A1 i A0.

En el circuit, sumem amb una porta OR la multiplicació per mitjà de portes AND de  $A2 \times A0$  i  $A2 \times A1$  sent així la sortida A2. Després, fem les multiplicacions amb portes AND de  $A2 \times A1' \times A0$ ,  $A2' \times A1$  i  $A1 \times A0'$  i posteriorment, la suma d'aquestes amb una porta OR sent així la sortida A1. La sortida A0 lligada directament a l'entrada A0. Hem sabut que eren aquestes portes perquè hem fet el mapa de Karnaugh sobre la taula de veritat.

### 2.2 Bit de control CA

- **Aclariments:** El bit de control CA valdrà 0 quan els bits A2, A1, A0 introduïts per l'usuari estiguin codificats en C2 i CA valdrà 1 quan els bits introduïts per l'usuari estiguin codificats en SM.

Per manipular els bits A2, A1, A0 codificats en C2 o SM hem utilitzat un multiplexor d'una entrada de selecció. CA serà el bit de control que s'encarregarà de seleccionar l'entrada adequada del multiplexor. En aquesta part hem afegit un convertidor de SM a C2 per al cas en què  $CA = 1$ , ja que posteriorment haurem de fer la comparació amb bits codificats en C2.

### 2.3 Bit de control CB

- **Aclariments:** El bit de control CB valdrà 0 quan els bits B2, B1, B0 introduïts per l'usuari estiguin codificats en C2 i CB valdrà 1 quan els bits introduïts per l'usuari estiguin codificats en SM.

Per manipular els bits B2, B1, B0 codificats en C2 o SM hem utilitzat un multiplexor d'una entrada de selecció. CB serà el bit de control que s'encarregarà de seleccionar l'entrada adequada del multiplexor. En aquesta part hem afegit un convertidor de SM a C2 per al cas en què CB = 1, ja que posteriorment haurem de fer la comparació amb bits codificats en C2.

### 2.4 Bit de control CR

- **Aclariments:** El bit de control CR valdrà 0 quan els bits de sortida R2, R1, R0 estiguin codificats en C2 i CR valdrà 1 quan els bits de sortida estiguin codificats en SM.

Per a la codificació dels bits de sortida hem fet servir un multiplexor d'una entrada de selecció amb el bit de control CR. Si CR=0, mostrarà directament el resultat del comparador, ja que aquest opera amb bits codificats en C2 per defecte. Si CR=1 farem servir el convertidor de SM a C2.

### 2.5 Comparador

- **Aclariments:** Els dos valors a operar estan representats en C2. R = 001(2) si A > B. R = 010(2) si A = B. R = 100(2) si A < B.

Les entrades de A i B, dos divisors/agregadors, un component aritmètics de tipus comparador i les sortides [>, =, <].

Aquesta operació consisteix a comparar si el valor A és major, igual o menor que el valor B. En el circuit, utilitzem un comparador, on per a l'entrada "a" d'aquest, unim A0, A1 i A2 amb un divisor/agregador on posem que la divisió d'entrades sigui d'1, 1, 1 i la divisió de sortides sigui de 3. Per a l'entrada "b", tornem a fer servir un divisor/agregador amb la mateixa configuració que l'anterior, on unim B2, B1 i B0. En la part de les sortides del comparador, quan passa el cas que A és major que B, és la sortida «>», quan A és igual a B, és la sortida «=» i quan A és menor que B, és la sortida «<».

## CIRCUIT DE CADASCUNA DE LES PARTS IDENTIFICADES

### 3.1 Circuit de transformació de SM a C2

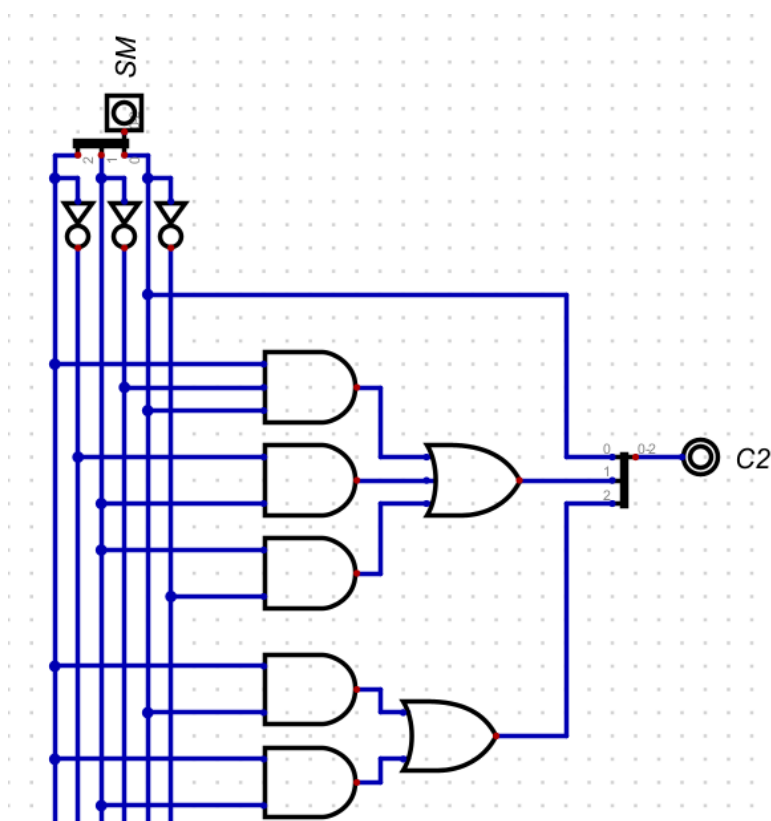


Figura 3.1: Circuit de transformació de SM a C2

#### 3.1.1 Taula de veritat de SM a C2:

A2	A1	A0	R2	R1	R0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	0	0	0
1	0	1	1	1	1
1	1	0	1	1	0
1	1	1	1	0	1

Taula 3.1: Taula de veritat: SM a C2

#### 3.1.2 Totes les possibles solucions de SM a C2:

$$A2 = (A0A2) \vee (A1A2)$$

$$A1 = (A0\overline{A1}A2) \vee (\overline{0}A1) \vee (A1\overline{A2})$$

$$A0 = A0$$

#### 3.1.3 Mapes de Karnaugh de SM a C2:

	$\overline{A1}$	$A1$	
$\overline{A2}$	0	1	1
$A2$	0	1	1
	$\overline{A0}$	$A0$	$\overline{A0}$

Figura 3.2: Mapa de Karnaugh de SM a C2 minimització sortida R0

	$\overline{A1}$	$A1$	
$\overline{A2}$	0	0	1
$A2$	0	1	1
	$\overline{A0}$	$A0$	$\overline{A0}$

Figura 3.3: Mapa de Karnaugh de SM a C2 minimització sortida R1

	$\overline{A1}$		$A1$		
$\overline{A2}$	0	0	0	0	
$A2$	0	1	1	1	
	$\overline{A0}$		$A0$		$\overline{A0}$

Figura 3.4: Mapa de Karnaugh de SM a C2 minimització sortida R2

### 3.2 Circuit del bit de control CA

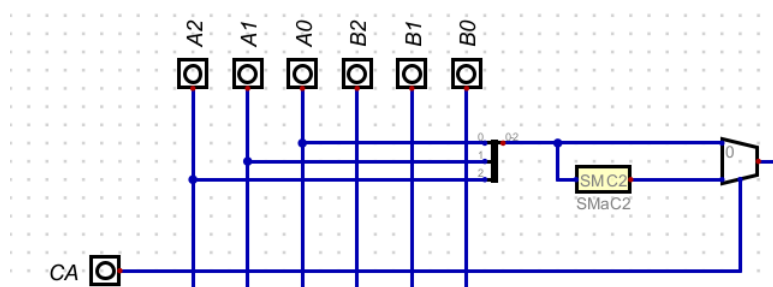


Figura 3.5: Circuit del bit de control CA

### 3.3 Circuit del bit de control CB

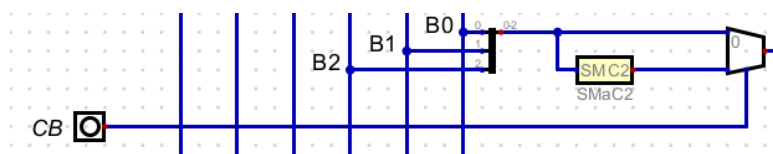


Figura 3.6: Circuit del bit de control CB

### 3.4 Circuit del bit de control CR

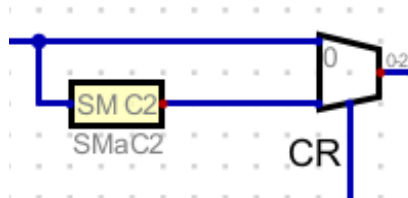


Figura 3.7: Circuit del bit de control CR

### 3.5 Circuit del comparador

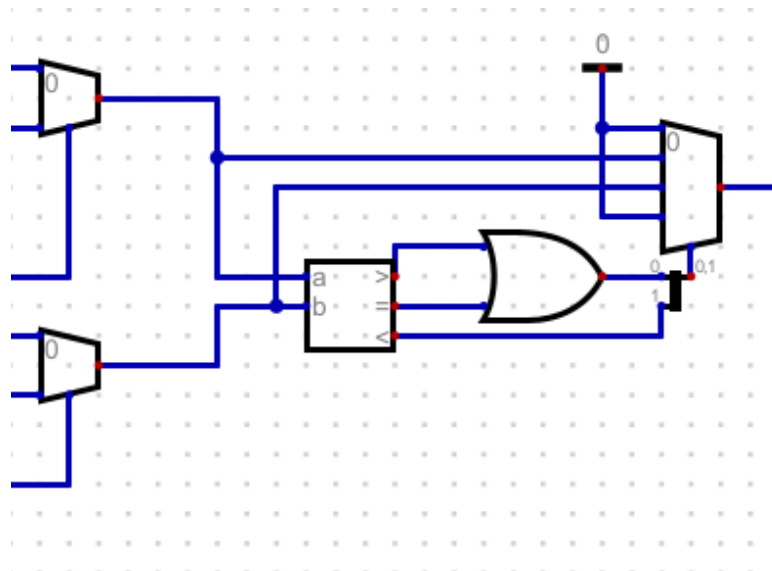


Figura 3.8: Circuit del comparador

## DESCRIPCIÓ DEL DISSENY GLOBAL DE LA SOLUCIÓ

### 4.1 Disseny global

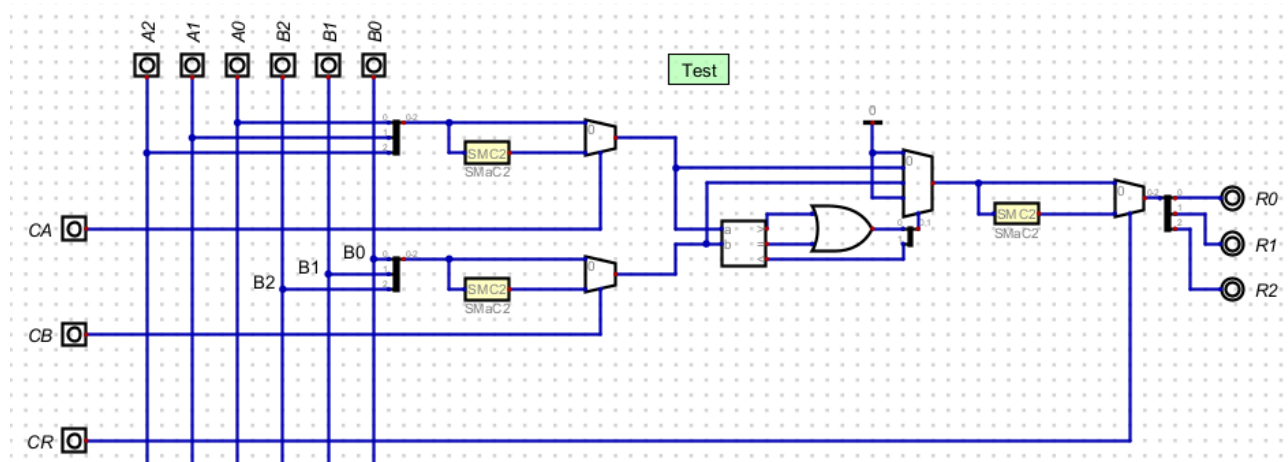


Figura 4.1: Disseny global



### 4.2 Descripció del disseny global

- **Aclariments:** El bit de control CA valdrà 0 quan els bits A2, A1, A0 introduïts per l'usuari estiguin codificats en C2 i CA valdrà 1 quan els bits introduïts per l'usuari estiguin codificats en SM.

El bit de control CB valdrà 0 quan els bits B2, B1, B0 introduïts per l'usuari estiguin codificats en C2 i CB valdrà 1 quan els bits introduïts per l'usuari estiguin codificats en SM.

El bit de control CR valdrà 0 quan els bits de sortida R2, R1, R0 estiguin codificats en C2 i CR valdrà 1 quan els bits de sortida estiguin codificats en SM.

Aquest circuit consta de les entrades [A2, A1, A0, B2, B1, B0, CA, CB, CR], tres multiplexors amb una entrada de selecció, un multiplexor amb dues entrades de selecció, 3 convertidors de SM a C2, un comparador, una porta OR i tres sortides R2, R1 i R0.

Consisteix en la creació d'un comparador de números. Per una banda, té dos operadors d'entrada de 3 bits (A2 A1 A0 i B2 B1 B0) que representen els dos números a comparar. A més, hi ha tres bits de control (CA, CB i CR) que indiquen en quina codificació numèrica estan definits aquests dos operadors d'entrada i el resultat. Cadascun d'ells pot estar definit en Complement a 2 (C2) o en Signe-Magnitud (SM), no necessàriament de forma simultània. Mitjançant un multiplexor selecciona, per una banda, el valor de A i hi ha un multiplexor més amb el valor de B (emprant els bits de control CA i CB), just després arriba a un comparador on es compara a i b obtenint el número més gran representat. Per finalitzar, trobem el darrer multiplexor amb un bit de control anomenat CR d'on surt el valor del resultat R2, R1, R0 codificat en la representació corresponent.

## JOC DE PROVES (COMPONENTS DE TEST DE DIGITAL QUE S'HAN D'UTILITZAR PER CADASCUNA DE LES PARTS DEL CIRCUIT)

### 5.1 Joc de proves SM a C2

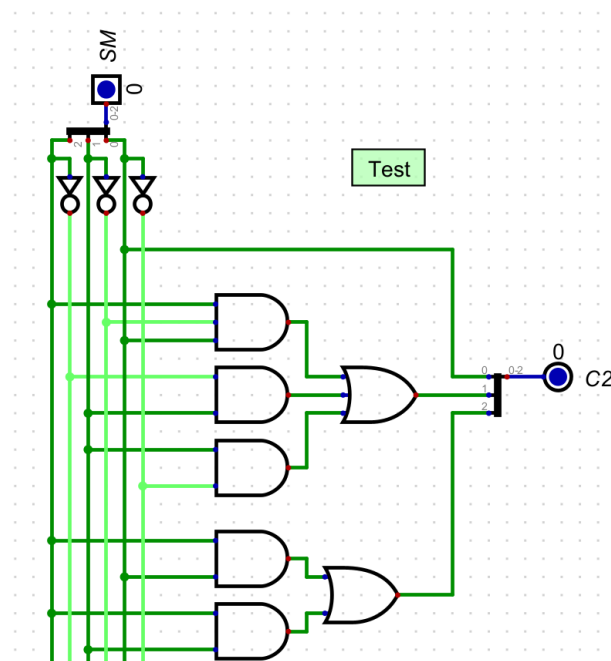


Figura 5.1: Joc de proves SM a C2

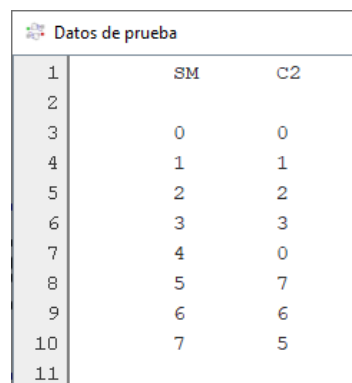
## 5. JOC DE PROVES (COMPONENTS DE TEST DE DIGITAL QUE S'HAN D'UTILITZAR PER CADASCUNA DE LES PARTS DEL CIRCUIT)

### 5.1.1 Taula de veritat de SM a C2:

A2	A1	A0	R2	R1	R0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	0	0	0
1	0	1	1	1	1
1	1	0	1	1	0
1	1	1	1	0	1

Taula 5.1: Taula de veritat: SM a C2

## 5.2 Dades del joc de prova SM a C2




	SM	C2
1		
2		
3	0	0
4	1	1
5	2	2
6	3	3
7	4	0
8	5	7
9	6	6
10	7	5
11		

Figura 5.2: Dades del joc de prova SM a C2

Per poder fer el test d'aquest circuit hem agafat la taula i hem agafat el seu valor en binari per poder fer les proves implementades amb divisors/agregadors.

## 5.3 Resultat joc de proves SM a C2



	SM	C2
L3	0	0
L4	1	1
L5	2	2
L6	3	3
L7	4	0
L8	5	7
L9	6	6
L10	7	5

Figura 5.3: Resultat joc de proves SM a C2

## 5.4 Joc de proves del disseny global

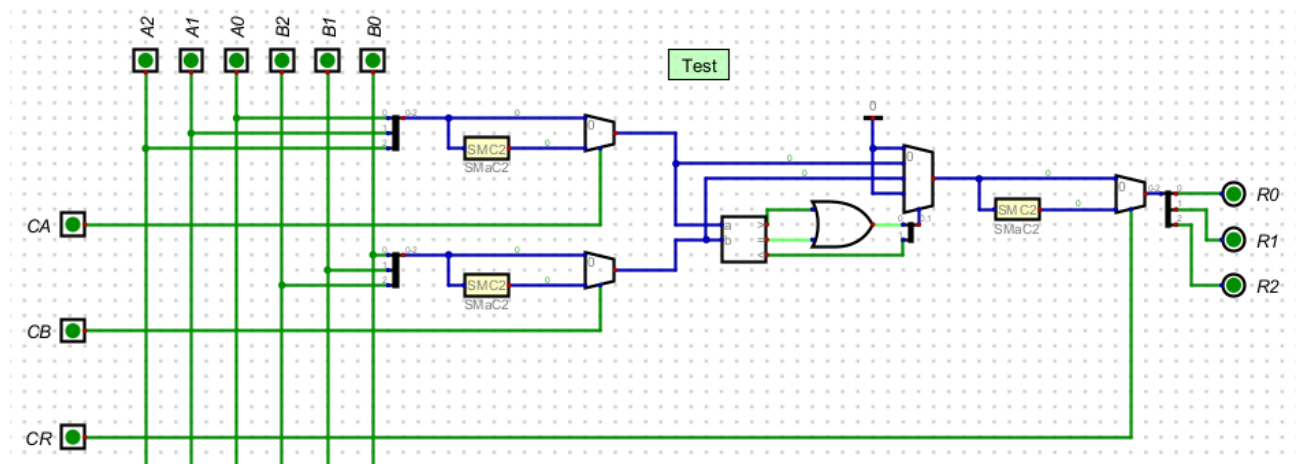


Figura 5.4: Joc de proves del disseny global

El joc de proves l'hem dividit en tres seccions principalment, per a així estudiar com podríem optimitzar-lo al màxim.

1: en el primer cas hem estudiat quan  $A2 \neq B2$ . en aquest cas A i B són de diferent signe, per tant no ens influeixen els altres bits consecutius ja que el número positiu sempre serà major. Pel fet que la representació d'SM i C2 en positiu és la mateixa, tampoc ens influeix els bits de control CA CB i CR. D'aquesta manera només hauríem de preocupar-nos de quals són els bits de l'entrada de signe positiu perquè vegem posteriorment que són els mateixos bits que la sortida R2 R1 R0.

2: en el segon cas hem estudiat quan  $A2 = B2 = 0$  és a dir, les dues entrades de signe positiu. En aquest cas no ens influeixen els bit de control CA CB i CR ja que com hem dit anteriorment, en tractar-se de bits positius la representació en SM i C2 serà la mateixa. Com podem observar ,en alguns casos podem substituir el bit A0 per una x ja que en presentar-se el primer bit 1 en B1 tenint un 0 en A2, podem dir directament que B1 serà major independentment del que valgui A0.

3: Finalment en el tercer cas on  $A2 = B2 = 1$  , no hem pogut simplificar els casos de prova. Ja que era necessari estudiar tots els casos.



## CONCLUSIONS

En conclusió, hem trobat en aquesta pràctica que la tasca més complexa era pensar en com dissenyar o implementar el circuit i a més de forma ordenada emprant el digital com eina d'implementació. Per altra banda, hem fet servir Overleaf (un editor LaTeX col·laboratiu basat en núvol) per documentar tota la memòria perquè varem trobar que era l'opció que més possibilitats ens donava.

Les operacions que més varen requerir la nostra concentració en particular varen ser la de SM-C2 y en també el comparador ja que abans de començar pensàvem en moltes maneres diferents d'arribar fins a la solució. Aclarir que el nostre objectiu durant tota la pràctica de sistemes combinacionals ha sigut la d'implementar els diferents circuits mitjançant els dissenys prèviament fets amb la claredat més gran possible.

Finalment, amb totes les explicacions pertinents y representant tots els circuits requerits als sistemes combinacionals amb la finalitat de la implementació d'un comparador de números, donam per conclosa aquesta pràctica de sistemes digitals.