

# Bus multiplexato

- Per aumentare la banda di un bus è possibile incrementare:
  - frequenza → difficile
  - la larghezza del bus → es. bus multiplexato

# Bus multiplexato

- Bus multiplexato  
utilizza le stesse linee per il trasferimento dei dati e degli indirizzi
- All'inizio di un'operazione le linee sono prima utilizzate per il trasferimento indirizzi e poi trasferimenti dati
- È più lento perché dati e indirizzi non possono essere posti su bus nello stesso istante perché si usano le stesse linee

# OTTIMIZZAZIONI

Per migliorare le prestazioni della CPU, la maggior parte delle moderne architetture bus utilizzano:

- Bus mastering – DMA
- Chipset
- Back Side Bus

# *il bus mastering*

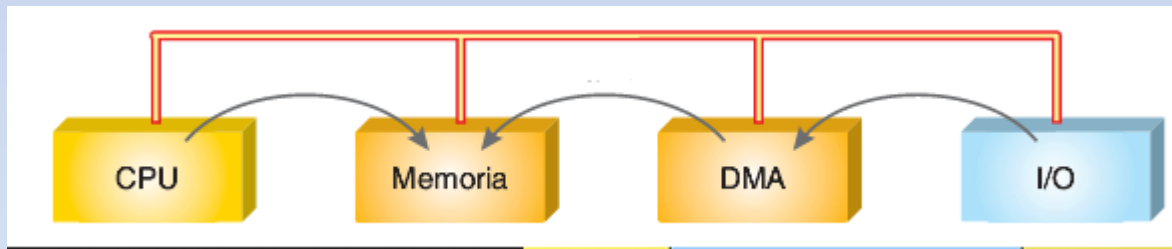
- Tecnica per gestire il trasferimento di grandi quantità di dati tra dispositivi I/O (ad es. hard disk) e memoria
- i dati vengono trasferiti senza l'intervento diretto del processore
- Processore si limita ad attivare le periferiche coinvolte nel trasferimento e a generare gli indirizzi di inizio trasferimento.

# *il bus mastering*

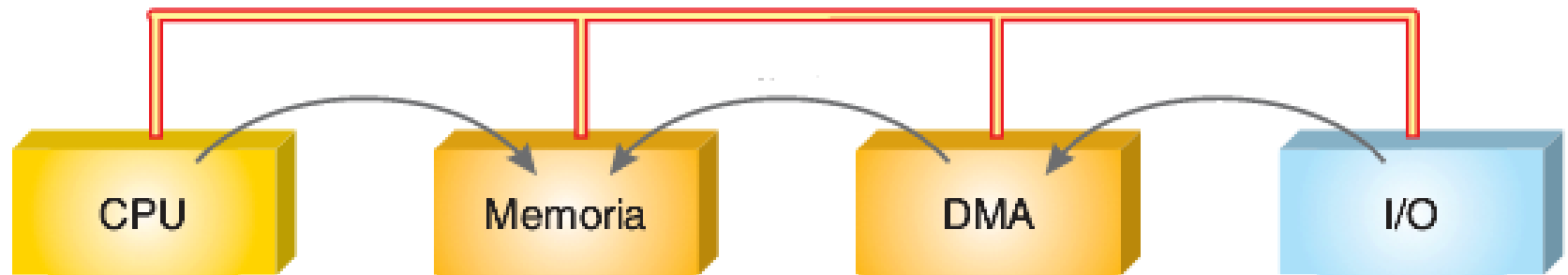
- Tale tecnica è **realizzata** utilizzando degli appositi **dispositivi** che dopo aver acquisito le informazioni su sorgente e destinatario del trasferimento, si occupano della sua gestione, **consentendo alla CPU di fare altro.**

# DMA

- L'esempio più noto è il DMA (Direct Memory Access) che si occupa del trasferimento di dati da e verso la memoria senza coinvolgere il microprocessore.



# Esempio DMA



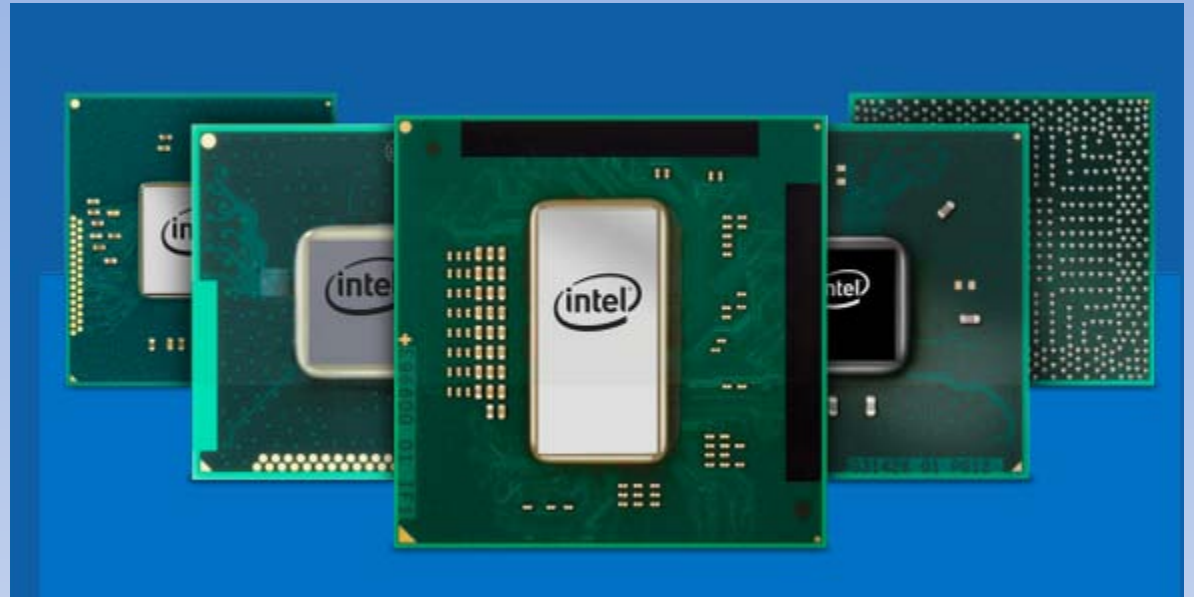
## Trasferimento dati da RAM ad hard disk.

- 1) il microprocessore memorizza l'indirizzo della prima cella della memoria da cui prelevare i dati;
- 2) genera l'indirizzo dell'hard disk per inviare una richiesta di scrittura dei dati;
- 3) l'hard disk, tramite il Control bus, comunica che è pronto a ricevere i dati;
- 4) il microprocessore memorizza l'indirizzo dell'hard disk e calcola la quantità di dati da trasferire;
- 5) trasferisce al DMA controller le informazioni sugli indirizzi e sulla quantità di dati da trasferire;
- 6) il DMA controller provvede al trasferimento e il microprocessore riprende a svolgere altre funzioni;
- 7) terminato il trasferimento l'hard disk comunica al DMA controller, tramite il Control bus, l'avvenuto completamento e il DMA controller a sua volta lo comunica al microprocessore.

# Chipset



# Chipset



- Un altro miglioramento delle prestazioni è stato ottenuto **suddividendo il bus in più bus distinti per dispositivi veloci o lenti e utilizzando** un circuito integrato apposito, il **chipset**, che si occupa di **gestire le varie tipologie di bus.**

# Evoluzione dei bus

## Anni 80- Primo IBM

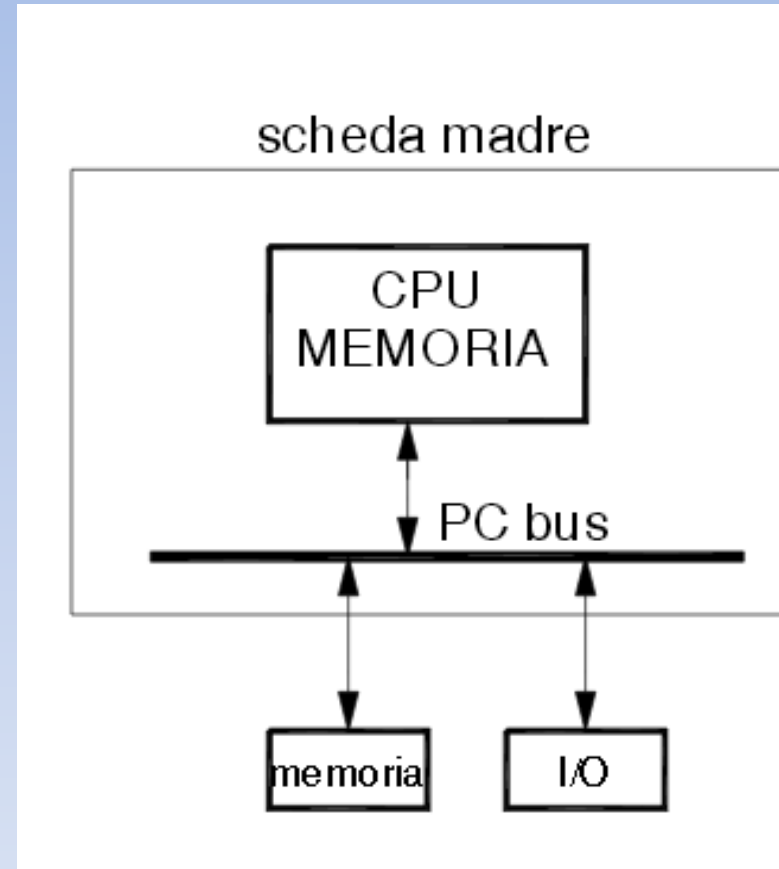
- **Bus ISA**

- un solo canale largo 8 bit

- Clock 8,33 MHz

- Bandawidth: 8.33 MBps

- A partire dagli anni '90  
il bus unico si è dimostrato  
un “collo di bottiglia”



# *Evoluzione dei bus*

- **Cause del Collo di bottiglia**

Non e' solo un problema di velocita' del clock ma di "mole di dati" (n.ro di byte) da trasferire in continuazione (la generazione di immagini SVGA e applicazioni Windows molti MByte)

# BUS: “COLLO DI BOTTIGLIA”

- Il bus non riusciva più a reggere, a tenere il passo con la CPU fin dal 1995:

	<u>ISA</u>	<u>EISA</u>	<u>CPU</u>
Data	<u>1984</u>	<u>1988</u>	<u>1995</u>
Bandwith (MB/s)	16	33	
ampiezza bus(BIT)	16	32	64
frequenza(MHZ)	8	8	133/1.500

- Il bus ISA non riesce a reggere la mole dei dati che serve spesso per applicazioni grafiche (con l'aumento della risoluzione e del n.ro dei colori i dati in transito sono aumentati notevolmente).

# Evoluzione dei bus

- **Nacque una serie di bus più veloci a 32 bit:**
  - MCA (Micro Channel Architecture) – IBM '87: un buon bus di I/O a 32 bit, non compatibile però con una sterminata schiera di schede ISA attualmente a disposizione
  - **EISA** (Extended Industry Standard Architecture)  
<>IBM 1988 - a 32 bit

# Evoluzione dei bus

- Non fu sufficiente
- Inutile far convivere sullo stesso bus dispositivi veloci come la memoria e dispositivi lenti come una tastiera o un floppy

- **SOLUZIONE: LOCAL BUS**

Il primo fu il Bus VLB (VESA Local Bus) VESA -

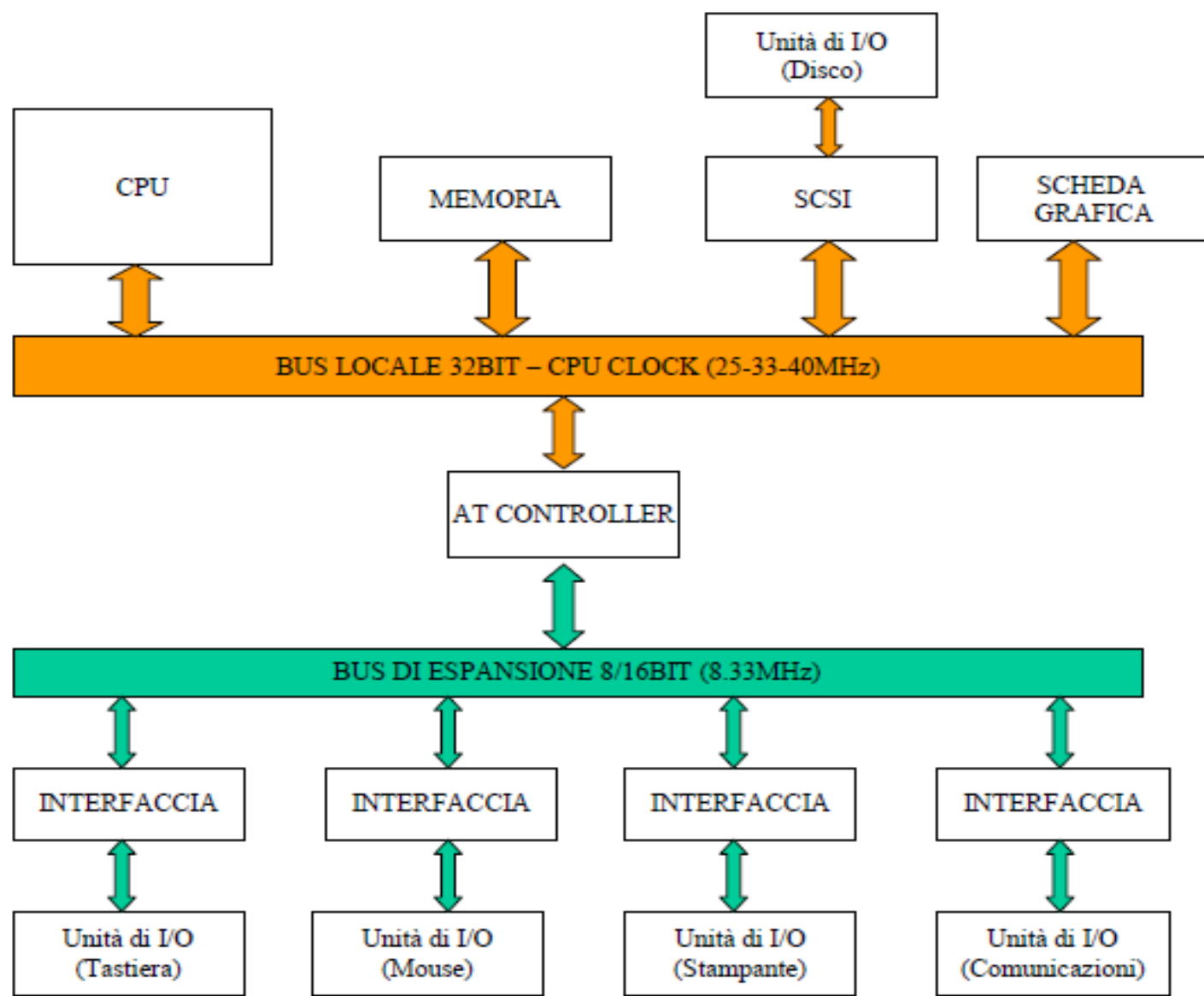
 Video Electronics Standards Association

**Il bus di espansione viene separato dal bus della cpu (bus host o local bus) tramite un controller**

# *Evoluzione dei bus*

- VESA era un bus che poteva trasferire dati alla stessa frequenza del processore (era il 486)
- Ha permesso di suddividere il bus in due parti:
  - BUS LOCALE (VESA, 32bit, ~ 40MHz) per dispositivi veloci
  - BUS ESPANSIONE (ISA , 16 bit, 8.3 MHz)

Come mostra la figura seguente





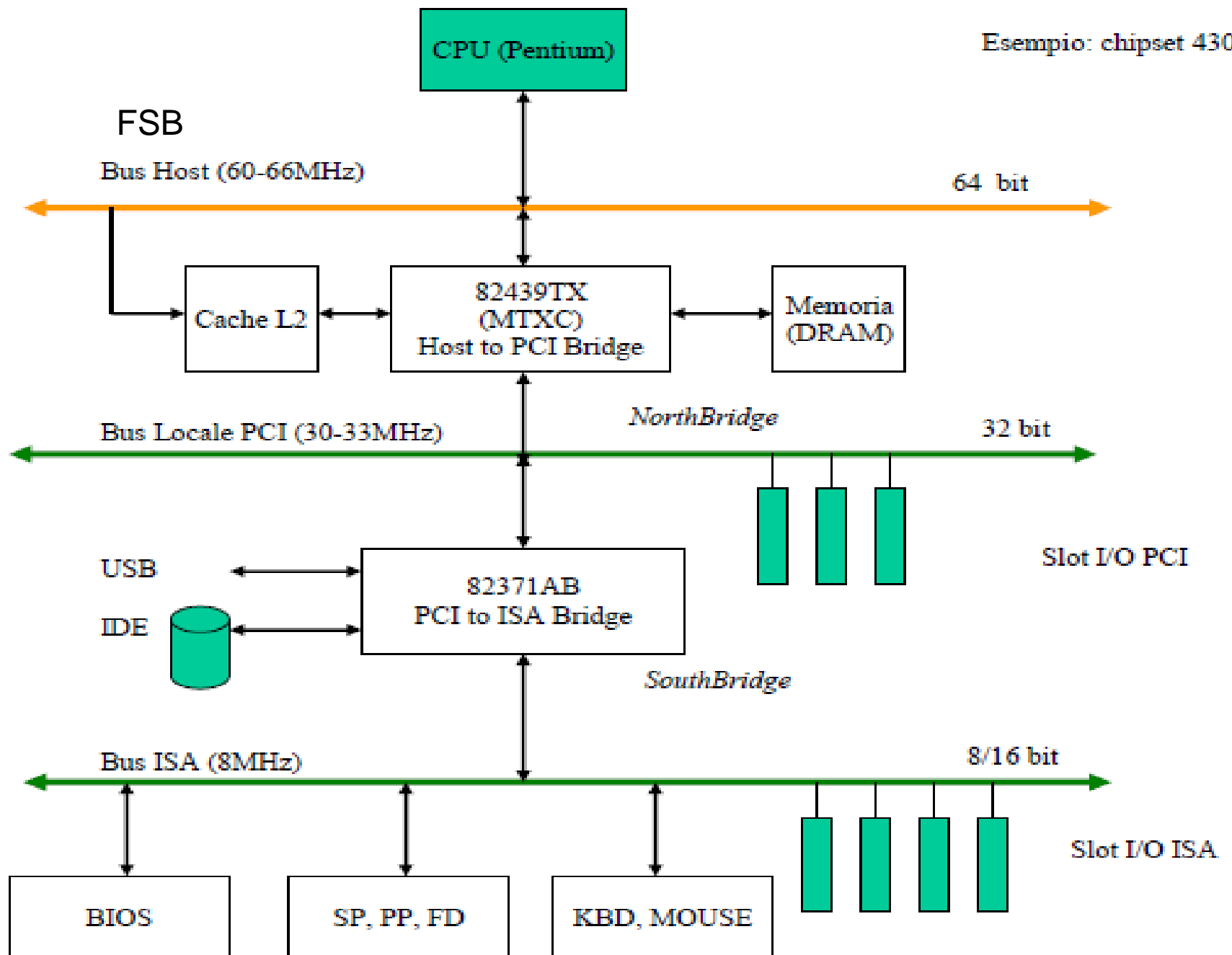
# VESA

- E' un bus locale che ha avuto particolare impiego per l'interfacciamento con la scheda video su PC basati su 486.
- VESA era legato all'architettura del processore 486 e fu abbandonato con l'introduzione del Pentium dove VESA risultò incompatibile con il bus di questo nuovo processore

# Anni 90- Pentium

- Si è passati un sistema di Bus a differenti livelli e differenti velocità.
- Esempio:
  - FSB (Front Side Bus): Bus parallelo implementato dal micro
  - PCI (Peripheral Component Interconnect): Bus parallelo di livello intermedio
  - ISA (Industry Standard Architecture): Bus di basso livello per connettere i dispositivi convenzionali lenti
- Tra i diversi livelli ci sono i “Bridge”:  
NorthBridge e SouthBridge

Esempio: chipset 430TX

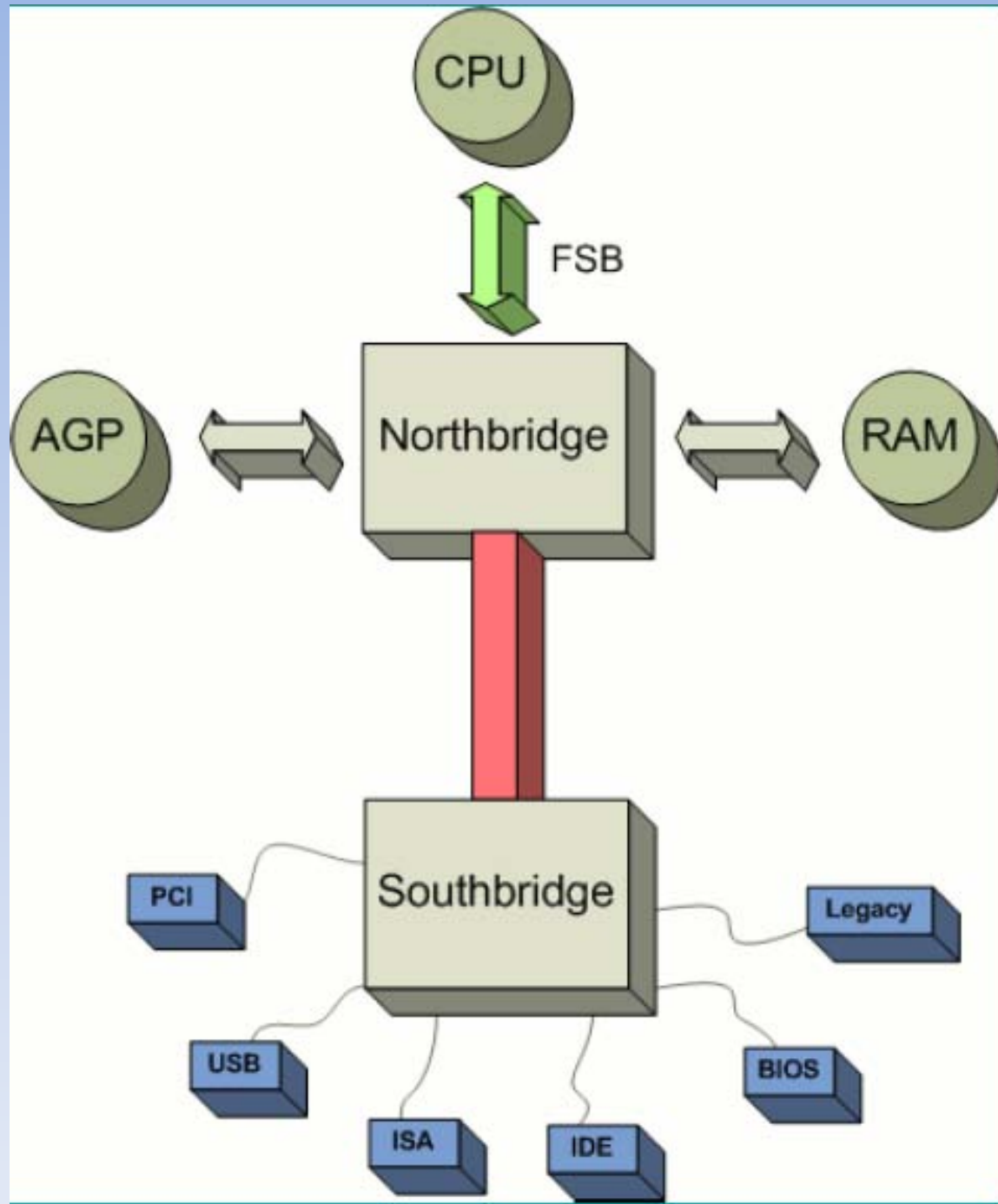


# FSB

- NB utilizza il **Front Side Bus(FSB)**, molto rapido, per connettere i diversi componenti.
- E' importante per il suo clock.
- Tutti i bus e anche la CPU, **funzionano** in modo sincrono **grazie alla presenza** di dispositivi di temporizzazione chiamati ***clock***, che **vengono impostati in base a quello del FSB**: il clock della CPU come multiplo e quello del bus di I/O come sottomultiplo.

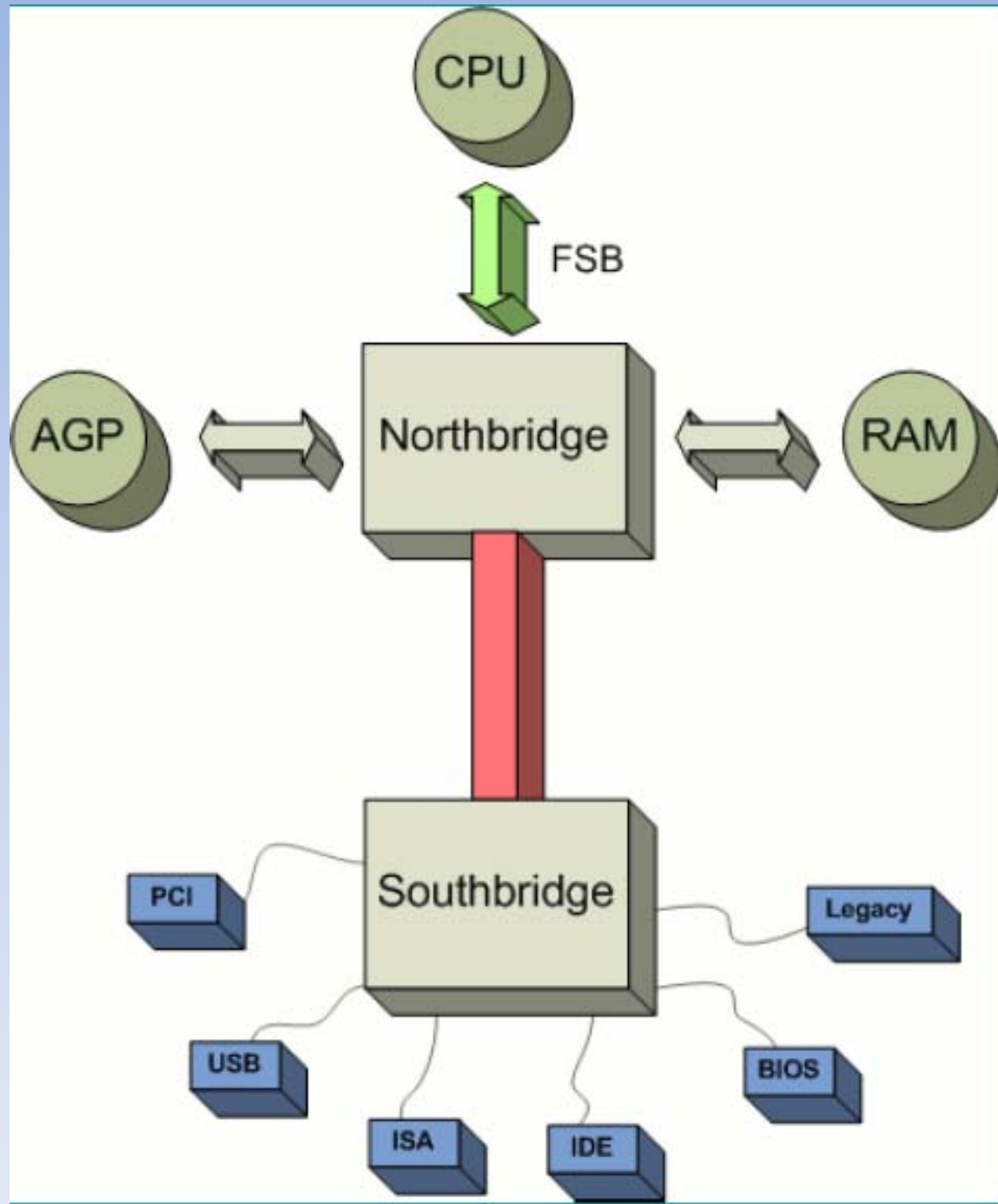
# Chipset

- **Versione tradizionale**
- E' composto da due differenti chip, il **North Bridge** il **South Bridge**
- Il loro nome deriva



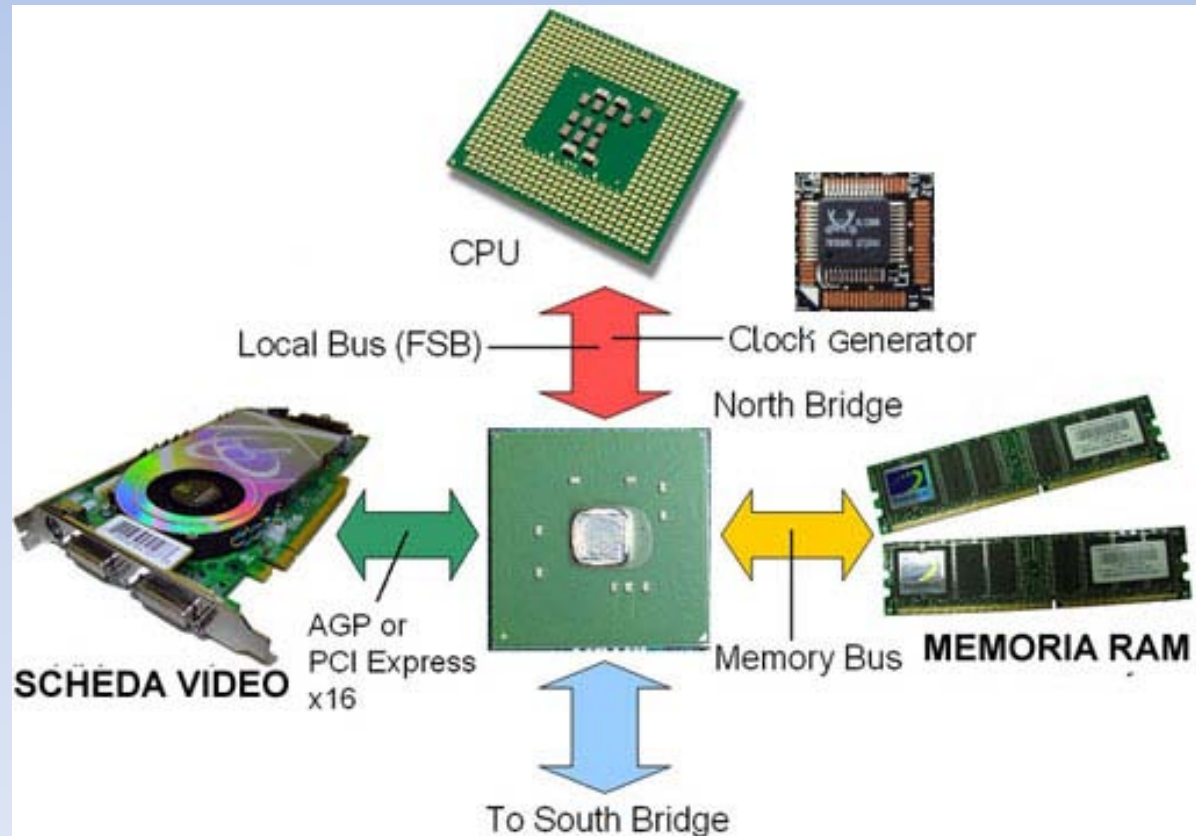
# Chipset

- Il loro nome deriva dall'architettura del chipset



# Northbridge

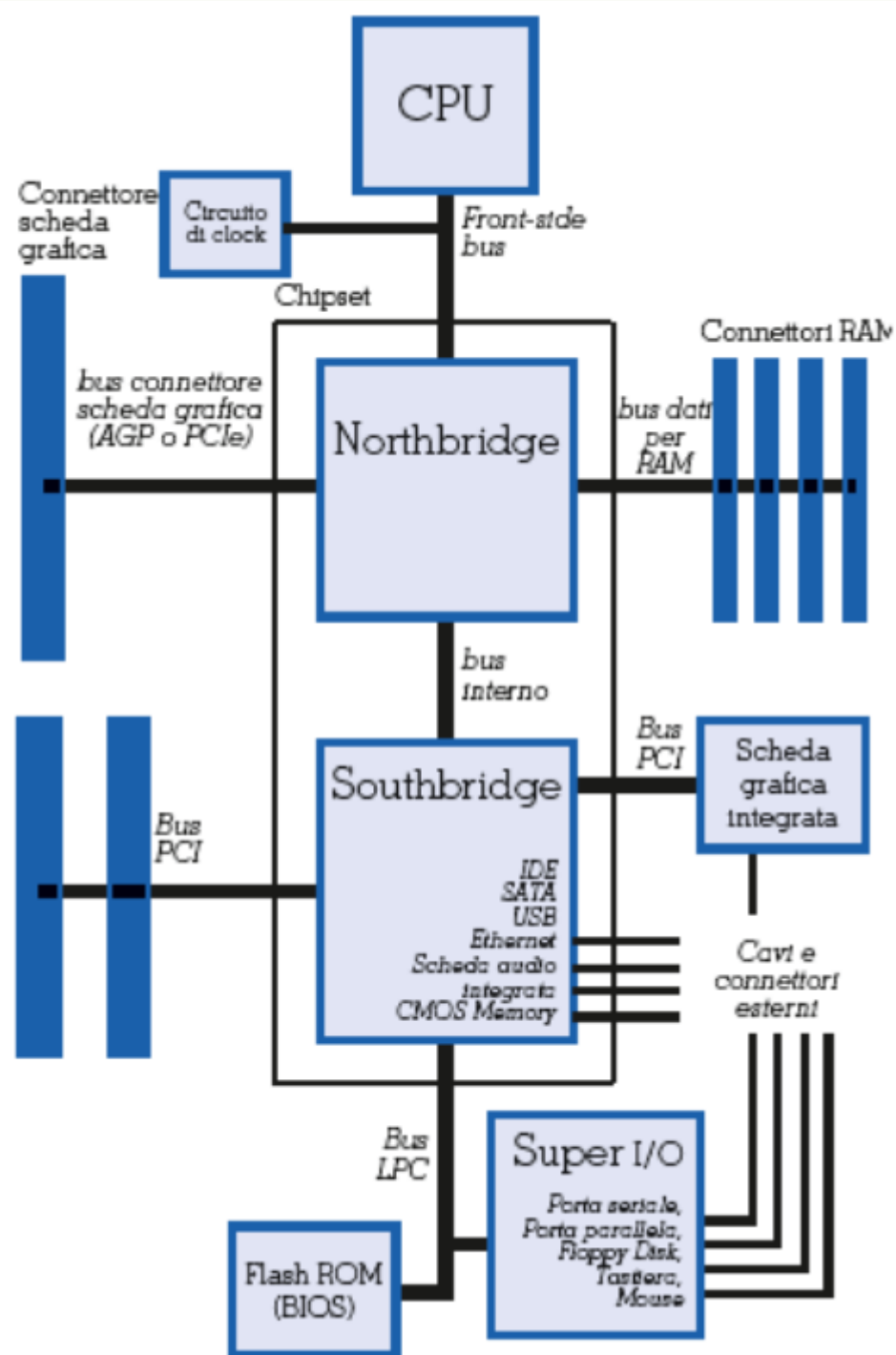
- è incaricato di controllare gli **scambi tra il processore e i dispositivi veloci**, e comunica anche con il Southbridge



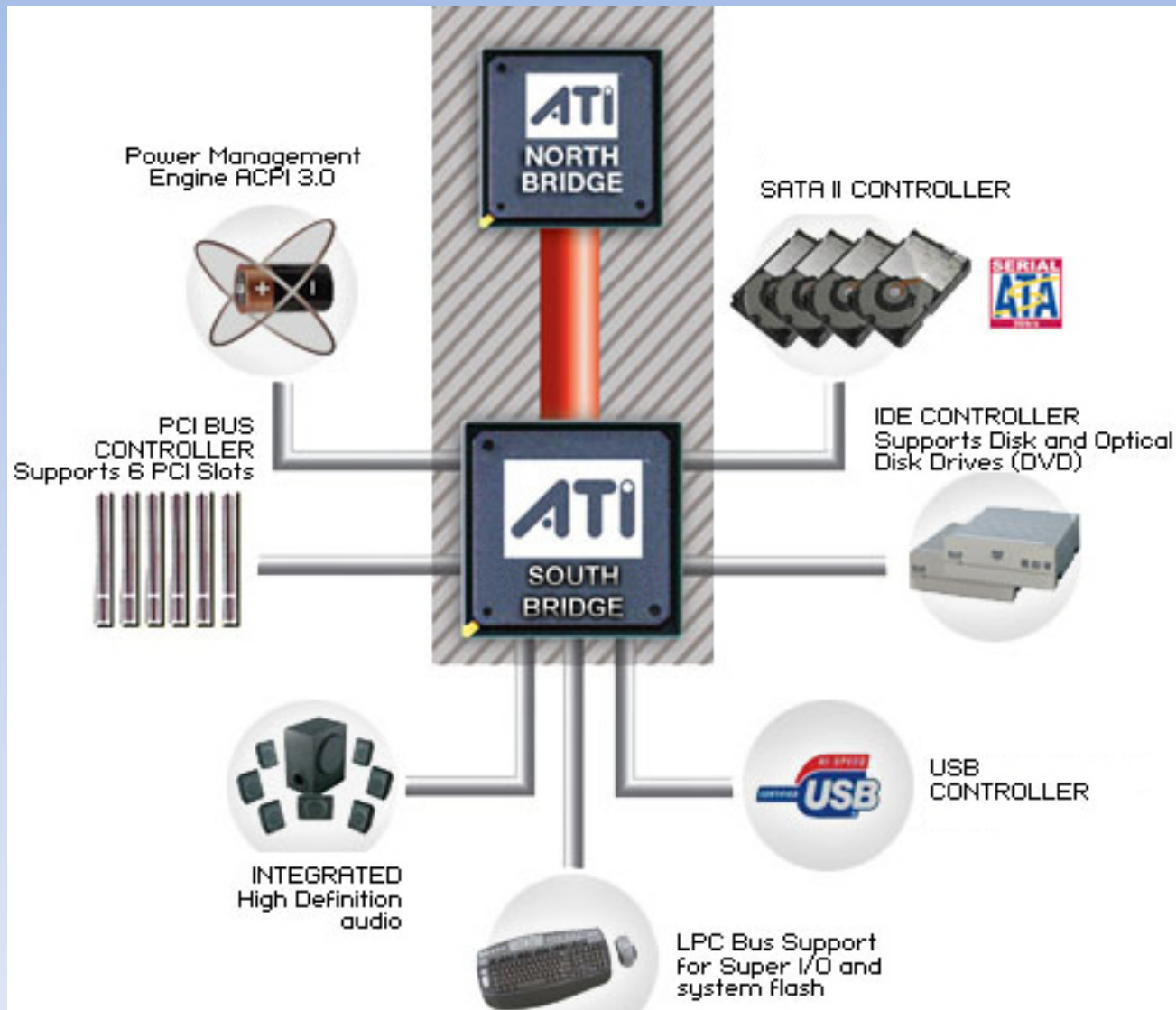
# Northbridge

- è rivolto alle componenti più veloci del sistema, cioè le memorie, il PCI, la cache di secondo livello e tutte le attività delle AGP (Accelerated Graphic Port) verso le schede video.
- in altre parole i componenti che traggono il massimo vantaggio da una rapida comunicazione con il processore.





# II SouthBridge



# 1l SouthBridge

- è un chip che **controlla e gestisce tutte le comunicazioni con le periferiche più lente** che non sono indispensabili per il funzionamento del sistema, come il controller per sistemi di memorizzazione di massa, le porte seriali e parallela, le porte USB, PS/2
- Il chipset southbridge è collegato al bus PCI del northbridge.

# ARCHITETTURA DEI CHIPSET PIU' RECENTI: Struttura ad HUB

[https://en.wikipedia.org/wiki/List\\_of\\_Intel\\_chipsets](https://en.wikipedia.org/wiki/List_of_Intel_chipsets)

# struttura ad Hub

- Nel 1999 con il processore Pentium III, l'Intel lanciò la **nuova architettura ad HUB** [ IHA (Intel Hub Architecture)].
- Così come il modello northbridge-southbridge, anche l'IHA **utilizza due chip**, chiamati **controller hub**, per la gestione delle comunicazioni tra il processore e gli altri componenti di sistema.

# HUB

- **GMCH** (Graphics and Memory Controller Hub) gestisce tutti i dati tra processore e memoria di sistema e quelli legati al video.
- **ICH (Input Output Controller Hub)** gestisce tutti i dati di input /output, cioè il flusso di informazioni tra processore e periferiche di input /output (come ad esempio gli hard disk);

# HUB

- In sostanza, è **cambiata la struttura del chipset ma il risultato è rimasto lo stesso**, cioè coordinare i dati che passano tra le differenti periferiche.

# *struttura ad Hub*

- Un cambiamento sostanziale è stato introdotto nell'interfaccia che collega questi due elementi: **si è passati ad una connessione punto-punto, abbandonando l'impiego del bus Pci che era diventato uno dei principali colli di bottiglia delle odierne architetture.**
- Il bus Pci è diventato uno dei tanti bus gestiti all'interno del **ICH**.



# Southbridge:dall'interfaccia Pci a quella punto-punto

- L'utilizzo del bus Pci come connessione tra il NB e il SB era diventata uno dei principali colli di bottiglia delle odierne architetture, poiché si tratta di una interconnessione a mezzo di un canale condiviso, ampio 32 bit e funzionante a **33 MHz**.

# Southbridge:dall'interfaccia Pci a quella punto-punto

- A livello teorico quindi il bus Pci consente un picco di banda dati passante pari a 133 MByte al secondo; tuttavia il valore medio reale, misurato durante un traffico sostenuto è **inferiore ai 40 MByte** al secondo.
- Con l'interfaccia Elde che si raggiunge i 100 MByte, **le periferiche connesse al SB hanno la possibilità di saturare il bus** nel momento in cui cercano di accedere alla memoria di sistema attraverso l'interconnessione Pci tra NB e SB.

# Bus: alcuni “standard”

**1) P.C.I. - INTEL** per servire RAM, DISCO, MODEM, RETE: 32/64 bit – 66,6-133 Mhz- transfer rate di 133- 533 MB/sec (contro SCSI 80 MB/sec o Ethernet a 12,5 MB/sec)

**2) A.G.P. (per VIDEO):** transfer rate di 2,1 GB/sec

3) Dal 2004/2005: **Pci Express** è una interfaccia SERIALE costruita con linee di contatto indipendenti, ciascuna delle quali è in grado di veicolare in modalità bidirezionale 250 MByte/s; nella versione X16 dedicata alle schede grafiche l'ampiezza di banda in andata e in ritorno è quindi pari a **4 GByte/s**.

Per poter usufruire dell'interfaccia Pci Express è necessario rivedere in buona parte l'hardware presente all'interno del Pc.

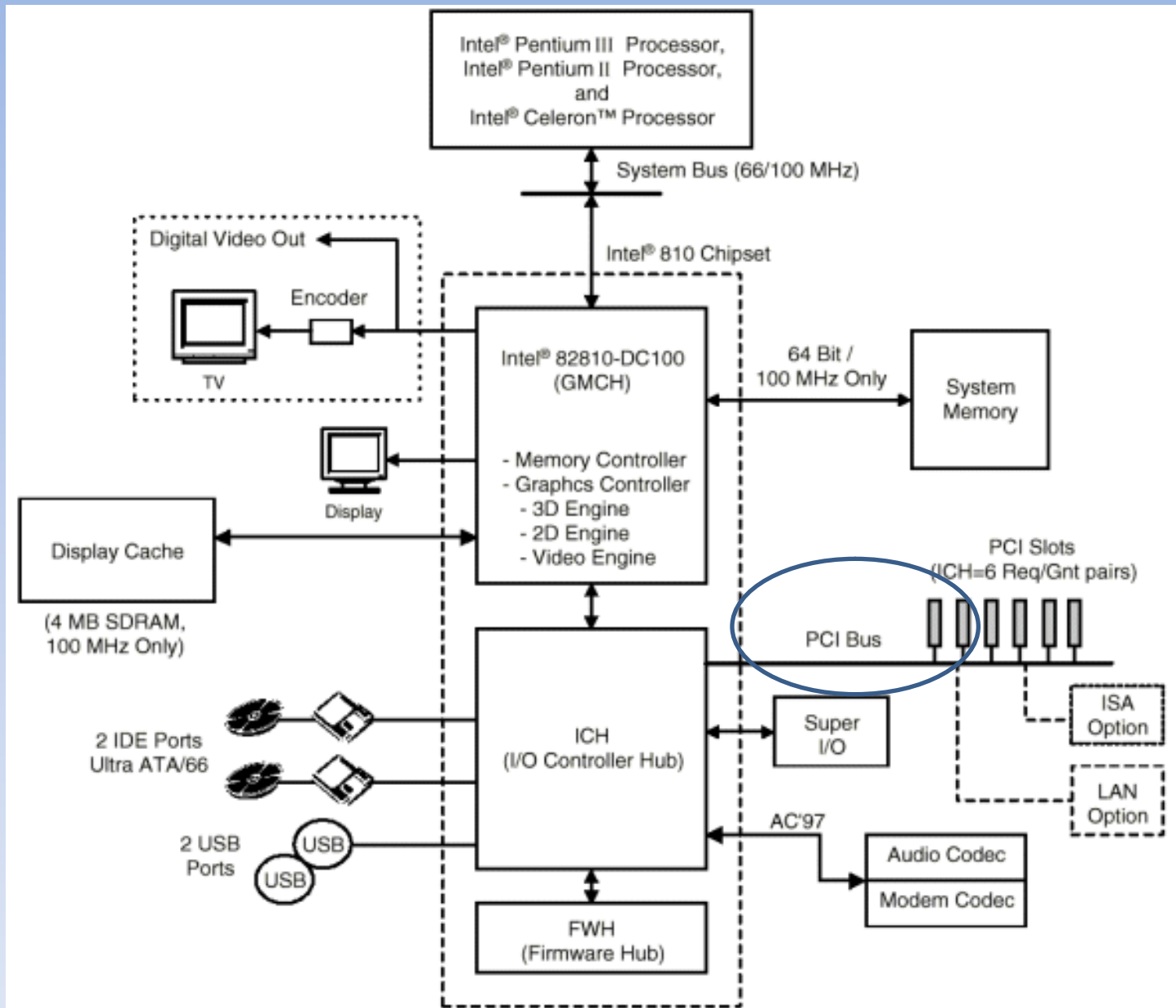


ESEMPIO

*chipset*

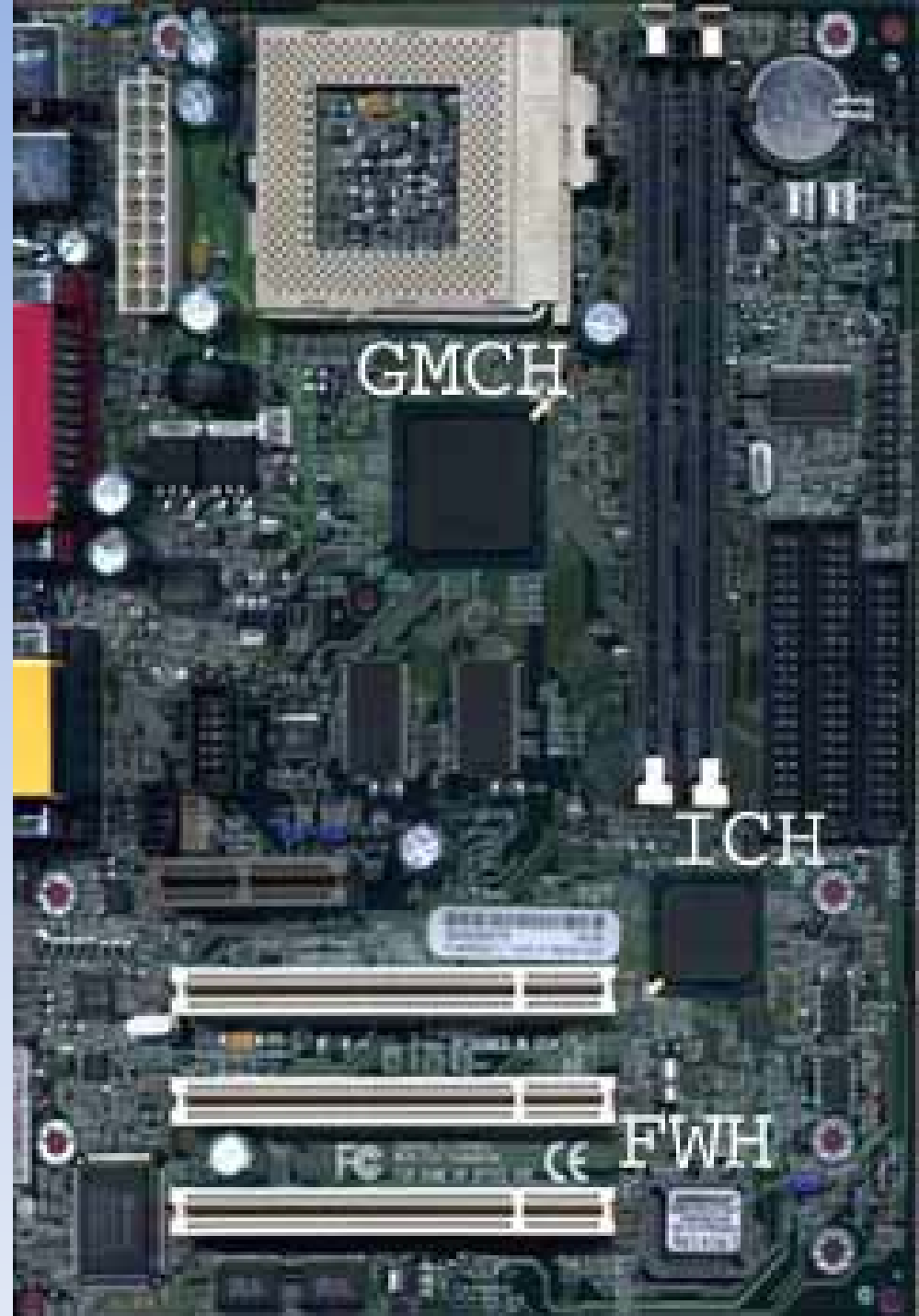
*Intel i810*

*(struttura a HUB)*



Qui a lato è raffigurata una motherboard Socket 370, il modello 370SWD di Supermicro, dotata di chipset Intel i810 con gli HUB: ICH; GMCH

- FWH (Firmware Hub)



# *Firmware Hub (Fwh)*

- Intel chiama il proprio chip Bios *Firmware Hub* (Fwh), si tratta sostanzialmente di un Bios caricato su una flash programmabile connessa al sistema attraverso l'interfaccia Lpc.

# 1l Bios (Basic I/O System)

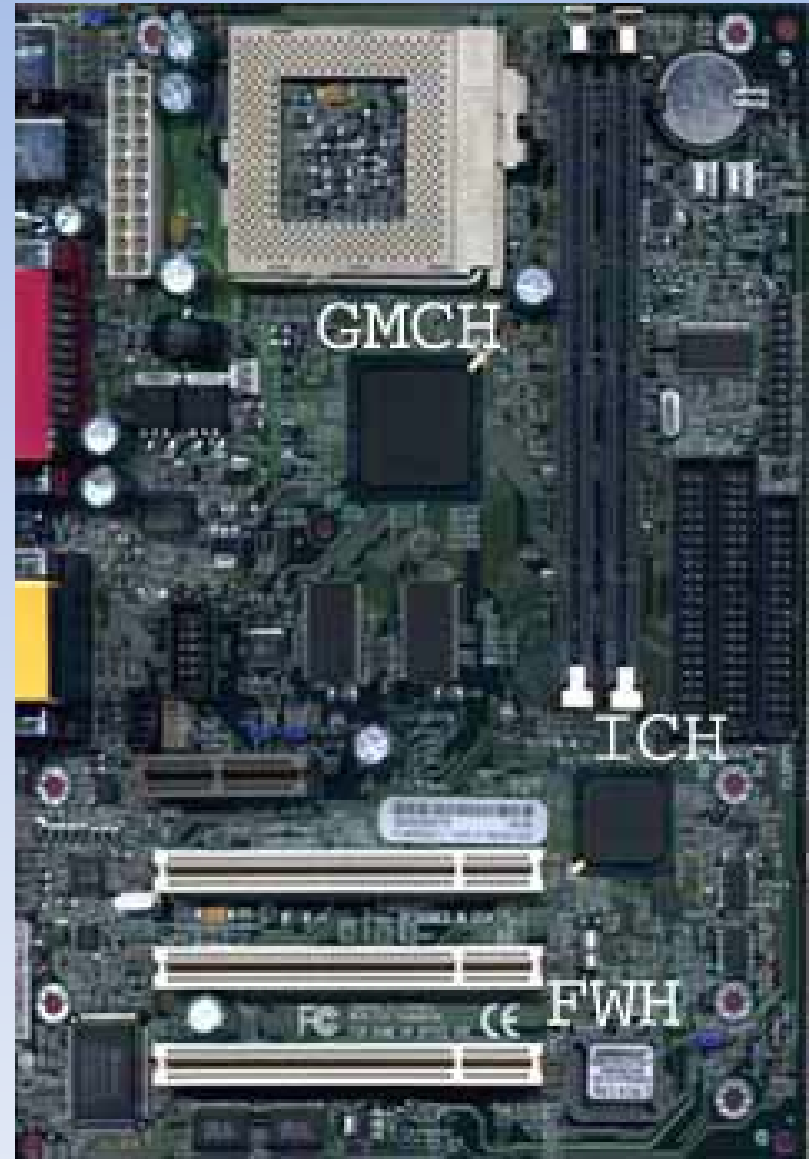
- **Il Bios (Basic I/O System)**

è un software che opera a basso livello e controlla le periferiche presenti sulla scheda madre. Il processore esegue il codice Bios non appena il computer viene avviato, permettendo il test per verificare il corretto funzionamento della memoria e l'assegnazione delle risorse di sistema alle diverse periferiche



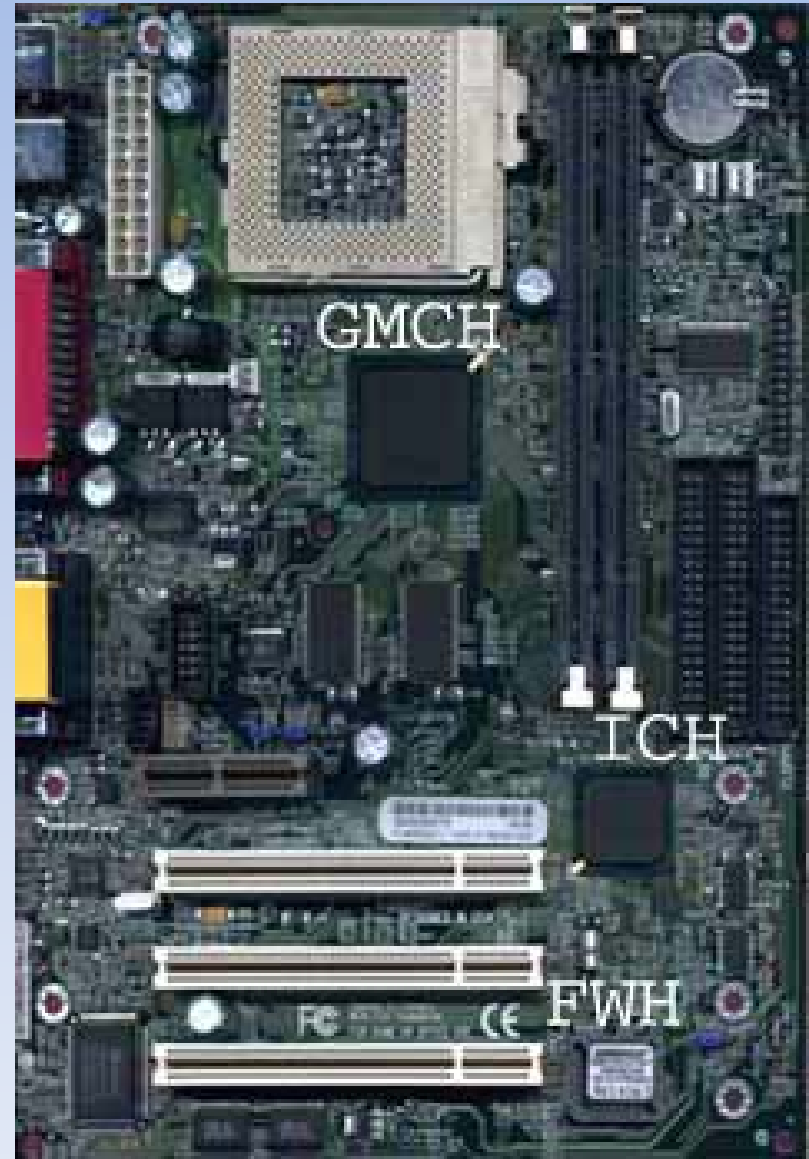
# Intel i810

- Si noti il posizionamento dei tre hub:
  - ❖ il GMCH immediatamente sotto il Socket del processore, nell'area in genere occupata dal northbridge;



# Intel i810

- ❖ l'ICH in modo simile al south bridge,
- ❖ FWH è molto simile al chip del bios, posto nella parte inferiore della motherboard.



# 5/6/7/8/9 Series chipsets

- A partire dalla fine del 2008, si ha un ulteriore cambiamento: [PCH \(Platform Controller Hub\)](#)
- Intel spostò il **controller della memoria RAM** dal GMCH / northbridge del chipset **all'interno delle proprie CPU**.
- Ciò ha contribuito ad aumentare la complessità dei chip ed il suo numero totale di connessioni (pin) verso la MB, ma ha **velocizzato le operazioni di accesso alla RAM**, riducendo al minimo la latenza di accesso

# 5/6/7/8/9 Series chipsets

- Si è semplificata in questo modo l'architettura del NB, per contro il SB, è stato arricchito dei controller SATA (Serial-ATA) e RAID (per configurazioni ad HD multipli).

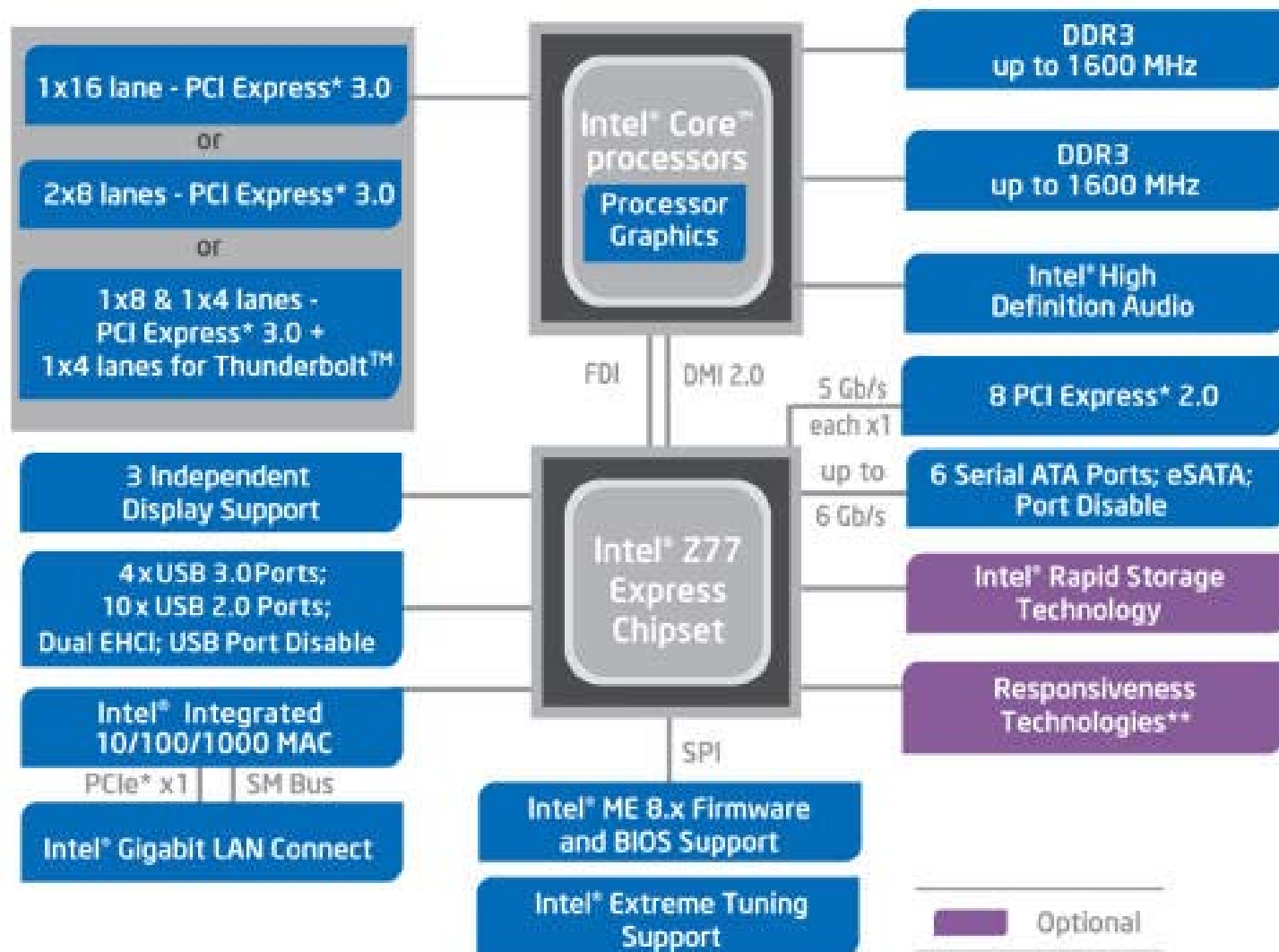
# PCH (Platform Controller Hub)

Componenti:

- CPU che contiene anche il controller di memoria che è un intero northbridge (alcuni addirittura hanno GPU)
- il PCH (Platform Controller Hub) agisce come un southbridge.

ESEMPPIO

*chipset Z77*

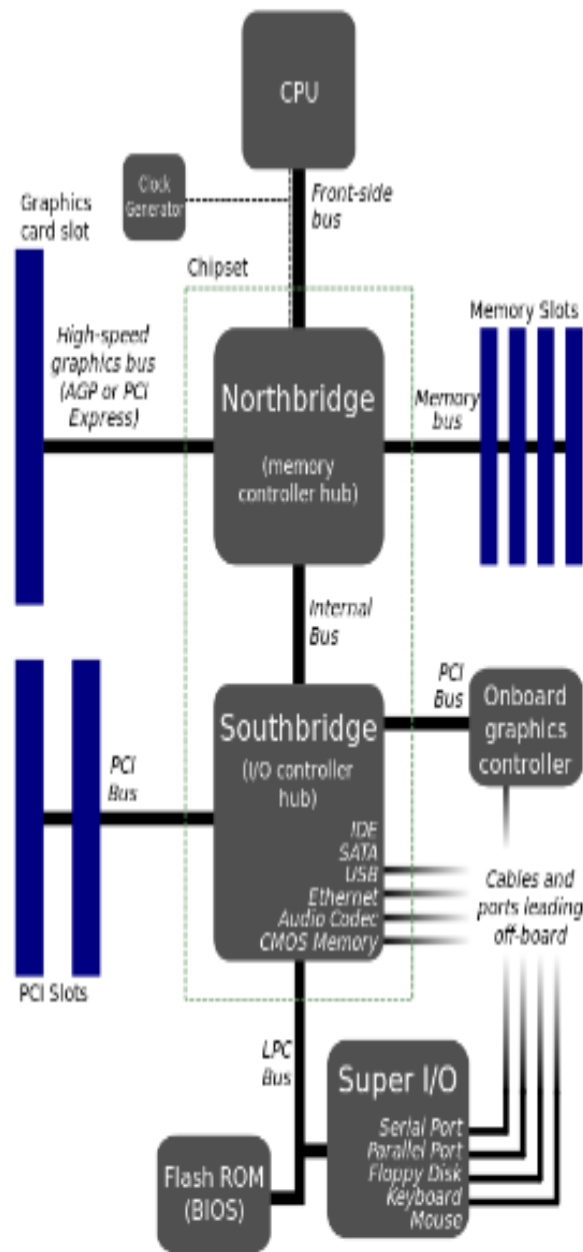


\* Other Names and Brands maybe claimed as property of others.

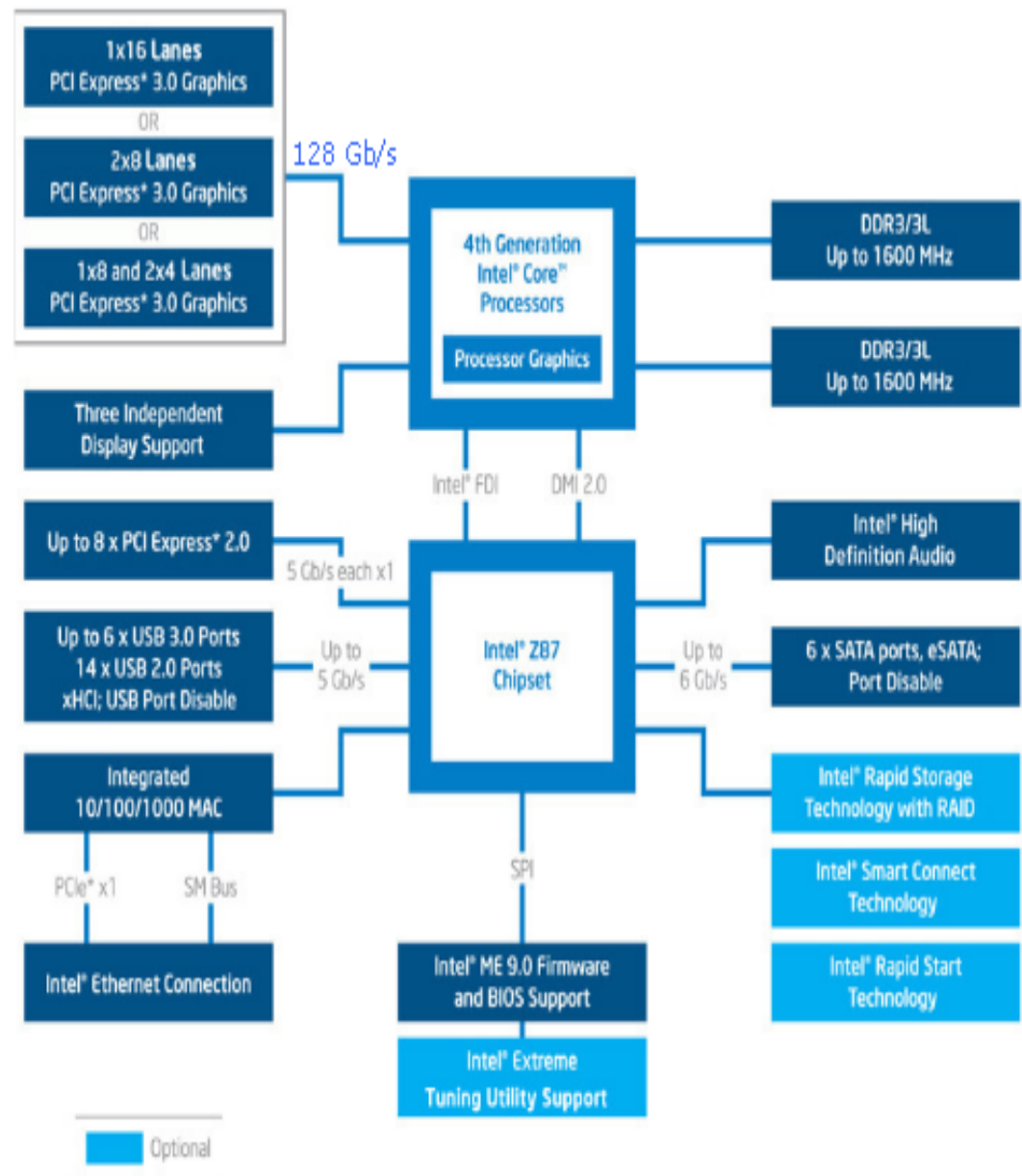
\*\*Includes Intel® Smart Response Technology, Intel® Rapid Start Technology, and Intel® Smart Connect Technology

Intel® Z77 Express Chipset Platform Block Diagram

## Intel chipset architecture (old)



## Intel chipset architecture (recente)





# chipset Z77

La piattaforma prevede due chip:

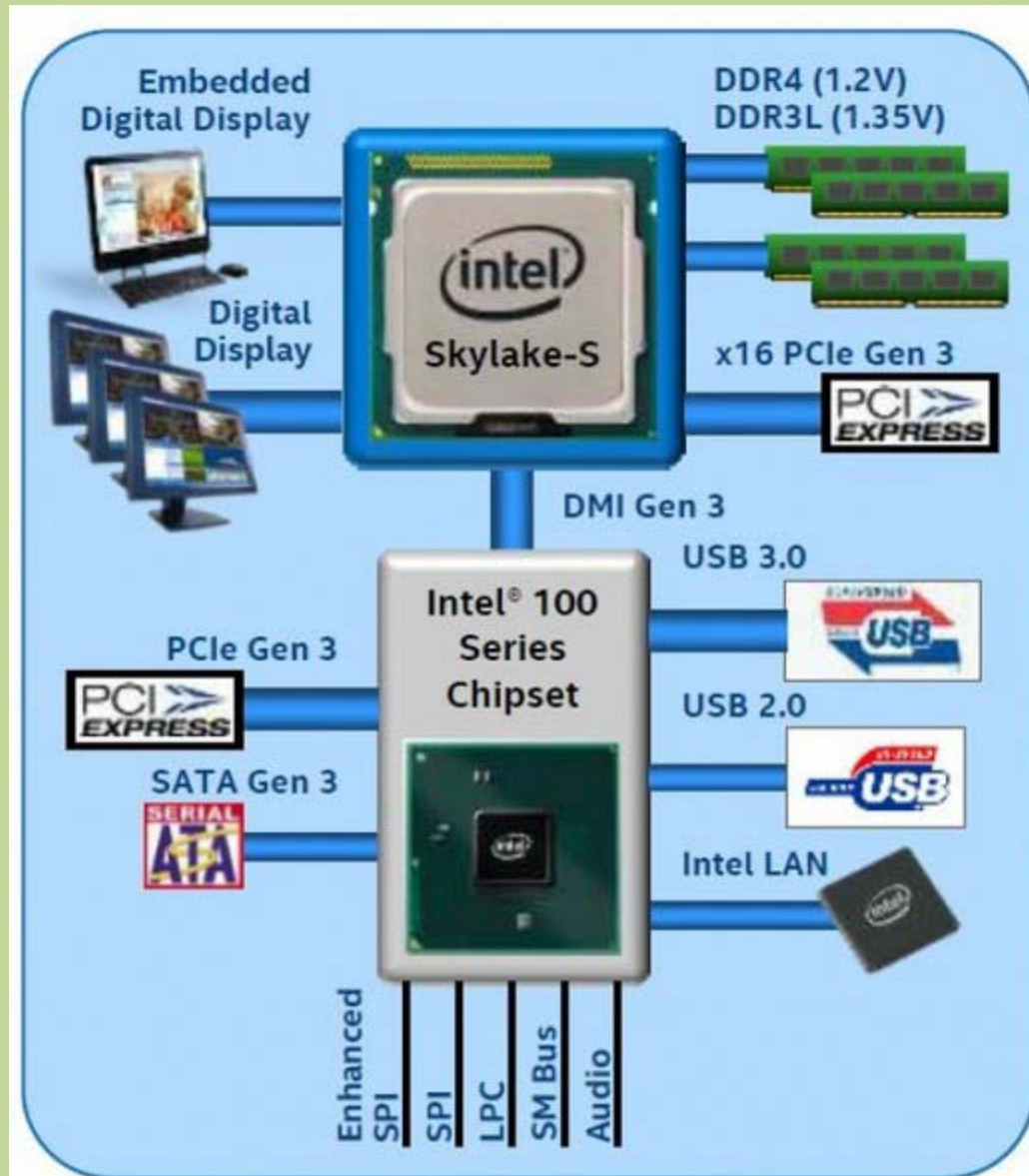
- la CPU che contiene al suo interno tutta la logica del controller delle memorie, del bus PCI Express e della GPU
- il chip PCH (Platform Controller Hub) che supporta tecnologie quali Intel Flexible Display Interconnect (FDI), Direct Media Interface (DMI) per l'interconnessione con la CPU, USB, SATA, LPC, LAN e PCI Express.

# chipset Z77

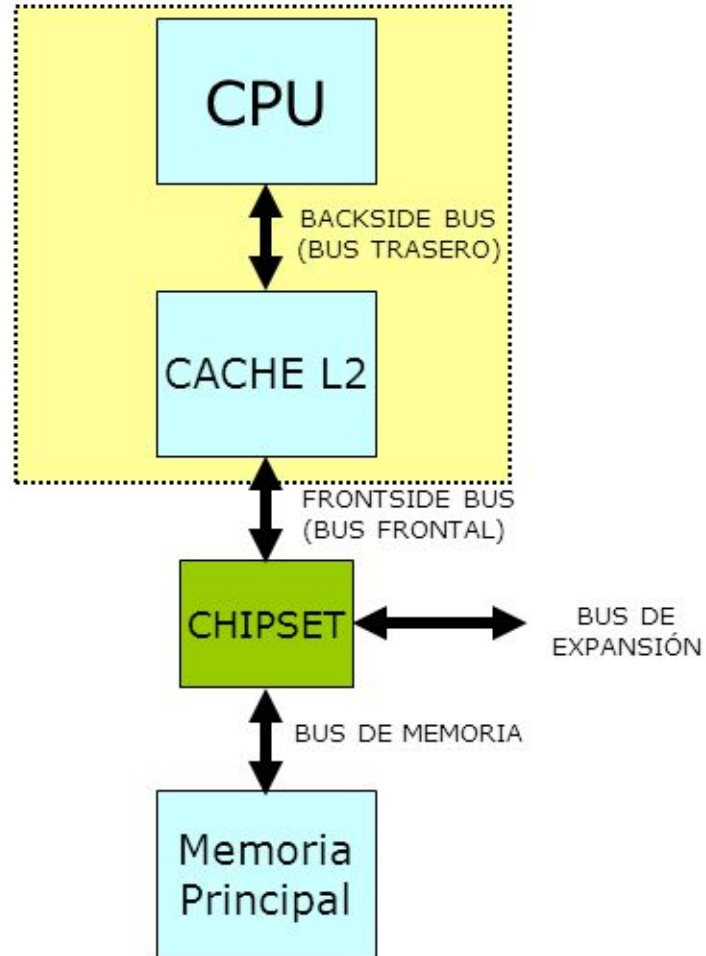
- La gestione delle uscite video è suddivisa fra CPU e PCH.
- Il PCH riceve dunque i dati elaborati dal controller grafico presente nella CPU attraverso l'interfaccia Intel FDI e li transcodifica per renderli compatibili con i protocolli previsti per ogni specifica uscita video rendendoli pronti per la visualizzazione. Tutto questo permette di gestire dal controller grafico integrato fino a **3 display indipendenti**.

# serie 100- Ultima serie di chipset

- **Giugno 2015**  
processore  
Skylake supporta il  
socket LGA 1151 e  
chipset serie Z100.



# BACK SIDE BUS



# BACK SIDE BUS

- Per migliorare ulteriormente le prestazioni del microprocessore è possibile inserire sulla scheda madre attraverso il bus BSB una memoria esterna detta cache L2. In questa memoria molto veloce ma costosa vengono memorizzati i dati di immediata elaborazione da parte del processore.

# Bus di estensione

- permette ai diversi componenti della scheda madre (USB, seriale, parallela, schede collegate ai connettori PCI, dischi rigidi, lettori e masterizzatori di CD-ROM, ecc.) di comunicare tra loro, ma esso permette soprattutto l'aggiunta di nuove periferiche grazie ai connettori di estensione (detti **slot**) connessi al bus d'entrata-uscita.

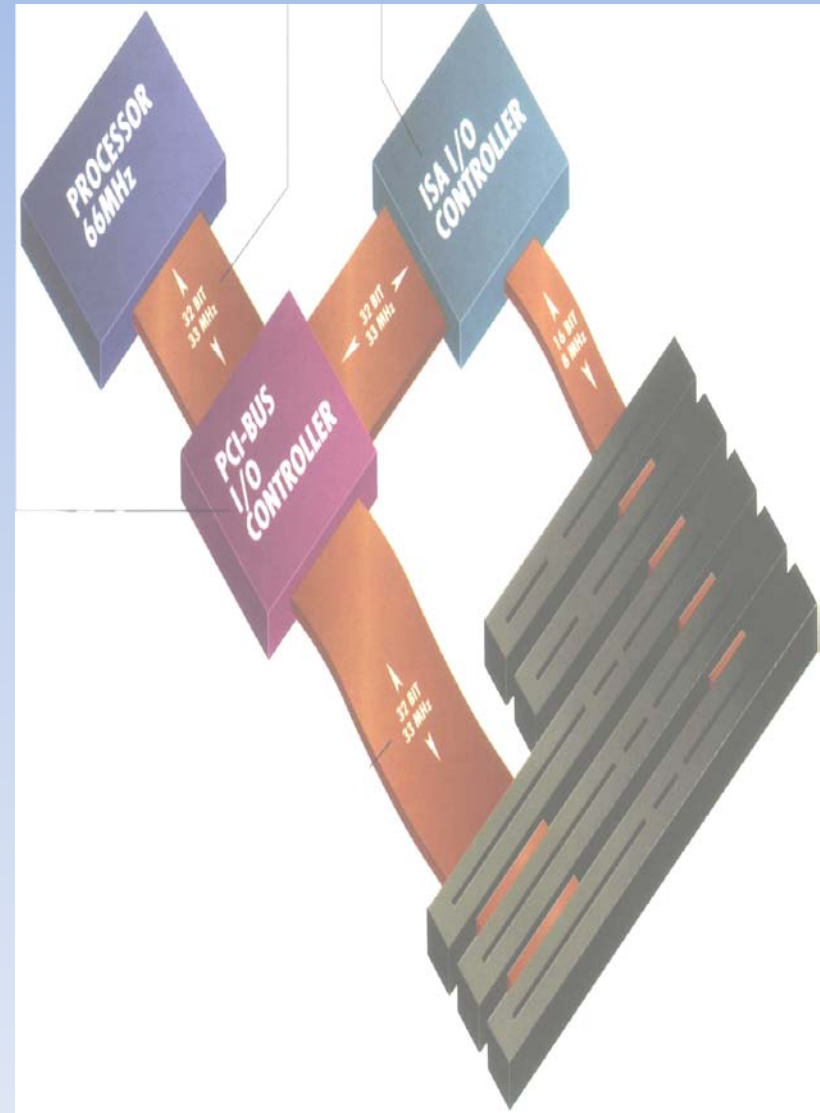
# *bus di estensione*

Comprende anche

- controller
- Slot di espansione

# Controller

- è un dispositivo elettronico dedicato a gestire e a far accedere al bus una o più periferiche
- **regola il passaggio di dati tra la scheda madre e dispositivi.** Esempio controller della memoria, controller IDE, controller SATA ...





# slot di espansione

- Sul bus di espansione sono previste degli **alloggiamenti (slot)** in cui si inseriscono le schede **di espansione**.
- Questi slot permettono di aggiungere una nuova scheda anche in un secondo tempo rispetto all'istante in cui si assembla il PC, garantendo la comunicazione con le altri componenti, interne ed esterne.