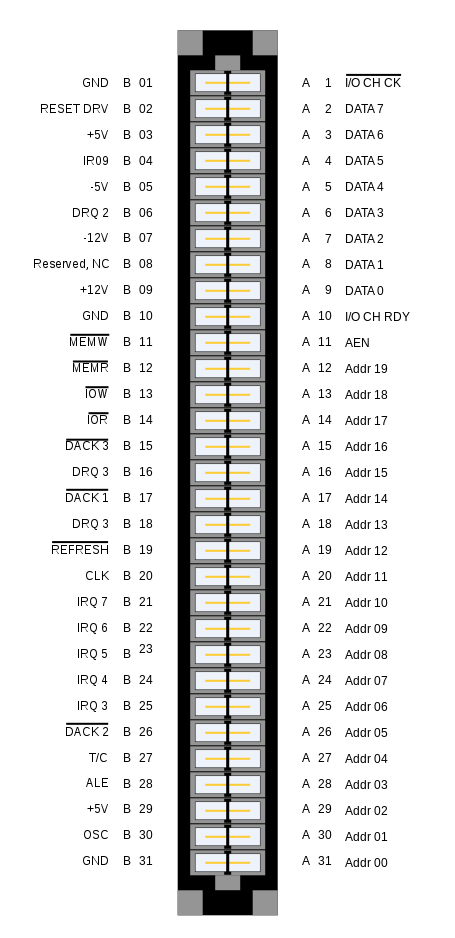
I BUS

In ambito elettronico e informatico per **BUS** si intende un canale di comunicazione che permette a componenti e periferiche di trasmettere dati e informazioni mediante segnali elettrici.

In seguito sono elencati alcuni dei principali Bus contenuti nella maggior parte dei Personal

Computer di oggi e di ieri.

**Industry Standard Architecture**

L'ISA è un bus parallelo per computer usato per il collegamento di schede di espansione generiche.

Fu lanciato da IBM nel 1988 per essere integrato nell’IBM Personal Computer e nell’IBM Personal Computer XT. La prima versione l’ISA aveva una larghezza di 8 bit e frequenza di 4.77 MHz. Con l’introduzione dell’IBM Personal Computer AT(CPU Intel 286) la larghezza di banda fu portata a 16 bit e il clock da 6 a 8 Mhz, poi a 8,33 Mhz con una banda di 8 Mb/s (teoricamente si arriverebbe a una banda di 16 Mb/s ma un ciclo su due è usato per l'indirizzamento). Il bus ISA permetteva al sistema di comunicare direttamente con altre periferiche senza dover passare per il processore (Bus Mastering), ciò l'accesso diretto alla memoria (Direct Memory Access), limitato però ai primi 16 Megabyte della Ram. Per il collegamento di una scheda di espansione è usato uno slot da 62 contatti per la versione XT mentre per l'AT se ne usa uno a 98 contatti.

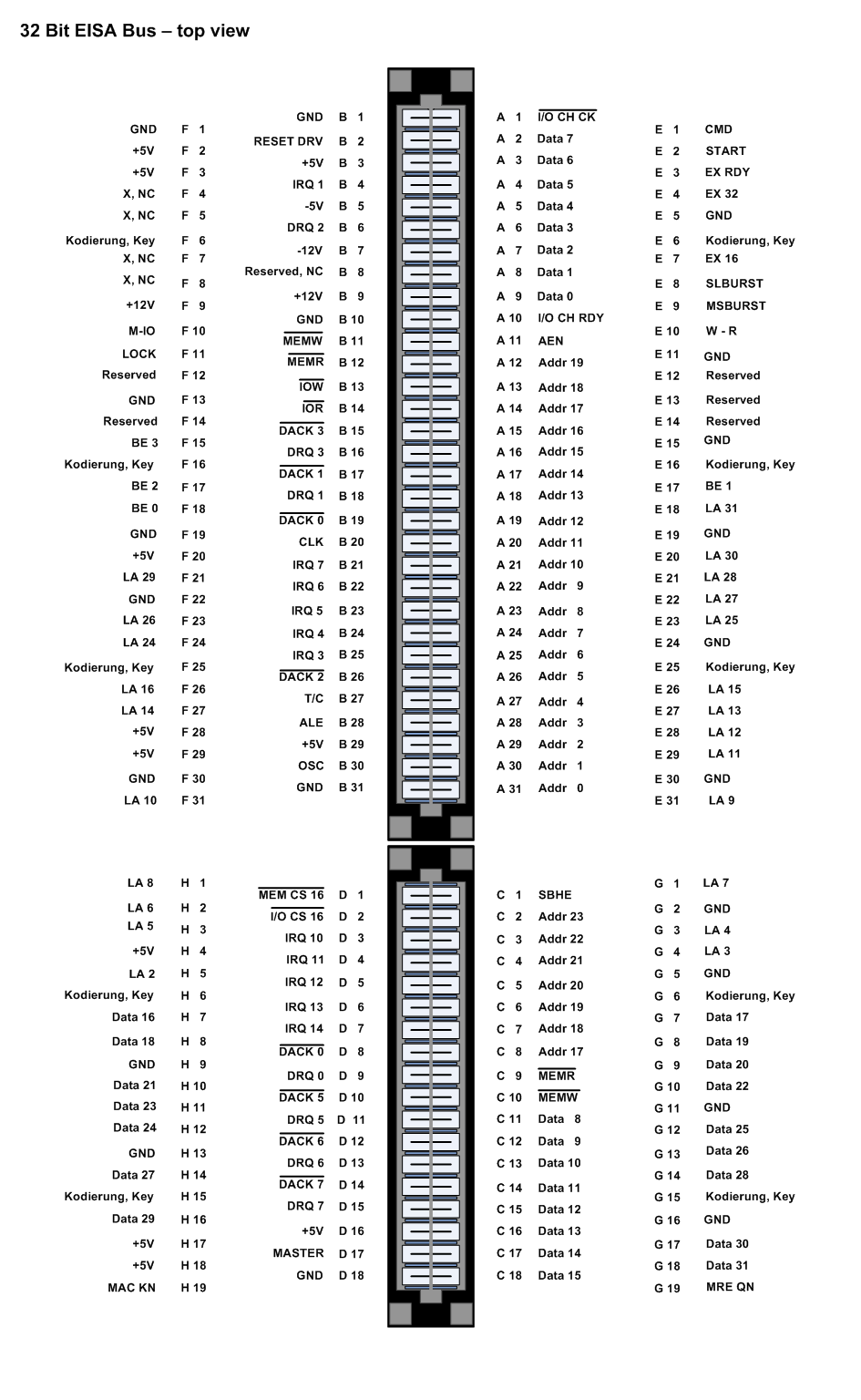
La maggior parte dei PC venduti fino alla fine degli anni '90 erano dotati del bus ISA, ma esso fu presto sostituito a causa dell'introduzione di nuovi bus dotati di caratteristiche migliori.

Slot 8bit



Slot 16 bit

****

**Extended Industry Standard Architecture**

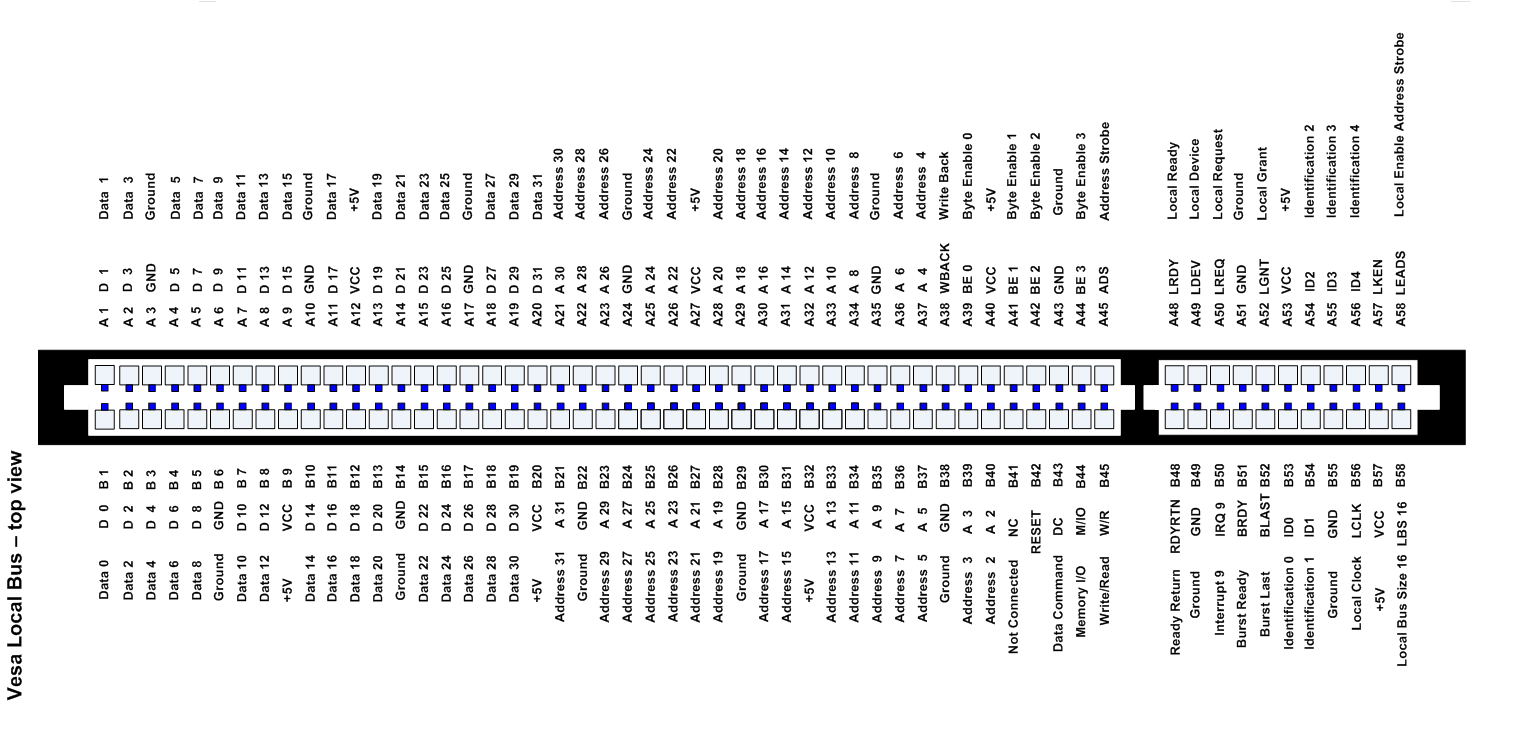
L'EISA è un bus parallelo per computer usato per il collegamento di schede di espansione generiche.

Fu creato da un consorzio di società con lo scopo di fare concorrenza al bus proprietario MCA di IBM. Caratteristica fondamentale dei connettori EISA è la loro retrocompatibilità con schede di espansione ISA. Ciò fu possibile grazie al design dei connettori EISA: erano più profondi, con le file dei contatti caratteristiche del bus EISA poste inferiormente. Se si inseriva una scheda ISA, i suoi contatti raggiungevano solamente la parte di connettori dedicate ad essa. L'uso di 4 file di contatti ha permesso l'indirizzamento a 32 bit. Come il suo predecessore, l'EISA è caduto in disuso.

**VESA Local Bus**

Il VESA Local Bus è un bus parallelo per computer usato per il collegamento di schede di espansione generiche.

Fu creato dal consorzio di aziende Video Electronics Standards Association con lo scopo di rimediare al principale problema del bus ISA: la larghezza di banda, che fu portata Infatti dai 16 dell'ISA AT a 32 bit. Oltre alla larghezza di banda aumentarono anche la frequenza operativa, portandola a 33 Mhz. Il suo enorme successo fu agevolato dal suo impiego nelle schede madri dedicate alla famiglia di processori Intel 486. La sua maggiore velocità era frutto anche della sua capacità di accedere direttamente alla memoria di sistema. Come per l'EISA il VESA Local Bus era retrocompatibile con ISA. L'introduzione nel mercato della famiglia di processori Intel Pentium e del bus PCI, segnarono la fine del VESA Local Bus, non più pienamente compatibile con la nuova generazione di processori.

**Peripheral Component Interconnect**

Il PCI è un bus parallelo per computer utilizzato per il collegamento tra CPU e le varie schede elettroniche collegate alla scheda madre. Attraverso le sue linee elettriche i dati vengono trasmessi a 132 Mbytes/s con una frequenza pari a 33 Mhz a 32 bit. Fu lanciato da Intel nel 1992 ed attualmente le sue specifiche e quelle dei suoi successori sono regolate dal consorzio Peripheral Component Interconnect Special Interest Group.

Lo standard PCI prevede l'utilizzo di registri interni(PCI Configuration Space) che si occupano di fornire dati necessari al funzionamento delle periferche al sistema operativo o ai driver della periferica stessa. Nella memoria di 256 byte del BDF(Bus-Device-Function) sono contenuti:

* Il Vendor ID dati assegnati al produttore del chip dal consorzio PCI Special Interest Group;
* Il Device ID dati specifici sulla periferica assegnati dal produttore del chip;
* Il Subsystem Vendor ID dati che contraddistinguono la casa produttrice;
* Il Subsystem Device ID dati che contraddistinguono la scheda;
* Il Command Register che controlla il funzionamento della scheda;
* Lo Status Register il registro che riporta il log del bus PCI.

Lo standard PCI prevede, inoltre, che esistano due tipologie di connettori: uno per le schede madri che supportano periferche che sfruttano 5 V e l'altro per le periferche a 3,3 V. A loro volta si possono dividere in connettori a 32 bit o a 64 bit, a seconda della versione del bus.

La seconda versione dello standard (PCI 2.0) stabilisce che tutti i trasferimenti dei dati debbano avvenire in sincronia, seguendo il clock del bus, e quindi in questo caso, dove la frequenza operativa è di 33 Mhz, ogni circa 30 s avviene un trasferimento.

Per ottenere un risparmio sui costi e ridotte dimensioni, sul bus dati e indirizzi vengono multiplexati, cioè più canali in entrata condividono il medesimo canale trasmissivo di uscita.

Dei 50 pin di una scheda PCI 32 sono dedicati al trasferimento di indirizzi e dati. Sostanzialmente il trasferimento dei segnali avviene tra un initiator che svolge il ruolo di master e un target che svolge il ruolo di slave. In seguito sono elencati i pin previsti dal PCI e il loro funzionamento.

Pin di sistema

* CLK pin che fornisce al sistema un riferimento temporale per i trasferimenti dei segnali, reset e interrupts esclusi. Nel PCI il clock è pari a 33 Mhz, mentre nella versione successiva, PCI 2.1, è di 66 Mhz.
* RST# pin che fornisce il segnale di reset al dispositivo nella sua fase di accensione, gestendo il registri di configurazione.

Pin di dati e indirizzi

* AD[32:0] pin che trasferiscono gli indirizzi fisici a 32 bit in address phase e trasferiscono 32 bit di dati in data phase.
* C/BE[3:0]# pin che in address phase trasportano bus command che definiscono la tipologia di trasferimento.
* PAR pin che determina la parità.

Pin di controllo del dispositivo

* FRAME# pin che stabilisce l'inizio di una transazione.
* IRDY#/TRDY# pin che stabilisce la possibilità di completamento della fase dati corrente della transazione.
* STOP# pin che richiede la terminanazione della transazione.
* LOCK# pin che permette di richiedere l'accesso esclusivo per effettuare transizioni multiple con un target.
* IDSEL pin usato come selettore di chi in transazioni R/W.
* DEVSEL# pin che determina il rilevamento del target PCI nel suo indirizzo nel bus.

Pin di arbitraggio

* REQ# pin che segnala la richiesta di un dispositivo PCI di usare il bus.
* GNT# pin che garantisce la richiesta di un dispositivo PCI di usare il bus.

Pin di segnalazione errori

* PERR# pin che riporta l'errore di parità.
* SERR# pin che riporta altri errori di sistema.

Pin di interrupt

* INTA#,INTB#,INTC#,INT#D pin che richiamano l'attenzione dei loro driver.

Pin di supporto cache

* SBO# pin che indica un hit ad una linea modificata quando asserito.

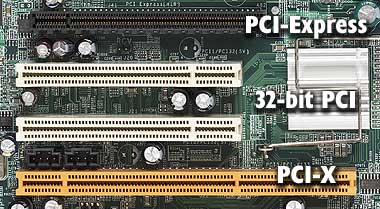
SDONE pin che indica lo stato di ricerca per accesso corrente.

Pin addizionali

* PRSNT[1:2]# pin che indicano la presenza della scheda e la sua richiesta di potenza.
* CLKRUN# pin che stabilisce il segnale di clock running, per facilitare lo stop di CLK per risparmio.
* M66EN pin usato nei bus a 66 Mhz.

Negli anni successivi sono stati introdoti nel mercato versioni aggiornate di PCI:

* PCI 2.2 trasferimento a 66 Mhz con transfer rate di picco di 266 MB/s.
* PCI 2.3 uso schede 3,3 V.
* PCI 3.0 standard definitivo.
* PCI-X bus a 64 bit a 133 Mhz e transfer rate di picco di 1014 MB/s.
* PCI-X 2.0 266/533 Mhz.
* Mini PCI PCI 2.2 per portatili.
* Cardbus.
* Compact PCI.
* PC/104-Plus versione industriale.
* PCIe nuova generazione bus.
* Mini PCIe per portatili.
* M.2 Basata su PCIe con maggiore velocità di trasferimento.



Differenze tra versioni PCI

Disposizione pin slot PCI 5V

:------:------:

-12V |- B1 A1 -| Test Reset

Test Clock |- B2 A2 -| +12V

Ground |- B3 A3 -| Test Mode Select

Test Data Output |- B4 A4 -| Test Data Input

+5V |- B5 A5 -| +5V

+5V |- B6 A6 -| Interrupt A

Interrupt B |- B7 A7 -| Interrupt C

Interrupt D |- B8 A8 -| +5V

PRSNT1# |- B9 A9 -| Reserved

Reserved |- B10 A10 -| +V I/O

PRSNT2# |- B11 A11 -| Reserved

:------:------:

:------:------:

Reserved |- B14 A14 -| Reserved

Ground |- B15 A15 -| Reset

Clock |- B16 A16 -| +V I/O

Ground |- B17 A17 -| Grant

Request |- B18 A18 -| Ground

+V I/O |- B19 A19 -| Reserved

Address 31 |- B20 A20 -| Address 30

Address 29 |- B21 A21 -| +3.3V

Ground |- B22 A22 -| Address 28

Address 27 |- B23 A23 -| Address 26

Address 25 |- B24 A24 -| Ground

+3.3V |- B25 A25 -| Address 24

C/BE 3 |- B26 A26 -| Init Device Select

Address 23 |- B27 A27 -| +3.3V

Ground |- B28 A28 -| Address 22

Address 21 |- B29 A29 -| Address 20

Address 19 |- B30 A30 -| Ground

+3.3V |- B31 A31 -| Address 18

Address 17 |- B32 A32 -| Address 16

C/BE 2 |- B33 A33 -| +3.3V

Ground |- B34 A34 -| Cycle Frame

Initiator Ready |- B35 A35 -| Ground

+3.3V |- B36 A36 -| Target Ready

Device Select |- B37 A37 -| Ground

Ground |- B38 A38 -| Stop

Lock |- B39 A39 -| +3.3V

Parity Error |- B40 A40 -| Snoop Done

+3.3V |- B41 A41 -| Snoop Backoff

System Error |- B42 A42 -| Ground

+3.3V |- B43 A43 -| PAR

C/BE 1 |- B44 A44 -| Address 15

Address 14 |- B45 A45 -| +3.3V

Ground |- B46 A46 -| Address 13

Address 12 |- B47 A47 -| Address 11

Address 10 |- B48 A48 -| Ground

Ground |- B49 A49 -| Address 9

:------:------:

:------:------:

Address 8 |- B52 A52 -| C/BE 0

Address 7 |- B53 A53 -| +3.3V

+3.3V |- B54 A54 -| Address 6

Address 5 |- B55 A55 -| Address 4

Address 3 |- B56 A56 -| Ground

Ground |- B57 A57 -| Address 2

Address 1 |- B58 A58 -| Address 0

+5 I/O |- B59 A59 -| +V I/O

Acknowledge 64-bit |- B60 A60 -| Request 64-bit

+5V |- B61 A61 -| +5V

+5V |- B62 A62 -| +5V

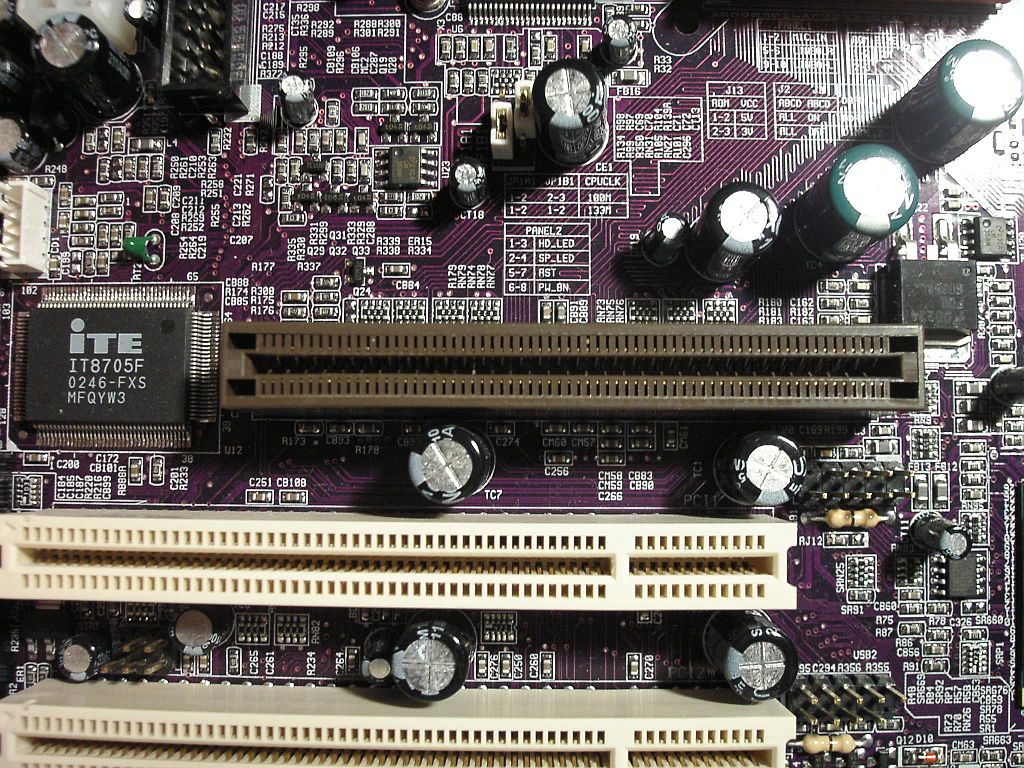
:------:------:

Accelerated Graphics Port

L'AGP è un bus basato su PCI 2.1 dedicato a periferiche dedicato alla gestione della componente grafica del sistema operativo.

Fu rilasciata nel 1996 da Intel per permettere ad una scheda di tipo AGP di accedere direttamente alla memoria fisica del sistema, potendo così gestire più facilemte texture e modelli poligonali complessi e voluminosi. A causa di errori di progettazione le prime versioni non funzionavano correttamente, il che a portato allo sviluppo di nuove versioni che hanno introdotto la possibilità eseguire più trasferimenti per ciclo di clock e quindi ad una maggiore velocità di trasferimento, raggiungendo i 2133 MB/s.

Nel 1999 venne presentato l'AGP Pro che, mantenendo la retrocompatibilità con AGP, ha risolto i problemi di alimentazione.



AGP

Peripheral Component Interconnect Express

Il PCIe è un bus seriale per computer utilizzato per permettere la comunicazione tra le componenti di un computer.

Progetto per sostiture PCI, PCI-X e AGP, si differenzia in particolarmente per il trasferimento dei dati seriale e non in parallelo come i predecessori. Ciò ha portato ad una semplificazione del layout del circuito stampato della scheda madre, l'aggregazione di più canali per aumentare la banda passante e la larghezza di banda indipendente di un canale rispetto all'altro.

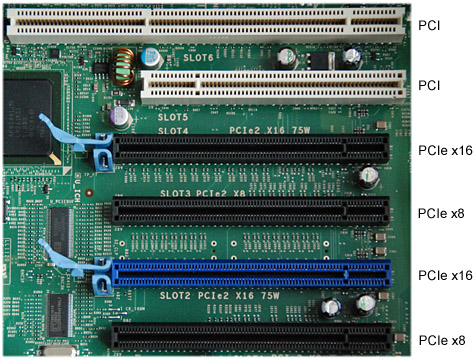
Dal giorno d'uscita sono giunte sul mercato tre versioni di PCIe, più una in arrivo per il 2017.

Il PCIe 1.0 venne progettato per sostenere il maggior fabbisogno energetico delle moderne periferiche. Presentato da Intel nel 2004, presenta una banda portante di 250 MB/s, un rapporto di trasferimento di 2,5 GT/s.

Il PCIe 2.0 introdotta nel 2007 portò il raddoppio del'ampiezza di banda ottenendo 5 Gb/s in 1x. La modalità 16x permette di ottenere una banda pari a 16 Gb/s.

Oltre alla banda è stata aumentata la frequenza fino a 250 Mhz. E' retrocompatibile e risolve i problemi dell'alimentazione limitata a 75 W.

Il PCIe 3.0 è stato prima annunciato nel 2007 e poi definito e commercializzato dal 2010-2011. Mantiene la retrocompatibilità, introduce un nuovo schema di codifica 128b/130b e l'ampiezza di banda raggiunge i 15.1754 Gb/s.



Confronto fra varie versioni di PCI

Sitografia

* [www.it.wikipedia.org](http://www.it.wikipedia.org/)
* [www.it.ccm.net](http://www.it.ccm.net/)
* [www.pcguide.com](http://www.pcguide.com/)
* [www.01net.it](http://www.01net.it/)