

UNIVERSIDAD NACIONAL DE CÓRDOBA  
Facultad de Ciencias Exactas, Físicas y Naturales



## **TRABAJO PRÁCTICO N° 1 DE ARQUITECTURA DE COMPUTADORAS**

**Implementación en FPGA de una ALU**

**Integrantes:**

**SORIANO, JUAN.**

**37.753.154**

**VIGNOLLES, IVAN.**

**36.407.987**

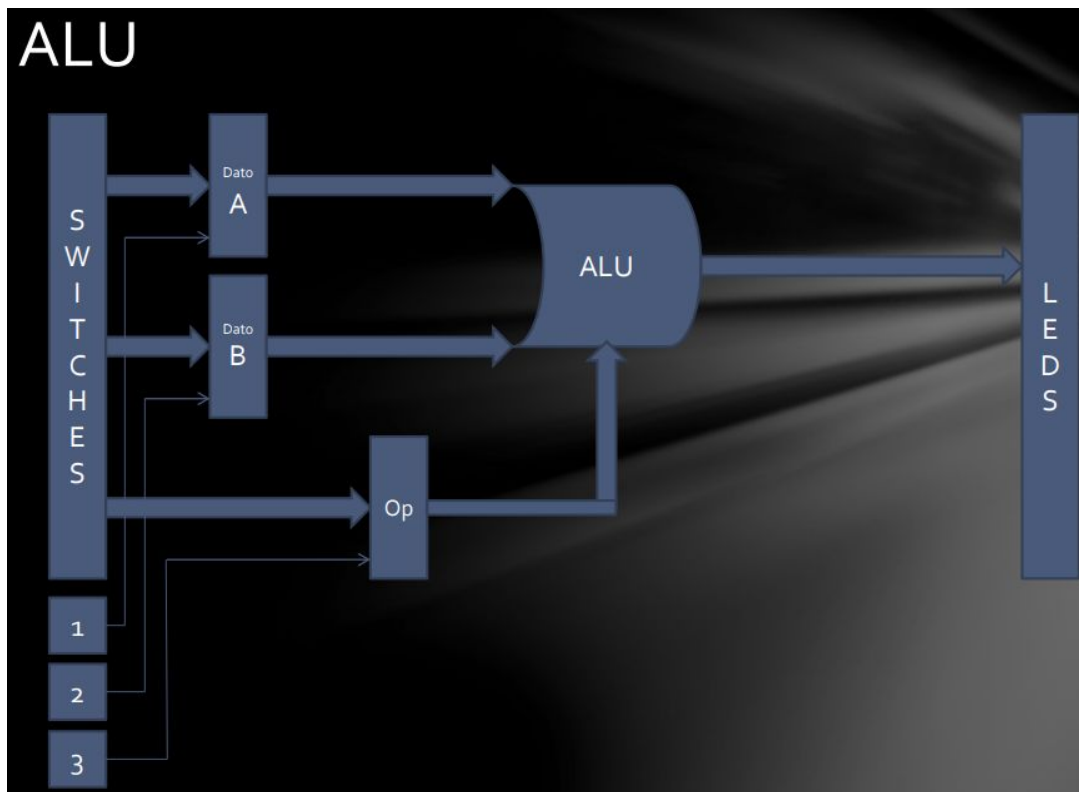
**DOCENTE: Rodriguez, Santiago**

# Introducción y objetivos

En lenguaje de descripción de hardware Verilog, se implementó una ALU con el siguiente conjunto de instrucciones aritméticas:

Operación	Código
ADD	100000
SUB	100010
AND	100100
OR	100101
XOR	100110
SRA	000011
SRL	000010
NOR	100111

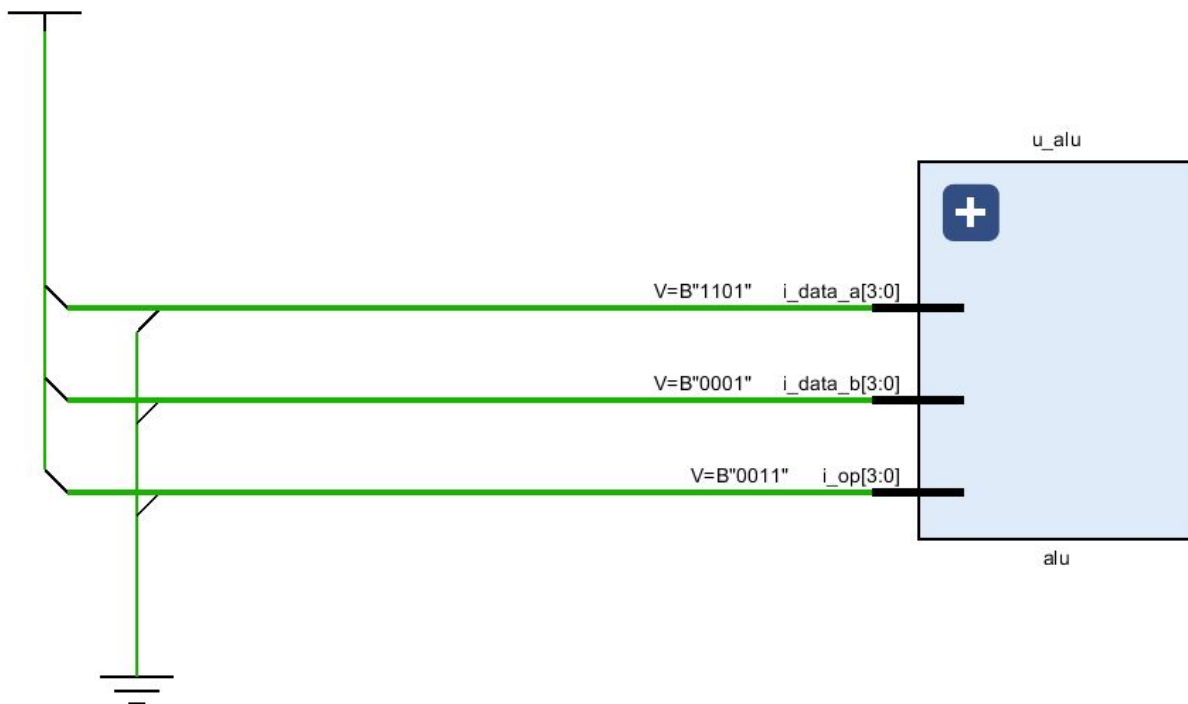
La unidad aritmética lógica debía ser puramente combinacional. A continuación se presenta un esquema de lo que se debió implementar:



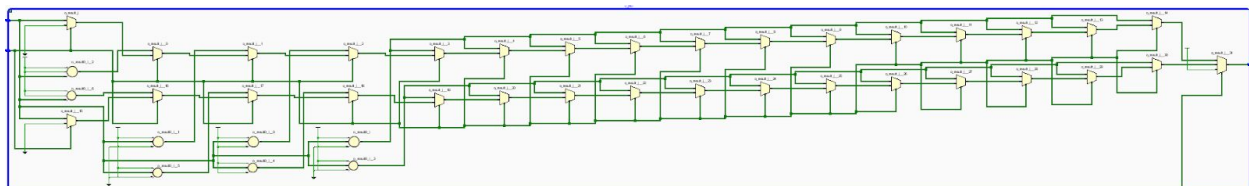
La ALU trabaja con 3 registros en el top level, el reg A que contiene el dato A, el reg B que contiene el dato B y el registro OP que contiene el código de operación. Utilizando los switches se ingresa el valor y se selecciona la entrada con los pulsadores 1, 2 o 3. La alu realiza la operación y se obtiene el resultado en los leds de la placa.

## Resultados

Utilizando una placa de desarrollo de Xilinx, Basys 3 y con la herramienta de desarrollo Vivado, se implementó el código de la ALU con su toplevel y fue probado implementando un simple testbench. A continuación se muestran los diagramas del RTL.



Top level



ALU

El código RTL de la implementación se encuentra disponible en github en el siguiente enlace: <https://github.com/SorianoJuan/ArqDeComputadoras/tree/master/TP1>

## **Conclusión**

Se pudo implementar sin mayores complicaciones una ALU puramente combinacional para el uso en los siguientes trabajos prácticos. La importancia de que la alu fuese puramente combinacional radica en que es portable a otros proyectos sin necesidad de adaptarla.