

UNIVERSIDAD NACIONAL DE CÓRDOBA
Facultad de Ciencias Exactas, Físicas y Naturales



TRABAJO PRÁCTICO N° 2 DE ARQUITECTURA DE COMPUTADORAS

**Implementación un módulo de comunicación
UART en FPGA**

Integrantes:

SORIANO, JUAN.

37.753.154

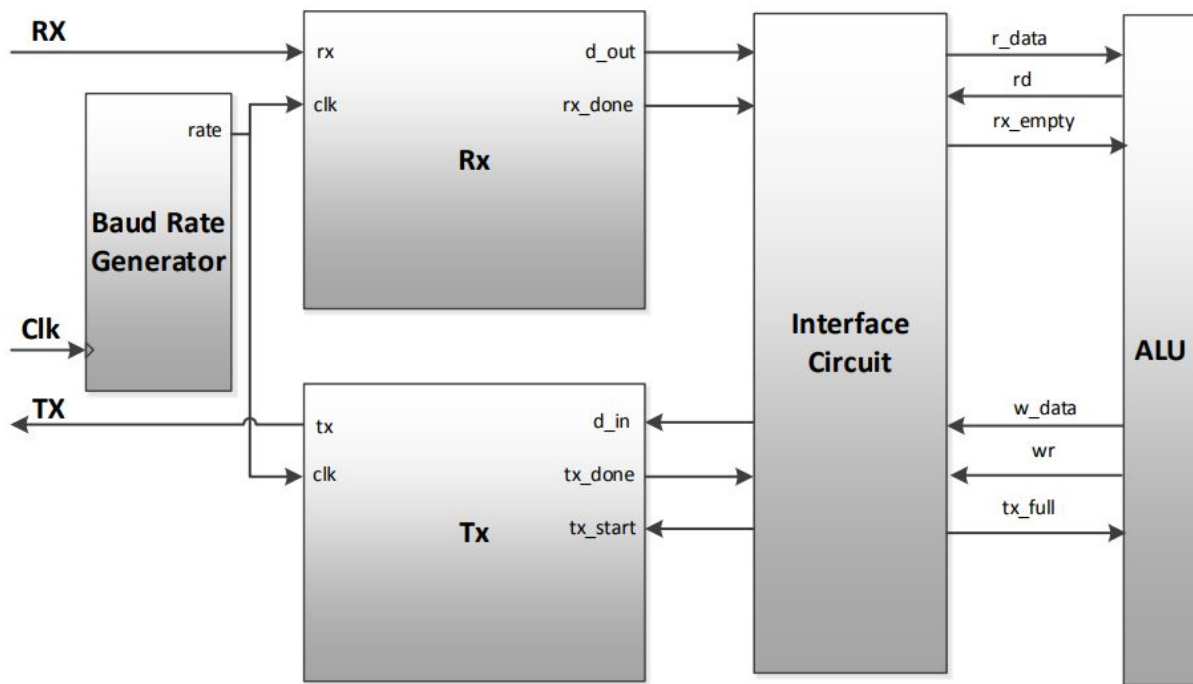
VIGNOLLES, IVAN.

36.407.987

DOCENTE: Rodriguez, Santiago

Introducción y objetivos

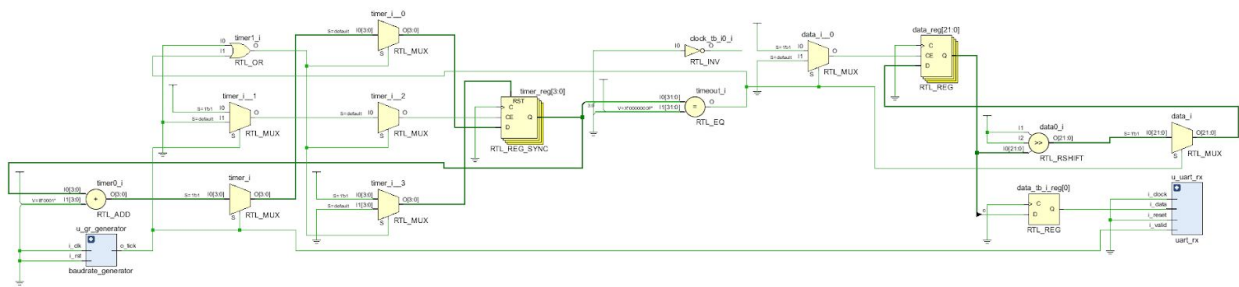
En lenguaje de descripción de hardware Verilog, se implementó un módulo de comunicación UART, tanto transmisor como receptor. A continuación se presenta el diagrama de bloques de lo implementado.



El módulo debía ser capaz tanto de realizar una transmisión como de recibir datos, comunicándose con una computadora. El objetivo era enviar los operandos y el código de operación desde una computadora, que la alu realizara la operación y devolviera el resultado. Además, se debía medir la trama utilizando un osciloscopio.

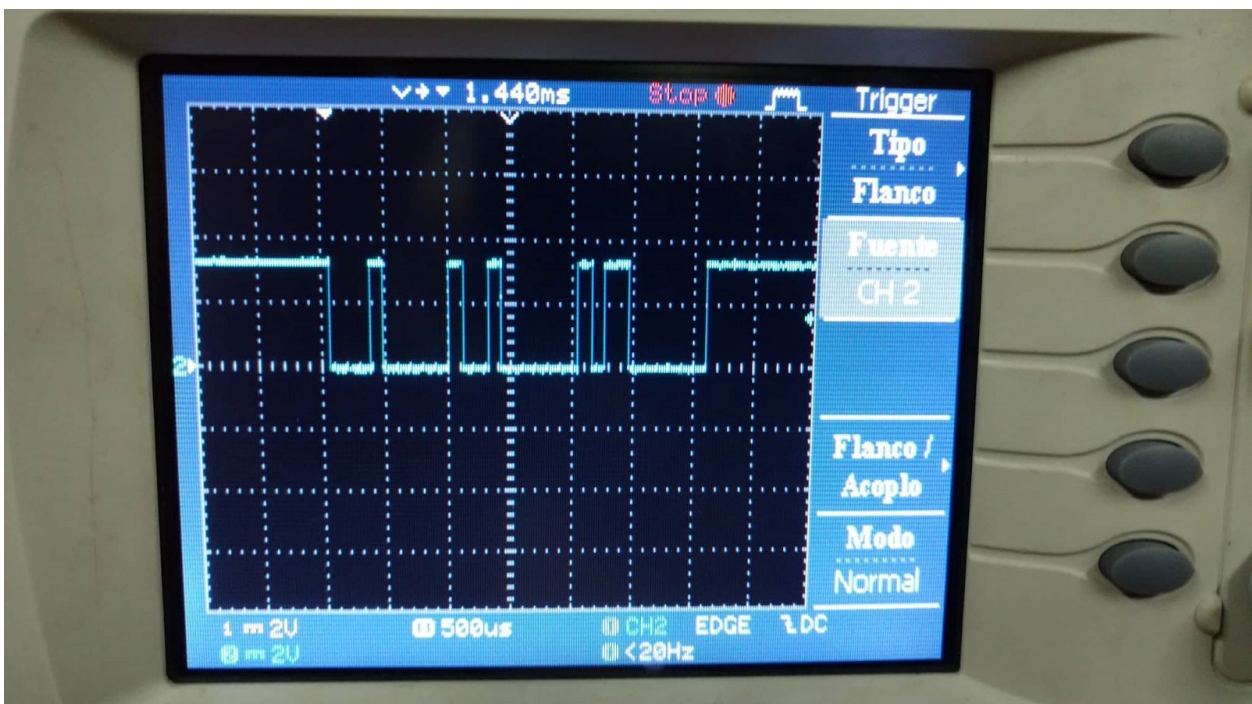
Resultados

Se implementaron los módulos UART tanto de transmisor como de receptor utilizando una lógica de máquinas de estado. En cada caso se tenían estados de IDLE, de START, de DATA y de STOP, en los cuales se formaba la trama en el caso del transmisor o se leían los datos que ingresaban al receptor, todo basándose en el estándar. Además, el módulo contaba con un chequeo de paridad. A continuación se presenta un diagrama del RTL de un banco de prueba.

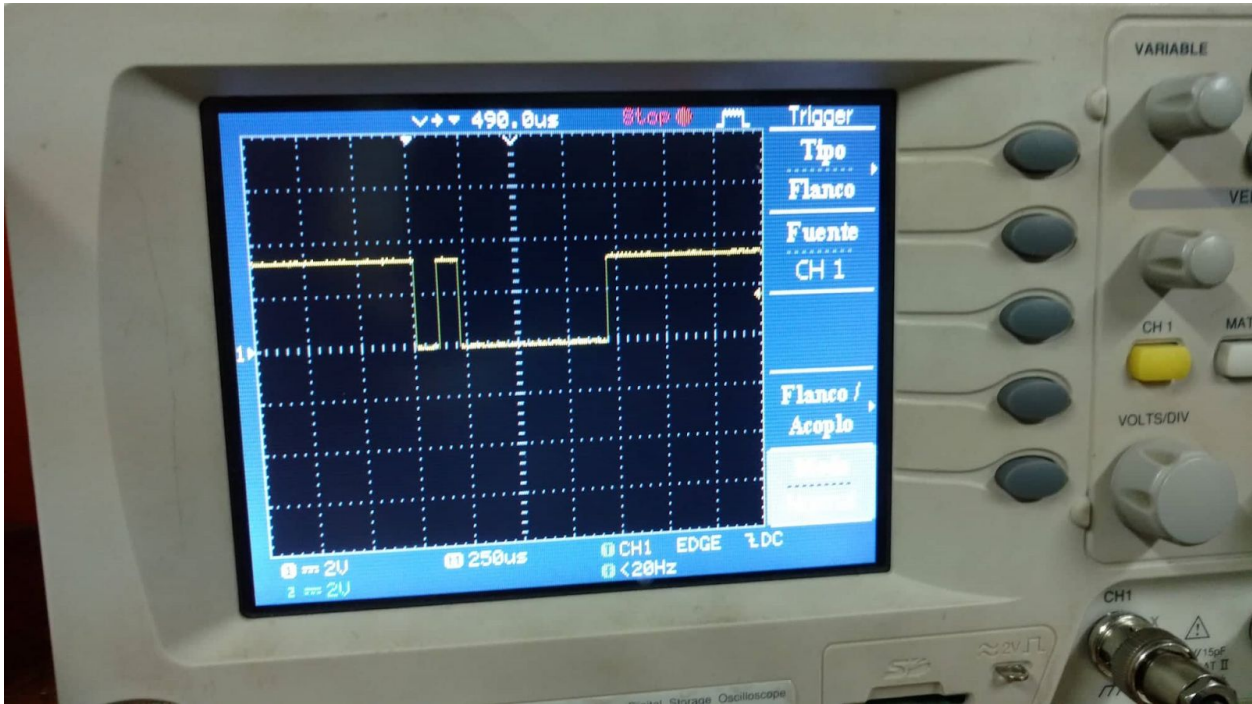


Utilizando una placa de desarrollo BASYS 3, se implementó el hardware diseñado y se pudo tanto enviar como recibir exitosamente.

Trabajando a 9600 baudios, para una operación de un shift sin signo hacia la derecha "4>>2", lo que se midió en el osciloscopio se presenta en la siguiente imagen, en donde se puede ver la trama tanto de envío como de recepción.



Trama desde la computadora hacia la FPGA



Trama desde la FPGA hacia la computadora.

En la primera trama se puede ver que se envía el “4”, seguido del “2” seguido del código de operación correspondiente para el shifteo “0x03”. En la segunda trama se puede ver el resultado obtenido que es un “1”.

El código RTL de esta implementación se encuentra disponible en el siguiente enlace: <https://github.com/SorianoJuan/ArqDeComputadoras/tree/master/TP2>.

Conclusión

Se pudo implementar un transmisor y un receptor de UART en la placa y tener comunicación exitosa con la computadora. Se trabajó con distintos módulos lo cual permitió dividir las tareas fácilmente. El correcto funcionamiento del UART con la ALU, permite integrar este trabajo práctico en otro que requiera mayor complejidad.