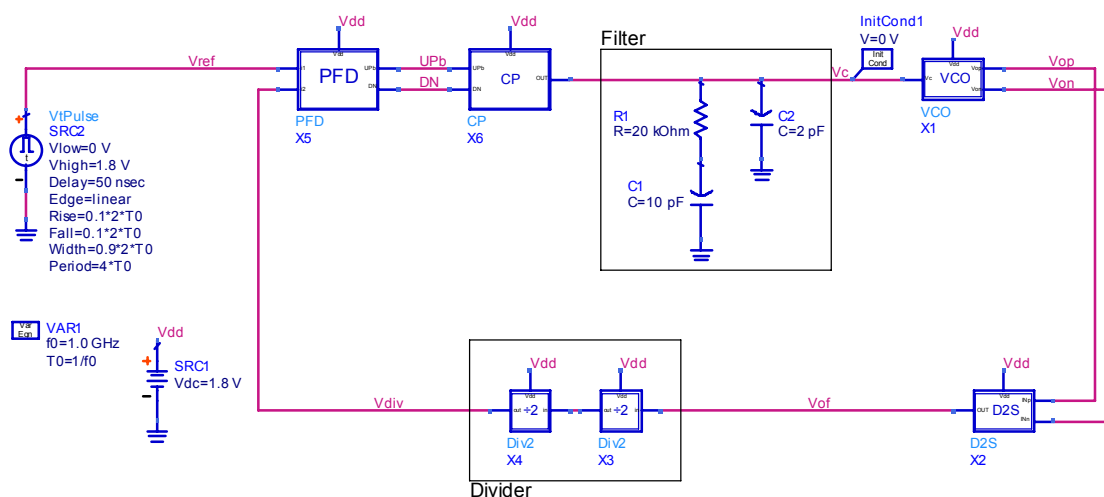


به نام خدا

تمرین شماره ۲، مدارهای مخابراتی

مهلت تحویل: تا قبل از شروع امتحانات

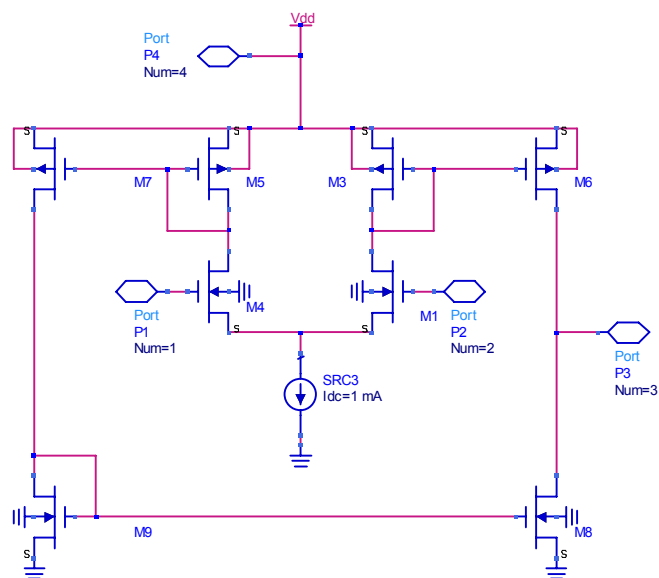
هدف این پروژه طراحی یک PLL با ساختار نشان داده شده در شکل زیر در فرکانس 1 GHz می‌باشد. طراحی و شبیه‌سازی را در تکنولوژی 0.18 μm CMOS RF انجام دهید.



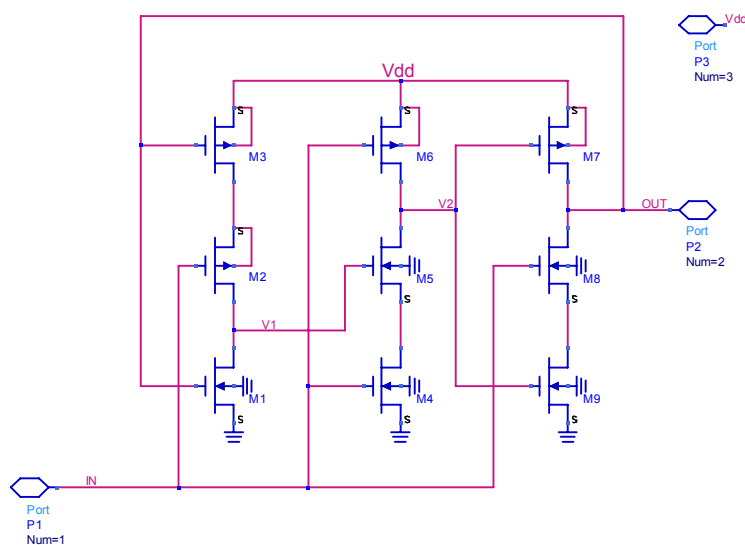
- $f_{out} = 950\text{MHz} - 1050\text{MHz}$
- $f_{in} = f_{out} / 4$
- $V_{DD} = 1.8\text{ V}$

۱) مدار VCO طراحی شده در تمرین اول را به عنوان VCO در این PLL استفاده کنید. در صورت طراحی درست، این VCO دارای فرکانس مرکزی 1GHz می‌باشد و با تغییر ولتاژ ورودی آن، میتوان فرکانس را از کمتر از 950MHz تا بیش از 1050MHz تغییر داد.

۲) مدار D2S (Differential to Single ended) خروجی تفاضلی VCO را به خروجی تک سر با سوئینگ کامل تبدیل میکند. شماتیک این مدار در زیر نشان داده شده است. این مدار در اصل یک Opamp تک خروجی یک طبقه با آینه جریان می باشد. مدار زیر را طوری طراحی کنید (ابعاد ترانزیستورها را بیابید) که سیگنال خروجی VCO را به یک سیگنال تقریباً مربعی تک سر تبدیل کند و آنرا شبیه سازی نمایید.

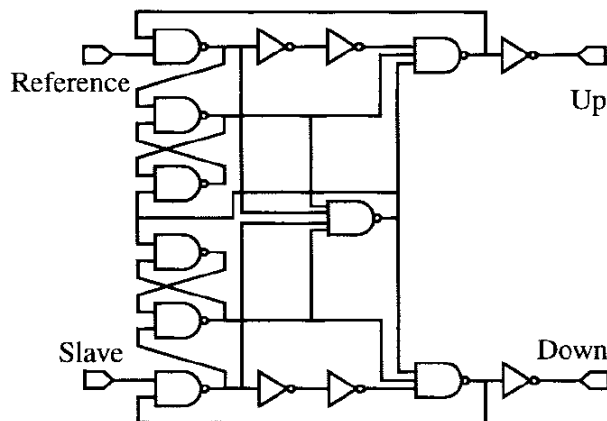


۳) مدار تقسیم کننده استفاده شده، از دو مدار تقسیم به ۲ تشکیل شده است که در مجموع فرکانس سیگنال را بر ۴ تقسیم میکند. شماتیک یک مدار تقسیم به ۲ در زیر نشان داده شده است.

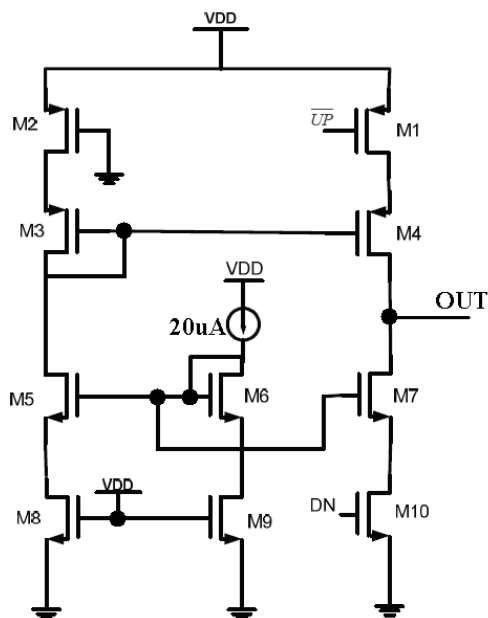


این مدار را طراحی کرده و برای شبیه سازی آن از سیگنال خروجی D2S استفاده نمایید.

۴) مدار PFD (Phase Frequency Detector) علاوه بر آشکارسازی اختلاف فاز، اختلاف فرکانسی را نیز تشخیص میدهد. شکل زیر یک نمونه متداول آن را نمایش می دهد.



خروجی این مدار، مدار CP (Charge Pump) را تغذیه میکند (ترانزیستورهای NMOS را هم اندازه و PMOS را نیز هم اندازه در نظر بگیرید).

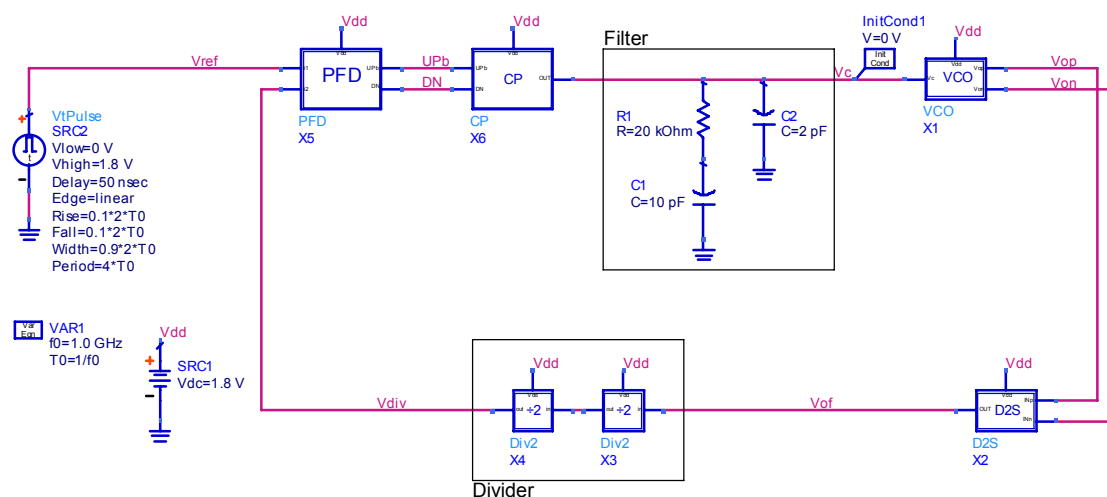


این مدار خروجی‌های UP و DN از PFD را به جریان‌های $+20\mu A$ و $-20\mu A$ تبدیل میکند. این جریان خروجی به فیلتر حلقه وارد شده و ولتاژ کنترل VCO را ایجاد می‌نماید. ابتدا از عملکرد درست هر کدام از قسمت‌های فوق با استفاده از شبیه‌سازی اطمینان حاصل کنید.

تمرین اضافی ۱: نمودار ولتاژ خروجی فیلتر بر حسب اختلاف فاز ورودی را با استفاده از شبیه سازی رسم نمایید. برای این کار، دو سیگنال مربعی با فرکانس 250MHz به دو ورودی PFD متصل نمایید. سپس با استفاده از تحلیل Tran ولتاژ خروجی فیلتر را اندازه گیری کنید. با استفاده از Sweep، تاخیر یکی از منابع را از 0 تا 360 درجه تغییر دهید و نمودار ولتاژ خروجی فیلتر را بر حسب آن بدست آورید.

تمرین اضافی ۲: این بار نمودار ولتاژ خروجی را بر حسب اختلاف فرکانس رسم نمایید. فرکانس مرجع را 250MHz در نظر بگیرید و فرکانس دوم را از 100MHz تا 400MHz سوئپ نمایید.

۵) مدار کل PLL نشان داده شده در زیر را با استفاده از تحلیل Tran شبیه سازی نمایید. از یک تاخیر 50ns در فرکانس مرجع ورودی استفاده نمایید تا اسیلاتور فرصت کافی برای Startup داشته باشد. همچنین برای دیدن حالت گذرای مدار، مقدار ولتاژ اولیه کنترل را برابر صفر قرار دهید (InitCond1 را در شکل مشاهده نمایید). مدار را در سه حالت برای فرکانس خروجی 950MHz، 1000MHz و 1050MHz شبیه سازی نمایید و ولتاژ V_c و فرکانس خروجی را رسم نمایید (برای رسم فرکانس لحظه‌ای خروجی می‌توانید از دستور $\text{freq}=1/\text{cross}(V_{op}-V_{on},1,0)$ استفاده نمایید). با توجه به کند بودن حلقه، شبیه‌سازی را تا حداقل مدت 5us انجام دهید. همچنین باتوجه به بالا بودن فرکانس VCO حداکثر Step Time شبیه سازی را برابر 100ps قرار دهید (با این اعداد و با توجه به پیچیدگی مدار، شبیه سازی با استفاده از یک کامپیوتر معمولی ممکن است تا چند دقیقه طول بکشد!).



تمرین اضافی ۳: مدار نهایی PLL را به صورت شکل بلوکی طراحی و شبیه سازی نمایید (در حالت عادی می‌توان محتوای تمامی بلوک‌ها را در یک صفحه قرار داد که باعث شلوغی بیش از حد مدار می‌شود). برای اینکار باید مدار ترانزیستوری هر بلوک را در فایل جداگانه قرار داد و ورودی و خروجی‌های آن را با استفاده از پورت مشخص نمود. سپس با استفاده از منوی "View->Create/Edit Schematic Symbol" شکل ظاهری آنرا طراحی نمود.

تمرین‌های اضافی حداکثر تا سقف 40% نمره پروژه خواهد بود ☺.

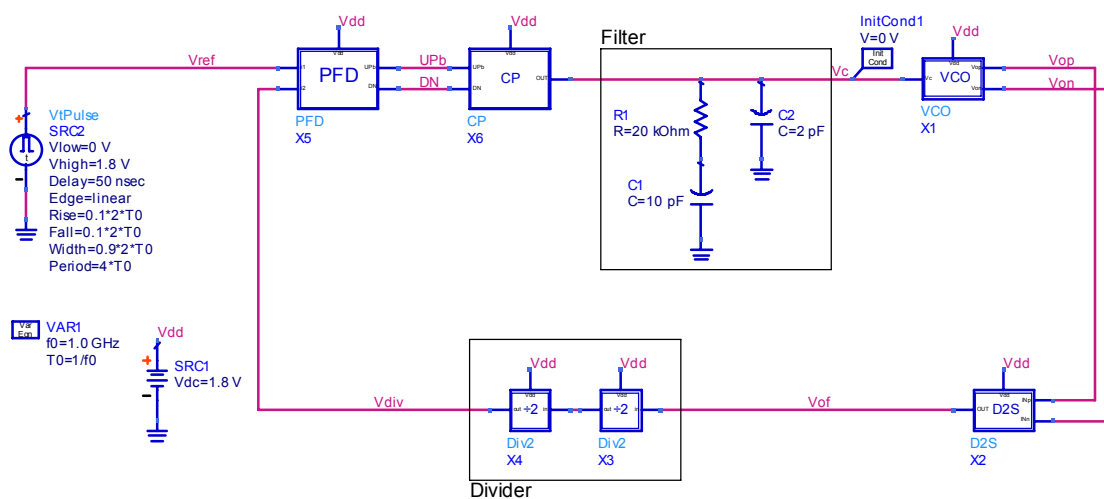
هشدار: در صورت هرگونه تقلب، به هیچکدام از طرفین نمره‌ای تعلق نخواهد گرفت.

تمام فایل‌های شبیه سازی به همراه گزارش کامل را ارسال نمایید.
در صورت ابهام در موارد، اطلاع داده می‌شود تا آنلاین توضیح دهید.

به نام خدا

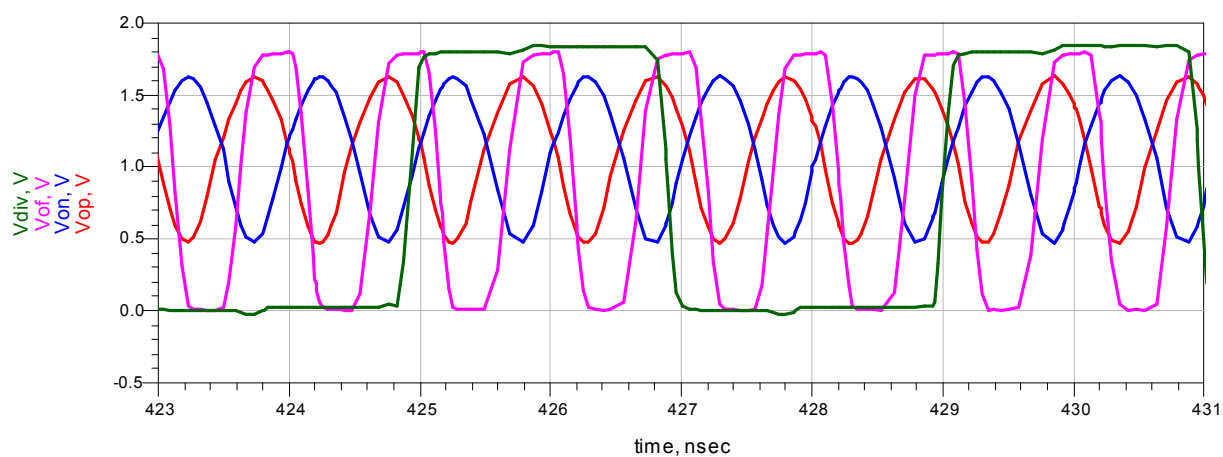
توضیحات اضافی تمرین شماره ۲، مدارهای مخابراتی

شکل موج‌های مدار:



- $f_{out} = 950\text{MHz} - 1050\text{MHz}$
- $f_m = f_{out} / 4$
- $V_{DD} = 1.8\text{ V}$

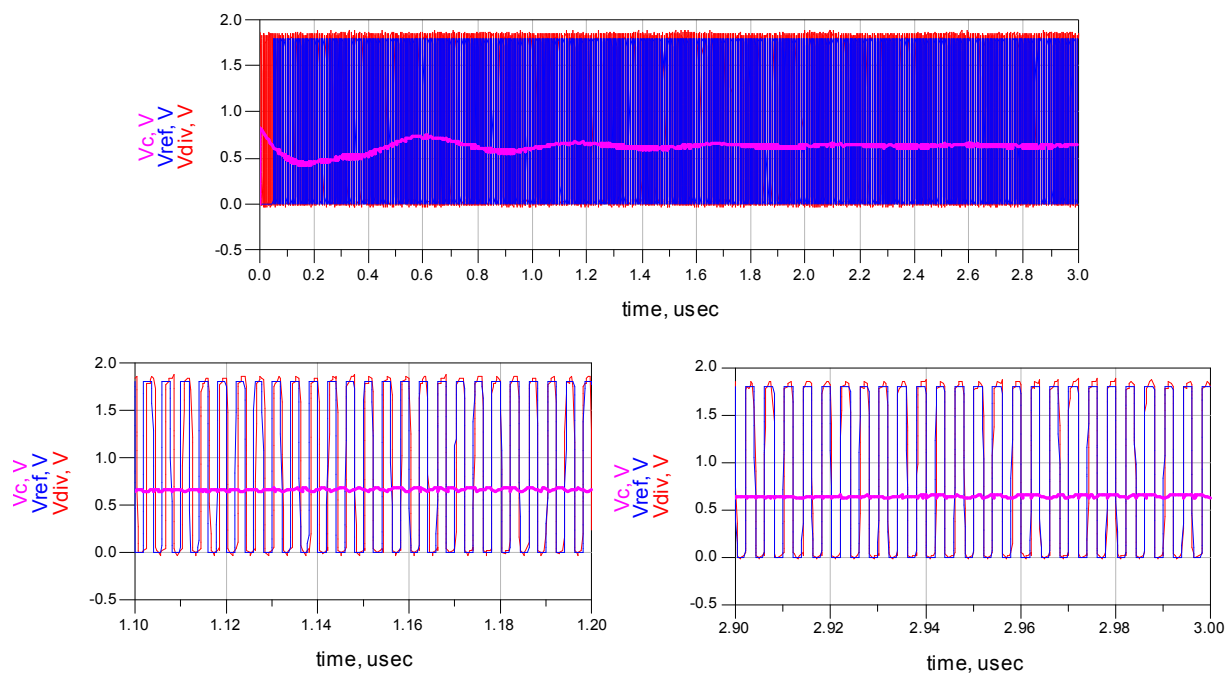
در زیر شکل موج های نمونه برای مدار فوق در فرکانس خروجی 1GHz نشان داده شده است.



خروجی مدار D2S همانطور که در شکل دیده می‌شود، دارای سوئینگ کامل (0V تا 1.8V) می‌باشد و دارای لبه‌های بالا رونده و پایین رونده تقریباً تیزی می‌باشد.

خروجی تقسیم بر ۴ نیز سیگنالی مربعی با فرکانس ۱/۴ می‌باشد.

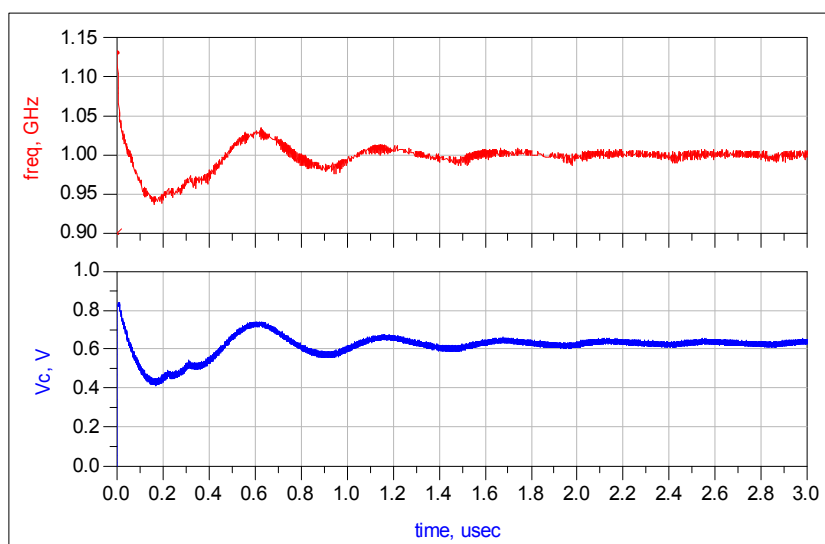
در شکل زیر دو سیگنال ورودی PFD نمایش داده شده است.



این دو سیگنال هم فرکانس بوده و در صورت عملکرد صحیح PLL و قفل حلقه، در انتها این دو سیگنال هم فاز خواهند شد.

$$\text{Eqn } \text{freq} = 1/\text{cross}(\text{Vo}, 1, 0)$$

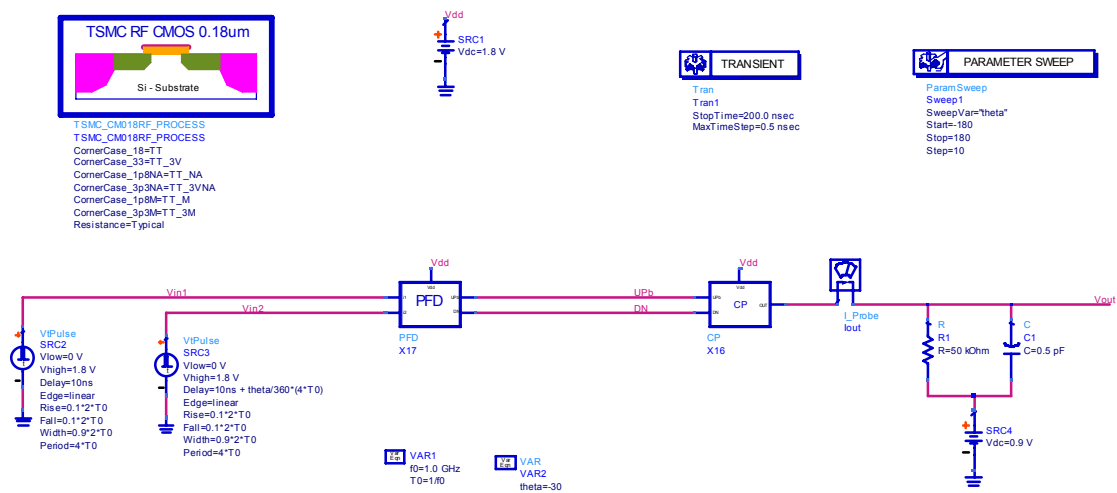
$$\text{Eqn } \text{Vo} = \text{Vop} - \text{Von}$$



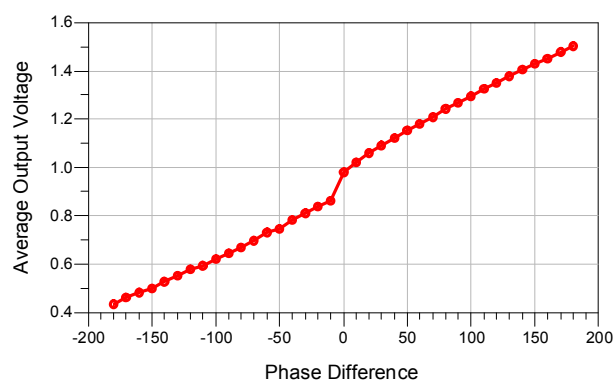
در صورت طراحی صحیح کلیه قطعات، شکل موج‌های V_c (ولتاژ کنترلی VCO) و فرکانس لحظه‌ای مدار مشابه شکل فوق می‌باشند. همانطور که در شکل مشخص است، فرکانس خروجی دارای نوساناتی می‌باشد. اما این نوسانات بایستی میرا باشد و پس از چند میکرو ثانیه به فرکانس خروجی مورد نظر همگرا شود.

تمرین اضافی ۱:

برای رسم مشخصه PFD می‌توان از ساختار زیر استفاده کرد. با سوئیپ کردن تاخیر یک ورودی می‌توان اختلاف فاز ۰ تا ۳۶۰ درجه ایجاد نمود.



نمودار مشخصه مشابه زیر می‌باشد.



تمرین اضافی ۲:

برای رسم مشخصه خروجی بر حسب اختلاف فرکانس ورودی نیز می‌توان از مدار زیر استفاده نمود.

