

توضیحات اضافی تمرین شماره ۲، مدارهای مخابراتی

[illegible]

- $f_{out} = 950\text{MHz} - 1050\text{MHz}$
- $f_{in} = f_{out} / 4$
- $V_{DD} = 1.8\text{ V}$

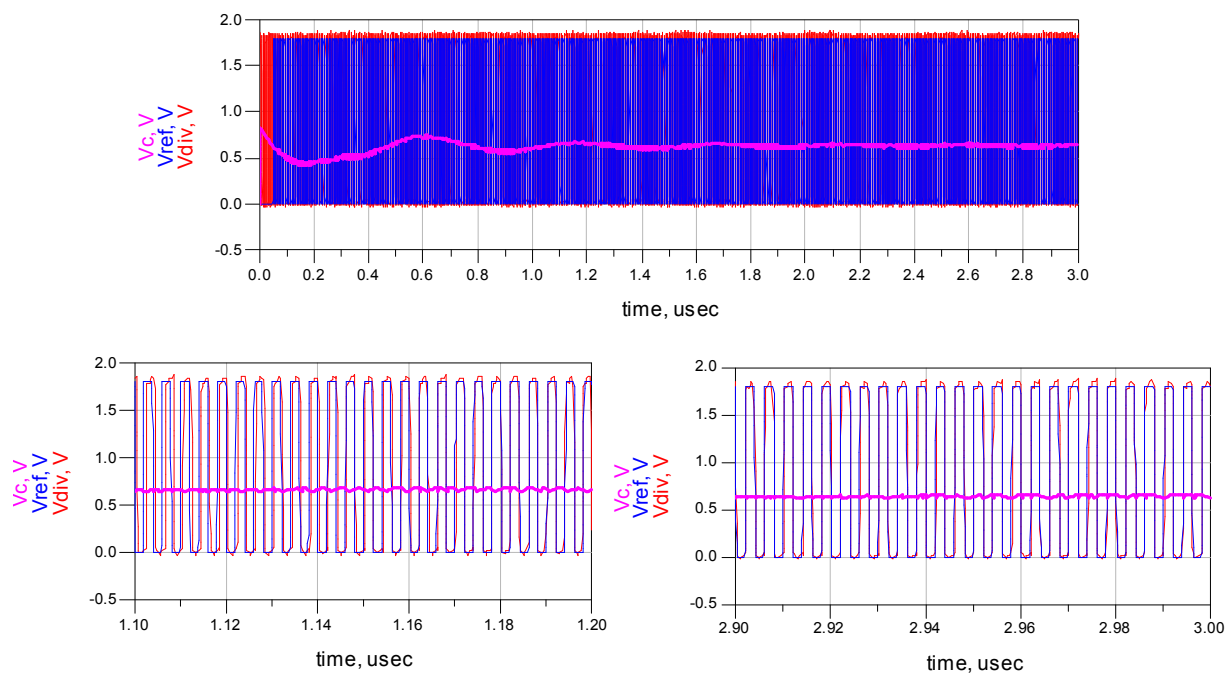
The timing diagram displays seven signals over a time interval from 423 to 431 nsec. The signals are:

- Vdiv, V** (Green): A square wave that transitions from 0V to approximately 1.8V at 425.0 nsec and back to 0V at 427.0 nsec.
- Vof, V** (Magenta): A periodic waveform that oscillates between 0V and approximately 1.8V.
- Von, V** (Blue): A periodic waveform that oscillates between approximately 0.5V and 1.6V.
- Vop, V** (Red): A periodic waveform that oscillates between approximately 0.5V and 1.6V, phase-shifted relative to Von, V.

خروجی مدار D2S همانطور که در شکل دیده می‌شود، دارای سوئیچینگ کامل (0V تا 1.8V) می‌باشد و دارای لبه‌های بالا رونده و پایین رونده تقریباً تیزی می‌باشد.

خروجی تقسیم بر ۴ نیز سیگنالی مربعی با فرکانس 1/4 می‌باشد.

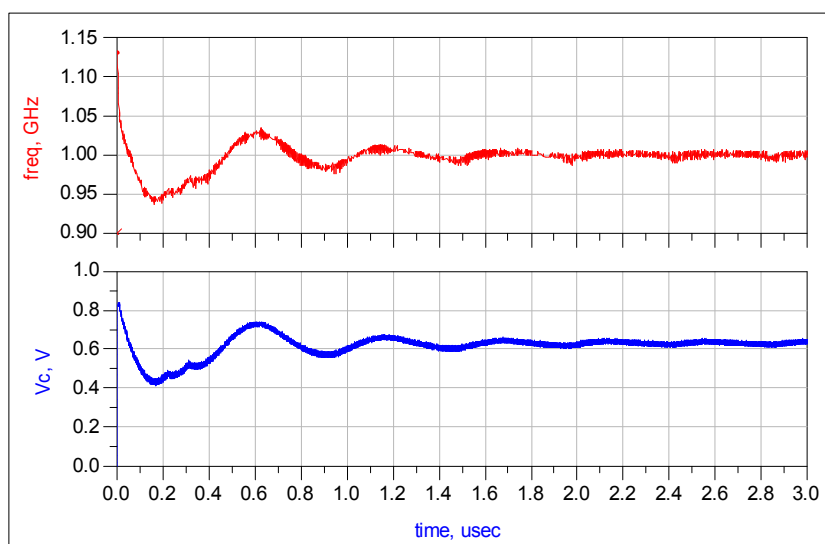
در شکل زیر دو سیگنال ورودی PFD نمایش داده شده است.



این دو سیگنال هم فرکانس بوده و در صورت عملکرد صحیح PLL و قفل حلقه، در انتها این دو سیگنال هم فاز خواهند شد.

$$\text{Eqn } \text{freq} = 1/\text{cross}(V_o, 1, 0)$$

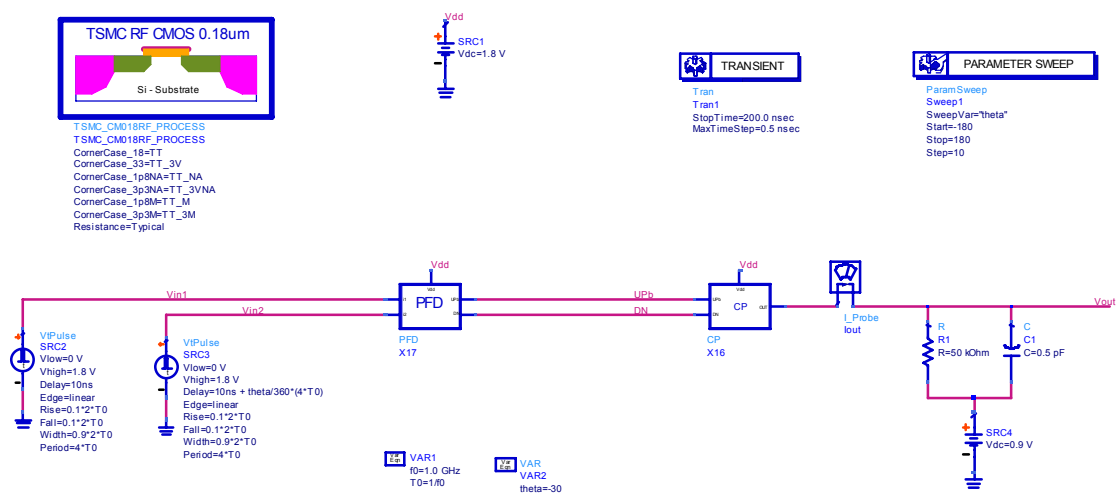
$$\text{Eqn } V_o = V_{op} - V_{on}$$



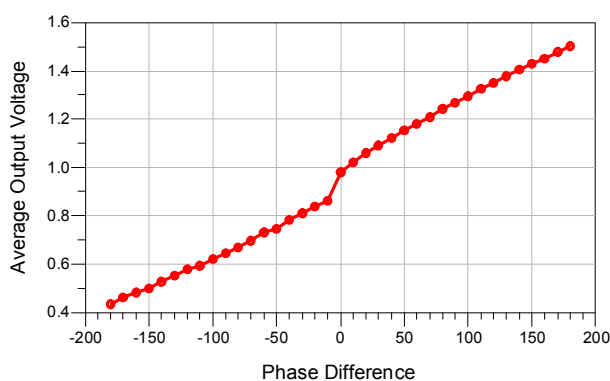
در صورت طراحی صحیح کلیه قطعات، شکل موج‌های V_c (ولتاژ کنترلی VCO) و فرکانس لحظه‌ای مدار مشابه شکل فوق می‌باشند. همانطور که در شکل مشخص است، فرکانس خروجی دارای نوساناتی می‌باشد. اما این نوسانات بایستی میرا باشد و پس از چند میکرو ثانیه به فرکانس خروجی مورد نظر همگرا شود.

تمرین اضافی ۱:

برای رسم مشخصه PFD می‌توان از ساختار زیر استفاده کرد. با سوئیپ کردن تاخیر یک ورودی می‌توان اختلاف فاز ۰ تا ۳۶۰ درجه ایجاد نمود.



نمودار مشخصه مشابه زیر می‌باشد.



تمرین اضافی ۲:

برای رسم مشخصه خروجی بر حسب اختلاف فرکانس ورودی نیز می‌توان از مدار زیر استفاده نمود.

