

多周期CPU设计与实现

薛睿、仇洁婷、郑海刚



实验目的



理解多周期CPU工作过程；

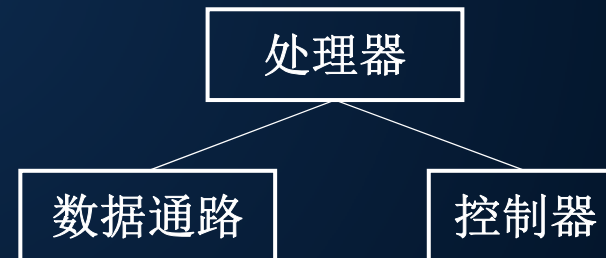
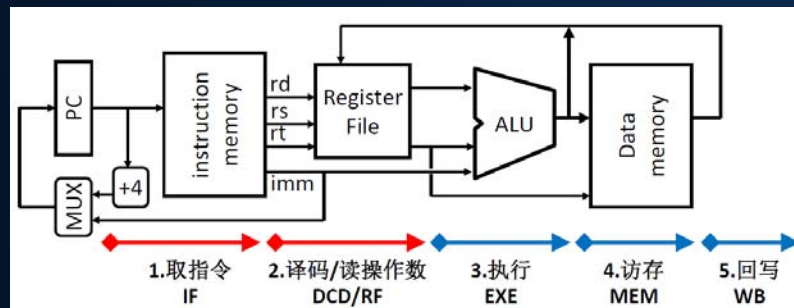
理解指令存储器和数据存储器的哈佛结构存储；

熟悉MIPS指令集；

掌握多周期CPU设计与实现方法。

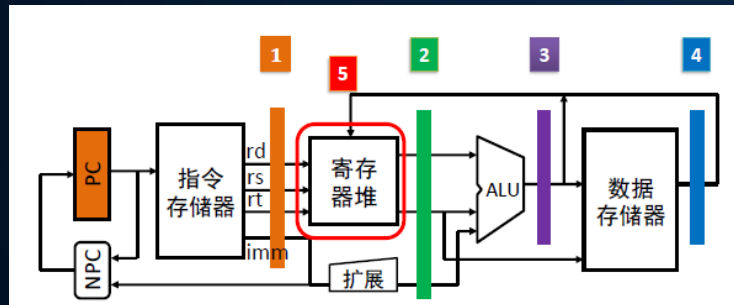
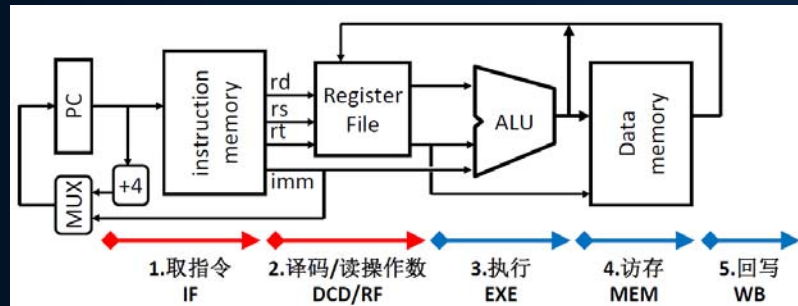
实验原理-多周期CPU设计

将指令执行过程划分成若干个阶段，每个阶段的时长为一个时钟周期，由于各个阶段的时间延迟显然比整个CPU操作的时钟延迟短，从而能够有效缩短时钟周期，提高时钟频率。

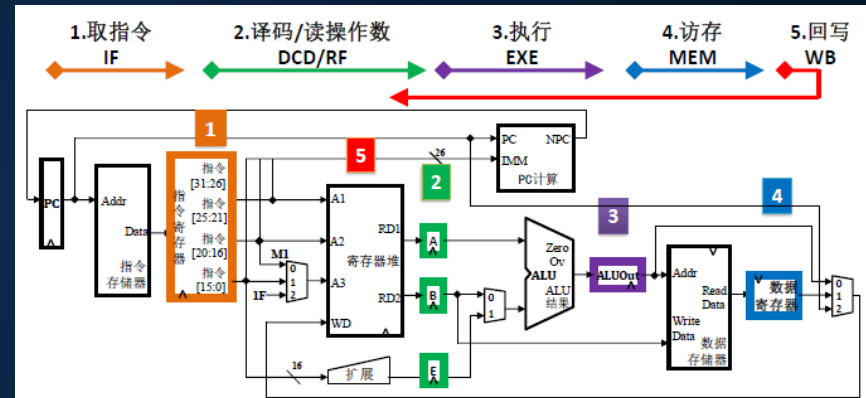


实验原理-构建多周期数据通路

1) 划分执行阶段



2) 添加寄存器

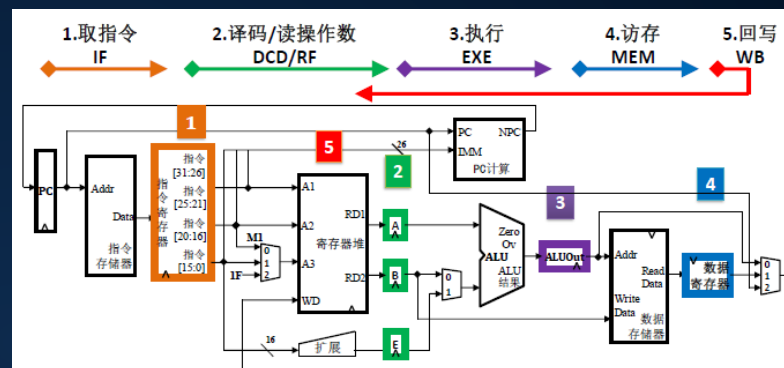


每个阶段的操作结果必须保持稳定。保持结果稳定的方法是将结果保存到时序部件（如寄存器、存储器）中

实验原理-构建多周期数据通路

➤ 添加寄存器

组合逻辑	插入的寄存器	用途
IM	IR	保存指令
RF (读)	A和B	保存2个寄存器值
扩展单元	C	保存32位扩展值
ALU	ALUOut	保存计算结果
DM (读)	DR	保存读出的数据

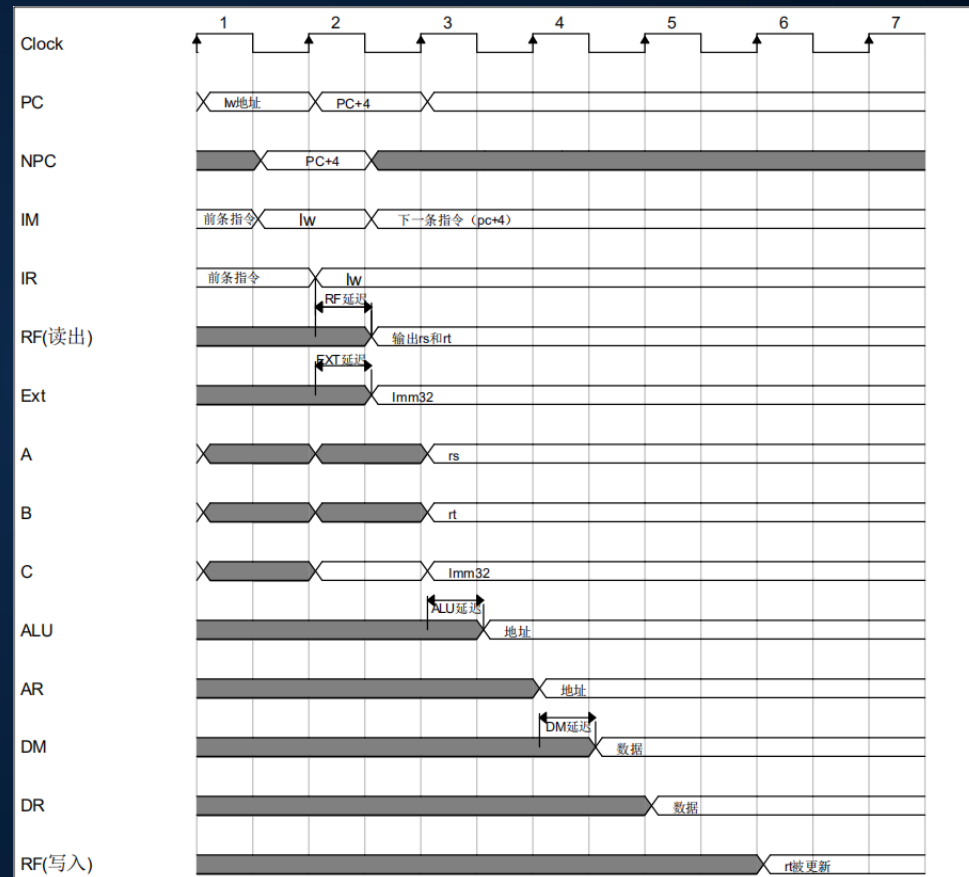


所属单元	取指单元						译码单元								执行单元		数据存储器	
部件	PC	NPC		IM (指令存储器)	IR		RF (寄存器堆)				A	B	S_EXT	E	ALU	ALUOut	DM (数据存储器)	DR
输入信号	DI	PC	Imm	RA (寄存器)	A		A1 (读出1)	A2 (读出2)	A3 (写入)	WD (写回值)					A	B	A	
addu	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]	IR[20:16]	IR[15:11]	ALUOut	RF, RD1	RF, RD2			A	B	ALU, C	
subu	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]	IR[20:16]	IR[15:11]	ALUOut	RF, RD1	RF, RD2			A	B	ALU, C	
jir	NPC, NPC	PC, DO		A	PC, DO	IM	IR[25:21]											
lui	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]		IR[20:16]	ALUOut			IR[15:0]		A	E	ALU, C	
ori	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]		IR[20:16]	ALUOut	RF, RD1		IR[15:0]	EXT, Ext	A	E	ALU, C	
lw	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]		IR[20:16]	DR	RF, RD1		IR[15:0]	EXT, Ext	A	E	ALU, C	ALUOut
sw	NPC, NPC	PC, DO			PC, DO	IM	IR[25:21]				RF, RD1		IR[15:0]	EXT, Ext	A	E	ALU, C	ALUOut
beq	NPC, NPC	PC, DO	IR[15:0]		PC, DO	IM	IR[25:21]	IR[20:16]			RF, RD1	RF, RD2			A	B		
jai	NPC, NPC	PC, DO	IR[25:0]		PC, DO	IM			0x1F	PC								
	NPC, NPC	PC, DO	IR[25:0]	A	PC, DO	IM	IR[25:21]	IR[20:16]	IM, D[15:11]	ALUOut	RF, RD1	RF, RD2	IR[15:0]	EXT, Ext	A	B	ALU, C	ALUOut
									IM, D[20:16]	DR								
									0x1F	PC						E		

实验原理-建模多周期控制器

lw指令的执行过程

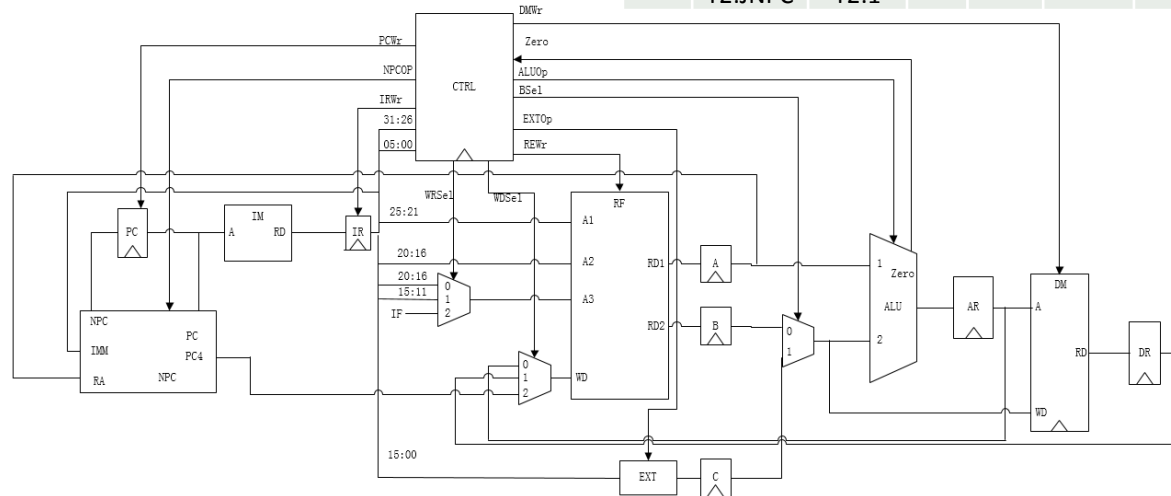
周期	步骤	语义	RTL	功能部件	控制信号
1	取指令	读取指令; 计算下一条指令地址	$IR \leftarrow IM[PC];$ $PC \leftarrow NPC(PC)$	IR NPC PC	$IRWr:1;$ $NPCOp:+4;$ $PCWr:1$
2	读操作数	基地址存入A; 偏移符号扩展	$A \leftarrow RF[rs]$ $E \leftarrow EXT(IR[15:0])$	EXT	$EXTOp:SE$
3	计算地址	执行加法, 结果存入ALUOut	$ALUOut \leftarrow ALU(A, E)$	ALU	$ALUOp:ADD$
4	读存储器	读取DM, 数据存入DR	$DR \leftarrow DM[ALUOut]$	DM	
5	回写	DR写入rt寄存器	$RF[rt] \leftarrow DR$	RF	$RFWr:1$



实验原理-建模多周期控制器

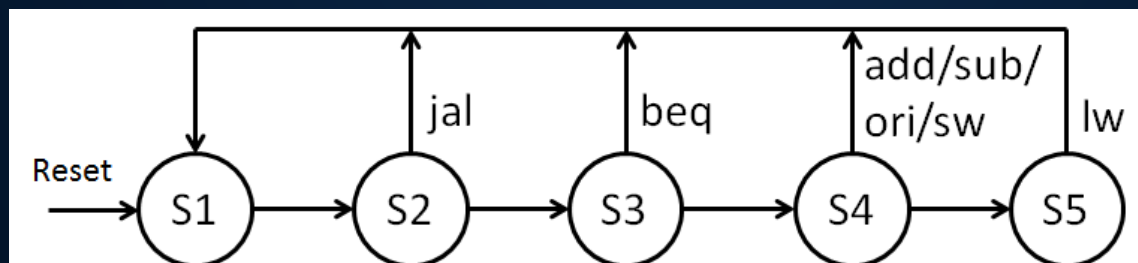
- PC、IR、RF、DM需要写使能
 - PCWr/IRWr/RFWr/DMWr
- A/B/E、ALUOut、DR不需要写使能

指令	NPCOp	PCWr	IRWr	RFWr	EXTOp	ALUOp	DMWr	MRFA3Sel	MRFWDSel	MALUBSel
addu	T1:+4	T1:1	T1:1	T4:1		T3:ADD		T4:RD	T4:AR	T3:B
subu	T1:+4	T1:1	T1:1	T4:1		T3:SUB		T4:RD	T4:AR	T3:B
lui	T1:+4	T1:1	T1:1	T4:1	T2:HE	T3:ADD		T4:RT	T4:AR	T3:E32
ori	T1:+4	T1:1	T1:1	T4:1	T2:UE	T3:OR		T4:RT	T4:AR	T3:E32
lw	T1:+4	T1:1	T1:1	T5:1	T2:SE	T3:ADD		T5:RT	T5:DR	T3:E32
sw	T1:+4	T1:1	T1:1		T2:SE	T3:ADD	T4:1			T3:E32
beq	T1:+4 T3:BNPC	T1:1 T3:Zero	T1:1			T3:SUB				T3:B
jal	T1:+4 T2:JNPC	T1:1 T2:1	T1:1	T2:1				T2:+31	T2:PC4	



实验步骤

- 1、建模多周期数据通路，添加寄存器，完成数据通路表。
- 2、逐条指令分析各阶段执行的功能，建模多周期控制器，完成控制信号取值表。
- 3、使用状态机描述一个指令周期中不同阶段的转换。并根据当前译码结果产生控制信号。
- 4、在单周期的代码基础上实现多周期CPU设计。



项目提交

- 单周期CPU设计提交：
 - 数据通路表、控制信号取值表、工程文件
- 多周期CPU设计提交：
 - 数据通路表、控制信号取值表、工程文件
- 实验报告提交：
 - 完成单周期CPU设计与实现的同学根据单周期设计的内容完成实验报告。
 - 完成多周期CPU设计与实现的同学根据多周期设计的内容完成实验报告。