**模拟SPI**

1. **模块详细设计说明**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 协议名称 | SPI | | | 模块代号 |  | | |
| 适用范围 | SPI通信 | | | 类型 | 流程 | | |
| 功能需求 | 模拟SPI共有四种模式，相比硬件的SPI来说，模拟的移植性强，可靠性高；为了传输数据实时稳定，应加入软件延时。 | | | | | | |
| 作者 | 韦剑祥 | 编写时间 |  | | | 修改人 |  |
| 修改时间 |  | 修改批准人 |  | | | 修改次数 |  |
| 相关表名 |  | | | | | | |
| 性能要求 | 实时、稳定的传输数据。 | | | | | | |
| 约束条件 | 1.主控MCU采用STM32G070KB（ARM-M0核），利用主控引脚模拟SPI的SCLK、MOSI、MISO、CS进行数据交换。  2.软件采用C语言模拟SPI, MISO、MOSI收发数据随着时钟的极性与相位的变化而变化，因此有四种模式；分别为奇边沿的下降沿与上升沿、偶边沿的下降沿与上升沿传输数据。  3.模拟SPI主机与从机之间的连接图： | | | | | | |
| SPI四种模式的时序图 | CPOL是用来决定SCK时钟信号空闲时的电平，CPOL＝0，空闲电平为低电平，CPOL＝1时，空闲电平 为高电平。CPHA是用来决定采样时刻的，CPHA=0，在每个周期的第一个时钟沿采样，CPHA＝1，在 每个周期的第二个时钟沿采样。 | | | | | | |
| 相关对象与接口 | 用到的接口函数如下：   1. 微妙延时函数，该函数的没有输入值和返回值，定时器5微妙延时。   void delay\_tim\_5us(void);   1. 模拟SPI的发送函数，无返回值。   void spi\_ReadWrite\_data(uint8\_t data);   1. 模拟SPI的接收函数，返回值rx\_data为主机发送的数据。   uint8\_t spi\_Read\_Data(void); | | | | | | |
| 备注 | 在选用模拟SPI时，主机与从机的时钟极性与相位要相对应。 | | | | | | |

1. 模拟SPI测试：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 项目/软件 | 模拟SPI测试 | | | 版本 | V1.0 | | |
| 作者 | 韦剑祥 | | | 功能模块名 |  | | |
| 用例编号 |  | | | 编制人 |  | | |
| 修改历史 |  | | | 编制时间 |  | | |
| 功能特性 |  | | | | | | |
| 测试目的 | 检验模拟SPI主机与从机之间通讯逻辑实现功能。 | | | | | | |
| 预置条件 | 在OLED屏与逻辑分析仪上跟踪代码检验逻辑传输是否正确。 | | | | | | |
| 测试数据 | 时钟极性与时钟相位都为0，数据在时钟的偶边沿的下降沿传输数据；该图为主机发送0x55。    时钟极性与时钟相位都为0，数据在时钟的偶边沿的下降沿传输数据；该图为从机接收0x55。      时钟极性为0、时钟相位为1，数据在时钟的奇边沿的上升沿传输数据；该图为主机发送0x55。    时钟极性为0、时钟相位为1，数据在时钟的奇边沿的上升沿传输数据；该图为从机接收0x55。    时钟极性为1、时钟相位为0，数据在时钟的偶边沿的上升沿传输数据；该图为主机发送0xAA。    时钟极性为1、时钟相位为0，数据在时钟的偶边沿的上升沿传输数据；该图为从机接收0xAA。    时钟极性为1、时钟相位为1，数据在时钟的奇边沿的下降沿传输数据；该图为主机发送0xAA。    时钟极性为1、时钟相位为1，数据在时钟的奇边沿的下降沿传输数据；该图为从机接收0xAA。 | | | | | | |
| 期望结果 | 主机与从机之间的接收与发送的数据要一致。 | | | | | | |
| 实际结果 | 主机的发送与从机的接收之间的时钟与数据相对应。 | | | | | | |
| 测试人员 | 韦剑祥、马灿林 | 开发人员 |  | | | 测试日期 |  |
| 项目/软件 |  | | | 版本 |  | | |
| 作者 | 韦剑祥 | | | 功能模块名 |  | | |
| 用例编号 |  | | | 编制人 |  | | |
| 修改历史 |  | | | 编制时间 |  | | |