



**《数字逻辑》**

**课程实验报告**

姓名： 苏一涵

学院：信息学院

系：软件工程系

专业： 软件工程

学号：36720232204041

2024年12月16日

**第8次实验 在Logisim和FPGA开发板上实现综合应用举例电路**

1. **实验环境**

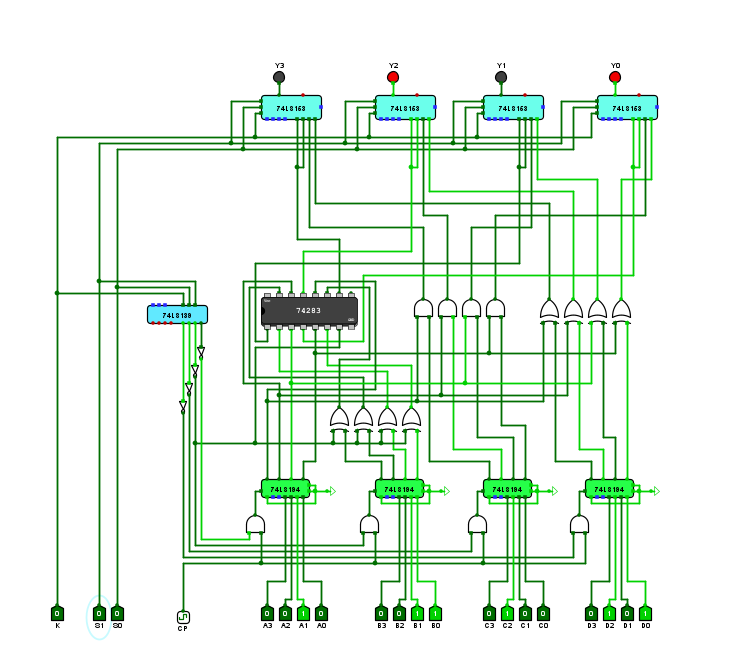
**（1）Vivado 软件（2019.2版本）。**

**（2）Logisim软件（需安装JDK）。**

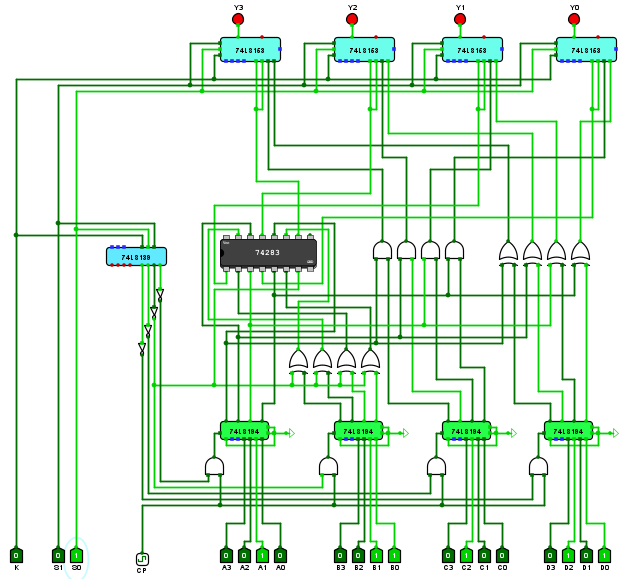
**（3）FPGA开发板（EGO1型号）。**

1. **实验内容**
   1. **课堂完成部分（验证实验的内容）**
2. **在Logisim上完成验证实验，将实验过程中的主要结果通过截屏（或拍照）的方式，拷贝到实验报告中，并给予适当的文字说明。**
   1. **在Logisim上实现简单运算器电路**

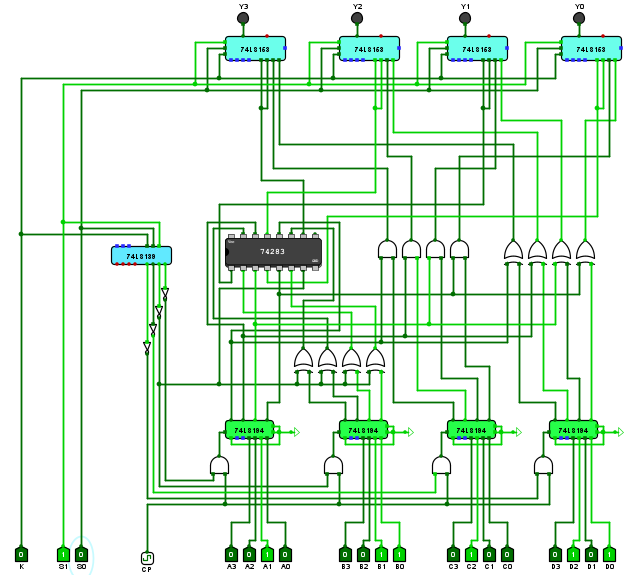
**（1）**



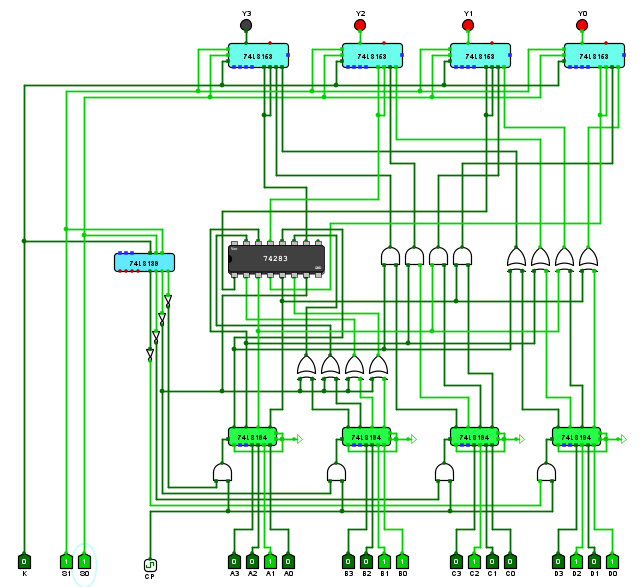
**（2）**



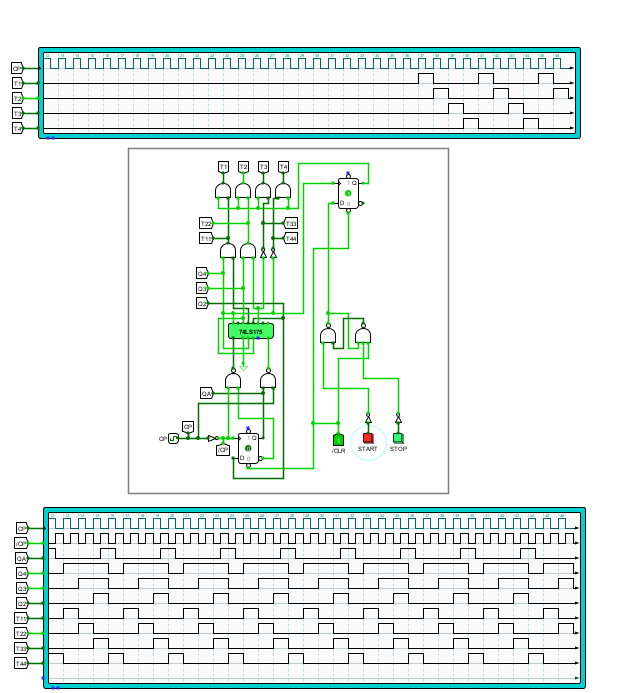
**（3）**

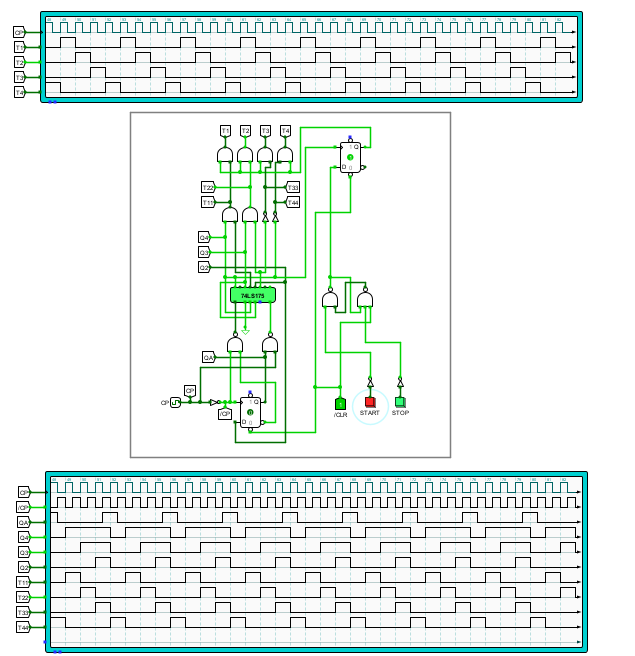


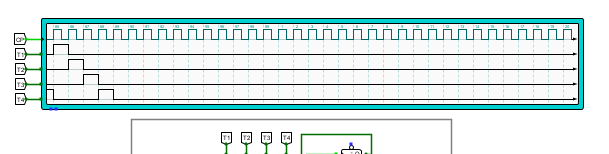
**（4）**



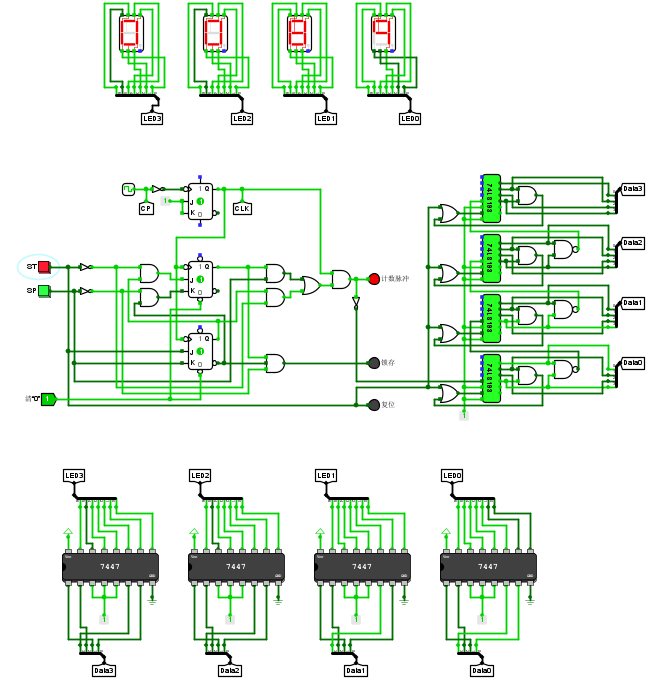
* 1. **在Logisim上实现时序信号发生器电路**

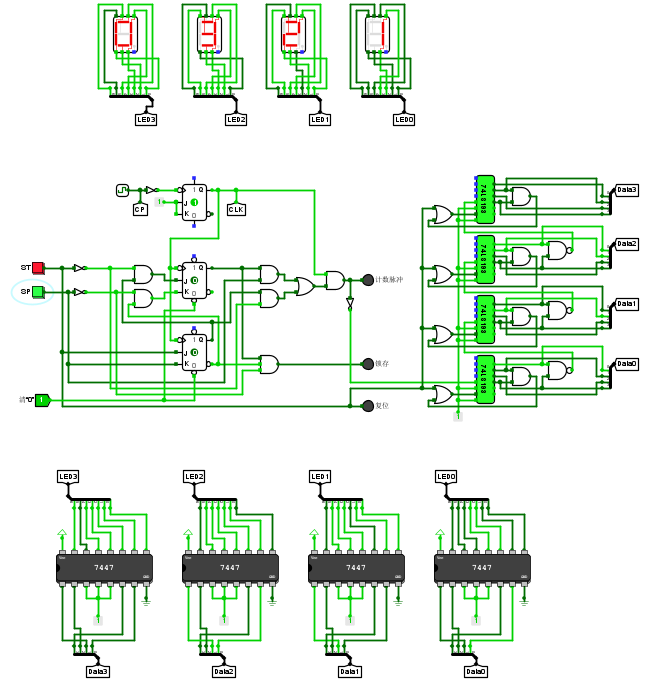


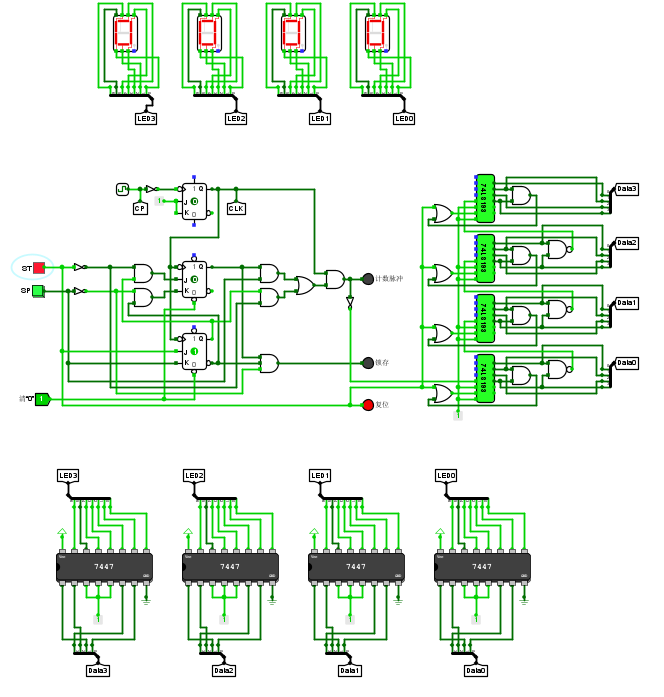


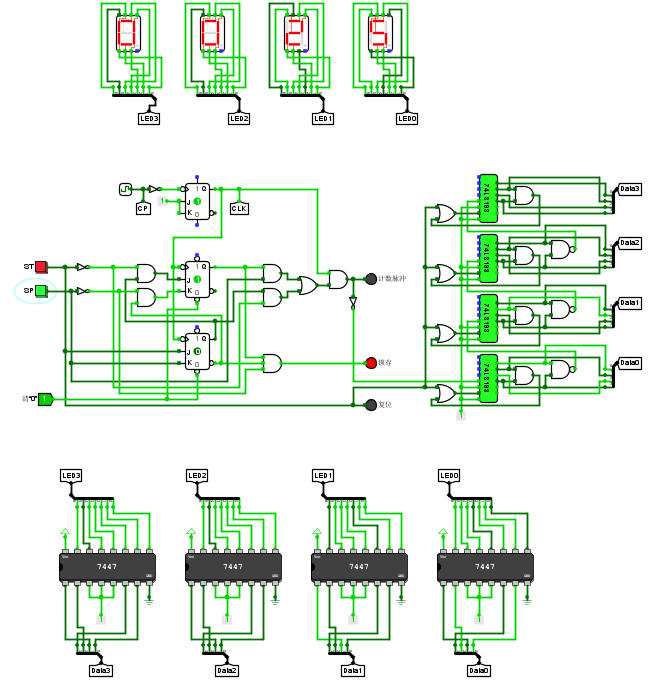


* 1. **在Logisim上实现弹道计时器电路**

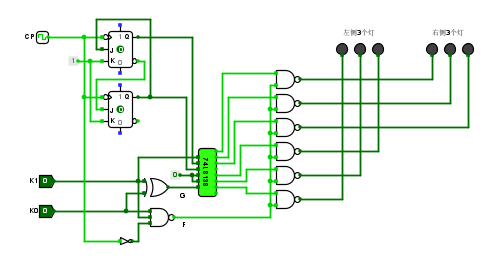


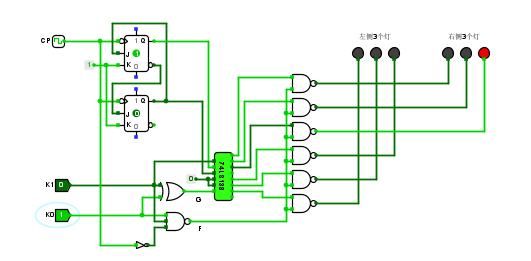


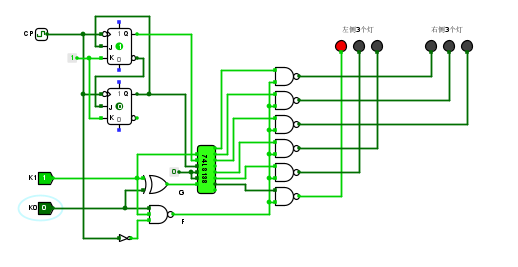


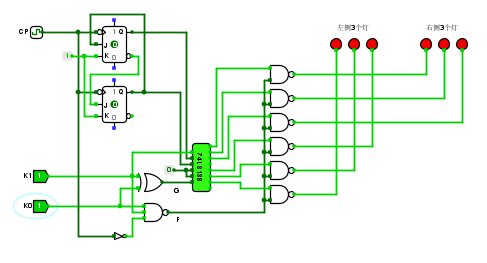


* 1. **在Logisim上实现汽车尾灯控制器电路**

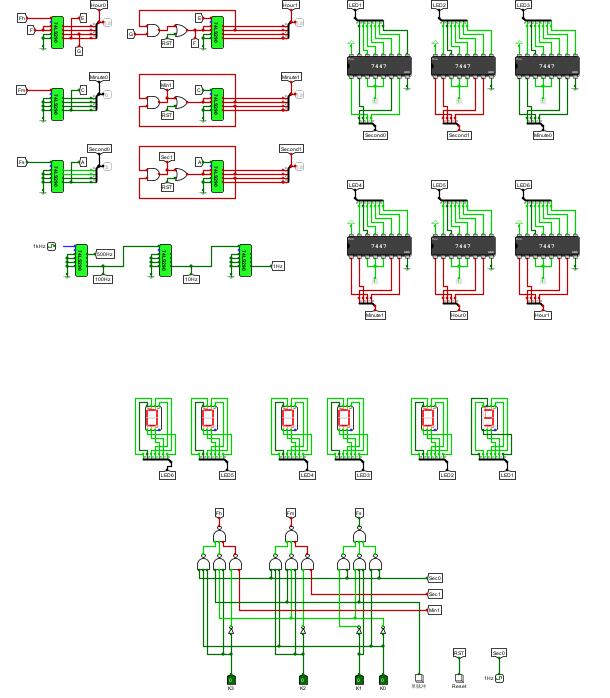


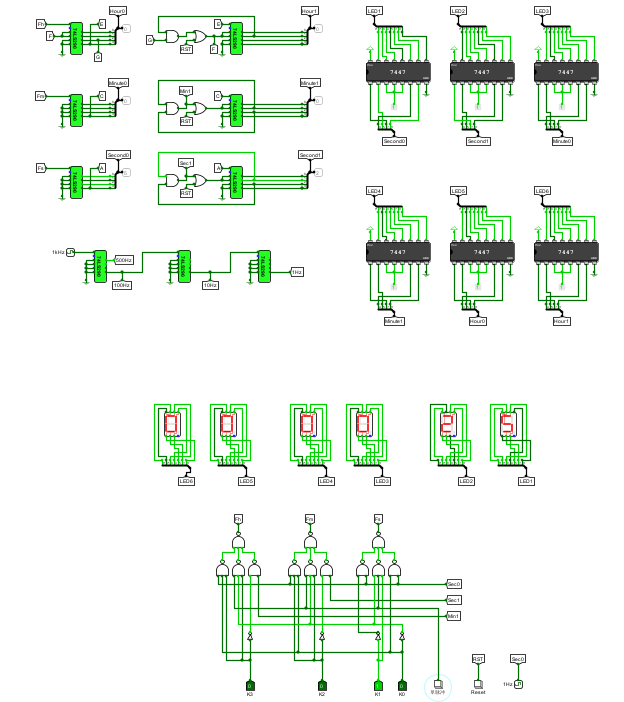




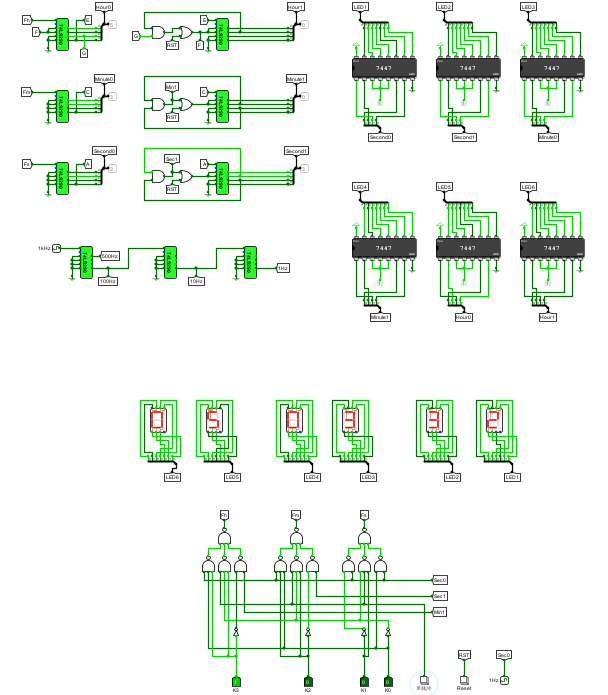


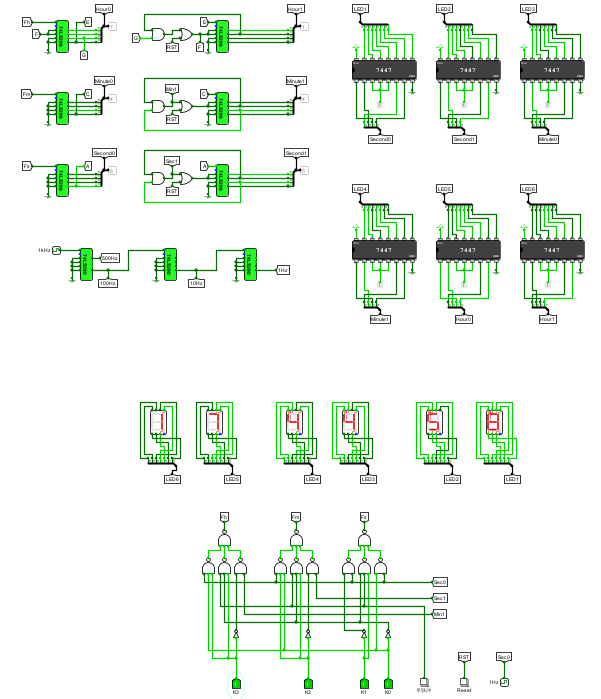
* 1. **在Logisim上实现数字钟电路**







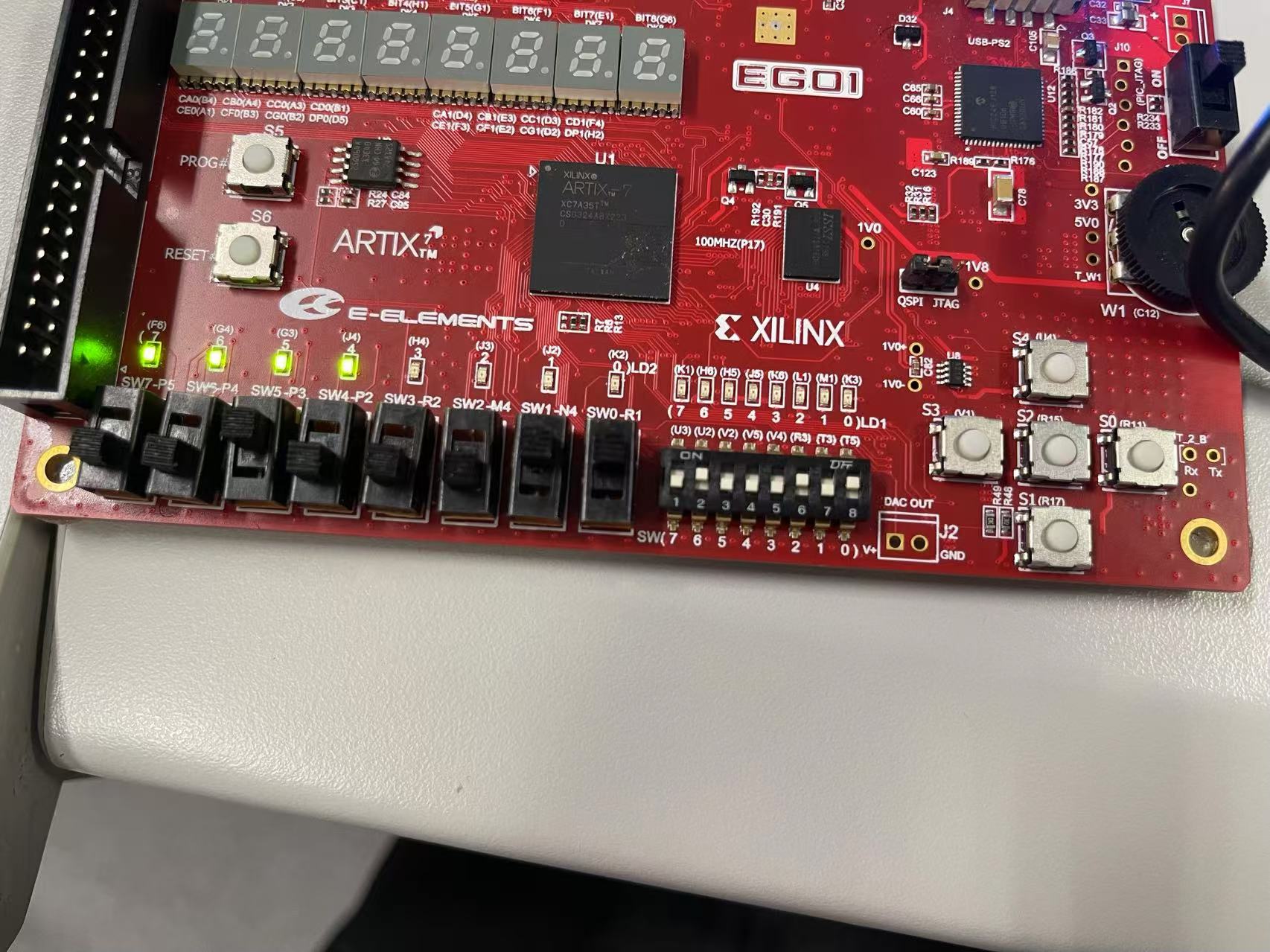




1. **在FPGA开发板上完成验证实验，将实验过程中的主要结果通过截屏（或拍照）的方式，拷贝到实验报告中，并给予适当的文字说明。**
2. **在FPGA开发板上实现简单运算器电路**

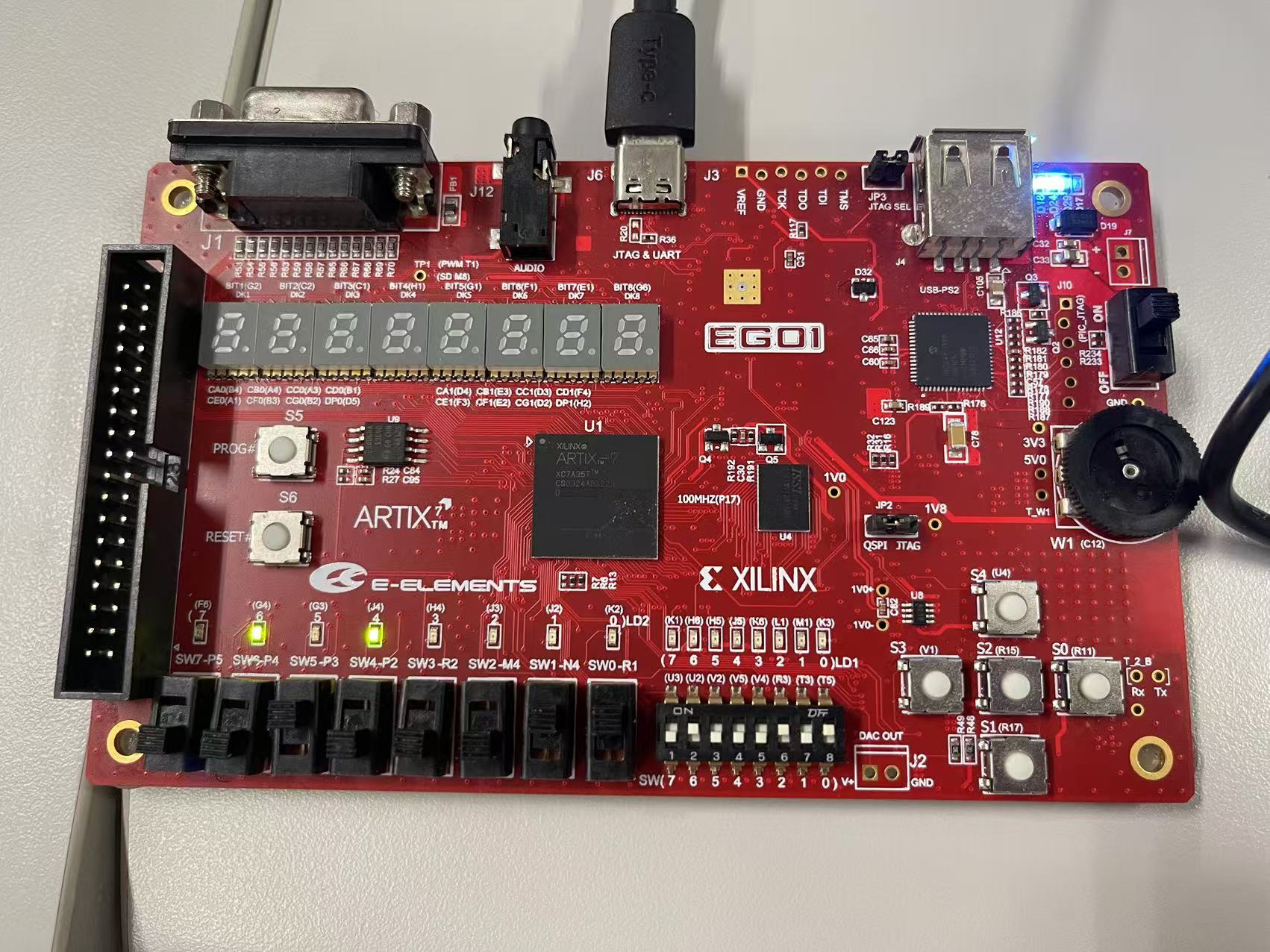
**初始时设置A：0010，B：0011，C：0100，D：0101**

**如下图：**

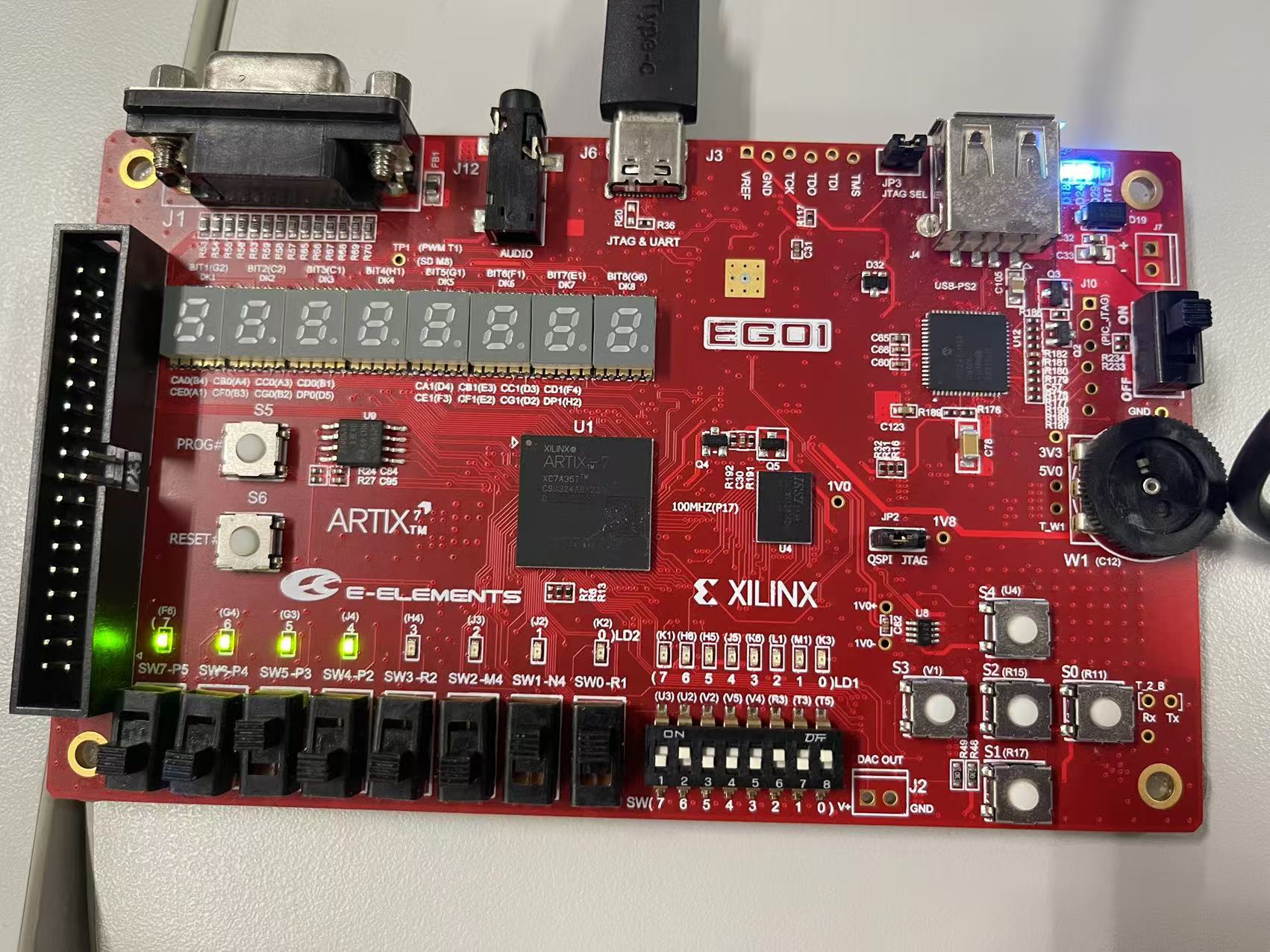
****

**依次按S4、S1、S3、S0按键，得到结果如下图：**

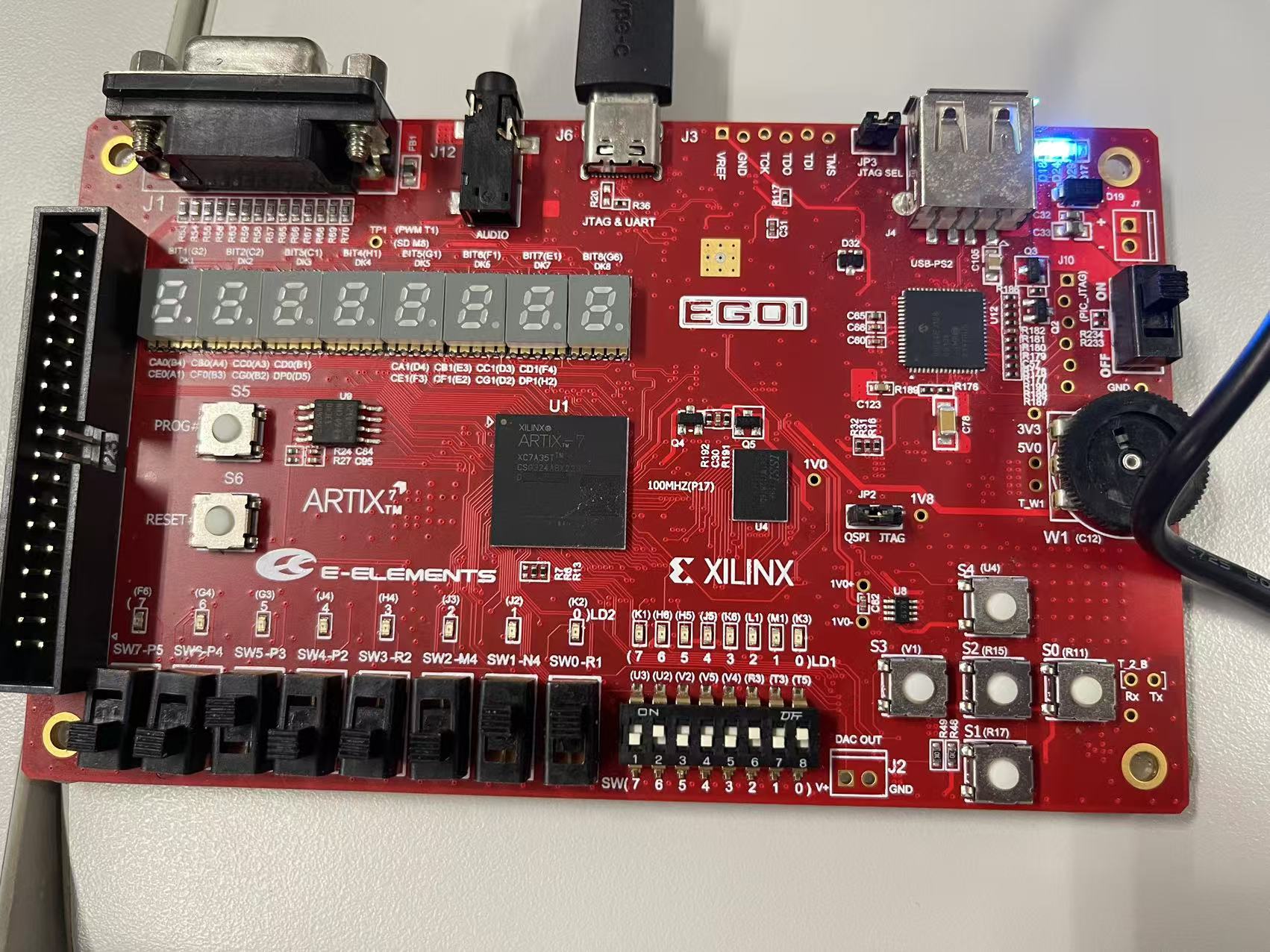
**（1）**

****

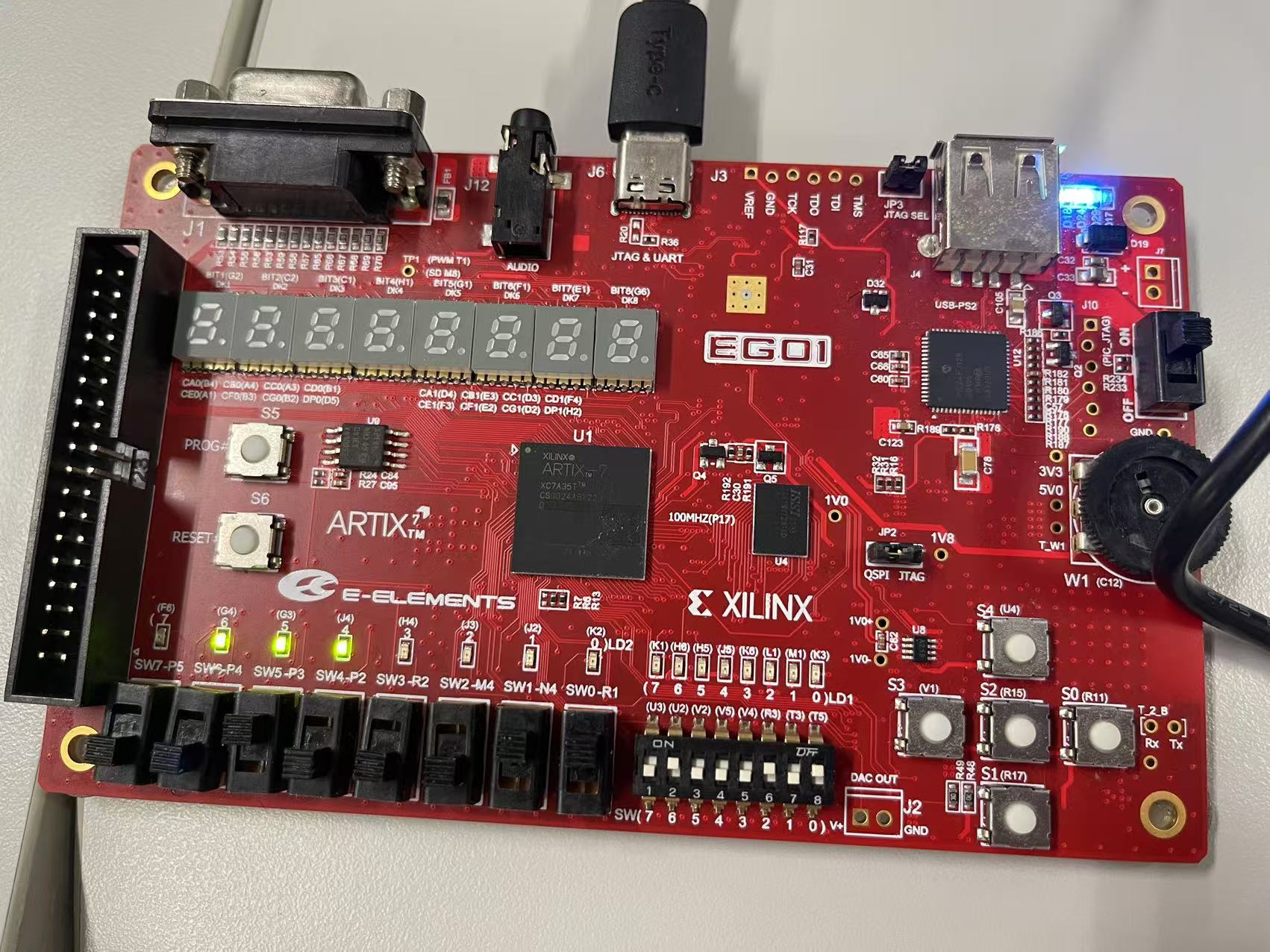
**（2）**

****

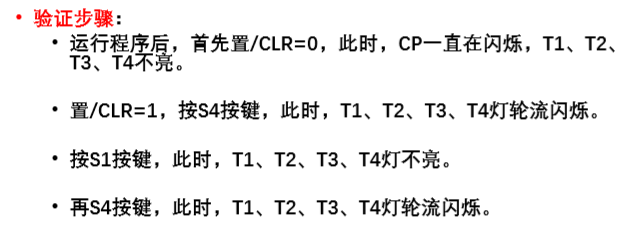
**（3）**

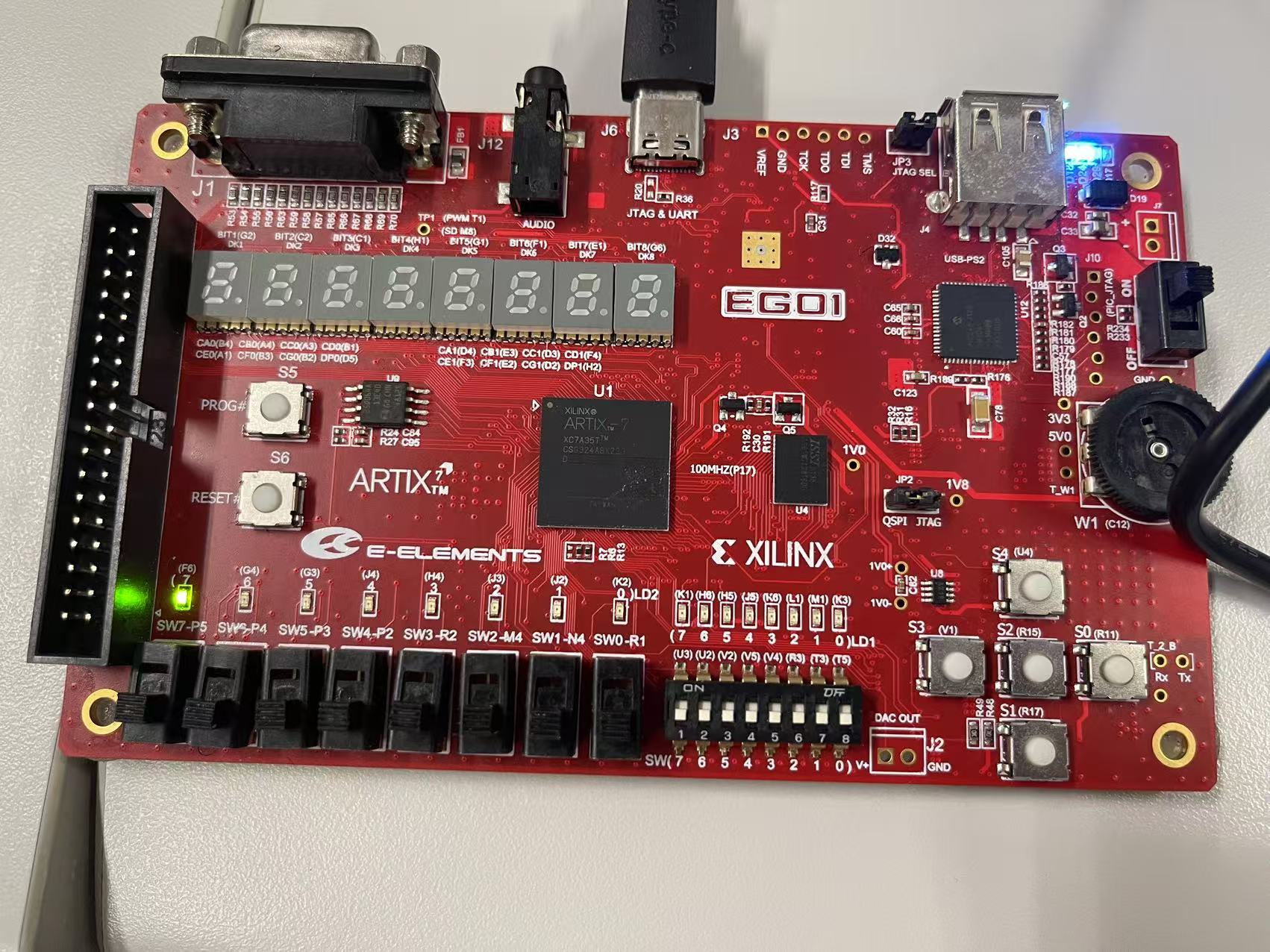
****

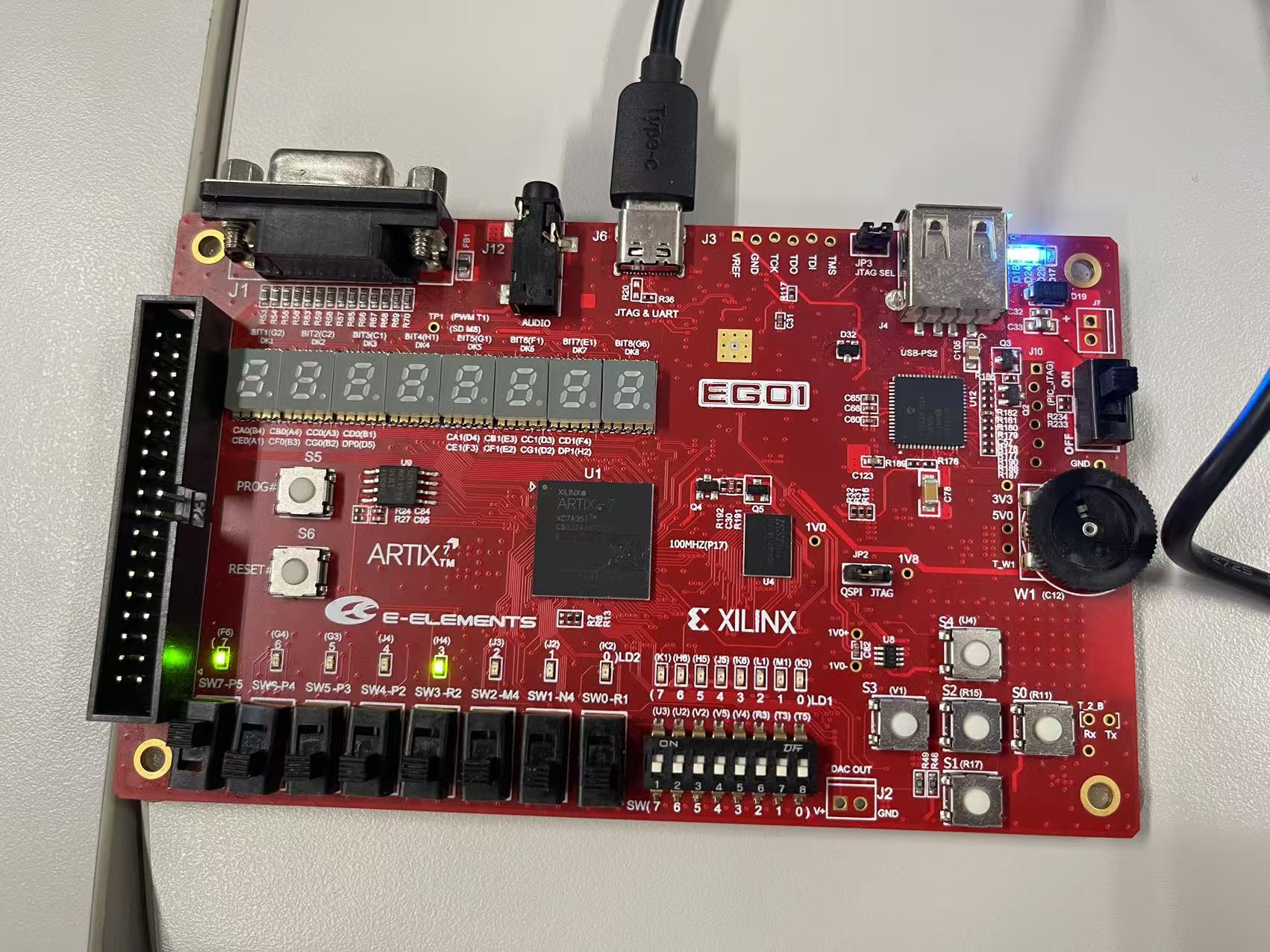
**（4）**

****

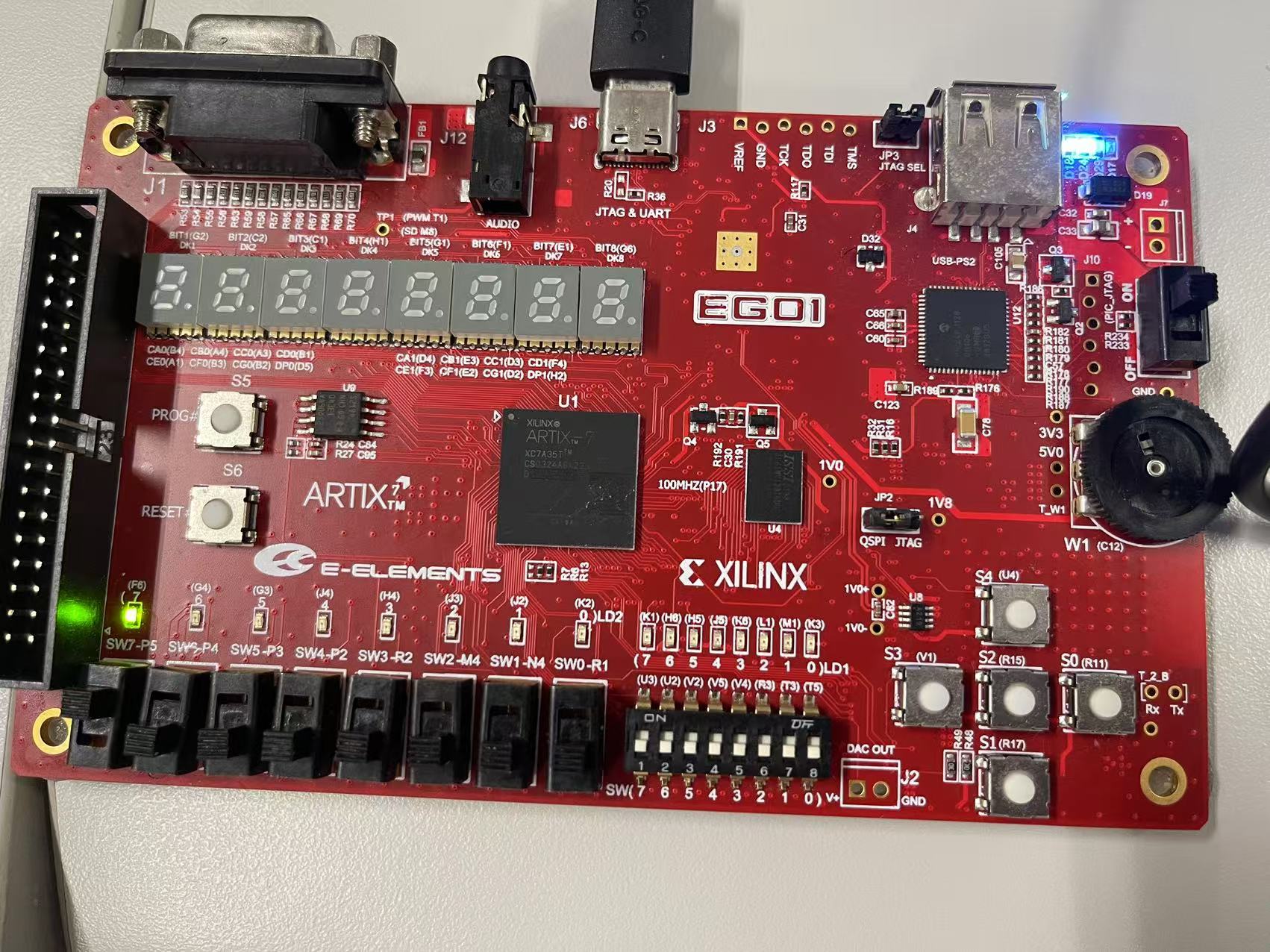
1. **在FPGA开发板上实现时序信号发生器电路**

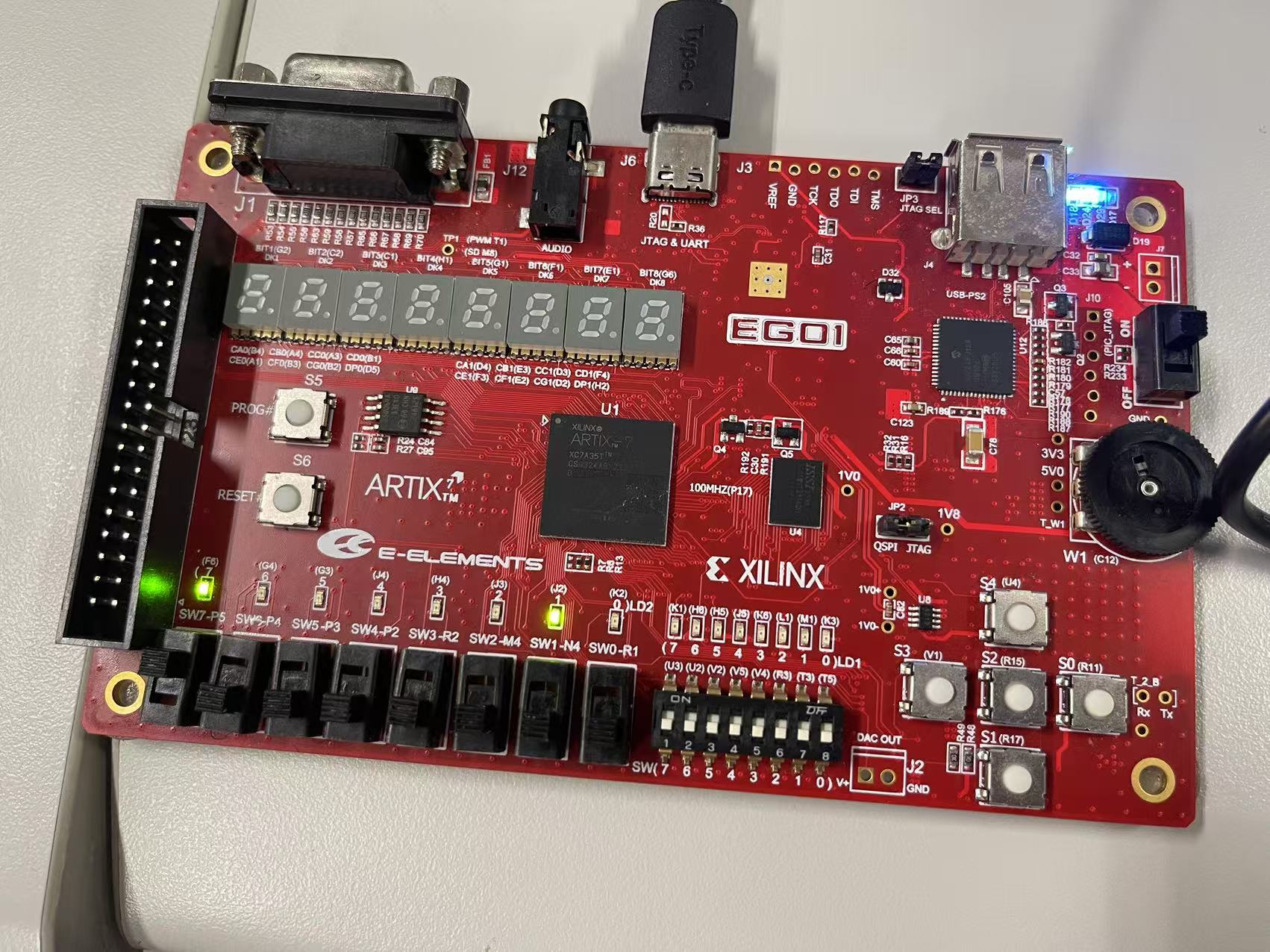


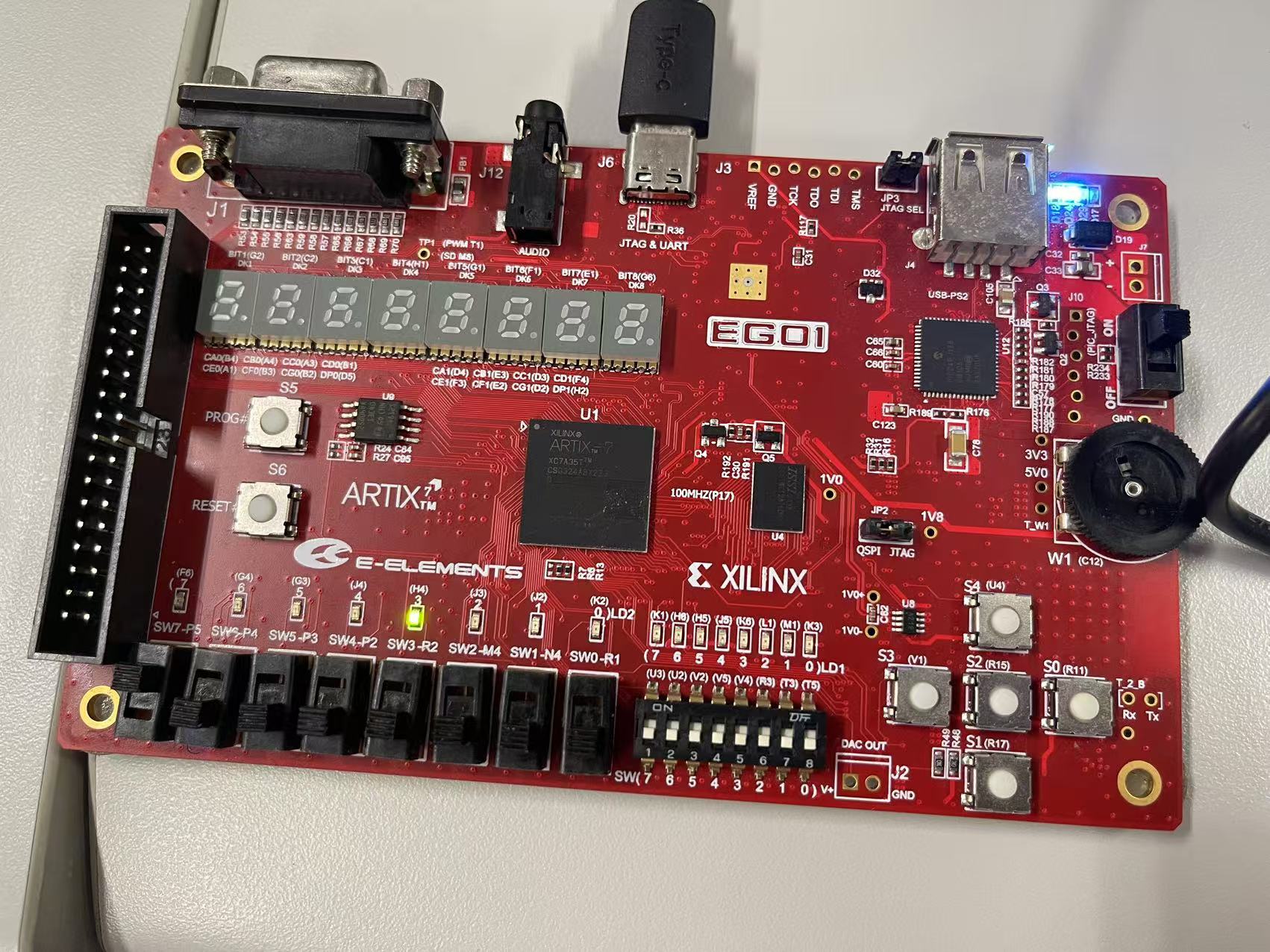
****

****

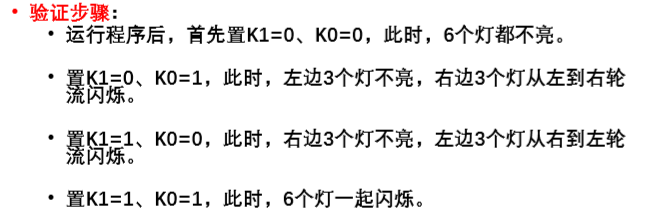
****

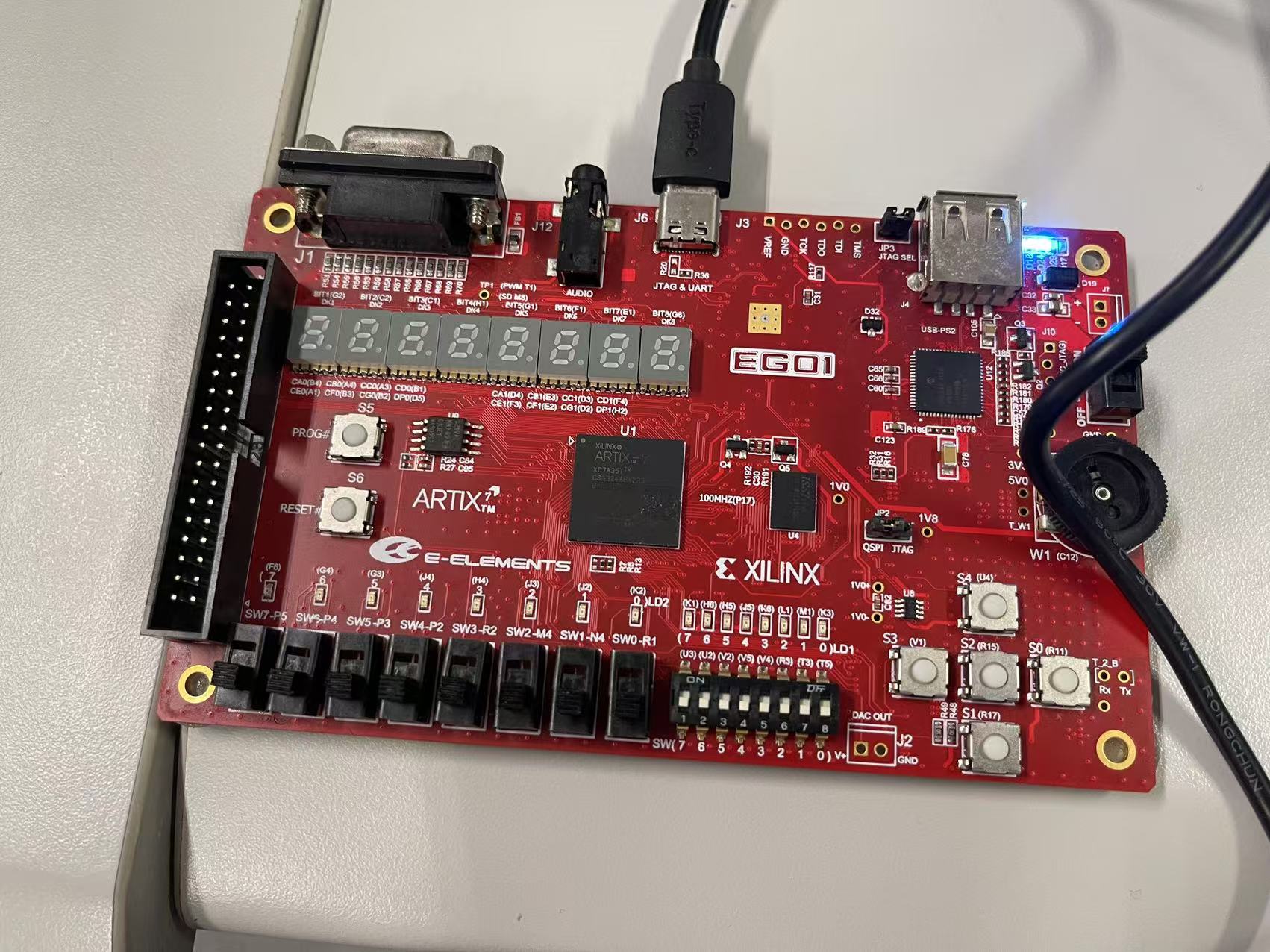
****

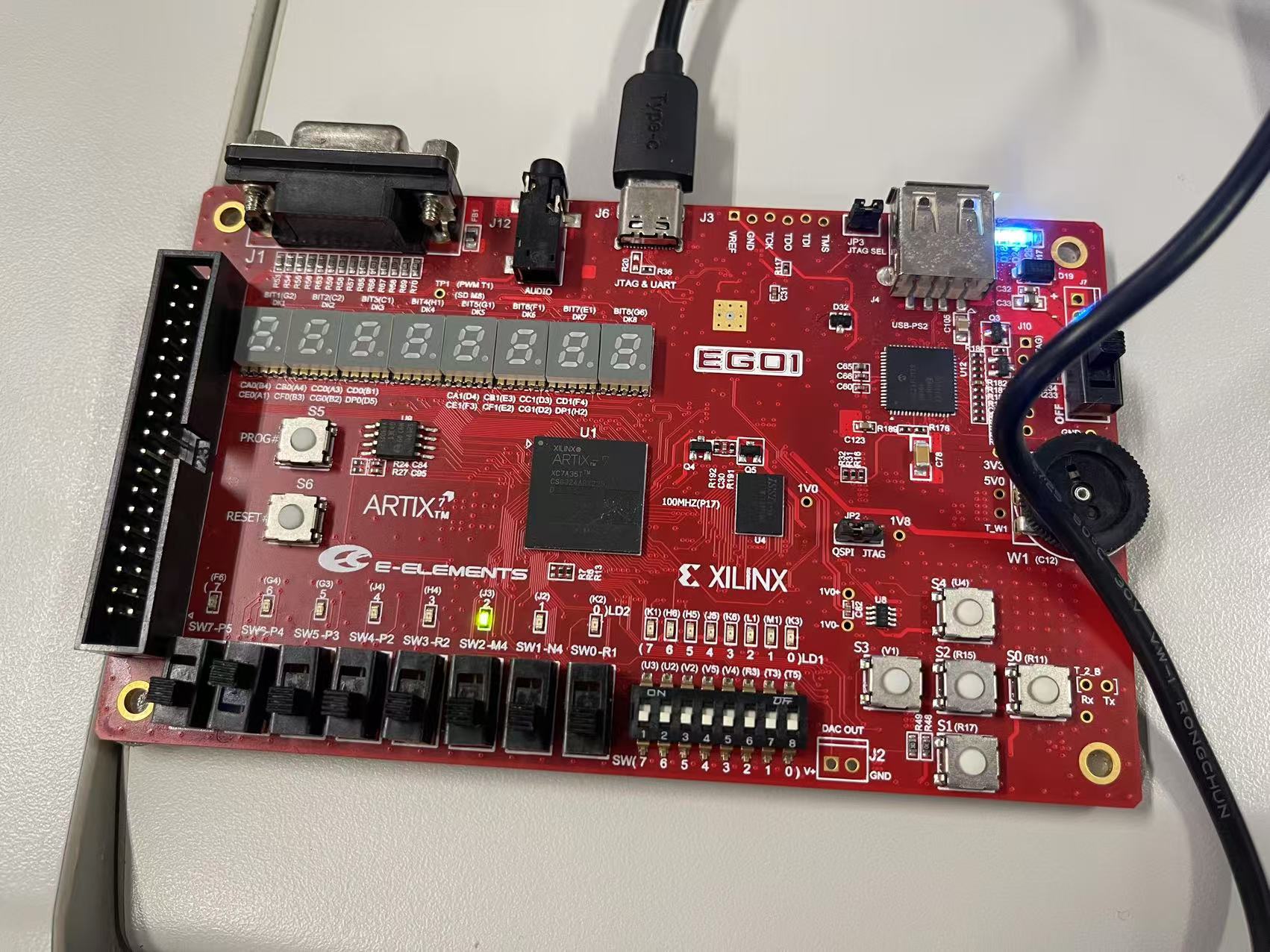
****

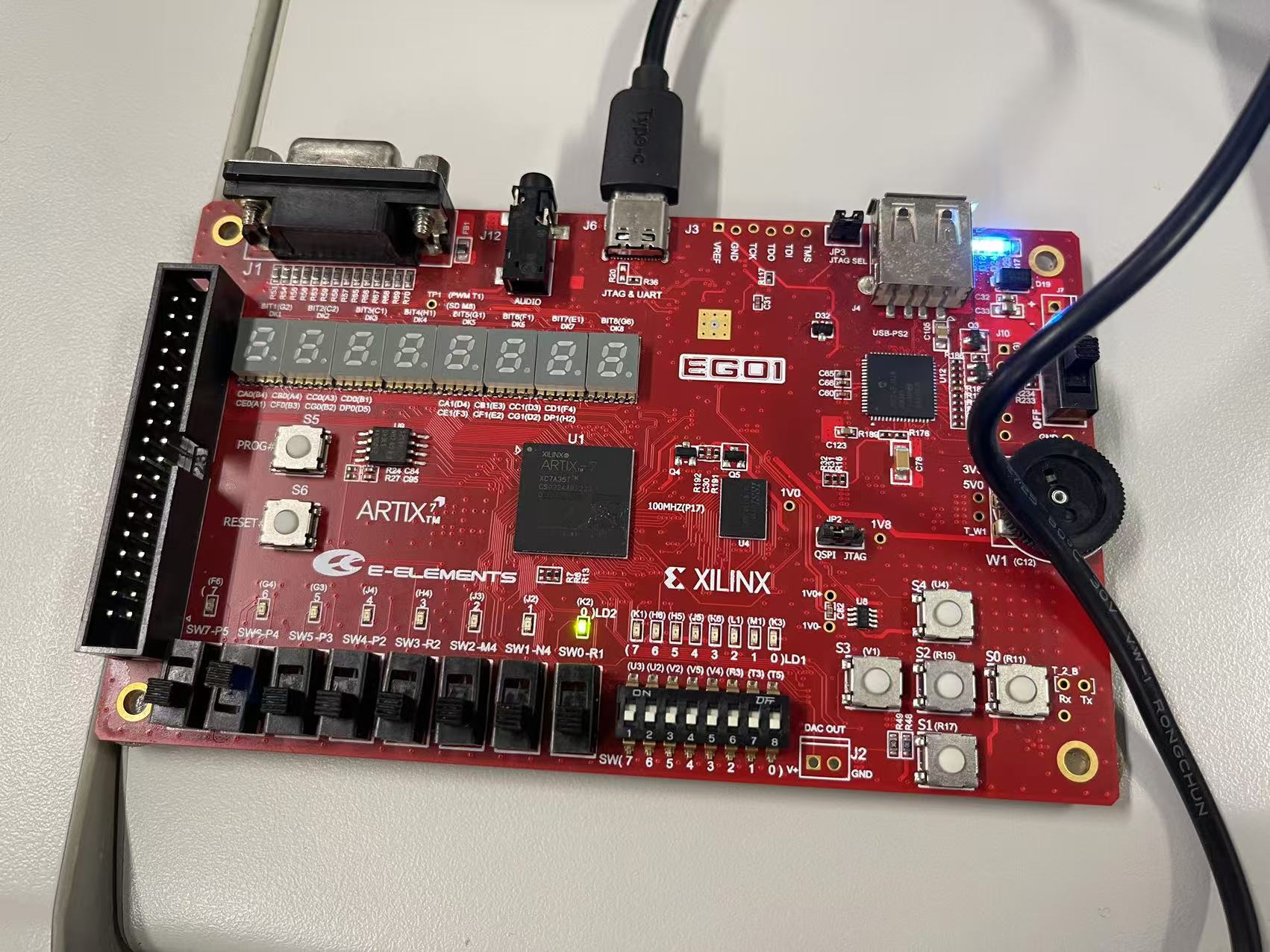
****

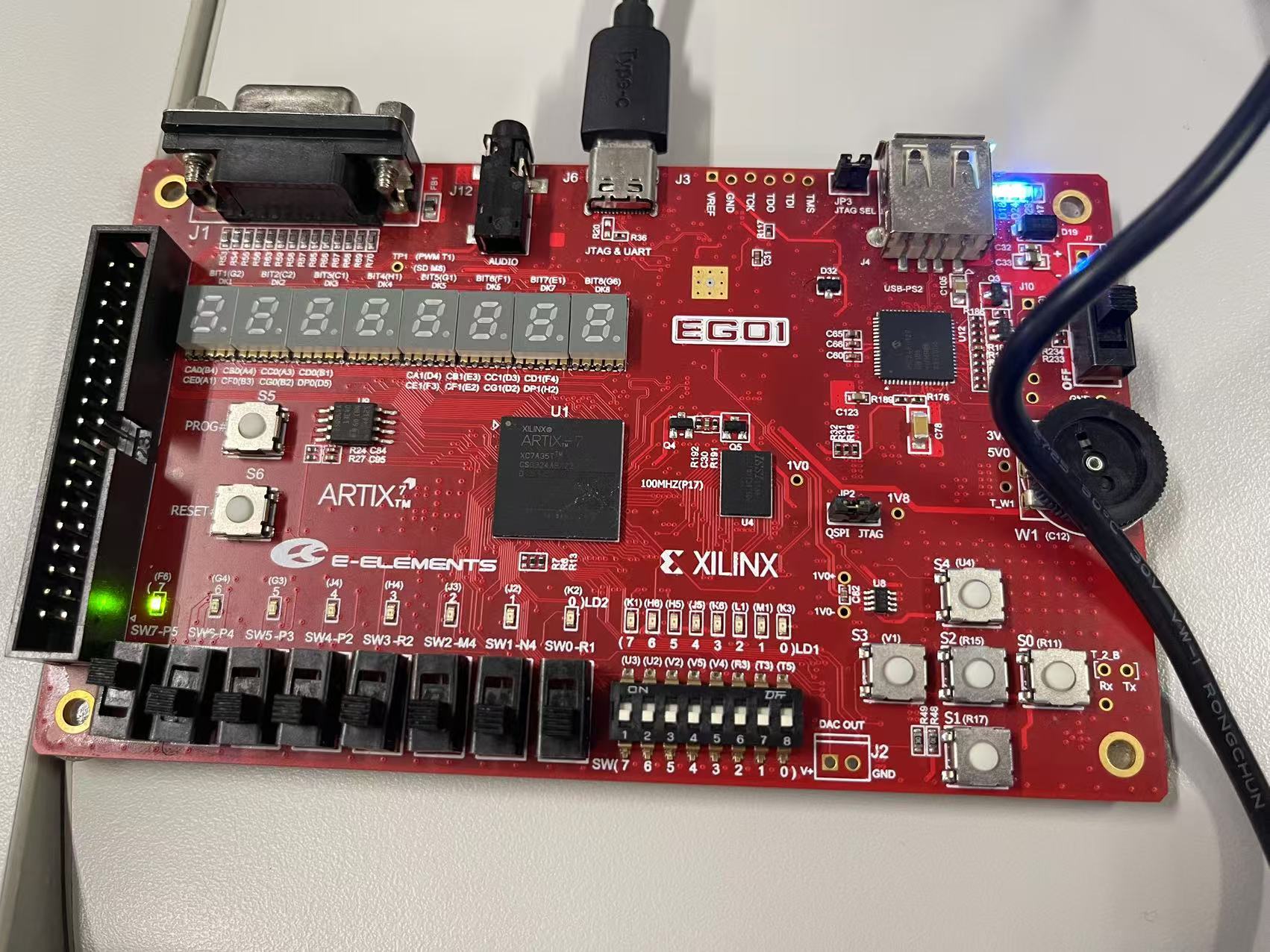
1. **在FPGA开发板上实现汽车尾灯控制器电路**

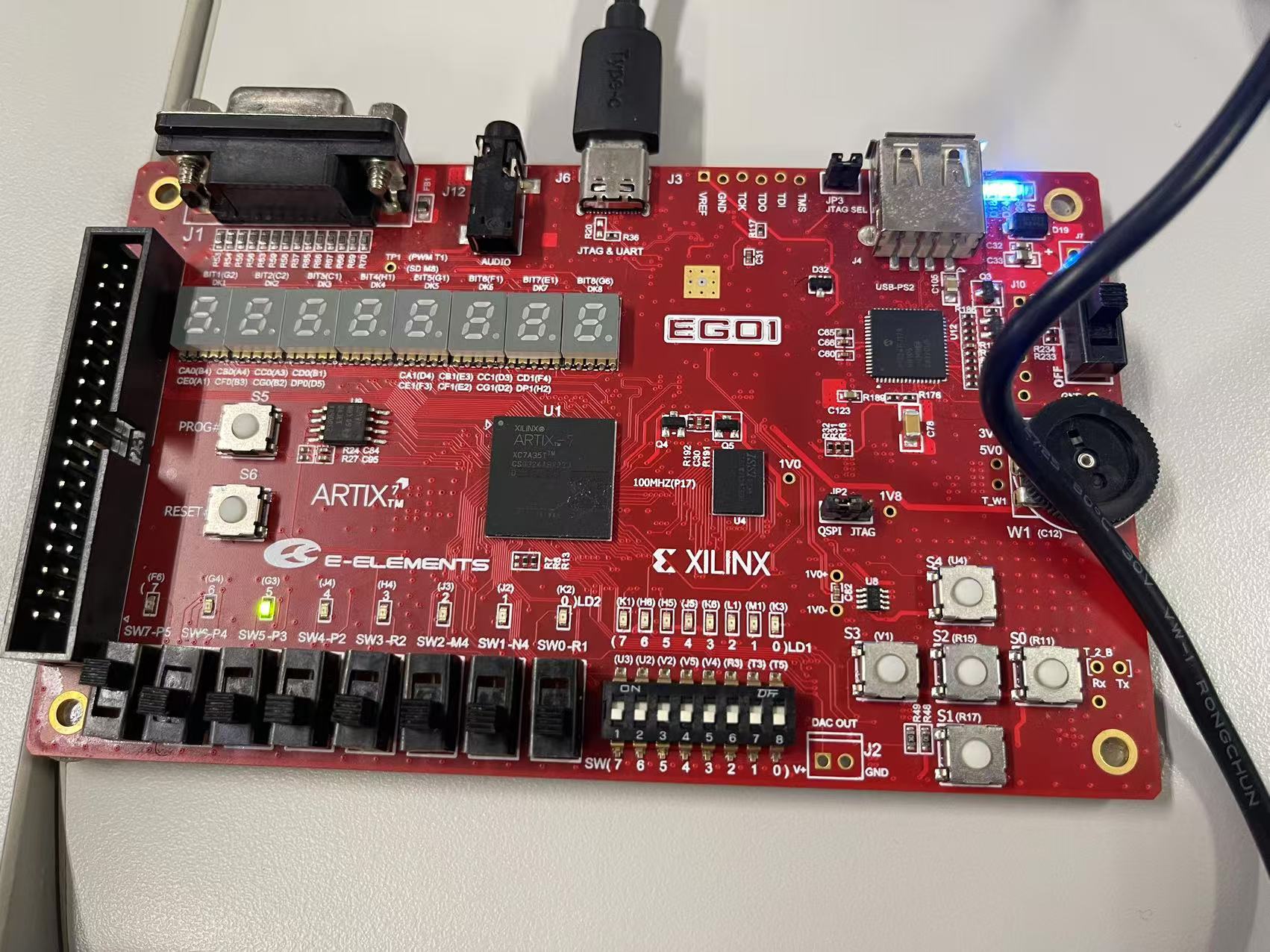


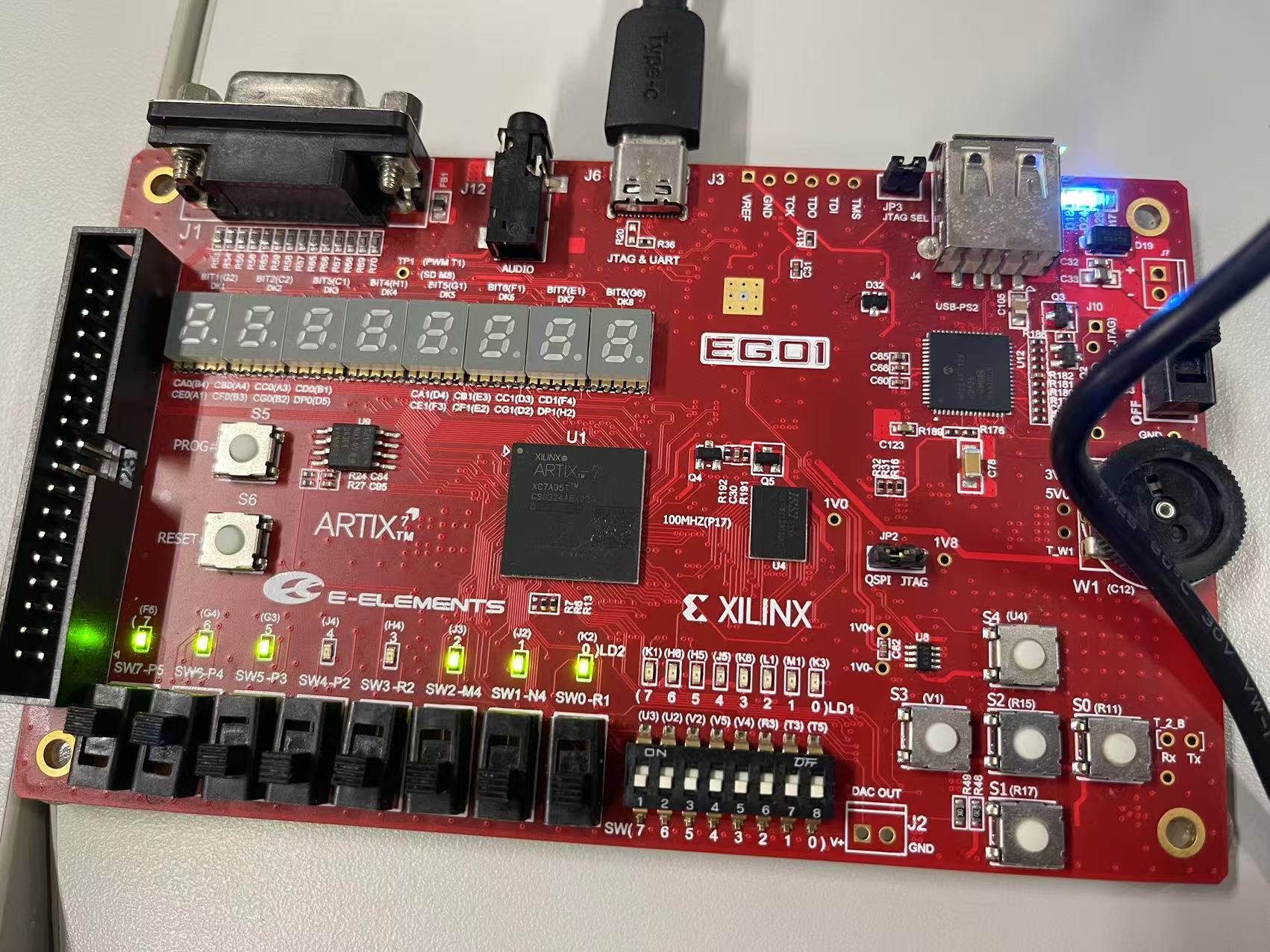
****

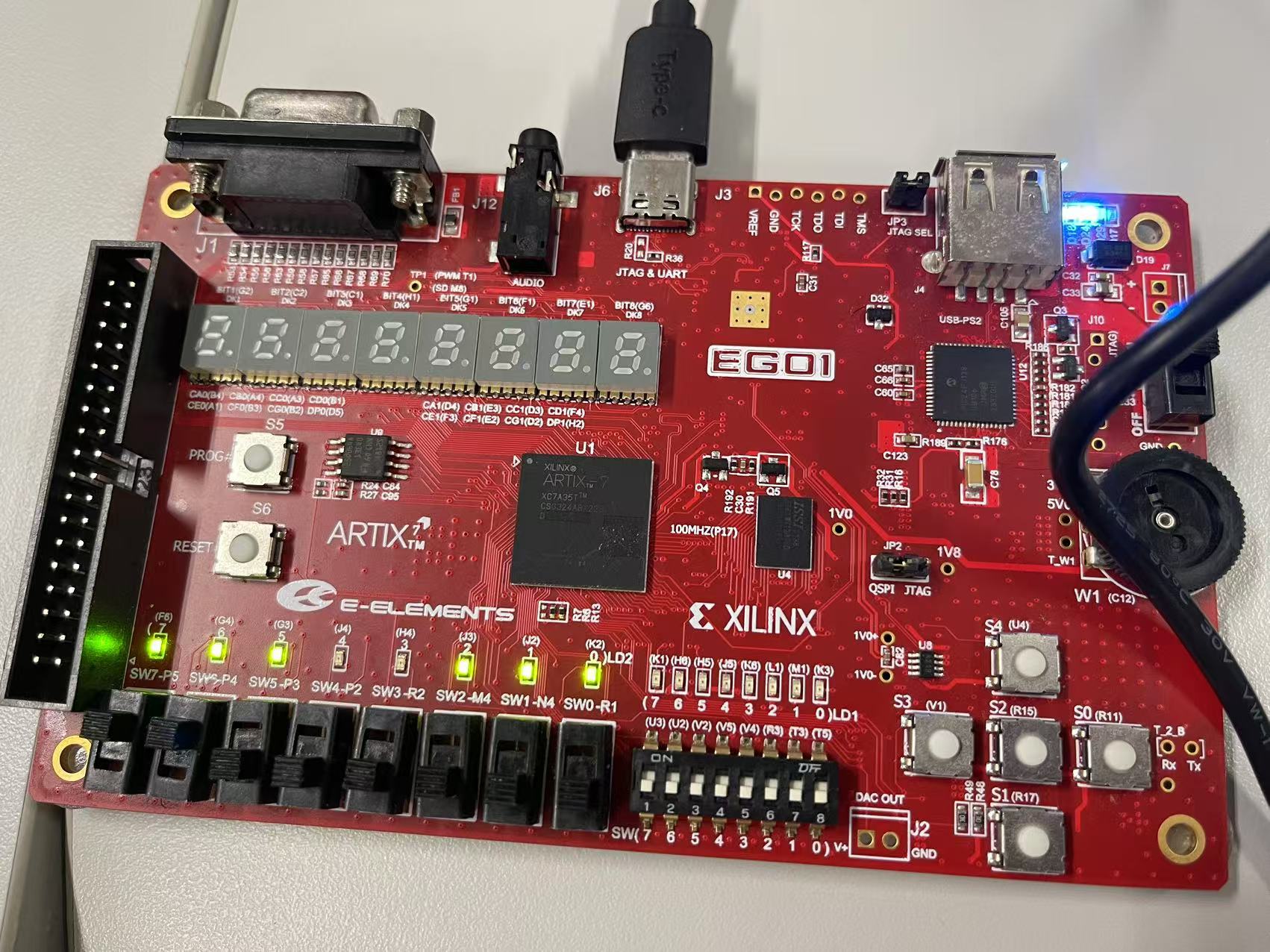
****

****

****

****

****

****

* 1. **课后完成部分（挑战实验的内容）**

**鼓励同学们完成挑战实验。**