

1.10 关键术语、复习题和习题

1.10.1 关键术语

地址寄存器	指令寄存器	寄存器
辅助寄存器	中断	辅存
高速缓存	中断驱动 I/O	空间局部性
高速缓冲槽	I/O 模块	栈
中央处理单元	局部性	堆栈结构
芯片多处理器	分级存储体系	栈指针
数据寄存器	内存	系统总线
直接内存存取	多核	时间局部性
命中率	多处理器	
输入/输出	处理器	
指令	程序计数器	
指令周期	可编程 I/O	

1.10.2 复习题

1.1 列出并简要定义计算机的 4 个主要组成部分。

1.2 定义处理器寄存器的两种主要类别。

1.3 一般而言，一条机器指令能指定的 4 种不同操作是什么？

1.4 什么是中断？

1.5 多个中断的处理方式是什么？

1.6 内存层次各个元素间的特征是什么？

1.7 什么是高速缓存？

1.8 多处理器系统和多核系统的区别是什么？

1.9 空间局部性和时间局部性间的区别是什么？

1.10 开发空间局部性和时间局部性的策略是什么？

1.10.3 习题

1.1 假设图 1.3 所示假想处理器还有两条 I/O 指令：

0011 = 从 I/O 中载入 AC

0111 = 把 AC 保存到 I/O 中

此时，使用 12 位地址标识一个特殊的外部设备。请给出以下程序的执行过程（按照图 1.4 的格式）：

1. 从设备 5 中载入 AC。
2. 加入内存单元 940 的内容。
3. 把 AC 保存到设备 6 中。

假设从设备 5 中取到的下一个值为 3，内存单元 940 单元中的值为 2。

1.2 本章中用 6 步描述了图 1.4 所示程序的执行情况，请用 MAR 和 MBR 扩充这一描述。

1.3 假设有一个 32 位微处理器，其 32 位指令由两个字段组成：第一个字节包含操作码，其余部分为一个直接操作数或一个操作数地址。

- a. 最大可直接寻址的存储器容量为多少（以字节为单位）？

b. 如果微处理器总线具有以下情况, 请分析其对系统速度的影响:

1. 一个 32 位局部地址总线和一个 16 位局部数据总线。
2. 一个 16 位局部地址总线和一个 16 位局部数据总线。

c. 程序计数器和指令寄存器分别需要多少位?

1.4 假设有一微处理器产生一个 16 位的地址 (例如, 假设程序计数器和地址寄存器都是 16 位的), 并且具有一个 16 位的数据总线。

- a. 若连接到一个 16 位存储器上, 该微处理器能够直接访问的最大存储器地址空间为多少?
- b. 若连接到一个 8 位存储器上, 该微处理器能够直接访问的最大存储器地址空间为多少?
- c. 访问一个独立的 I/O 空间需要哪些结构特征?
- d. 如果输入指令和输出指令可以表示 8 位 I/O 端口号, 该微处理器可以支持多少个 8 位 I/O 端口? 可以支持多少个 16 位 I/O 端口? 说明原因。

1.5 考虑一个 32 位微处理器, 它有一个 16 位外部数据总线, 并由一个 8MHz 的输入时钟驱动。假设该微处理器的总线周期的最大持续时间等于 4 个输入时钟周期。请问该微处理器可以支持的最大数据传送速率为多少? 外部数据总线增加到 32 位, 或外部时钟频率加倍, 哪种措施可以更好地提高处理器的性能? 请叙述你的设想并解释原因。(提示: 确定每个总线周期传输的字节数。)

1.6 考虑一个计算机系统, 它包含一个 I/O 模块, 用以控制一台简单的键盘/打印机电传打字设备。CPU 中包含下列寄存器, 这些寄存器直接连接到系统总线上:

INPR: 输入寄存器, 8 位

OUTR: 输出寄存器, 8 位

FGI: 输入标记, 1 位

FGO: 输出标记, 1 位

IEN: 中断允许, 1 位

I/O 模块控制从打字机中输入 (击键), 并输出到打印机。打字机可把一个字母或数字符号编码成一个 8 位字, 也可把一个 8 位字解码成一个字母或数字符号。8 位字从打字机进入输入寄存器时, 输入标记被置位; 打印一个字时, 输出标记被置位。

a. 描述 CPU 如何使用这 4 个寄存器实现与打字机间的输入/输出。

b. 描述使用 IEN 如何提高执行效率。

1.7 实际上在所有包括 DMA 模块的系统中, DMA 访问内存的优先级总是高于处理器访问内存的优先级。这是为什么?

1.8 一个 DMA 模块从外部设备给内存传送字符, 传送速度为 9600 位/秒 (b/s)。处理器可以 100 万次/秒的速度取指令。由于 DMA 活动, 处理器的速度将会减慢多少?

1.9 一台计算机包括一个 CPU 和一台 I/O 设备 D, 通过一条共享总线连接到内存 M, 数据总线的宽度为 1 个字。CPU 每秒最多可执行 106 条指令, 平均每条指令需要 5 个处理器周期, 其中 3 个周期需要使用存储器总线。存储器读/写操作使用 1 个处理器周期。假设 CPU 正在连续不断地执行后台程序, 且需要保证 95% 的指令执行速度, 但没有任何 I/O 指令。假设 1 个处理器周期等于 1 个总线周期, 现在要在 M 和 D 之间传送大块数据。

a. 若使用程序控制 I/O, I/O 每传送 1 个字需要 CPU 执行 2 条指令, 请估计通过 D 的 I/O 数据传送的最大可能速度。

b. 如果使用 DMA 传送, 请估计传送速度。

1.10 考虑以下代码:

```

for (i = 0; i < 20; i++)
    for (j = 0; j < 10; j++)
        a[i] = a[i] * j

```

a. 指出代码中空间局部性的一个例子。

b. 指出代码中时间局部性的一个例子。

1.11 请将附录 1A 中的式 (1.1) 和式 (1.2) 推广到 n 级存储器层次。

1.12 考虑一个具有如下参数的存储器系统:

$$T_c = 100\text{ns}, \quad C_c = 0.01 \text{ 分/位}, \quad T_m = 1200\text{ns}, \quad C_m = 0.001 \text{ 分/位}$$

a. 1MB 的内存价格为多少?

b. 使用高速缓存技术, 1MB 的内存价格为多少?

c. 如果有效存取时间比高速缓存存取时间多 10%, 命中率 H 为多少?

1.13 一台计算机包括高速缓存、内存和一个用做虚拟存储器的磁盘。如果要存取的字在高速缓存中, 存取需要 20ns; 如果该字在内存而非高速缓存中, 把它载入高速缓存需要 60ns (包括初始检查高速缓存的时间), 然后再重新开始存取; 如果该字不在内存中, 需要 12ms 从磁盘中取出该字, 复制到高速缓存中还需要 60ns, 然后再重新开始存取。高速缓存的命中率为 0.9, 内存的命中率为 0.6, 问该系统中存取 1 个字的平均时间是多少 (单位为 ns)?

1.14 假设处理器使用一个栈来管理过程调用和返回。请问可以取消程序计数器而用栈指针代替吗?

附录 1A 两级存储器的性能特征

本章通过把高速缓存用做内存和处理器间的缓冲器, 建立了一个两级内部存储器。与一级存储器相比, 这个两级结构通过开发局部性提供了更高的性能。本附录将探讨局部性。

内存高速缓存机制是计算机系统结构的一部分, 它由硬件实现, 通常对操作系统不可见。因此, 本书不再讨论这一机制, 但还有其他两种两级存储器: 虚拟存储器和磁盘高速缓存 (见表 1.2) 也利用了局部性原理, 并且至少部分是由操作系统实现的。我们将在第 8 章和第 11 章中分别讨论它们。本附录将介绍对三种方法都适用的两级存储器的性能特征。

表 1.2 两级存储器的特征

	内存高速缓存	虚拟存储器(分页)	磁盘高速缓存
典型的访问时间比	5:1	$10^6:1$	$10^6:1$
内存管理系统	由特殊硬件实现	硬件和系统软件结合	系统软件
典型的块大小	4~128 字节	64~4096 字节	64~4096 字节
处理器访问的第二级	直接访问	间接访问	间接访问

1A.1 局部性

两级存储器提高性能的基础是 1.5 节述及的局部性原理。该原理表明存储器访问会呈簇性。在很长的一段时间内, 使用的簇会发生变化, 但在很短的时间内, 处理器基本上只与存储器访问中的一个固定簇打交道。

局部性原理有效的原因如下:

- 除了分支和调用指令, 程序执行都是顺序的, 而这两类指令在所有程序指令中只占一小部分。因此, 大多数情况下, 要取的下一条指令都是紧跟在取到的上一条指令之后的。
- 很少出现很长且连续的过程调用序列及相应的返回序列。相反, 程序中过程调用的深度窗