4.2 选择题

- (1) [2010] 下列有关 RAM 和 ROM 的叙述中, 正确的是 (A) 。
- I.RAM 是易失性存储器, ROM 是非易失性存储器
- Ⅱ . RAM 和 ROM 都采用随机存取方式进行信息访问
- III. RAM 和 ROM 都可用作 cache
- IV. RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I 、 II 和 IV D. 仅 II 、 III和 IV
- (2) [2014] 某容量为 256MB 的存储器由若干 $4M \times 8$ 位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是 (A) 。
- A. 19 B. 22 C. 30 D. 36
- (3) [2009] 某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。 现要用 2KB×8 位的 ROM 芯片和 4KB×4 位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是(D)。
- A. 1, 15 B. 2, 15 C. 1, 30 D. 2, 30
- (4) [2010] 假定用若干个 $2KB \times 4$ 位的芯片组成一个 $8K \times 8$ 位的存储器,则地址 0B1FH 所在芯片的最小地址是 (**D**) 。
- A. 0000HB. 0600HC. 0700HD. 0800H
- (5) [2018] 假定 DRAM 芯片中存储阵列的行数为 r、 列数为 c, 对于一个 $2KB \times 1$ 位的 DRAM 芯片,为保证其地址引脚数最少, 并尽量减少刷新开销, 则 r、 c 的取值分别是(\mathbf{C})。
- A. 2048、1B. 64、32C. 32、64D. 1、2048
- (6) [2019] 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接插的存储器总线的工作频率为 1333MHz、 总线宽度为 64位, 则存储器总线的总带宽大约是(B)。
- A. 10.66GB/s B. 32GB/s C. 64GB/s D. 96GB/s
- (7) [2015] 某计算机使用 4 体交叉编址存储器, 假定在存储器总线上出现的主存地址(十进制) 序列为 8005、 8006、 8007、 8008、 8001、 8002、 8003、 8004、 8000, 则可能发生访存冲突的地址对是 (**D**) 。
- A. 8004 和 8008 B. 8002 和 8007 C. 8001 和 8008 D. 8000 和 8004
- (8) [2015] 下列存储器中, 在工作期间需要周期性刷新的是 (B)。

- A . SRAM B . SDRAM C . ROM D . FLASH
 - (9) [2011] 下列各类存储器中, 不采用随机存取方式的是 (B) 。
- A . EPROM B . CDROM C . DRAM D . SRAM
 - (10) [2012] 下列关于闪存(Flash Memory) 的叙述中, 错误的是(A) 。
- A. 信息可读可写, 并且读、 写速度一样快
- B. 存储元由 MOS 管组成, 是一种半导体存储器
- C. 掉电后信息不丢失, 是一种非易失性存储器
- D. 采用随机访问方式, 可替代计算机外部存储器
- (11) [2017] 下列关于数组 a 的访问局部性的描述中, 正确的是 (A)。
- A. 时间局部性和空间局部性皆有 B. 无时间局部性, 有空间局部性
- C. 有时间局部性, 无空间局部性 D. 时间局部性和空间局部性皆无
- (12) [2009] 某计算机的 cache 共有 16 块, 采用二路组相联映射方式(即每组 2 块) 。 每个主存块大小为 32B, 按字节编址。 主存 129 号单元所在主存块应装入的 cache 组号是 ($\bf C$) 。
- A. OB. 1C. 4D. 6
- (13) [2012] 假设某计算机按字编址, cache 有 4 行, cache 和主存之间交换的 块大小为 1 个字。 若 cache 的内容初始为空, 采用二路组相联映射方式和 LRU 替换策略。 访问的主存地址依次为 0、 4、 8、 2、0、 6、 8、 6、 4、 8 时, 命中 cache 的次数是 (A)。
- A. 1B. 2C. 3D. 4
- (14) [2015] 假定主存地址为 32 位, 按字节编址, 主存和 cache 之间采用直接相联映射方式, 主存块大小为 4 个字, 每个字 32 位, 采用写回的方式, 则能存放 4K 字数据的 cache 的总容量至少是 (**C**) 位。
- A. 146KB. 147KC. 148KD. 158K
- (15) [2014] 采用指令 cache 与数据 cache 分离的主要目的是 (**D**) 。
- A. 降低 cache 的缺失损失
- B. 提高 cache 的命中率
- C. 降低 CPU 平均访存时间
- D. 减少指令流水线资源冲突

- (16) [2015] 假定编译器将赋值语句"x=x+3;" 转换为指令"add xaddr,3", 其中, xaddr 是 x 对应的存储单元地址。 若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 TLB, 且 cache 使用写穿的方式, 则完成该指令功能需要访问主存的次数至少是(\mathbf{B})。
- A. 0B. 1C. 2D. 3
- (17) [2010] 下列命中组合情况中, 一次访存过程中不可能发生的是 (D)。
- A. TLB 未命中, cache 未命中, Page 未命中
- B. TLB 未命中, cache 命中, Page 命中
- C. TLB 命中, cache 未命中, Page 命中
- D. TLB 命中, cache 命中, Page 未命中
- (18) [2013] 某计算机主存地址空间大小为 256MB, 按字节编址。 虚拟地址空间大小为 4GB, 采用页式存储管理方式, 页面大小为 4KB, TLB(快表) 采用全相联映射, 有 4 个页表项, 内容如表 4.12 所示。

有效位	标记	页框号	•••
0	FF180H	0002H	***
1	3FFF1H	0035H	***
0	02FF3H	0351H	•••
1	03FFFH	0153H	***

表 4.12 4个页表项的内容

则对虚拟地址 03FFF180H 进行虚实地址转换的结果是 (A) 。

- A. 0153180HB. 0035180HC. TLB 缺失 D. 缺页
- (19) [2019] 下列关于缺页处理的叙述中, 错误的是 (**D**) 。
- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后执行发生缺页的指令的下一条指令
- 4.3 简答题
- (2).为什么在存储芯片中设置片选输入端?
- 答:在存储芯片中设置片选输入端,主要是为了实现对多个存储芯片的有效管理和选
- 择。由于单片存储芯片的容量往往有限,在构建大容量存储器时,需要将多片存储芯

片组合起来。片选输入端能让 CPU 在众多芯片中准确选中要进行数据读写操作的特定芯片,避免不同芯片之间的干扰,确保数据的准确传输和存储。只有被片选信号选中的芯片,才会响应 CPU 的读写命令,其他未被选中的芯片处于高阻态,不参与数据传输。这样一来,既满足了大容量存储的需求,又提高了存储系统的可靠性和效率。

(6).直接相联映射方式为什么不需要使用替换算法?

答:直接相联映射方式中,主存的某一块只能映射到 cache 的固定块中,每个主存块对应唯一的 cache 行。这就意味着当有新的数据块要载入时,如果对应的 cache 行被占用,直接替换该 cache 行中的数据块即可,不存在选择淘汰哪一个数据块的问题,所以不需要使用复杂的替换算法来决定淘汰哪一个数据块以腾出空间给新的数据块,直接进行替换操作就能够满足数据更新的需求。

(7).为什么要考虑 cache 的一致性?

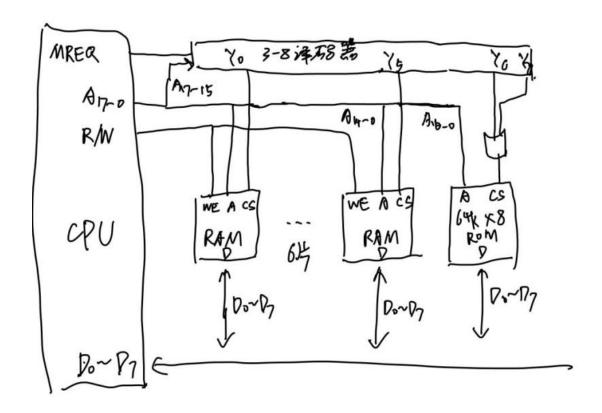
答: 考虑 cache 的一致性是为了确保数据的准确性和系统的正常运行。cache 作为主存的部分副本,存储着 CPU 近期可能访问的数据。在多处理器系统或程序频繁读写数据的场景下,如果不保证 cache 与主存以及不同 cache 之间数据的一致性,会导致数据错误。比如一个处理器修改了 cache 中的数据,若不及时同步到主存和其他处理器的 cache,其他处理器读取到的可能是旧数据,从而引发程序运行错误。因此,考虑 cache 一致性可以避免数据不一致带来的问题,提高系统的可靠性和稳定性。

4.6 用 $32K \times 8$ 位 RAM 芯片和 $64K \times 4$ 位 ROM 芯片设计 $256K \times 8$ 位存储器。 其中, 从 30000H 到 3FFFFH 的地址空间为只读存储区, 其他为可读、 可写存储区。 完成存储器与 CPU 的连接。

答:设计 256K×8 位存储器时,先处理只读存储区(30000H~3FFFFH):该区域为 64K×8 位,选用 64K×4 位的 ROM 芯片,通过位扩展(2 片)实现 8 位数据宽度。再处理可读可写区:总容量 256K×8 位减去 64K×8 位,剩余 192K×8 位,选用 32K×8 位的 RAM 芯片,需 192÷32=6 片。

地址分配上, 256K 需 18 位地址线 (A17~A0)。ROM 区 30000H~3FFFH 的 A17 ~A12 为 001100~001111, 通过译码器产生片选信号, 连接 2 片 ROM (位扩展) 的 片选端, 其 A15~A0 接地址线 A15~A0, 数据端分别接数据总线高 4 位和低 4 位。RAM 区地址为其他部分, 每片 32K×8 位 RAM 的 A14~A0 接地址线 A14~A0, 通过 A17~A15 译码产生片选信号, 读写控制端接 CPU 的读写信号, 数据端接数据总线。如此, 完成存储器与 CPU 的连接, 实现对应地址空间的读写控制。

如下图:



4.10 用 16K×1 位的 DRAM 芯片构成 64K×8 位的存储器, 设存储器的读写周期为 0.5μs, 要使 CPU 在 1μs 内至少访问存储器一次, 采用哪种刷新方式比较合适? 若每行刷新间隔不超过 2ms, 该方式下刷新信号的产生周期是多少?

答: 由于存储器读写周期为 $0.5\mu s$, 要使 CPU 在 $1\mu s$ 内至少访问存储器一次, 采用分散刷新或异步刷新方式比较合适。 若每行刷新间隔不超过 2m s, 则周期为 2m s / $128 = 15.625\mu s$

4.13 某计算机的主存容量为 4MB, cache 容量为 16KB, 每块包含 8 个字, 每字为 32 位, 映射方式采用四路组相联。 设 cache 的初始状态为空, CPU 依次从主存第 0,1,2,…,99 号单元读出 100 个字(每次读一个字) , 并重复此操作 10 次, 替换算法采用 LRU 算法。

(1) 求 cache 的命中率。

答: 首次访问 (第 1 次):

每个字所在块首次载入 cache 时触发缺页。主存单元 0~99 对应字节地址 0~396, 按块大小 32B 划分, 共涉及 396/32+1=13 个块(块 0: 0-31B, 块 1: 32-63B, ···, 块 12: 384-415B)。

每个块的第一个字访问时不命中(需载入整块),后续7个字因同块已在 cache 中而命中。首次不命中次数为13次,命中次数100-13=87次。

后续 9 次访问:

所有块已在 cache 中, 每次 100 次访问均命中, 命中次数 9×100=900 次。

命中率计算: 命中率=总命中次数/总访问次数=(87+900)/1000=987/1000=98.7%

- (2) 若 cache 比主存快 10 倍, 分析采用 cache 后存储访问速度提高了多少。
- 答: 设 cache 访问时间为 t, 则主存访问时间为 10t (cache 比主存快 10 倍)。
 - **无 cache 时平均访问时间**: 10t (直接访问主存)。
 - **有 cache 时平均访问时间**: ta=命中率×t+(1-命中率)×10t=0.987t+0.013×10t=1.117t
 - **速度提升倍数**: 提升倍数=有 cache 时间无 cache 时间=1.117t10t≈8.95 倍
- 4.17 某计算机系统中有一个 TLB 和 L1 级数据 cache, 存储系统按字节编址, 虚拟存储容量为 2GB, 主存容量为 4MB, 页大小为 128KB, TLB 采用四路组相联方式, 共有 16 个页表项。cache 容量为 16KB, 每块包含 8 个字, 每字为 32 位, 映射方式采用四路组相联, 回答下列问题。
- (1) 虚拟地址中哪几位表示虚拟页号?哪几位表示页内地址?虚拟页号中哪几位表示 TLB 标记?哪几位表示 TLB 索引?
- 答:虚拟地址中 高 14 位 表示虚拟页号,低 17 位 表示页内地址;虚拟页号中高 12 位表示 TLB 标记.低 2 位表示 TLB 索引。
- (2) 物理地址中哪几位表示物理页号? 哪几位表示偏移地址?
- 答: 高五位是物理页号, 低五位是偏移地址。
- (3) 为实现主存与数据 cache 之间的组相联映射,对该地址应进行怎样的划分?
- 答:标记位 10 位,组索引 7 位,块内偏移 5 位。
- 4.18 某计算机采用页式虚拟存储管理方式, 按字节编址, 虚拟地址为 32 位, 物理地址为 24 位, 页大小为 8KB; TLB 采用全相联映射; cache 数据区大小为 64KB, 按二路组相联方式组织, 主存块大小为 64B。 存储访问过程的示意图如图 4.57 所示。 请回答下列问题。

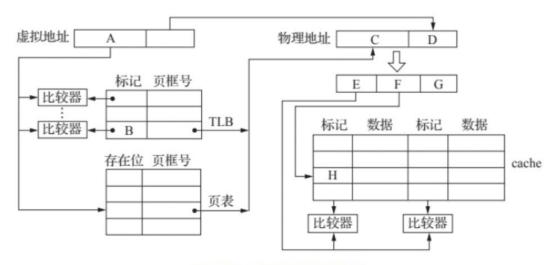


图 4.57 存储访问过程示意图

- (1) 图中字段 A ~ G 的位数各是多少? TLB 标记字段 B 中存放的是什么信息? 答: A-G 的位数分别为 19、 19、 11、 13、 9、 9、 6, TLB 中标记字段 B 的内容是虚页号,表示该 TLB 项对应哪个虚页的页表项
- (2) 将块号为 4099 的主存块装入 cache 中时, 映射的 cache 组号是多少? 对应 H 字段的内容是什么?

答: 映射的 cache 组号为 3, 对应的 H 字段内容为 0 0000 1000B

(3) cache 缺失处理的时间开销大还是缺页处理的时间开销大? 为什么?

答: 因为缺页处理需要访问磁盘, 而 cache 缺失之邀访问主存, cache 缺失带来的开销小, 而处理缺页的开销大

(4) 为什么 cache 可以采用写穿策略, 而修改页面内容时总是采用写回策略?

答: 因为采用写穿策略时需要同时写快速存储器和慢速存储器, 而写磁盘比写主存慢得多, 所以 cache 可以采用写穿策略, 而虚存则应采用写回策略

4.19 某计算机采用页式虚拟存储管理方式, 按字节编址。 CPU 进行存储访问的过程 如图 4.58 所示。

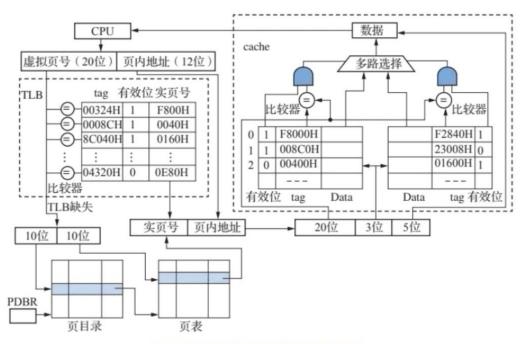


图 4.58 页式虚拟存储器访问过程示意图

回答下列问题。

(1) 主存的物理地址占多少位?

答: 物理地址映射到 cache 后的地址位数不变, 从图中可以看出映射到 cache 后的物理地址占 20 + 3 + 5 = 28 位

(2) TLB 采用什么映射方式? TLB 是用 SRAM 还是用 DRAM 实现?

答: 采用全相联映射方式, 可以把页表内容调入任一块空 TLB 项中, TLB 中每项都有一个比较器, 没有映射规则, 只要空闲就行。 TLB 采用的是 SRAM 实现, 读写速度更快, 多用于容量较小的高速缓冲存储器

(3) cache 采用什么映射方式? 若 cache 采用 LRU 替换算法和写回策略, 则 cache 每行中除数据

(Data) 、tag 和有效位外,还应有哪些附加位? cache 总容量是多少? cache 中有效位的作用是什么?

答: cache 中每组有两行, 采用 2 路组相联映射; 应该还有替换算法控制位和一致性维护位; 主存字块标记占 20 位, 组好占 3 位, cache 中有 $2^3 = 8$ 组, 每组两行, cache 中有 8*2=16 行, 行内地址占 5 位, 计算机按字节编址, cache 大小为 $2^5*1B=32B$; Cache 每行标记位数=主存字块标记位数+有效位位数+替换算法控制位位数+脏位位数=(20+1+1+1)bit=23bit。 Cache 每行数据位数= $32B=32\times8$ bit=256bit。 Cache 总容量=(Cache 每行标记位数+Cache 每行数据位数)× Cache 行数=(23bit+256bit)× 16=558B;

(4) 若 CPU 给出的虚拟地址为 0008 C040H, 则对应的物理地址是多少? 是否在 cache 中命中? 说明

理由, 若 CPU 给出的虚拟地址为 0007 C260H, 则该地址所在主存块映射到的 cache 组号是多少?

答: 虚拟地址 0008C 040H, 前半部分为虚页号, 后半部分为页内地址, 查找 TLB 中 Tag 为 0008CH 的项,有效位为 1, 实页号为 0040H, 得到其物理地址为 0040 040H; 物理地址高 20 位对应主存子块标记, 所以物理地址 00400 40H 的主存字块标记为 00400H, 查 cache 表中 Tag 为 00400H 的项, 左边有一个 00400H 满足, 但有效位为 0, 不命中, 右边不存在 00400H, 也不命中, 所以访问 cache 不会命中; 物理地址的低 12 位和虚拟地址低 12 位相同, 对于虚拟地址为 0007C260H, 低 12 位为 260H = 0010 0110 0000B.根据物理地址的结构, 物理地址的后八位 0110 0000B 的前三位 011B 是组号, 因此该地址所在的主存映射到 cache 组号为 011B = 3.