



厦门大学《计算机组成原理》课程期中试卷

软件学院 软件工程系 2023 级 软件工程专业

主考教师：曾文华 张海英 考试时间：2025.4.20

一、填空题（60 空，每空 1 分，共 60 分）

1. 计算机的发展根据其核心电子器件的变迁，经历了四个阶段：即：(1)、(2)、主存采用
(3) 储存器的集成电路，以及以 (4) 为特征的超大规模集成电路。
2. 集成电路发展水平的重要标志是 (5) 的最小线条尺寸，一般认为是晶体管 (6) 的最小
线宽。随着光刻技术的发展，尺寸越来越小，导致 (7) 定律放缓。
3. 现在的主流计算机都是冯·诺依曼体系，其主要思想是 (8) 和 (9)。前者依赖于记忆部
件 (10)，后者则由 (11) 负责完成。
4. 计算机系统的层次大致分为硬件和软件两个层次。其中硬件层包括 (12) 层、(13) 层。
处于软硬分界的是 (14) 层，与机器结构高度相关的是 (15) 语言层。
5. 校验码是一种具有 (16) 和 (17) 能力的数据编码。通过引入部分 (18) 信息，以增大
(19)，从而实现校验的目的。扩展海明码的最小码距是 (20)，能检测 (21) 位错，纠
正 (22) 位错。CRC 循环冗余检验码，基于模 (23) 运算，其编码的非 0 余数具有
(24) 特性。
6. n 位串行加法器，也称 (25) 进位加法器，而采用 (26) 进位则可以支持全加器的并行
运算。其依赖于进位 (27) 函数和进位 (28) 函数。
7. 存储器带宽反映的是单位时间内存储器所能传输的 (29)，一般而言，存储 (30) 越短，

- 数据 (31) 越大，带宽越高。
8. 静态随机存储器 6 管 MOS 存储单元，属于 (32) 性存储器，若要保持信息不变，必须使得 T3 和 T4 两个 (33) 管持续供电。T1 和 T2 两个管子构成 (34) 触发器，T5、T6、T7、T8 属于门控管，分别接 (35) 信号和 (36) 信号。
9. 单管 DRAM 通过 (37) 有无电荷表示 0/1 状态。进行读写时都需要经历 (38)、(39)、信号 (40) 以及数据 (41) 四步操作。其中后两步操作是由每列共享的 (42) 电路实现。
10. MROM 只读存储器，利用 (43) 的通断表示 0、1 信息。PROM 则是用 (44) 代替，因而可以编程 (45) 次。EPROM 利用 (46) MOS 管的通断存储数据，并可利用 (47) 照射进行多次擦除。EEPROM 可以精准地擦除 (48) 存储单元。(49) 则是一种快速擦写、非易失性存储器。
11. 在并行主存系统涉及的技术中，可以提升存储器带宽的有单体 (50) 和采用 (51) 编址方式的多体交叉存储器，后者在满足一定条件下，可以采用 (52) 存取方式。
12. cache 发生读 miss 时，需要进行块 (53)。写 miss 时，为了保证主存与 cache 的 (54)，要采用一定的写策略。其中，会产生脏数据的是 (55) 方式。如果 cache 已满，通常需要利用替换算法，其中，(56) 算法更符合 cache 的工作原理。
13. 虚拟存储器虚实地址的映射依靠 (57) 部件。在虚拟存储器中，转换旁路缓冲区 TLB 实际就是一个 (58)，采用 (59) 或者组相联地址映射方式，用于缓冲经常访问的 (60)。

二、问答题 (6 小题，共 40 分 注：其中题目 5 和 6 任选一题解答即可)

1. (8 分) 写出定点运算中判断溢出的三种常用方法及其公式。

2. (6 分) 设主存容量为 1MB; cache 容量为 16KB, 均按字节编址。cache 块长为 4 个字, 每字 32 位。请问:

(1) (3 分) 直接相联映射方式时, 主存地址为 ABCDEH 的存储单元在 cache 中的什么位置?

(2) (3 分) 4 路组相联映射方式时, 主存地址为 ABCDEH 的存储单元在 cache 中的什么位置?

3. (10 分) 图 1 为原码一位乘的逻辑实现框图, 请根据此框图回答下述问题:

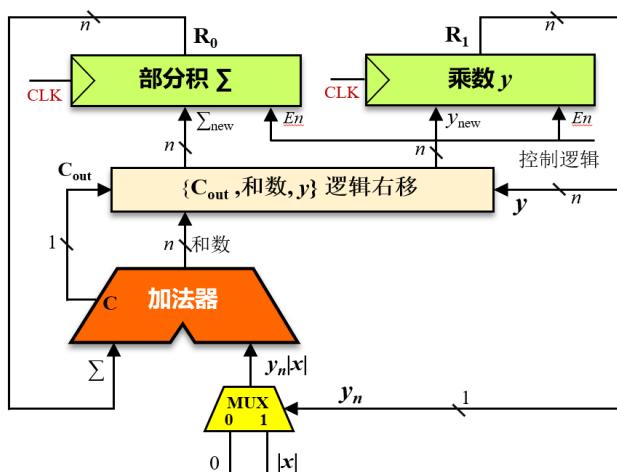


图 1 原码一位乘逻辑实现框图

(1) (1 分) 手工操作中位积的左移此时转换成为部分积的右移, 其意义是什么?

(2) (2 分) 多路选择器 MUX 是如何支持原码一位乘的?

(3) (2 分) 寄存器 R0 和 R1 在运算开始和结束分别存放什么?

(4) (1 分) 请根据图 1 推导原码一位乘的递归公式。

(5) 图 2 为补码一位乘的部分逻辑框图, 请比对图 1, 回答下述问题:

① (2 分) 图 2 中, 增加的 C_{in} 的作用是什么? 其与 $y_n \bar{y}_{n+1}$ 有什么关系?

② (2 分) 为何在图 2 中, 加法器的进位输出 $Cout$ 不参与移位运算? 而在图 1 中却参与移位?

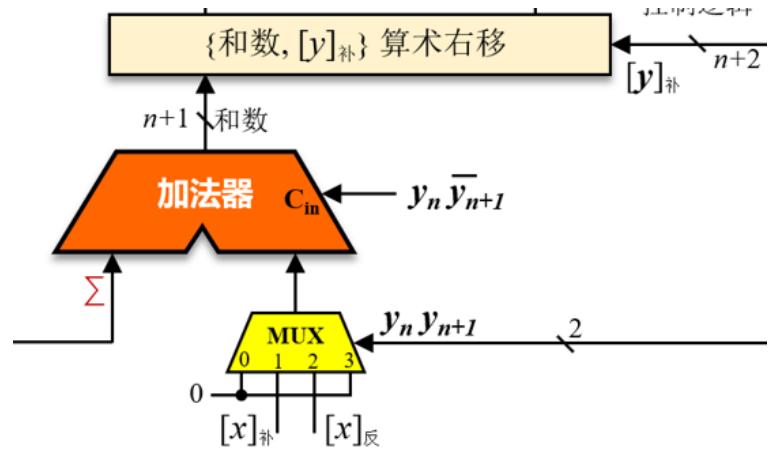


图 2 实现补码一位乘部分逻辑框图

4. (8 分) 虚拟存储器访问操作流程如图 3 所示, 结合图 3, 请回答下述问题:

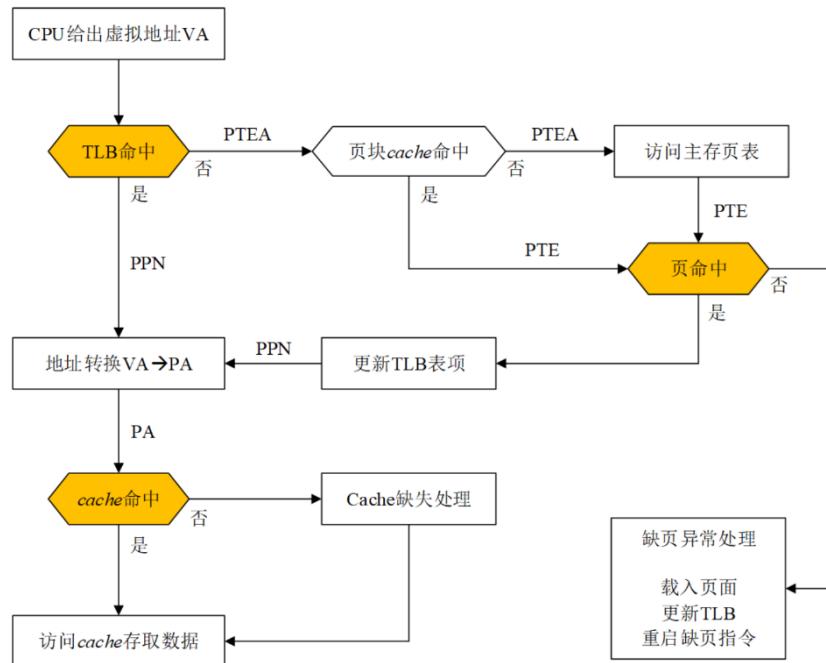


图 3 虚拟存储器访问流程

- (1) (3 分) 请解释 TLB 命中、cache 命中以及页命中的具体含义。
- (2) (1 分) 什么情况下需要访问主存页表?
- (3) (2 分) 是否存在 TLB 缺失, 但是页命中、cache 也命中的情况? 为什么?
- (4) (2 分) 缺页时进行的处理与 cache 缺失时的处理有何异同?

5. (8 分) 假设 Logisim 中已经有 8 位加法器的电路，其电路封装如图 4 所示；其中， X 和 Y 为 8 位输入， S 为 8 位输出， C_0 为低位进位信号， C_8 为最高位进位， C_7 为次高位进位。现要求利用该 8 位加法器以及一些辅助的电路，实现一个 8 位可控加减法电路，该 8 位可控加减法电路可以完成 8 位有符号整数的加减法运算和 8 位无符号整数的加减法运算。该电路的输入为 X (8 位) 和 Y (8 位) 以及 Sub ，输出为 S (8 位) 以及 OF 和 UOF 。 $Sub=0$ 时做加法运算， $Sub=1$ 时做减法运算。 OF 为有符号整数加减运算溢出标志， UOF 为无符号整数加减运算溢出标志。请画出该 8 位可控加减法电路。提示：可借助分线器，如图 5 所示。

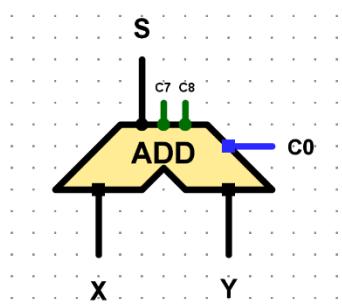


图 4 8 位加法器封装图

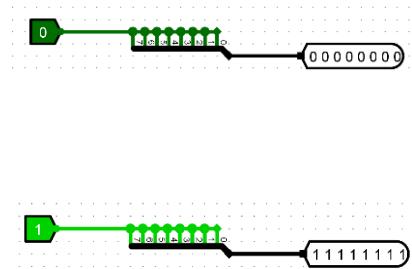


图 5 利用分线器实现 1 位扩展为 8 位

6. (8 分) 设 8 位有效信息为 0111 0110，试写出它的海明校验码。如果接收方收到的有效信息变成 0111 1110，说明如何定位错误并纠错。