

Categoria	Descrizione	Valore/Dettaglio
Versione SDC	Versione dello standard SDC	2.0
Design Corrente	Design target per i vincoli	ufrc_serialiser
Unità di Misura	Impostazioni delle unità di misura per il tempo e la capacità	Tempo: 1000 ps, Capacità: 1000 fF
Incertezza del Clock	Incertezza del clock per skew e jitter	0.2 ns
Transizione del Clock	Tempo di transizione del clock	0.2 ns
Frequenza del Clock	Periodo del clock di ingresso clk_sc_pulse_i	6.4 ns
Clock Generato	Clock generato gen_clk_enc utilizzato da diversi moduli	Edges: {2, 4, 6}, origine: clk_sc_pulse_i
Fanout Massimo	Numero massimo di istanze pilotate da un segnale	40
Carico su Pin di Uscita	Carico massimo e minimo sui pin di uscita	Min: 0.03 fF, Max: 0.2 fF
Cella di Pilotaggio	Cella di pilotaggio per i segnali di ingresso	Min: BUF_X2_18_SVT, Max: CLKBUF_X40_18_SVT
Ritardo Input (cis_data_i)	Ritardo minimo e massimo per i dati di ingresso rispetto a gen_clk_enc	Min: 0 ns, Max: 3.5 ns
Transizione Massima Input	Tempo massimo di transizione per i segnali di ingresso	0.3 ns
Ritardo Output (ufrc_data_o)	Ritardo minimo e massimo per i segnali di uscita rispetto a clk_sc_pulse	Min: 1 ns, Max: 1.2 ns
Carico su Pin di Uscita (ufrc_data_o)	Carico massimo e minimo per i segnali di uscita ufrc_data_o	Min: 0.02 fF
Percorsi Falsi (Reset)	Definisce il reset come un percorso falso	rst_ni
Vincoli Multicycle	Impostazioni dei percorsi multicycle per FSP frame counter e altri segnali	Multicycle Path: 2, Hold Path: 1
Case Analysis (Debug)	Debugging disabilitato per alcuni segnali (non ottimizzabili)	ser_debug_en_i, ser_mux_sel_i

Tabella 1: Riassunto dei vincoli definiti nello script SDC per ufrc_serialiser.