

Taller 2

Brayan Esteban Alpízar Elizondo
Kevin Antonio Carranza Blanco

Fundamentos de arquitectura en computadores
Instituto Tecnológico de Costa Rica

23 de septiembre de 2025

1. Introducción

Los circuitos de lógica combinatorial son fundamentales en el diseño de sistemas digitales, ya que su salida depende exclusivamente de la combinación actual de sus entradas, sin elementos de memoria o retroalimentación. En este contexto, los decodificadores desempeñan un papel crucial al convertir información codificada de n bits de entrada en hasta 2^n líneas de salida, donde solo una de ellas se activa para cada combinación de entrada [1].

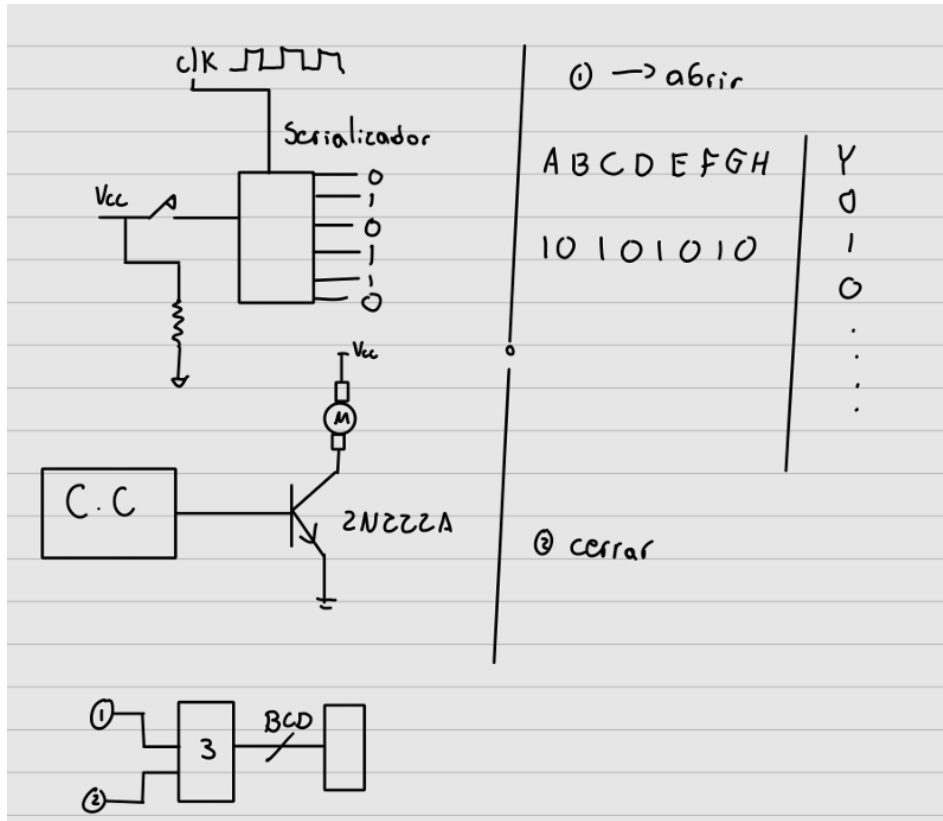
Un caso particular de decodificador ampliamente utilizado en aplicaciones de visualización es el **decodificador de display de siete segmentos**, que traduce un código binario, como el BCD (Binary-Coded Decimal), en señales que controlan los segmentos individuales de un display para representar dígitos decimales u otros símbolos. Este tipo de circuitos permite la interfaz entre sistemas digitales y usuarios, haciendo visibles estados o valores internos del sistema [1].

En este trabajo se diseña e implementa un decodificador con display de siete segmentos como parte de un sistema de control de acceso, donde una combinación binaria de 8 bits determina si se abre o se cierra una puerta. Se aplican técnicas de diseño combinatorio, simplificación de funciones booleanas y uso de integrados para lograr un sistema eficiente y confiable.

2. Proceso de diseño y reducción

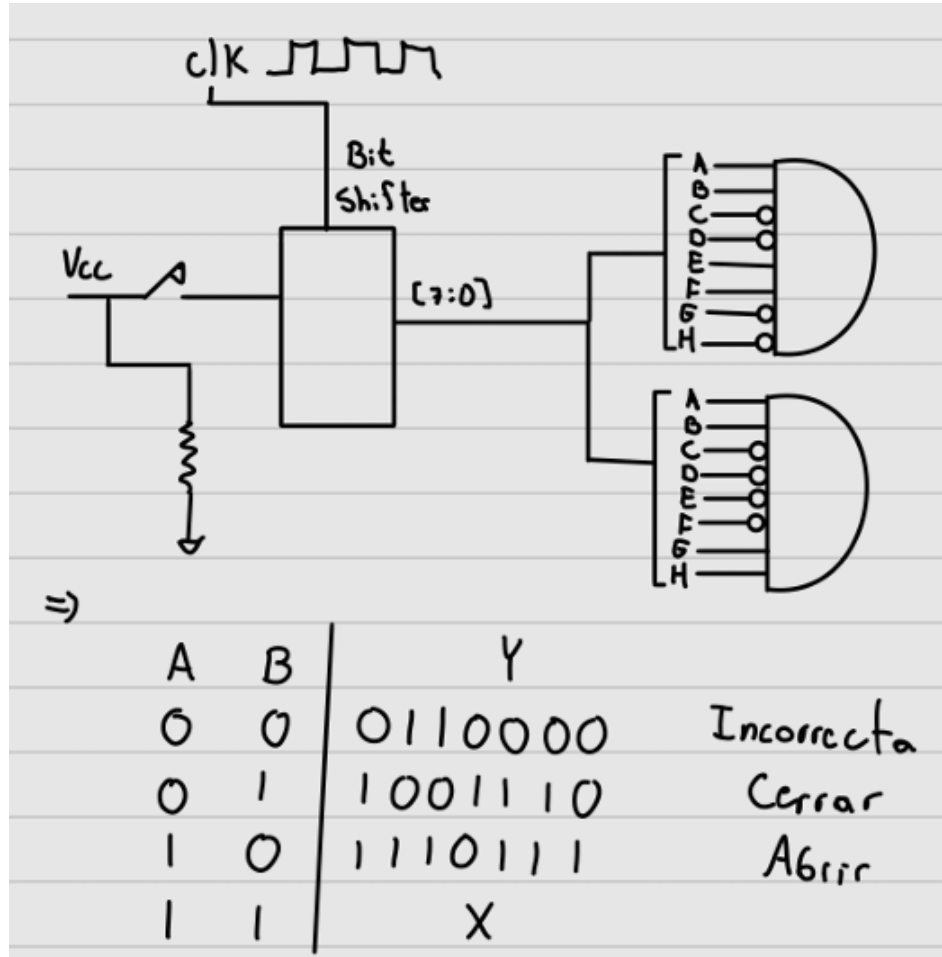
2.1. Planteo inicial para afrontar el problema

Figura 1



2.2. Diagrama del sistema

Figura 2. Diagrama del sistema de control de acceso



2.3. Combinaciones de entrada

Tabla 1. Combinaciones de entrada y salida

Contraseñas	Valor
A:	11001100
C:	11000011

Entradas								Salida
A	B	C	D	E	F	H	I	Y
1	1	0	0	1	1	0	0	1
1	1	0	0	0	0	1	1	1

2.4. Tablas de verdad y simplificación

$$a = A \oplus B$$

A	B	a
0	0	0
0	1	1
1	0	1
1	1	X

$$b = \bar{B}$$

A	B	b
0	0	1
0	1	0
1	0	1
1	1	X

$$c = \bar{B}$$

A	B	c
0	0	1
0	1	0
1	0	1
1	1	X

$$d = \bar{A} \cdot B$$

A	B	d
0	0	0
0	1	1
1	0	0
1	1	X

$$e = A \oplus B$$

A	B	e
0	0	0
0	1	1
1	0	1
1	1	X

$$f = A \oplus B$$

A	B	f
0	0	0
0	1	1
1	0	1
1	1	X

$$g = A \cdot \bar{B}$$

A	B	g
0	0	0
0	1	0
1	0	1
1	1	X

Simplificación de b y c :

$$\begin{aligned}
 b &= \bar{A} \cdot \bar{B} + A \cdot \bar{B} \\
 &= \bar{B}(\bar{A} + A) \\
 &= \bar{B} \cdot 1 \\
 &= \bar{B}
 \end{aligned}$$

2.5. Funciones para display de ánodo común

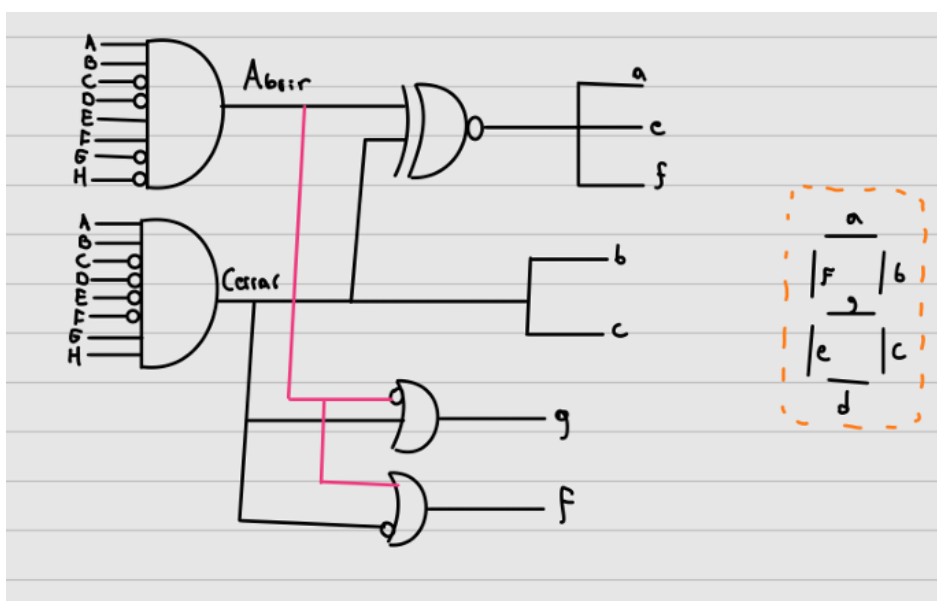
Los displays de siete segmentos pueden ser de cátodo común o ánodo común. En los de ánodo común, todos los ánodos de los LEDs están conectados a VCC (+5V), por lo que para encender un segmento se debe aplicar un nivel BAJO (0) en su cátodo. Esto invierte completamente la lógica respecto a los displays de cátodo común.

$$\begin{aligned}
 a &= \overline{A \oplus B} \\
 b &= B \\
 c &= B \\
 d &= \overline{\bar{A} \cdot B} \Rightarrow \bar{\bar{A}} + \bar{B} = A + \bar{B} \\
 e &= \overline{A \oplus B} \\
 f &= \overline{A \oplus B} \\
 g &= \overline{A \cdot \bar{B}} \Rightarrow \bar{A} + \bar{\bar{B}} = \bar{A} + B
 \end{aligned}$$

Tabla 2. Tabla de verdad para las funciones lógicas

A	B	\overline{B}	$A \cdot \overline{B}$	$\overline{A} \cdot \overline{B}$	$\overline{A} + B$
0	0	1	0	1	1
0	1	0	0	1	1
1	0	1	1	0	0
1	1	0	0	1	1

Figura 3. Circuito lógico implementado



3. Bitácora

3.1. 3/09/2025

El día de hoy se armó la parte del circuito para visualizar la contraseña con el registro de corrimiento.

3.2. 6/09/2025

Se diseñó el circuito lógico para ambas contraseñas utilizando las compuertas NOT y AND.

3.3. 7/09/2025

Se armó la primera parte de la contraseña correspondiente a abrir la puerta.

3.4. 9/09/2025

Se armó la segunda parte de la contraseña correspondiente a abrir y cerrar la puerta, aún tiene algunos fallos como que el led prende tenuemente aunque la salida no sea un "1" lógico.

3.5. 15/09/2025

Se diseñó el decoder para convertir las salidas de 2 bits [00] para la entrada del BCD con una salida de 7 bits para el display de 7 segmentos.

3.6. 16/09/2025

Se armó el circuito del decoder para visualizar la salida en el display. Pero existían ligeros errores en el muestreo, los cuales se corrigieron.

3.7. 17/09/2025

Se terminó el documento con el diseño, teoría y bitácora para la entrega de la tarea.

3.8. 19/09/2025

Se empezó la investigación sobre el puente H y se detectaron 2 principales problemas: el tiempo de la señal de apertura/cierre y la sustitución de los botones del puente H.

3.9. 21/09/2025

Se decidió solucionar el problema del tiempo de la señal mediante la incorporación de un NE555 y se decidió utilizar los mismos transistores 2N2222A del puente H para realizar la función de los botones pulsadores.

3.10. 21/09/2025

Se compraron todos los componentes necesarios para el desacople y el motor, además se realizó el montaje del puente H.

Referencias

- [1] S. L. Harris and D. Harris, *Digital Design and Computer Architecture*, 2nd ed. Burlington, MA, USA: Morgan Kaufmann, 2021.