

Laborübung 2

Die Bearbeitung der Aufgaben erfolgt in Gruppen zu je max. zwei Teilnehmern. Alle Aufgaben (inkl. Skizzen, Rechnungen, Entwurfsschritte) sind schriftlich zu lösen und in einem Protokoll festzuhalten. Für den Hardware-Entwurf ist die Durchführung einer aussagekräftigen Simulation des Designs (oder Teilen davon) vor der eigentlichen Konfiguration des FPGAs obligatorisch, auch wenn dies in der Aufgabenstellung nicht ausdrücklich erwähnt ist. Alle Ergebnisse der Bearbeitung sind dem Dozenten im Rahmen der Gruppenrücksprache zu präsentieren. Für die Gruppenrücksprache zur Abnahme von Laborleistungen sind max. 2 Versuche pro Termin möglich (zur Vermeidung von trial-and-error Verfahren). Erfolgreiche Abnahmen werden auf dem Aufgabenblatt schriftlich quittiert. Eine erfolgreiche Laborteilnahme ist Voraussetzung für die Teilnahme an der Klausur am Ende des Semesters. Bitte bedenken Sie, dass eine gute Vorbereitung zu den Labortermen unabdingbar ist.

Aufgabe 1

In diesem Labortermin sollen Sie sich mit der Festkommaarithmetik beschäftigen und diese auf eine vorzeichenbehaftete Addition / Subtraktion anwenden. Zunächst gehen Sie von ganzen Zahlen aus.

1. Das ZIP-Archiv zu diesem Labortermin enthält einen 1-Bit Volladdierer in VHDL. Nutzen Sie diese Vorlage, um einen generischen n-Bit Addierer auf Register Transfer Level (RTL) zu entwerfen. Als Default-Wert für die generische Breite nehmen Sie 4 Bit an. Der Addierer soll zunächst vorzeichenlos und mit ganzen Zahlen (normale Binärdarstellung) arbeiten.
2. Simulieren Sie Ihren Entwurf und überprüfen Sie die korrekte Funktionsweise mittels einer Testbench.
3. Erweitern Sie Ihren Entwurf, so dass der Addierer auch subtrahieren kann. Dazu erweitern Sie die Entity um einen zusätzlichen 1-Bit Port, der als Modus-Bit interpretiert wird. Ist dieses Bit gleich Null, wird normal addiert. Ist dieses Bit gleich Eins, so wird mit dem Zweierkomplement addiert, was einer Subtraktion entspricht. Das gesetzte Modus-Bit kann direkt für die Bildung des Zweierkomplements genutzt werden, da hier zum Einerkomplement noch eine 1 addiert werden muss. Überlegen Sie sich in diesem Zusammenhang auch eine möglichst effiziente Implementierung für das Invertieren.
4. Simulieren und überprüfen Sie wieder Ihren Entwurf. Passen Sie dazu die Testbench an.

5. Simulieren Sie nun unterschiedliche Bitbreiten (mind. 3 verschiedene) für die kombinierte Addierer- / Subtrahierer-Schaltung und halten Sie in einer Tabelle die darstellbaren Wertebereiche bezogen auf die Bitbreiten (vorzeichenbehaftet vs. vorzeichenlos) fest.

Aufgabe 2

Festkommaarithmetik ist eine Methode zur (digitalen) Darstellung und Berechnung von gebrochenen Zahlen. Auch hier sind die Regeln der Addition und Subtraktion uneingeschränkt anwendbar.

1. In der Vorlesung haben Sie die Grundlagen der Festkommadarstellung in VHDL vermittelt bekommen. Schreiben Sie ein eigenes Package ähnlich dem in der Vorlesung gezeigten für einen eigenen Festkomma-Datentypen und definieren Sie für Minuend, Subtrahend und die Summanden Folgendes:

	m	f	b
Minuend	5	7	12
Subtrahend	4	6	10
Summand	5	5	10
Summand	6	8	14

Für die Ergebnisse, also Differenz und Summe, definieren Sie die entsprechenden Werte für die gemäß der Tabelle maximal möglichen Wertebereiche.

2. Passen Sie Ihre generische Addierer- / Subtrahierer-Schaltung aus Aufgabenteil 1 auf Festkommaarithmetik an. Binden Sie dazu Ihr Package aus 2.1. ein und erweitern Sie den VHDL-Code. Achten Sie insbesondere auf die korrekte Ausrichtung des Dezimalpunktes.
3. Simulieren Sie Ihren Entwurf und überprüfen Sie die korrekte Funktionsweise mittels einer Testbench und unterschiedlichen Werten.
4. Freiwillig: Implementieren Sie Ihr Design auf dem DE2-115 FPGA-Entwicklungssystem. Nutzen Sie die Switches zur Eingabe der Werte und übernehmen Sie die Werte mittels Push-Buttons. Die Ergebnisse können Sie entweder auf den LEDs oder mittels 7-Segment-Anzeige ausgeben.

Ab hier bitte keine Eintragungen vornehmen!

Aufgabe 1	Aufgabe 2