

Laborübung 1

Die Bearbeitung der Aufgaben erfolgt in Gruppen zu je max. zwei Teilnehmern. Die Gruppeneinteilung erfolgt zum ersten Labortermine. Alle Aufgaben (inkl. Skizzen, Rechnungen, Entwurfsschritte) sind schriftlich zu lösen und in einem Protokoll festzuhalten. Alle Ergebnisse der Bearbeitung sind dem Dozenten im Rahmen der Gruppenrücksprache zu präsentieren. Für die Gruppenrücksprache zur Abnahme von Laborleistungen sind max. 2 Versuche pro Termin möglich (zur Vermeidung von trial-and-error Verfahren). Erfolgreiche Abnahmen werden auf dem Aufgabenblatt schriftlich quittiert. Eine erfolgreiche Laborteilnahme ist Voraussetzung für die Teilnahme an der Klausur am Ende des Semesters. Bitte bedenken Sie, dass eine gute Vorbereitung zu den Labortermen unabdingbar ist.

Aufgabe 1

Frischen Sie Ihre VHDL-Kenntnisse auf. Nutzen Sie diese, um den folgenden Entwurf zu realisieren.

1. In der Vorlesung haben Sie die VHDL-Beschreibung eines Komparators basierend auf dem Integer-Datentypen kennengelernt. Operationen auf Integer-Elemente können zwar von einem Synthesewerkzeug umgesetzt werden, aber erzeugen ineffiziente Strukturen.

Entwerfen Sie als erstes also jeweils einen Komparator für Gleichheit und Größer-als auf Gatterebene für eine Bitbreite von 4 Bit. Dazu müssen zunächst entsprechende Wahrheitstabellen¹ und KV-Tafeln erstellt werden. Die resultierenden minimierten Ausdrücke bilden die Basis für die Schaltungsbeschreibung in VHDL. Geben Sie alle relevanten booleschen Ausdrücke für die zwei Komparatoren an.

2. Schreiben Sie nun jeweils den VHDL-Code für den Gleichheits- und Größer-als-Komparator basierend auf Ihrer Herleitung. Danken Sie daran die Schaltung auf Gatterebene, also auf Register Transfer Level (RTL) zu beschreiben. Eine Formulierung auf der Verhaltensebene (Behavioral) ist hier nicht zulässig. Das ZIP-Archiv zu diesem Labortermine stellt ein geeignetes Gerüst für Ihren VHDL-Entwurf bereit. Speichern Sie Ihre Entwürfe in separaten Dateien.

¹Die Wahrheitstabelle für einen 4-Bit Komparator würde normalerweise $4^4 = 256$ Zeilen umfassen. Wenn Sie den Aufwand nicht scheuen, gehen Sie ruhig nach dieser Methode vor. Sie können allerdings auch eine verkürzte Tabelle erstellen, in der Sie ausgehend vom MSB der beiden Eingänge jedes Bit vergleichen und basierend auf dem Stellenwert bereits eine Aussage über Gleichheit oder Größer-als treffen können.

Aufgabe 2

1. Ihr Entwurf soll nun durch generic-Anweisungen parametrisierbar bzgl. der Bitbreite ($n > 1$) werden. Durch diese generische Beschreibung wird Ihr Design leichter wiederverwendbar. Machen Sie sich vorab ausführlich Gedanken über die Machbarkeit und eventuelle Fallunterscheidungen. Skizzieren Sie Ihren Lösungsweg.
2. Führen Sie nun die Anpassung für beide Komparatoren durch. Nutzen Sie wiederum das im ZIP-Archiv bereitgestellte Template für diese Aufgabe.

Aufgabe 3

1. Zur kompletten Beschreibung einer digitalen Schaltung in VHDL gehört auch eine Testbench, mit deren Hilfe die Funktionsfähigkeit nachgewiesen werden kann. Die Testbench generiert dabei Stimuli-Signale für die Eingänge der zu testenden Schaltung und überprüft die Ausgangssignale. Erstellen Sie daher nun eine Testbench für die Verifikation Ihres Entwurfs aus Ausgabenteil 2 und nutzen Sie Konfigurationsanweisungen (Schlüsselwort "configuration"), um verschiedene Szenarien (Gleichheit, Größer-als, Kleiner-als, unterschiedliche Bitbreiten) zu simulieren.

Ab hier bitte keine Eintragungen vornehmen!

Aufgabe 1	Aufgabe 2	Aufgabe 3