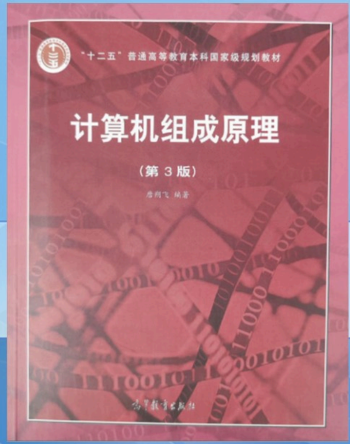
# 计算机组成原理

作者：唐朔飞
高等教育出版社




## 第六章　计算机的运算方法

主讲人：张瑞华
山东大学 计算机科学与技术学院

---

# 内容提要



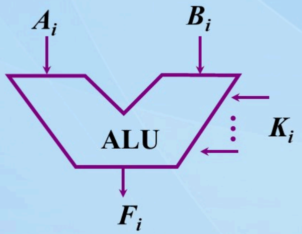
6.1 无符号数和有符号数
6.2 数的定点表示和浮点表示
6.3 定点运算
6.4 浮点四则运算
6.5 算术逻辑单元



---

# 6. 5 算术逻辑单元

## 6.5.1 ALU 电路




组合逻辑电路

$K_i$ 不同取值

$F_i$ 不同

四位 ALU　74181　(P281)

$M = 0$　算术运算

$M = 1$　逻辑运算

$S_3 \sim S_0$　不同取值，可做不同运算

---

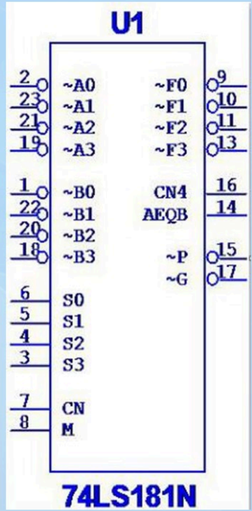
# 74LS181芯片的介绍



- 引脚图与引脚说明

ALU—74LS181 引脚说明：M=1 逻辑运算，M=0 算术运算。

| 引 脚 | 说 明 |
|---|---|
| M 状态控制端 | M=1 逻辑运算；M=0 算术运算 |
| S3 S2 S1 S0 运算选择控制 | S3 S2 S1 S0 决定电路执行哪一种算术 |
| A3 A2 A1 A0 | 运算数 1，引脚 3 为最高位 |
| B3 B2 B1 B0 | 运算数 2，引脚 3 为最高位 |
| Cn 最低位进入输入 | Cn=0 有进位，Cn=1 无进位 |
| Cn+4 本片产生的进位信号 | Cn+4=0 有进位，Cn+4=1 无进位 |
| F3 F2 F1 F0 | F3 F2 F1 F0 运算结果，F3 为最高位 |




- 引脚P、N是2个级联输出端，同时产生快速进位，配合74ls182产生全速并行进位链。

- **74ls181功能图：**
- **算术运算关注：**
  - A加B(1001CN=1)
  - A减B(0110CN=0)
  - A加1(0000CN=0)
  - A减1(1111CN=1)
  - A加B加1（1001CN=0）
- **逻辑运算关注：**
  - 逻辑异或(0110)
  - 逻辑与(1011)
  - 逻辑或(1110)
  - A逻辑非(0000)
  - B逻辑非(0101)
  - A直传(1111)
  - B直传(1010)
  - 逻辑运算与CN无关

| 方式 | M=1 逻辑运算 | M=0 算术运算 | |
|---|---|---|---|
| S3 S2 S1 S0 | 逻辑运算 | CN=1（无进位） | CN=0（有进位） |
| 0 0 0 0 | F=/A | F=A | F=A 加 1 |
| 0 0 0 1 | F=/(A+B) | F=A+B | F=(A+B)加 1 |
| 0 0 1 0 | F=(/A)B | F=A+/B | F=(A+/B)加 1 |
| 0 0 1 1 | F=0 | F=负 1 | F=0 |
| 0 1 0 0 | F=/(AB) | F=A 加 A(/B) | F=A 加 A/B 加 1 |
| 0 1 0 1 | F=/B | F=(A+B)加 A/B | F=(A+B)加 A/B 加 1 |
| 0 1 1 0 | F=A⊕B | F=A 减 B 减 1 | F=A 减 B |
| 0 1 1 1 | F=A/B | F=A(/B)减 1 | F=A(/B) |
| 1 0 0 0 | F=/A+B | F=A 加 AB | F=A 加 AB 加 1 |
| 1 0 0 1 | F=/(A⊕B) | F=A 加 B | F=A 加 B 加 1 |
| 1 0 1 0 | F=B | F=(A+/B)加 AB | F=(A+/B)加 AB 加 1 |
| 1 0 1 1 | F=AB | F=AB 减 1 | F=AB |
| 1 1 0 0 | F=1 | F=A 加 A | F=A 加 A 加 1 |
| 1 1 0 1 | F=A+/B | F=(A+B)加 A | F=(A+B)加 A 加 1 |
| 1 1 1 0 | F=A+B | F=(A+/B)加 A | F=(A+/B)加 A 加 1 |
| 1 1 1 1 | F=A | F=A 减 1 | F=A |

（上表中的“/”表示求反）

# 全加器真值表

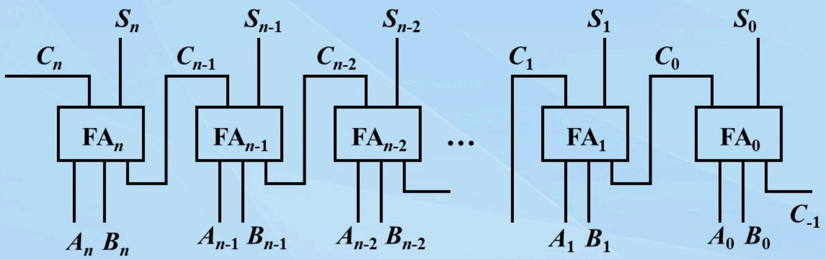
| 前级进位 $C_{i-1}$ | 被加数 $A_i$ | 加数 $B_i$ | 结果：$F=C_{i-1}+A_i+B_i=C_i S_i$ $C_i$ | $S_i$ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

$$C_i = A_i B_i \overline{C}_{i-1}+\overline{A}_i B_i C_{i-1}+A_i \overline{B}_i C_{i-1}+A_i B_i C_{i-1}=A_iB_i+(A_i+B_i)C_{i-1}$$

$$S_i = \overline{A}_i \overline{B}_i C_{i-1}+\overline{A}_i B_i \overline{C}_{i-1}+A_i \overline{B}_i \overline{C}_{i-1}+A_i B_i C_{i-1}$$

## 6.5.2 快速进位链

### 1. 并行加法器---串行进位链




$$S_i = \overline{A}_i \overline{B}_i C_{i-1}+\overline{A}_i B_i \overline{C}_{i-1}+A_i \overline{B}_i \overline{C}_{i-1}+A_i B_i C_{i-1}$$

$$C_i = \overline{A}_i B_i C_{i-1}+A_i \overline{B}_i C_{i-1}+A_i B_i \overline{C}_{i-1}+A_i B_i C_{i-1}$$

$$= A_i B_i + (A_i+B_i)C_{i-1}$$

$d_i = A_i B_i$ 本地进位 $t_i = A_i + B_i$ 传送条件

则 $C_i = d_i + t_i C_{i-1}$

## 2. 串行进位链

进位链 传送进位的电路

串行进位链 进位串行传送

以 4 位全加器为例，每一位的进位表达式为

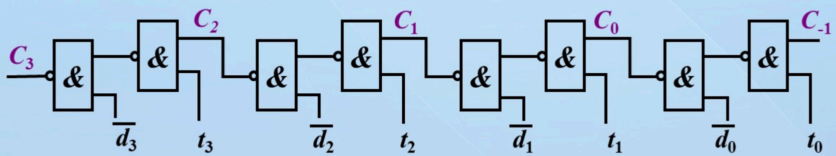
$$C_0 = d_0 + t_0 C_{-1} = \overline{\overline{d_0} \cdot \overline{t_0 C_{-1}}}$$

$$C_1 = d_1 + t_1 C_0$$

$$C_2 = d_2 + t_2 C_1$$

$$C_3 = d_3 + t_3 C_2$$

设与非门的级延迟时间为$t_y$




4 位 全加器产生进位的全部时间为 $8t_y$

$n$ 位全加器产生进位的全部时间为 $2nt_y$

## 3. 并行进位链（先行进位，跳跃进位）

*n* 位加法器的进位同时产生　　以 4 位加法器为例

$C_0 = d_0 + t_0C_{-1}$

$C_1 = d_1 + t_1C_0 = d_1 + t_1d_0 + t_1t_0C_{-1}$

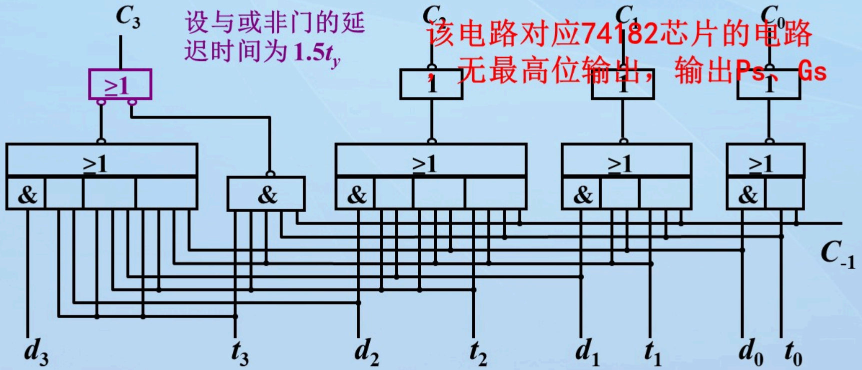
$C_2 = d_2 + t_2C_1 = d_2 + t_2d_1 + t_2t_1d_0 + t_2t_1t_0C_{-1}$

$C_3 = d_3 + t_3C_2 = d_3 + t_3d_2 + t_3t_2d_1 + t_3t_2t_1d_0 + t_3t_2t_1t_0C_{-1}$

当 $d_it_i$ 形成后，只需 $2.5t_y$ 产生全部进位

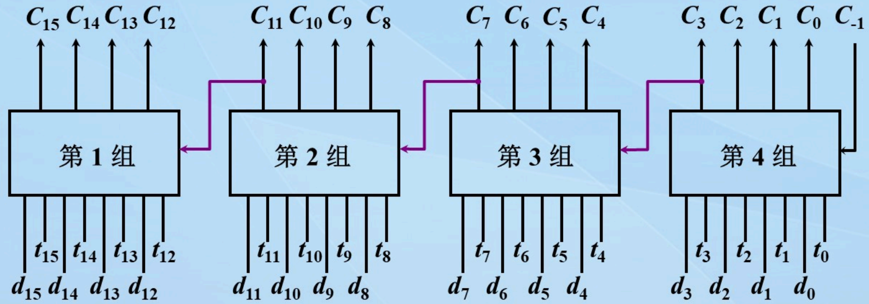
设与或非门的延迟时间为 $1.5t_y$

该电路对应74182芯片的电路，无最高位输出，输出Ps、Gs




## (1) 单重分组跳跃进位链

*n* 位全加器分若干小组，小组中的进位同时产生，小组与小组之间采用串行进位　　以 $n = 16$ 为例




当 $d_it_i$ 形成后　经 $2.5\,t_y$　产生 $C_3 \sim C_0$

$5\,t_y$　产生 $C_7 \sim C_4$

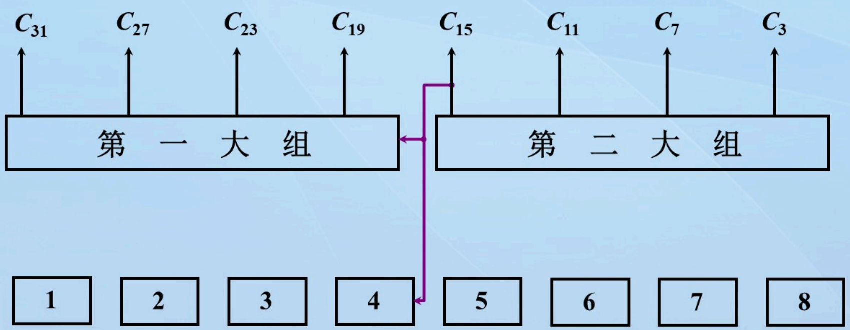
$7.5\,t_y$　产生 $C_{11} \sim C_8$

$10\,t_y$　产生 $C_{15} \sim C_{12}$

## (2) 双重分组跳跃进位链

*n* 位全加器分若干大组，大组中又包含若干小组。每个大组中小组的最高位进位同时产生。大组与大组之间采用串行进位。

以 $n = 32$ 为例




## 双重分组跳跃进位链 大组进位分析

以第 8 小组为例

$$C_3 = d_3 + t_3C_2 = \underbrace{d_3 + t_3d_2 + t_3t_2d_1 + t_3t_2t_1d_0}_{D_8} + \underbrace{t_3t_2t_1t_0}_{T_8}C_{-1}$$

$$= D_8 + T_8C_{-1}$$

$D_8$ 小组的本地进位　与外来进位无关

$T_8$ 小组的传送条件　与外来进位无关　传递外来进位

同理　第 7 小组　$C_7 = D_7 + T_7C_3$

第 6 小组　$C_{11} = D_6 + T_6C_7$

第 5 小组　$C_{15} = D_5 + T_5C_{11}$

D、T对应74181芯片的G、P

进一步展开得

$C_3 = D_8 + T_8C_{-1}$

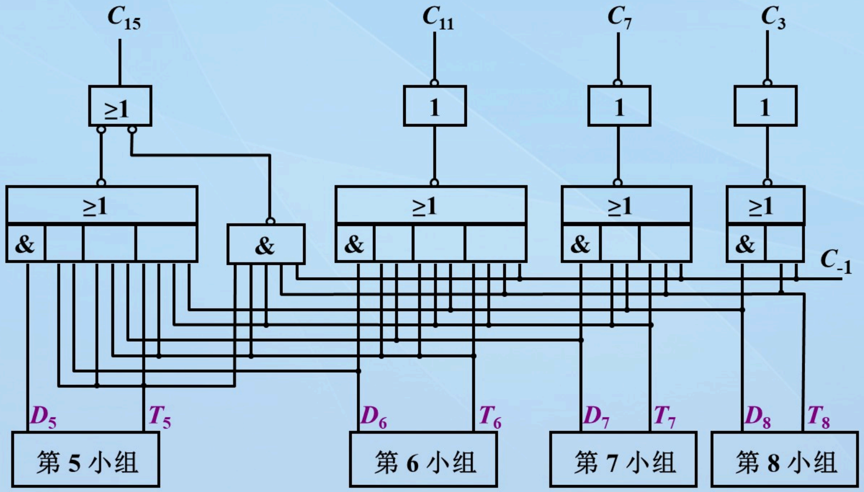
$C_7 = D_7 + T_7C_3 = D_7 + T_7D_8 + T_7T_8C_{-1}$

$C_{11} = D_6 + T_6C_7 = D_6 + T_6D_7 + T_6T_7D_8 + T_6T_7T_8C_{-1}$

$C_{15} = D_5 + T_5C_{11} = D_5 + T_5D_6 + T_5T_6D_7 + T_5T_6T_7D_8 + T_5T_6T_7T_8C_{-1}$

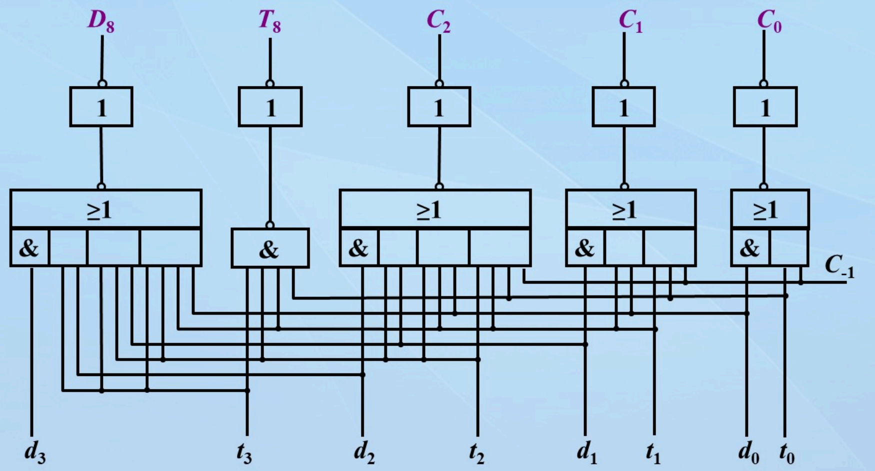
## 双重分组跳跃进位链的 大组 进位线路

以第 2 大组为例

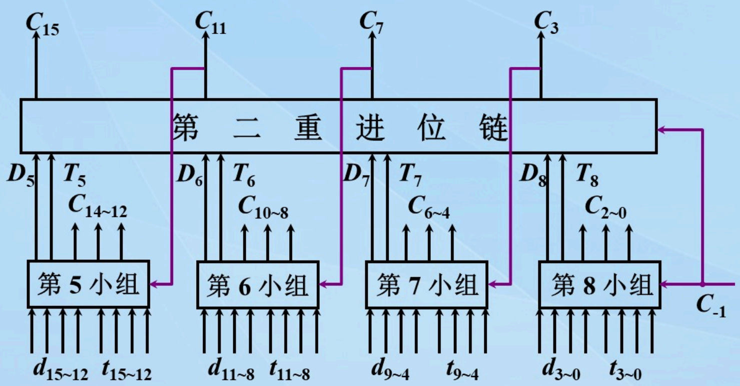



## 双重分组跳跃进位链的 小组 进位线路

以第 8 小组为例　只产生 低 3 位 的进位和 本小组的 $D_8$ $T_8$




## $n$ =16 双重分组跳跃进位链



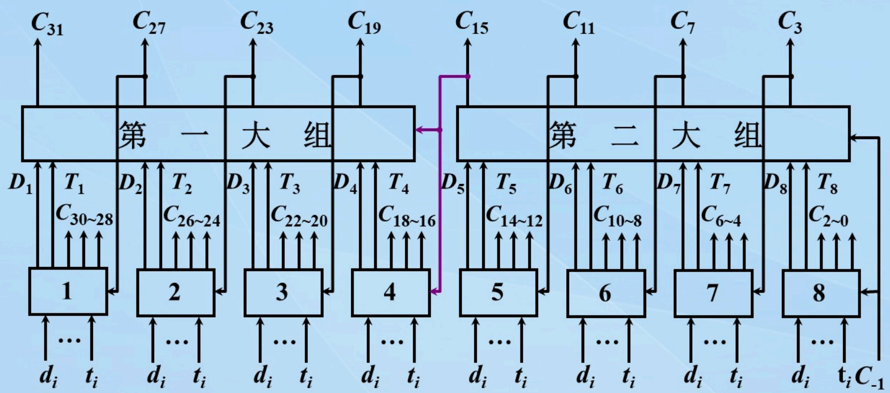

当 $d_i t_i$ 和 $C_{-1}$ 形成后　经 2.5 $t_y$　产生 $C_2$、$C_1$、$C_0$、$D_5 \sim D_8$、$T_5 \sim T_8$

经　5 $t_y$　产生 $C_{15}$、$C_{11}$、$C_7$、$C_3$

经 7.5 $t_y$　产生 $C_{14}$~$C_{12}$、$C_{10}$~$C_8$、$C_6$~$C_4$

串行进位链　经 3 2 $t_y$　产生　全部进位

## $n$ =32 双重分组跳跃进位链




当 $d_i t_i$ 形成后　经 2.5 $t_y$　产生 $C_2$、$C_1$、$C_0$、$D_1 \sim D_8$、$T_1 \sim T_8$

5 $t_y$　产生 $C_{15}$、$C_{11}$、$C_7$、$C_3$

7.5 $t_y$　产生 $C_{18}$~$C_{16}$、$C_{14}$~$C_{12}$、$C_{10}$~$C_8$、$C_6$~$C_4$
$C_{31}$、$C_{27}$、$C_{23}$、$C_{19}$

1 0 $t_y$　产生 $C_{30}$~$C_{28}$、$C_{26}$~$C_{24}$、$C_{22}$~$C_{20}$

# 小结

- 无符号数和有符号数
  - 原码、反码、补码、移码
- 数的定点表示和浮点表示
  - $N = S \times r^j$
- 移位操作
  - 逻辑移位(所有位都参与移位)、算术移位(符号位不变)
- 定点运算
  - [X+Y]补=[X]补+[Y]补 (1) [X-Y]补=[X]补+[-Y]补 (2)
  - 溢出判断①Cf与C的异或关系②双符号位法
  - 定点乘法运算①原码一位乘法②补码一位乘法
  - 定点除法运算①原码恢复余数除法②原码不恢复余数除法
- 浮点四则运算
  - 加减(对阶、尾数相加减、结果规格化)
  - 乘法(阶码相加、尾数相乘、结果规格化)
- 算术逻辑单元

17