

Projektiranje programabilnih SoC platformi

Administracija predmeta, uvod i motivacija



Sveučilište u Zagrebu
Fakultet elektrotehnike i računarstva





- Administracija
 - organizacija nastave
 - sadržaj kolegija
 - literatura
 - ocjenjivanje



ADMINISTRACIJA



Projektiranje programabilnih SoC platformi



- *engl. System Level Integration*
- Predmeti specijalizacije profila Računalno inženjerstvo
- ECTS : 4
- Nositelji:
 - Vlado.Sruk@fer.hr (D-332)
 - Hrvoje.Mlinaric@fer.hr (C11-09)



■ Asistenti:

- Danko.Ivosevic@fer.hr (D-344, D-335)

■ Informacije:

- sve obavijesti u svezi predmeta biti će objavljene na web stranici:

<http://www.fer.unizg.hr/predmet/inrss>



- predavanja: Moodle

<https://moodle.fer.hr/course/view.php?id=21>



- Predavanja
 - četvrtak, 14-16, D-306

- Konzultacije profesora i asistenata: FER web stranice:
[Http://www.fer.unizg.hr/predmet/inrss/konzultacije](http://www.fer.unizg.hr/predmet/inrss/konzultacije)
 - najava e-pošta:
 - Naslov/Subject: [SOC] Konzultacije



- *Predavanja* su organizirana u dva ciklusa (7+6 tjedana) s 2 sata predavanja.
- *Samostalni rad:* Lab. vježbe
- *Anketa:* središnji i završni upitnik
- *Kontinuirana provjera znanja:*
 - kratke provjere znanja, međuispit, završni ispit



Preporučena literatura



- *Bilješke s predavanja*
- Nastavni sadržaji prezentacija s predavanja
 - 2-3 dana prije predavanja (FER web)
- Dodatni sadržaji
 - članci, tehnička dokumentacija (FER web, Moodle, web)
- Knjige:
- D. D. Gajski, S. Bdi, A. Gerstlauer, G. Schirner, Embedded System Design: Modeling, Synthesis, Verification
- M. Keating, P. Bricaud: Reuse Methodology Manual for System-on-A-Chip Design
- W. Wolf: Computers as Components: Principles of Embedded Computing System Design, Morgan Kaufmann, 2nd Edition, 2005



- Polaganje predmeta
 - na završnom ispitu postignuto ≥ 12 bodova
 - prag za prolaz: 50 bodova
- Formiranje ocjena
 - prema utvrđenim pragovima

Ocjena	Bodovi
Izvrstan (5)	≥ 86
Vrlo dobar (4)	≥ 72
Dobar (3)	≥ 60
Dovoljan (2)	≥ 50



Ocjenjivanje na ispitnim rokovima



- Uvjeti za izlazak na ispitni rok:
 - $\geq 15/30$ bodova iz projekta.

Na ispitnom roku prenose se bodovi iz kontinuirane nastave:

Maks. broj bodova:

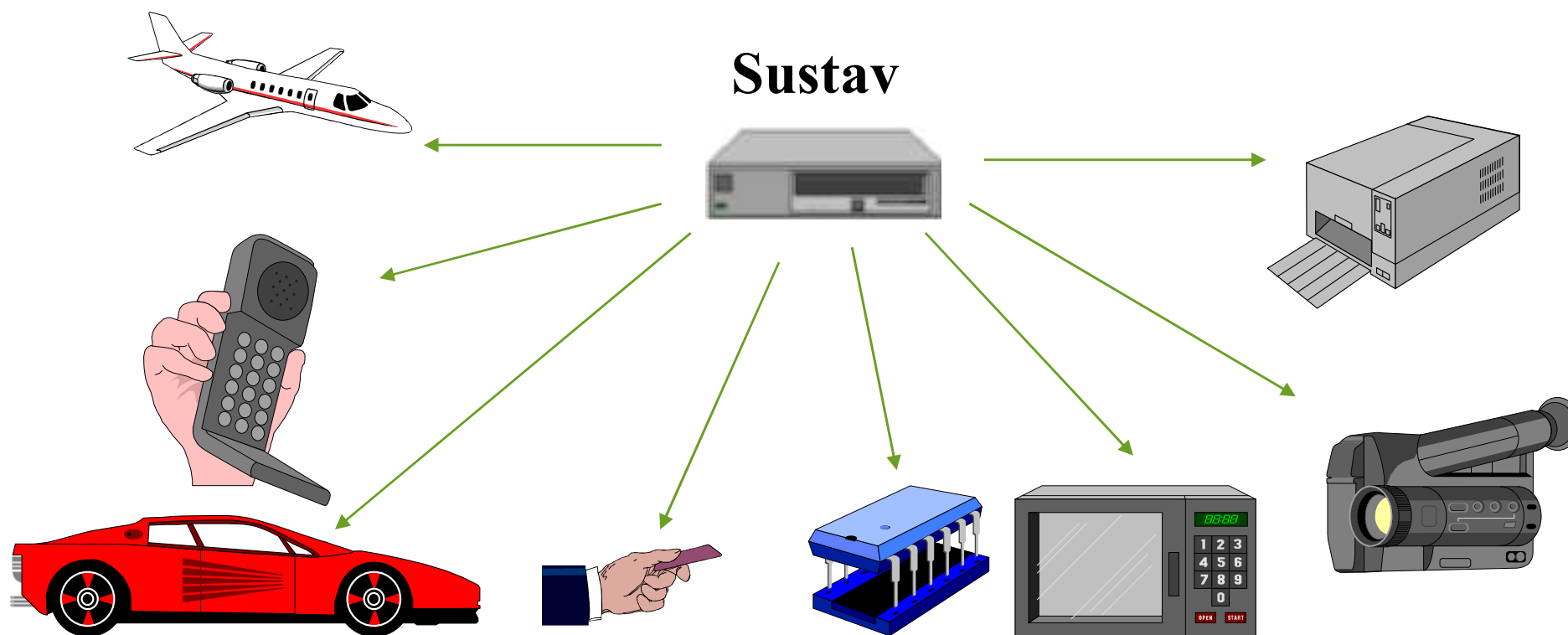
- | | |
|--------------------------|----|
| ■ Aktivnost: | 9 |
| ■ Projekt (8+8+14): | 30 |
| ■ Pismeni ispit na roku: | 61 |
-
- Na pismenom ispitu potrebno je ostvariti barem 30 bodova.
 - Polaganje predmeta
 - na pismenom ispitu postignuto ≥ 30 bodova
 - prag za prolaz: 50 bodova
 - Formiranje ocjena
 - prema utvrđenim pragovima jednakim kao i za kontinuiranu provjeru



- Razumijevanje koncepata i procesa oblikovanja sustava na čipu
- Metodologija sklopovsko programskog suoblikovanja
 - *engl. hardware/software co-design*
- Sklopovsko i programsko oblikovanje i verifikacija u kontrolnim, komunikacijskim i multimedijским sustavima.
- Definicija arhitekture te odabir gradbenih blokova poluvodičkog intelektualnog vlasništva.
- Metodologija integracije pred-definiranih funkcionalnih blokova u hijerarhijskom procesu podložnom vremenskim ograničenjima.
- Postupci u projektiranju poluvodičkog intelektualnog vlasništva.
- Intelektualno vlasništvo
- Oblikovanje s integracijskom platformom.



- Korisnički pogled:
 - specificirana funkcionalnost i zahtjevi (cijena, brzina ...)
- Projektantski pogled:
Sustav = sklopovske komponente + programi





- **Potpuno programsko**
 - Sklopovlje: matična ploča (*engl. Motherboard*)
 - Programi:
 - definiraju i obavljaju sve funkcionalnosti sustava
- **Potpuno sklopovsko**
 - Sklopovlje: matična ploča + upravljačka jedinica
 - upravljanje osjetnicima i izlaznim napravama
 - Programi:
 - komunikacija, složeni algoritmi (npr. obrada slike, ...)
- **Hibridno programsko/sklopovsko**
 - Sklopovlje : matična ploča + upravljačka jedinica
 - osjetnici
 - mikrokontroler
 - Programi :
 - program na matičnoj ploči : komunikacija, složeni algoritmi (npr. obrada slike, ...)
 - program na upravljačkoj jedinici: npr. upravljanje motorima, komunikacija prema matičnoj ploči



Razlika sklopovlja i programa



- Projektanti sklopovlja i programa potpuno različite specijalizacije
- Projekti sadrže oboje
- Brzi rast složenosti i sklopovlja i programa



Problemi projektiranja sklopovlja



- Sporo
- Malo iskusnih
- Velika cijena razvojnih alata
- Razvoj programa čeka izradu sklopovlja



Statistika neuspjeha



- 18% projekata prekinuto unutar 18 mj.
- 58% zakasnilo na tržište
- 20% ne zadovoljava 50% specifikacija
- Produkti koji izađu na tržište
 - na vrijeme i 50% veći troškovi zarade samo 4% manje
 - 6 mj. zakašnjenja izgube 33% zarade
 - 1 mjesec kašnjenja gubi 14% udjela tržišta



- Svi prethodni problemi izravno povezani sa složenošću sustava
- Jedini praktičan način obrade složenosti je podizanje razine apstrakcije sustava

*Tehnologija ne ČEKA
&
VRIJEME NE ČEKA*



Sustav na čipu



- *engl. System-on-Chip (SoC)*
- Objedinjuje različite komponente računala u jednom čipu
 - mikroprocesor; Memorija; Sabirnica; Periferija; Specifične funkcije
- Razvoj programske podrške
 - zasnovan na simulacijskim modelima ili FPGA
- Sklopovsko programsko suoblikovanje
 - *engl. Hardware/Software Co-Design*
 - potrebno je što ranije odrediti odnose programske i sklopovske implementacije



Sustav na čipu



- Složeni integrirani sklop koji objedinjuje glavne funkcijske elemente proizvoda na jednom čipu
- Sustav koji sadrži:
 - ugrađeni CPU (najmanje jedan)
 - ugrađenu memoriju
 - sučelja (povezivanje s vanjskim svijetom: USB, PCI, Ethernet)
 - program (na čipu i izvan)
 - koprocesore za obavljanje najzahtjevnijih funkcija
 - intelektualno vlasništvo IP
 - analogne sklopove
 - programibilno sklopovlje
 - tehnologija: ASIC, FPGA



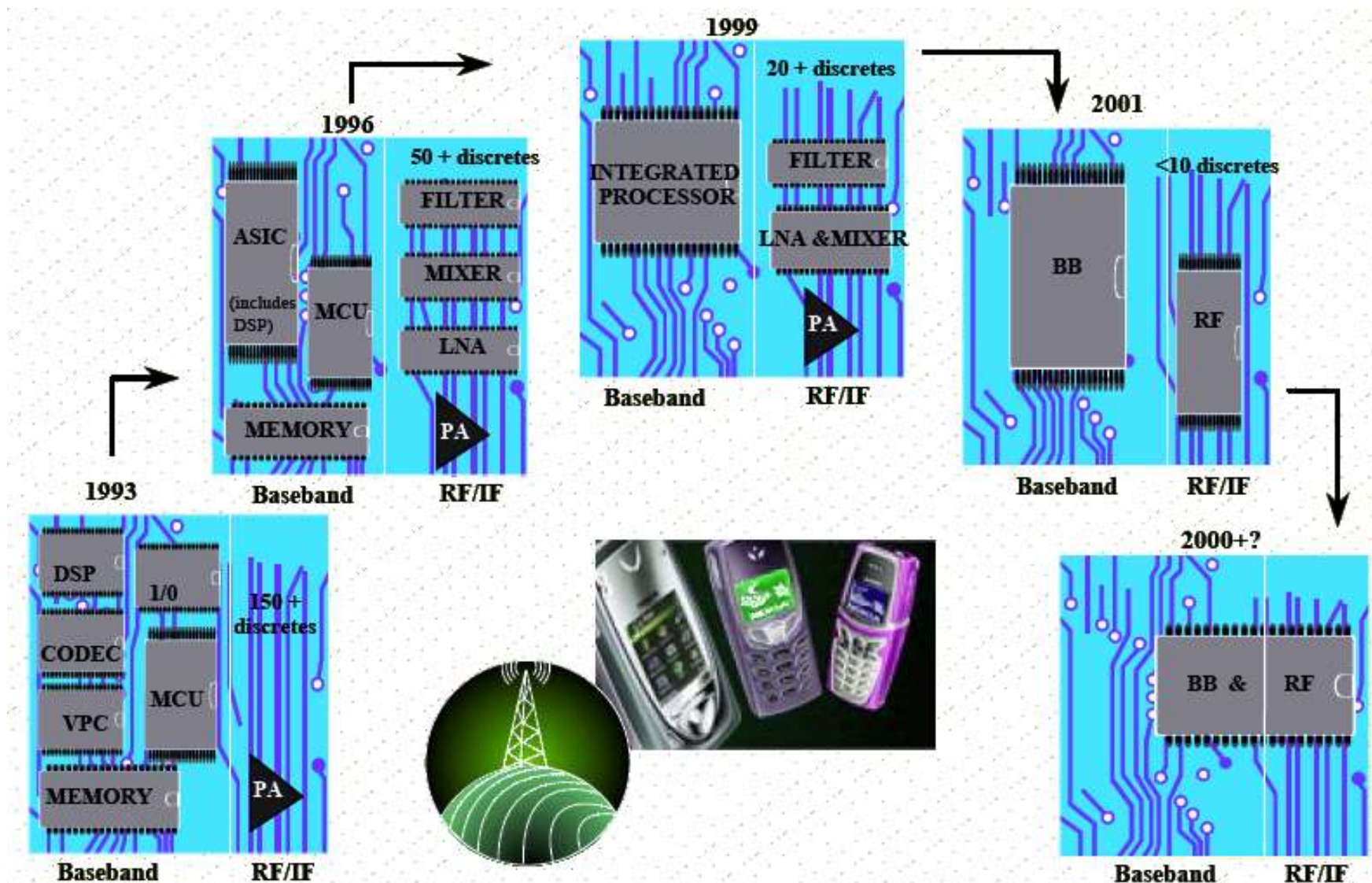
Poticaј razvoju



- SOC specifikacije definira inženjer sustava
 - SOC uklanja razdor HW/SW i implementacije na energetiko učinkovit način
 - Sustav se gradi na nivou blokova IP vlasništva (ponovna uporaba, *engl. design reuse*) i IP sučelja
-
- Zahtjevne aplikacije
 - Skraćivanje razvoja
 - Tehnologija izrade
 - Povećanje procesne moći
 - Produktivnost
 - Nove tehnike i alati

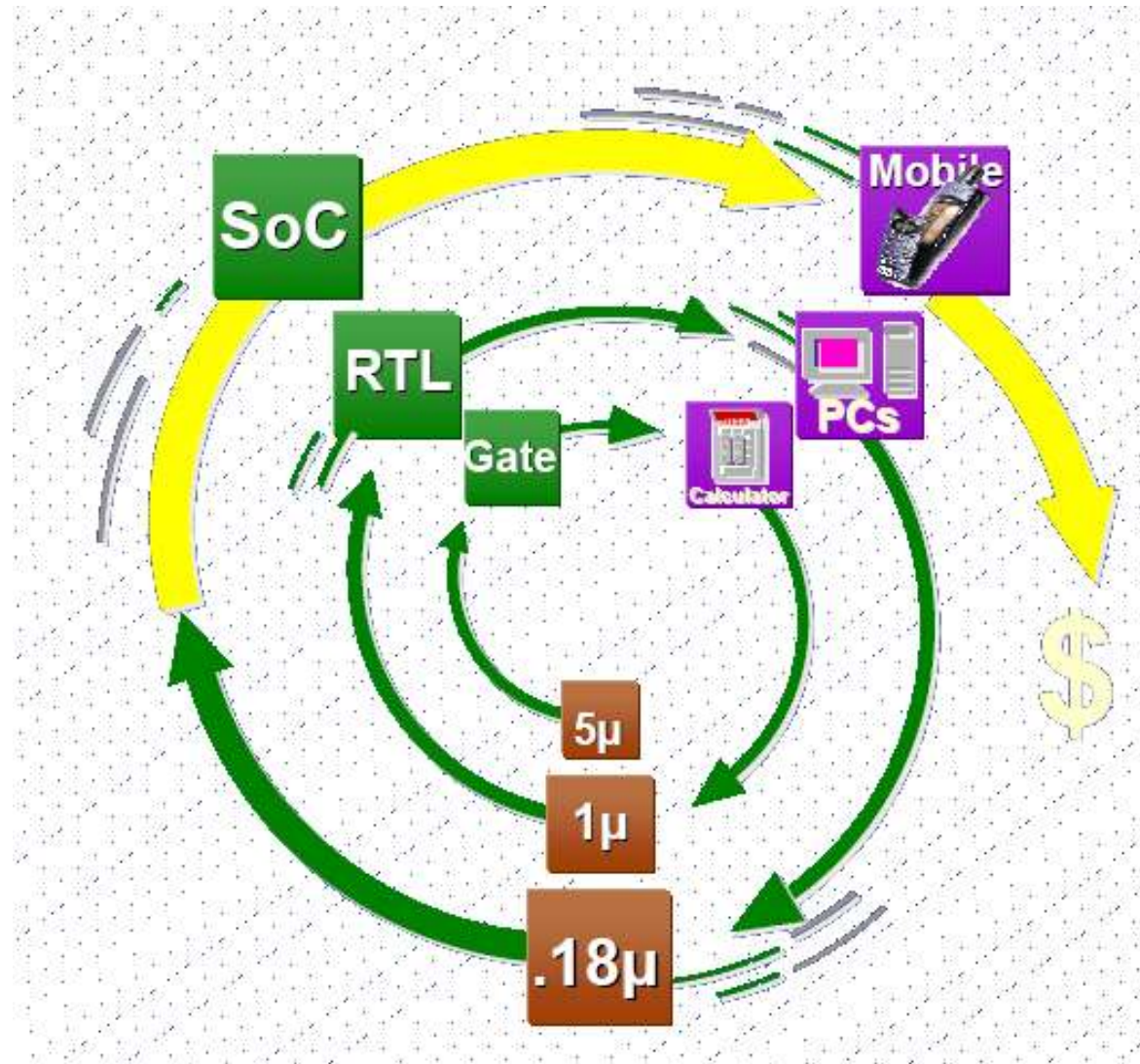


Utjecaj SOC na integraciju proizvoda



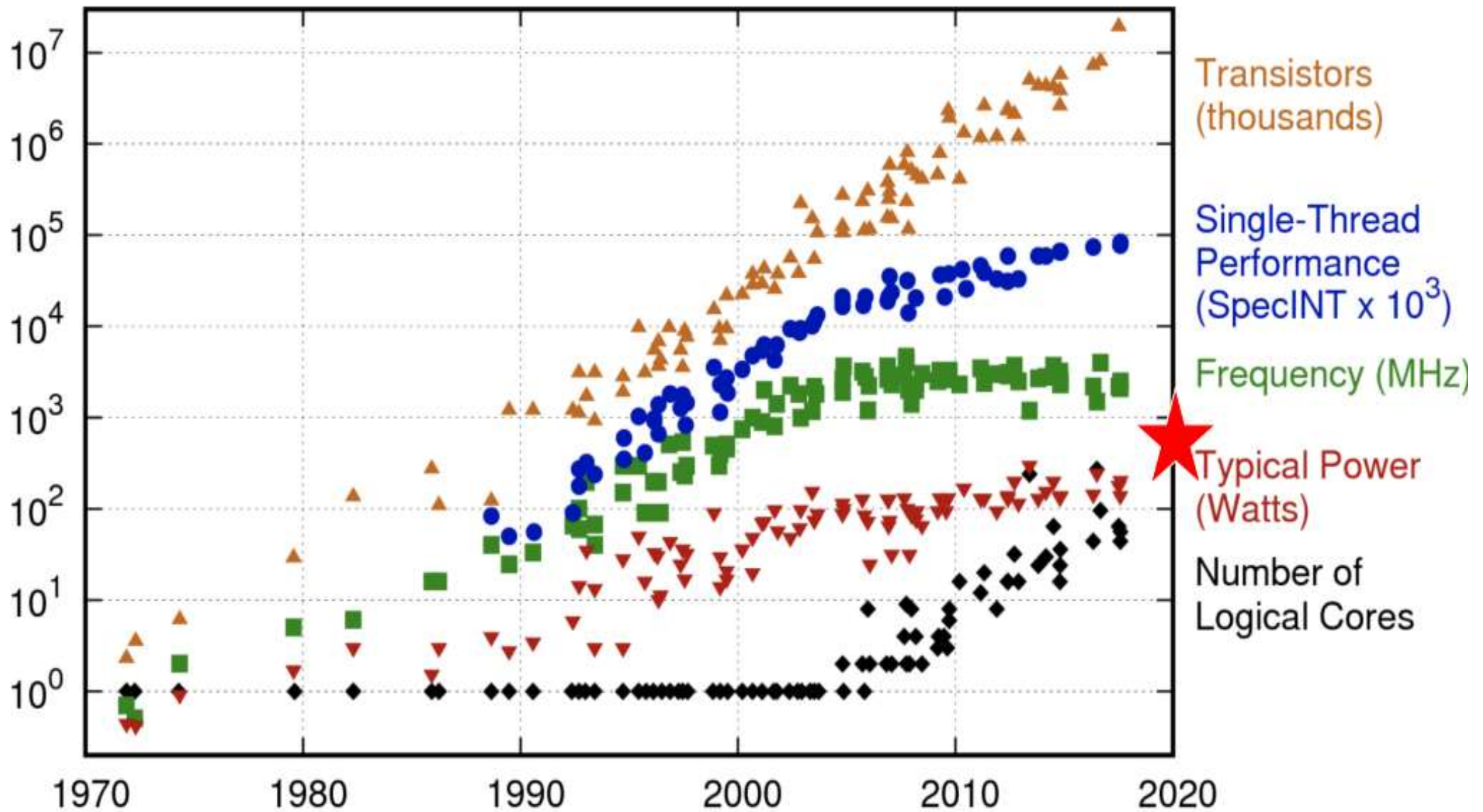


Utjecaj na razvoj





Trend razvoja

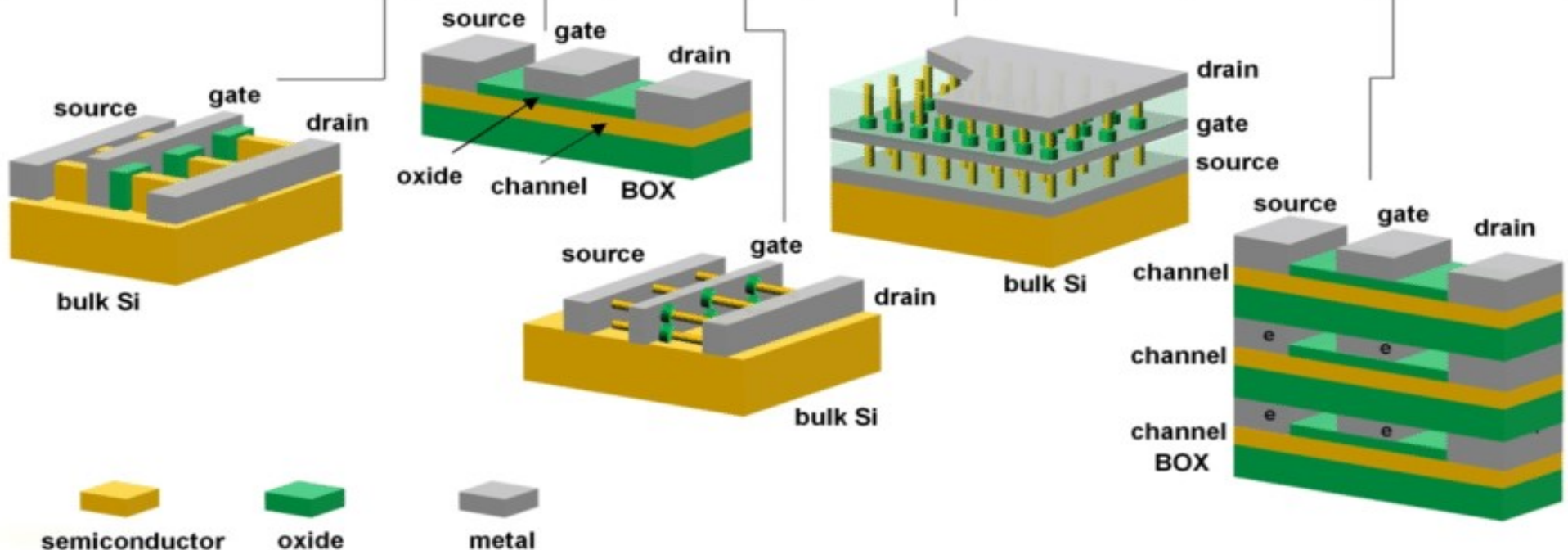




Svojstva poluvodičkih integriranih sklopova

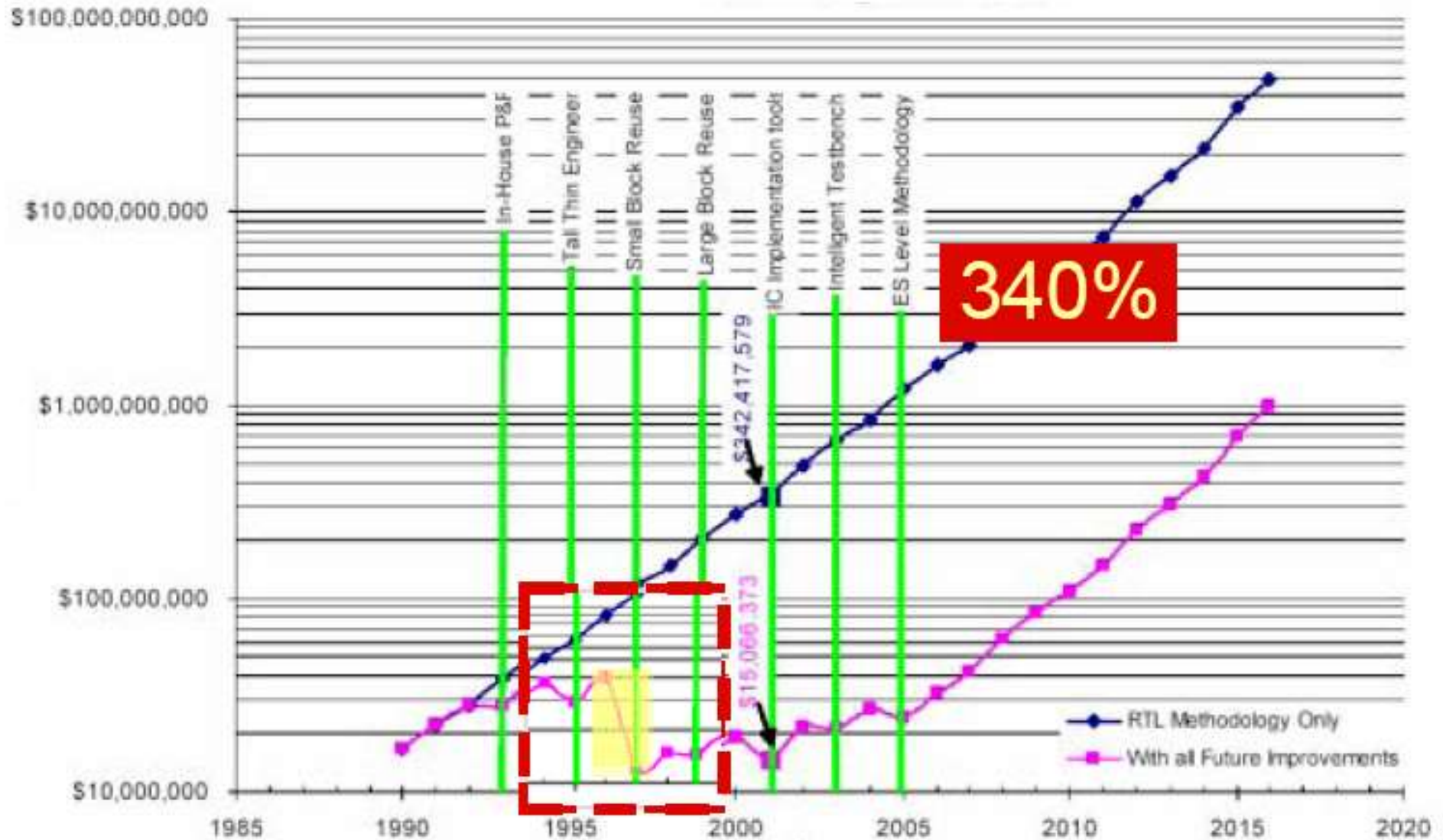


Year	2017	2019	2021	2024	2027	2030
Tech. Node (nm)	"16/14"	"11/10"	"8/7"	"6/5"	"3/2.5"	"2/1.5"
FinFET						
FDSOI						
Lateral GAA-FET						
Vertical GAA-FET						
Monolithic 3D						



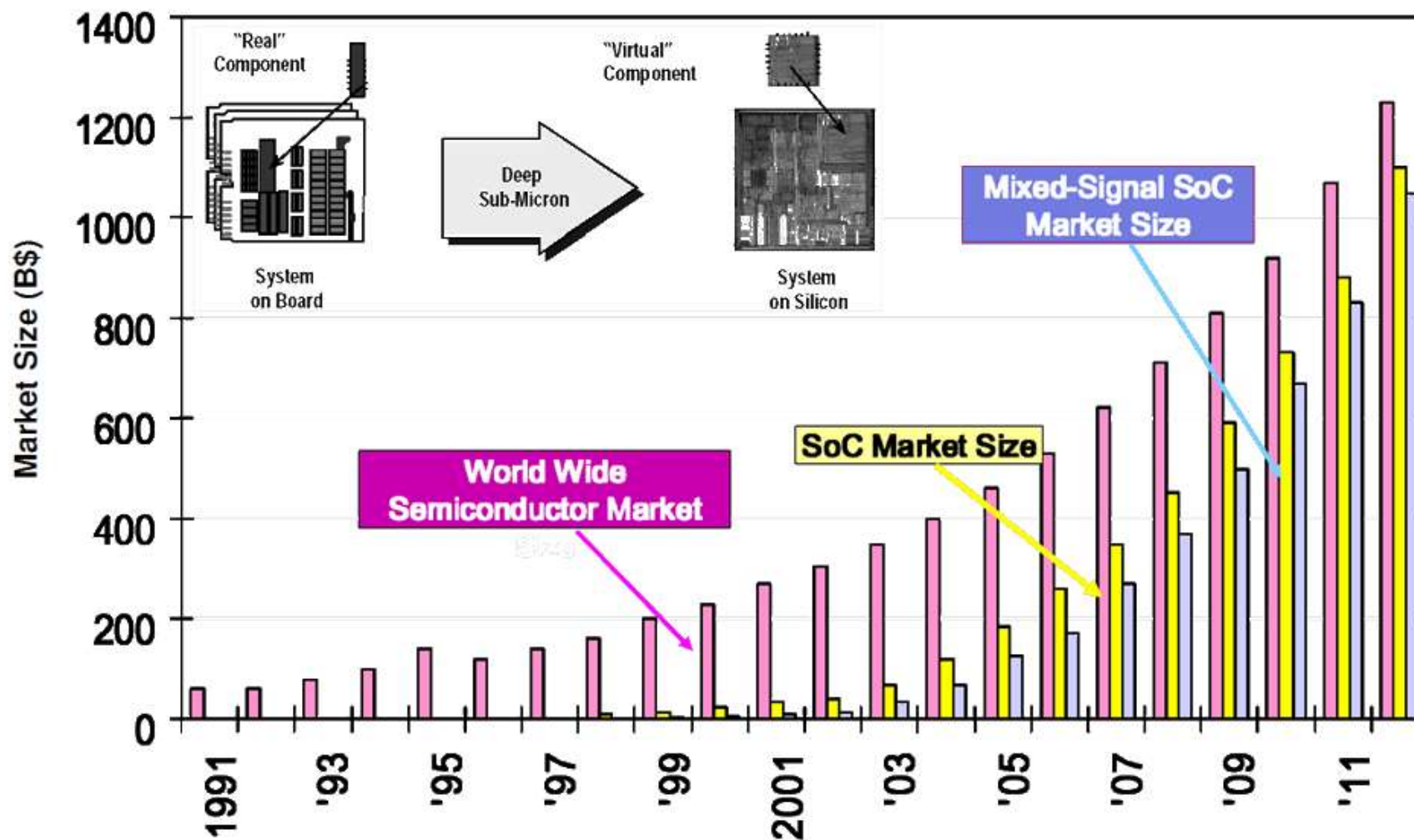


Utjecaj SoC ponovne uporabe na cijenu





Rast SoC-a





- *engl. soft intellectual property, Soft IP*
- Viši novo - HDL model
 - komercijalni HDL zaštićen
 - Licenses of Right - LOR
- Izvori: Cadence, Synopsys Designware, Opencores, MIPS, ...
- Moguće ostvarenje na raznim tehnologijama
- HDL 8051, 6800, Leon, ...
- Svojstva:
 - velike mogućnosti prilagodbe potrebama
 - Instanciranje parametrima
 - vremenska svojstva, površina i potrošnja ovise o ciljanom odabranom procesu, alatima i iskustvu korisnika
- Primjer:
 - <http://www.logicbricks.com/Archive/3D-GPU-For-Xilinx-EPP-FPGA.aspx>
 - <http://www.plda.com/products/asic-ip/pcie-30/xpressrich3-axi>
 - <http://www.triadsemi.com/2007/01/25/soft-ip-for-the-analog-asic-impossible-yet-true/>



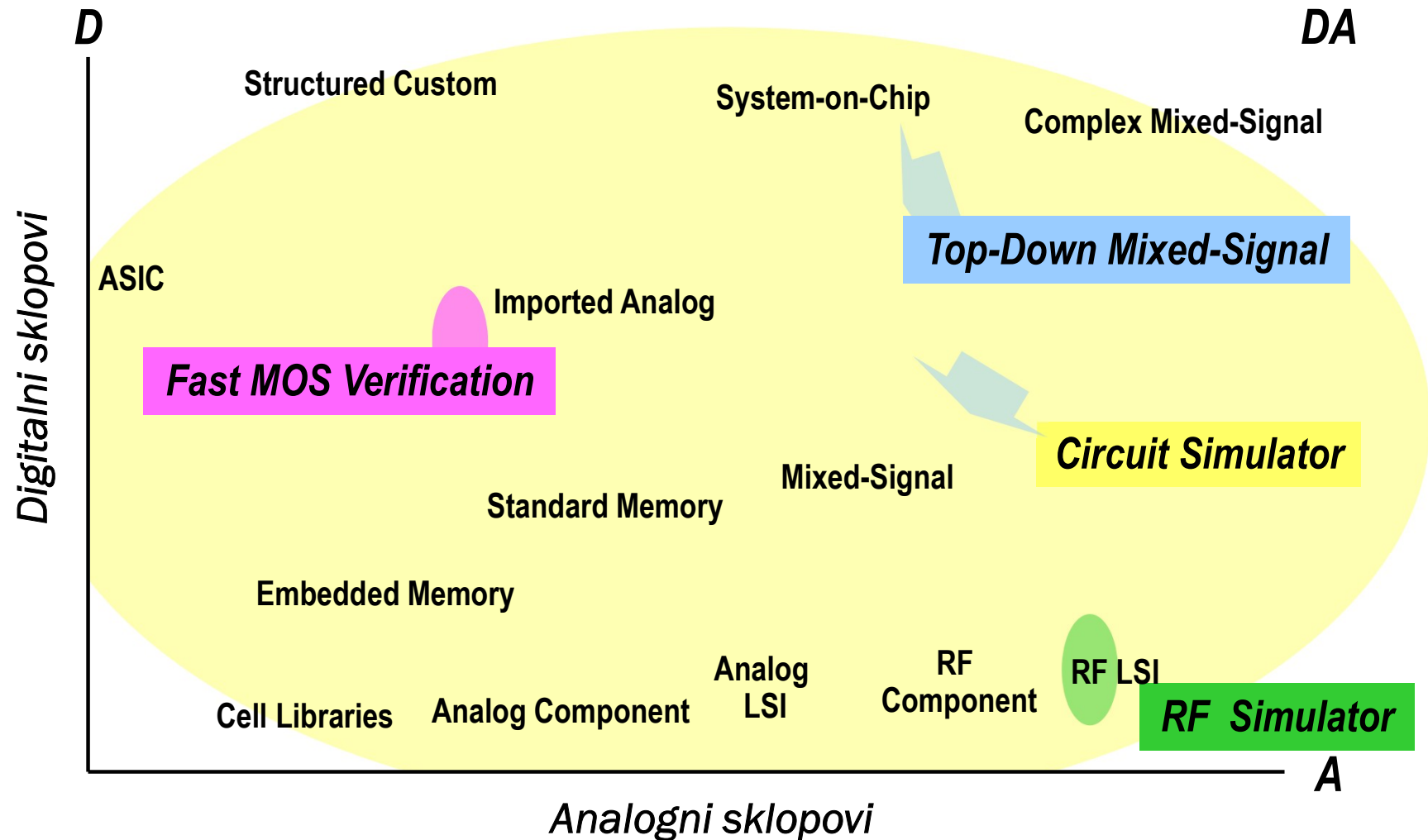
“Hard” IP



- engl. *hard intellectual property, Hard IP*
- Niži novo - npr. GDSII
- Finalizirana implementacija intelektualnog vlasništva u obliku fizičke izvedbe
 - potpuna implementacija
 - vezano za proizvodni proces - ispitne maske
 - dostupno samo za ograničen broj tehnoloških procesa
- Prednost
 - zagarantirana vremenska svojstva,
 - definirana površina i potrošnja
- Nema mogućnost jednostavne prilagodbe
- Uobičajeno za analogne, hibridne i složene sklopove
 - PLL, SerDes, ADC, DAC, PHY, procesore (npr. MIPS, ARM)
- Primjer:
 - http://www.logicbricks.com/Products/logiMEM_arb.aspx



Metodologije implementacije





Principi ASIC



- engl. *Application-specific integrated circuit*
- “Value-added ASIC for huge volume opportunities; standard parts for quick time to market applications”
- Projektiranje
 - korisničko oblikovanje, radno intenzivno
 - velik broj primjeraka
- CAD alati
 - oblikovanje na nivou sustava (koncept - VHDL/C)
 - engl. *System-level design*
 - implementacija VHDL/C -> si
 - vremenska ograničenja
- Strategije oblikovanja:
 - hijerarhija, regularnost, modularnost, lokalnost
 - engl. *Hierarchy; Regularity; Modularity; Locality*



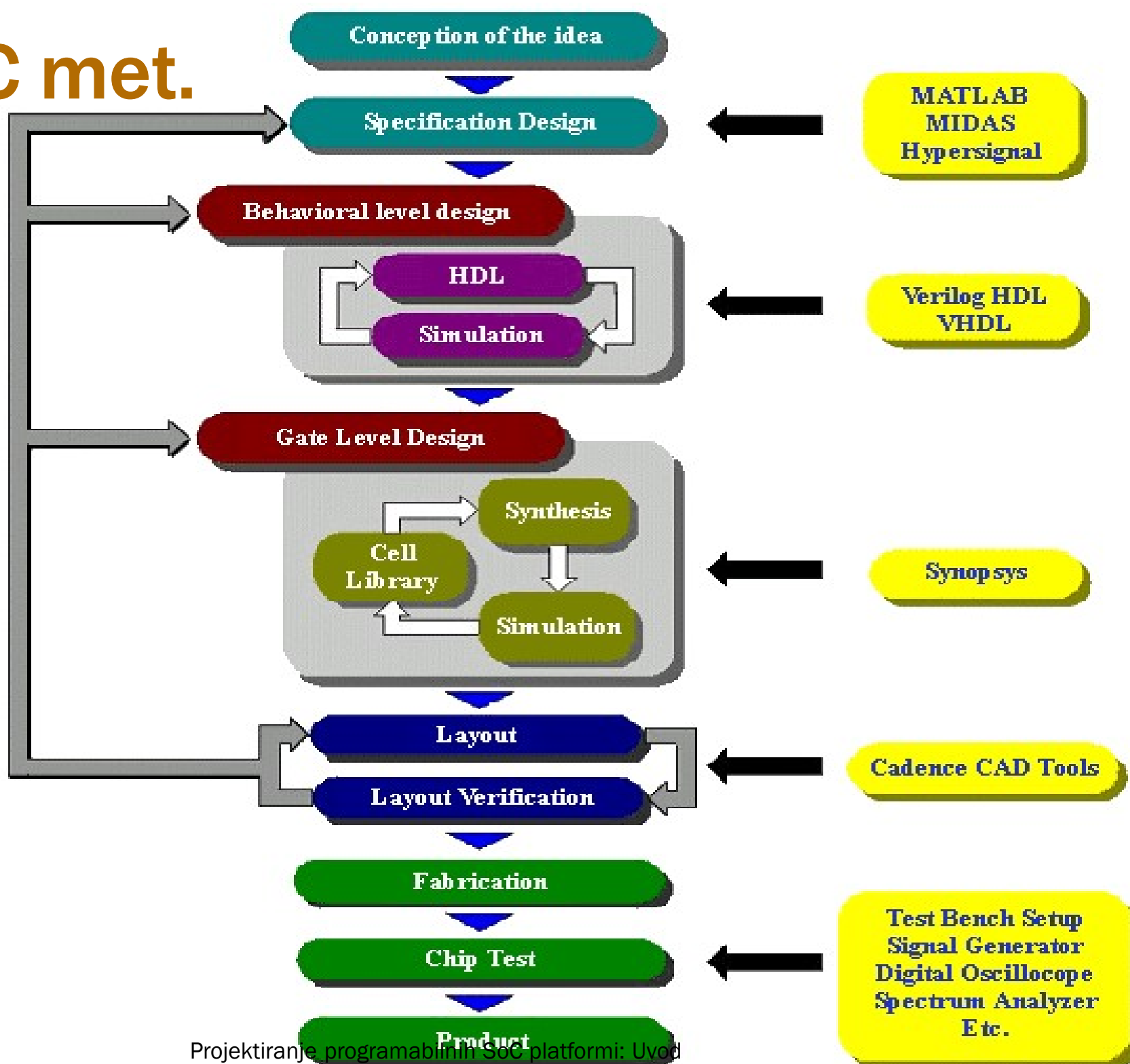
Strategija oblikovanja ASICa



- Ustupci za postizanje zadanih performansi uz poštovanje svih ostalih parametara
- Specifikacija performansi
 - funkcija, vrijeme, brzina, potrošnja
- Površina -> cijena
- Vrijeme oblikovanja -> cijena, TTM
- Ispitivanje -> lakoća generiranja ispitnih slučajeva, cijena, TTM



ASIC met.





Strukturirano oblikovanje ASIC-a

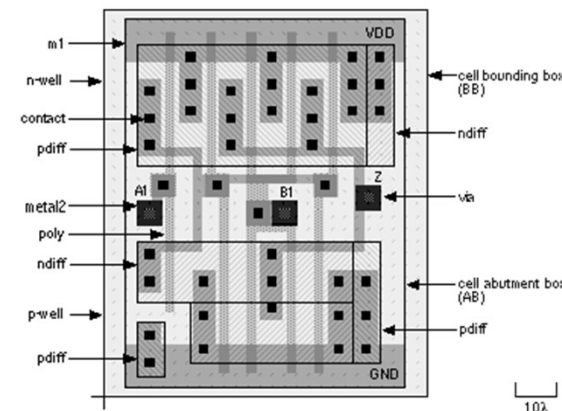


- Hijerarhija (*engl. Hierarchy*)
 - podjela u više nivoa i podmodula
- Regularnost (*engl. Regularity*)
 - podjela u maksimalan broj sličnih modula na pojedinom nivou
- Modularnost (*engl. Modularity*)
 - definiranje jednoznačnih podmodula s dobro definiranim sučeljima (*engl. interfaces*)
- Lokalnost (*engl. Locality*)
 - zadržavanje kritičnih putova unutar podmodula



Tipovi ASIC

- korisnički (engl. *Custom, Full-Custom*)
- čelijski (engl. *Cell, Standard-Cell Based*)
 - polja (engl. *Gate-Array-Based*)
- prediffused, mask programmable MGA
 - Structured Gate Array
 - Sea of gates
- prewired, field programmable FPGA
 - Field-Programmable Gate Arrays
 - antifuse



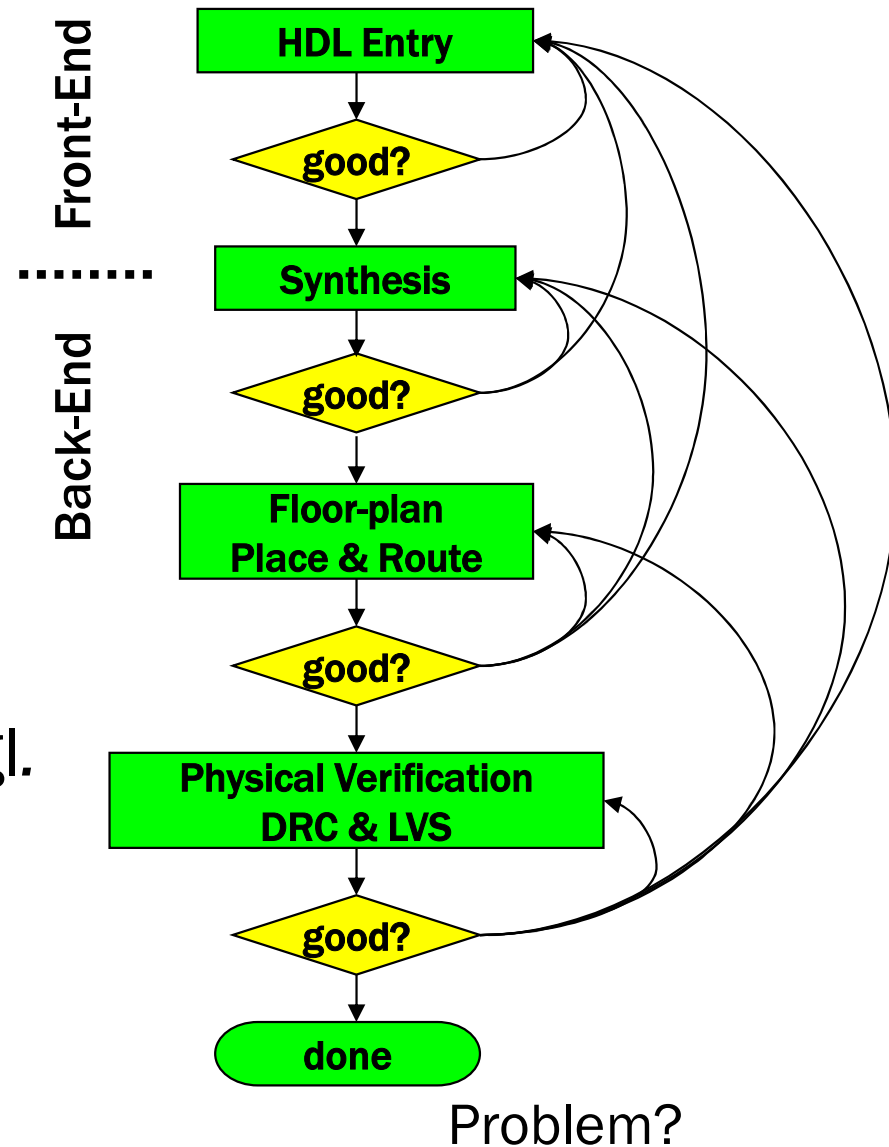
	<i>Custom</i>	<i>Cell-based</i>	<i>Prediffused</i>	<i>Prewired</i>
Density	Very High	High	High	Medium - Low
Performance	Very High	High	High	Medium - Low
Flexibility	Very High	High	Medium	Low
Design time	Very Long	Short	Short	Very Short
Manufacturing time	Medium	Medium	Short	Very Short
Cost - low volume	Very High	High	High	Low
Cost - high volume	Low	Low	Low	High



Industrijski standard projektiranja

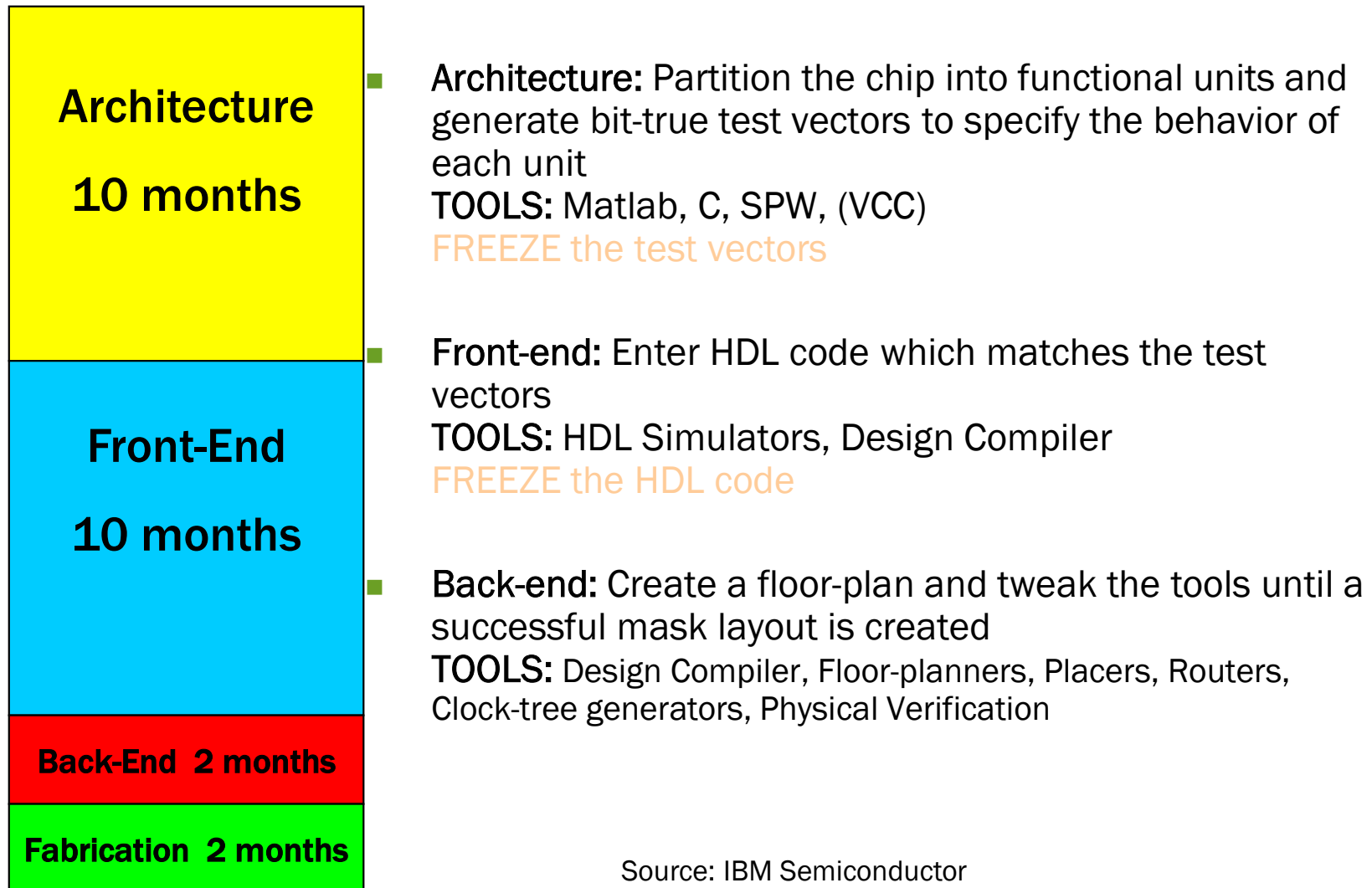


- Svaki korak vremenski zahtjevan
- HDL opisi ne sadrže fizičke značajke
- Razdvojeno oblikovanje
 - ulazna specifikacija (engl. *front-end*)
 - pozadinsko generiranje (engl. *back-end*)





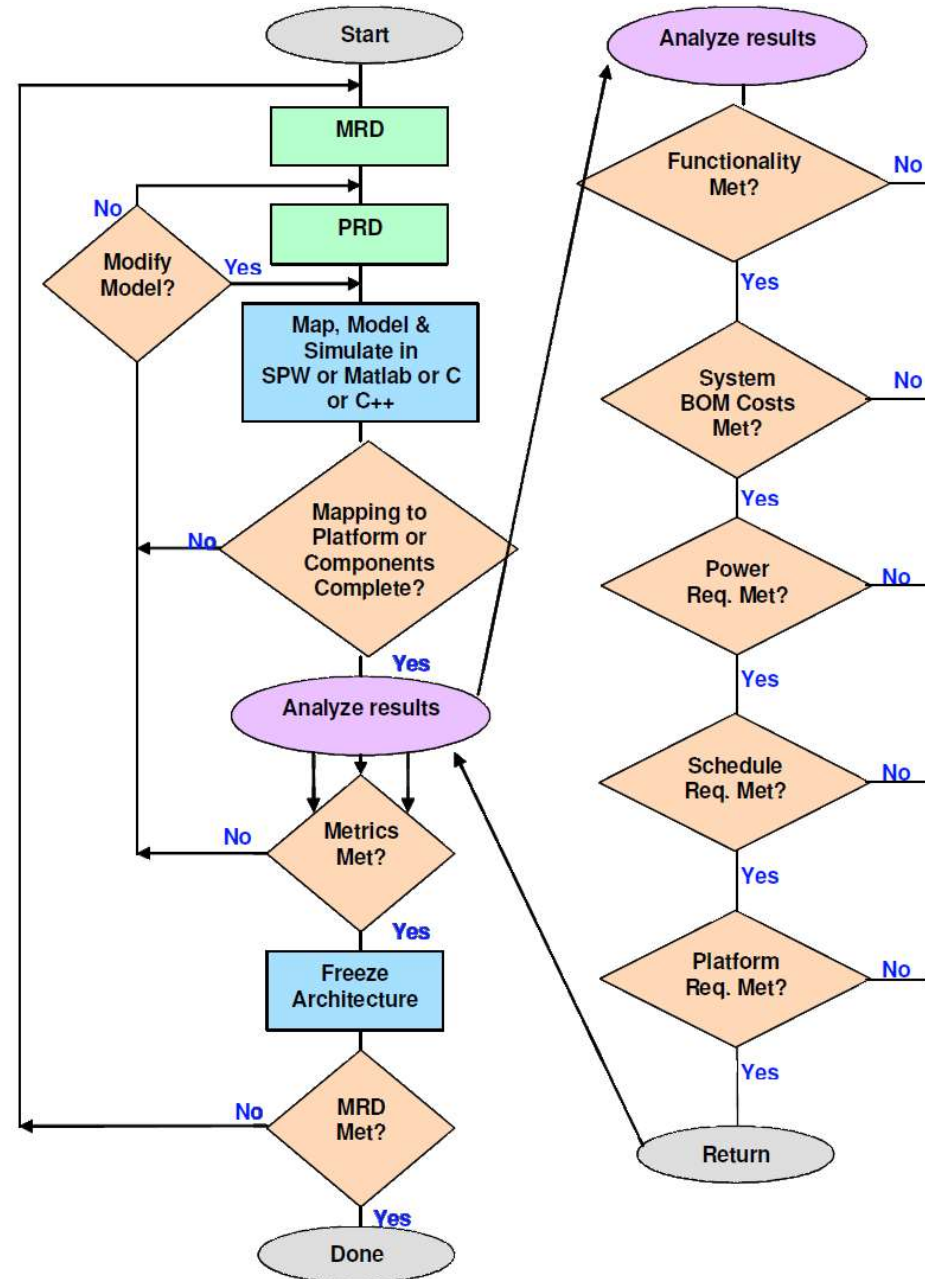
Tipično vrijeme ASIC procesa



Source: IBM Semiconductor

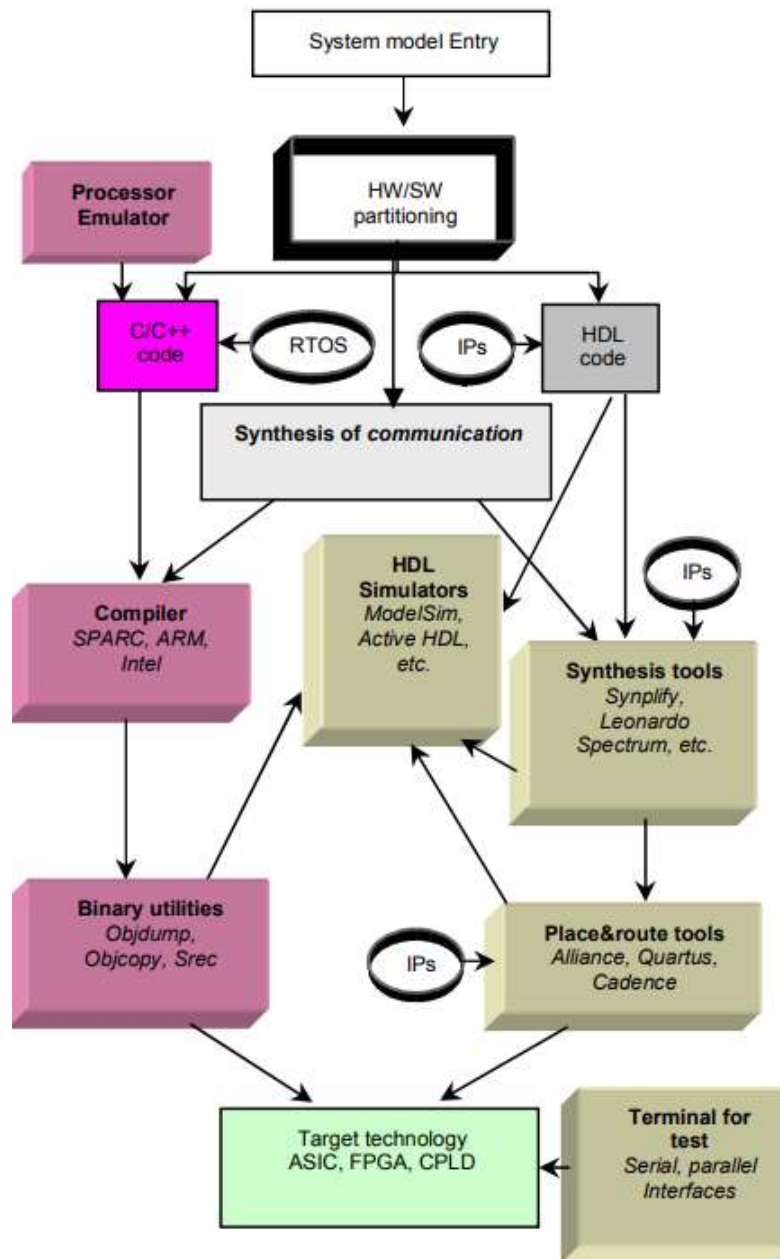


SOC metodologija





SOC tipičan razvoj





Struktura troška



Product Development Phase	Typical NRE	%
System Development	\$1M	13%
Hardware Development	\$2M	25%
Silicon Development (ASIC)	\$3M	38%
Software Development	\$2M	25%

Silicon Technology	Microproc.	Relative Price		Source Available?	Vendor
		Silicon Vendor	Vendor IP		
FPGA					
	Proprietary uP:				
	NIOS	\$		No	Altera
	Microblaze	\$		No	Xilinx
	Soft Cores:				
	ARM7	\$	\$\$	No	ARM, ACTEL
	APS		\$\$	Yes	Cortus
Structured ASIC					
	ARM7/9	\$\$	\$\$\$	Yes	ARM Ltd., AMIS
	ARC 605	\$\$	\$\$\$	Yes	ARC, ChipX
	MIPS 4K	\$\$	\$\$\$	Yes	MIPS
	Xtensa		\$\$\$	Yes	Tensilica
	APS		\$\$	Yes	Cortus
ASIC					
	ARM7/9/11	\$\$	\$\$\$	Yes	ARM Ltd., Various Foundries
	ARC 605		\$\$\$	Yes	ARC
	MIPS 4K	\$\$	\$\$\$	Yes	MIPS, Various Foundries
	Xtensa		\$\$\$	Yes	Tensilica
	APS		\$\$	Yes	Cortus

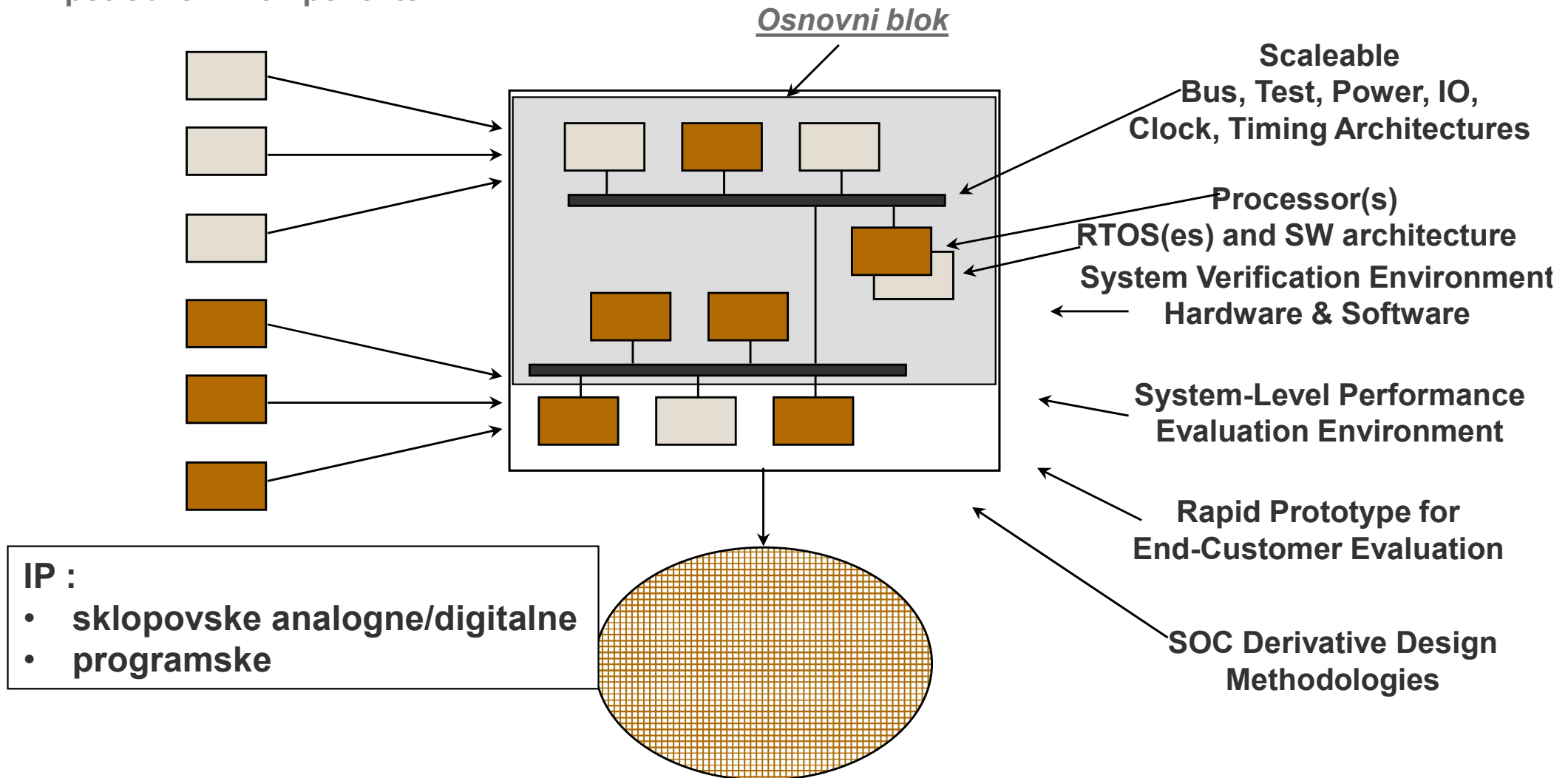
Izvor: Jim Bruister, SoC Solutions, Inc.



Integracija SOC-a



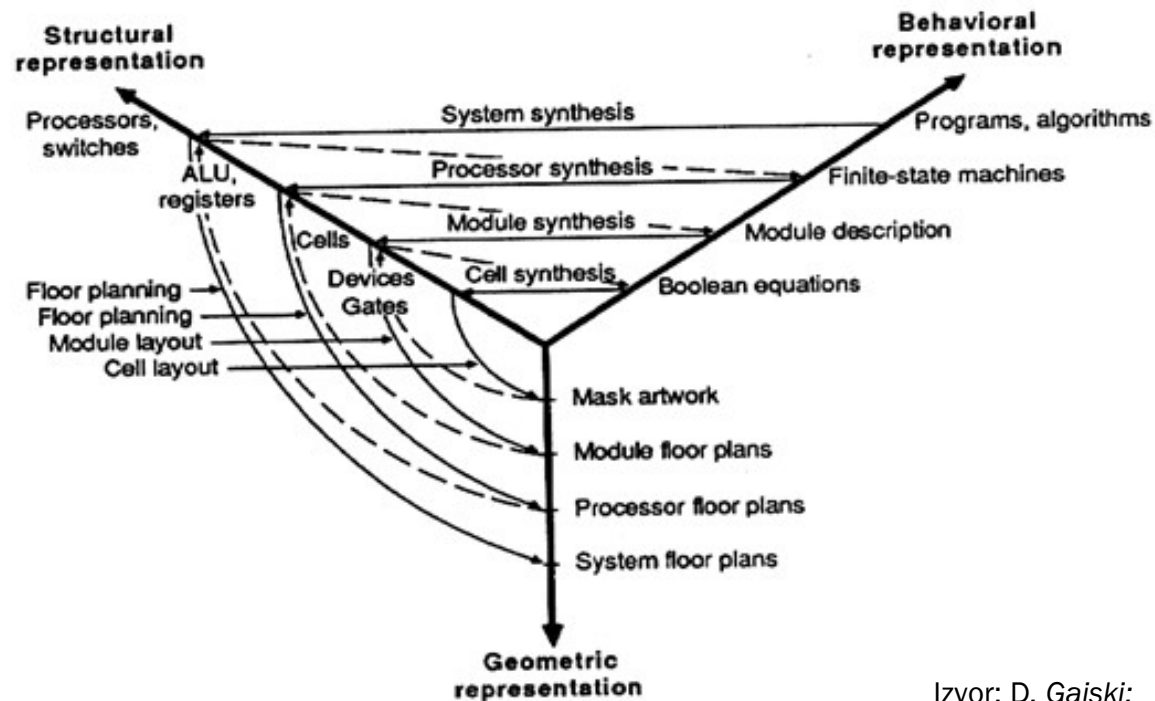
potrebne IP komponente





Metodologija oblikovanja

- Iterativni proces između tri apstrakcije:
ponašajne, strukturne i fizičke
 - *engl. behavior, structure, geometry*
- Trend automatizacije



Izvor: D. Gajski:



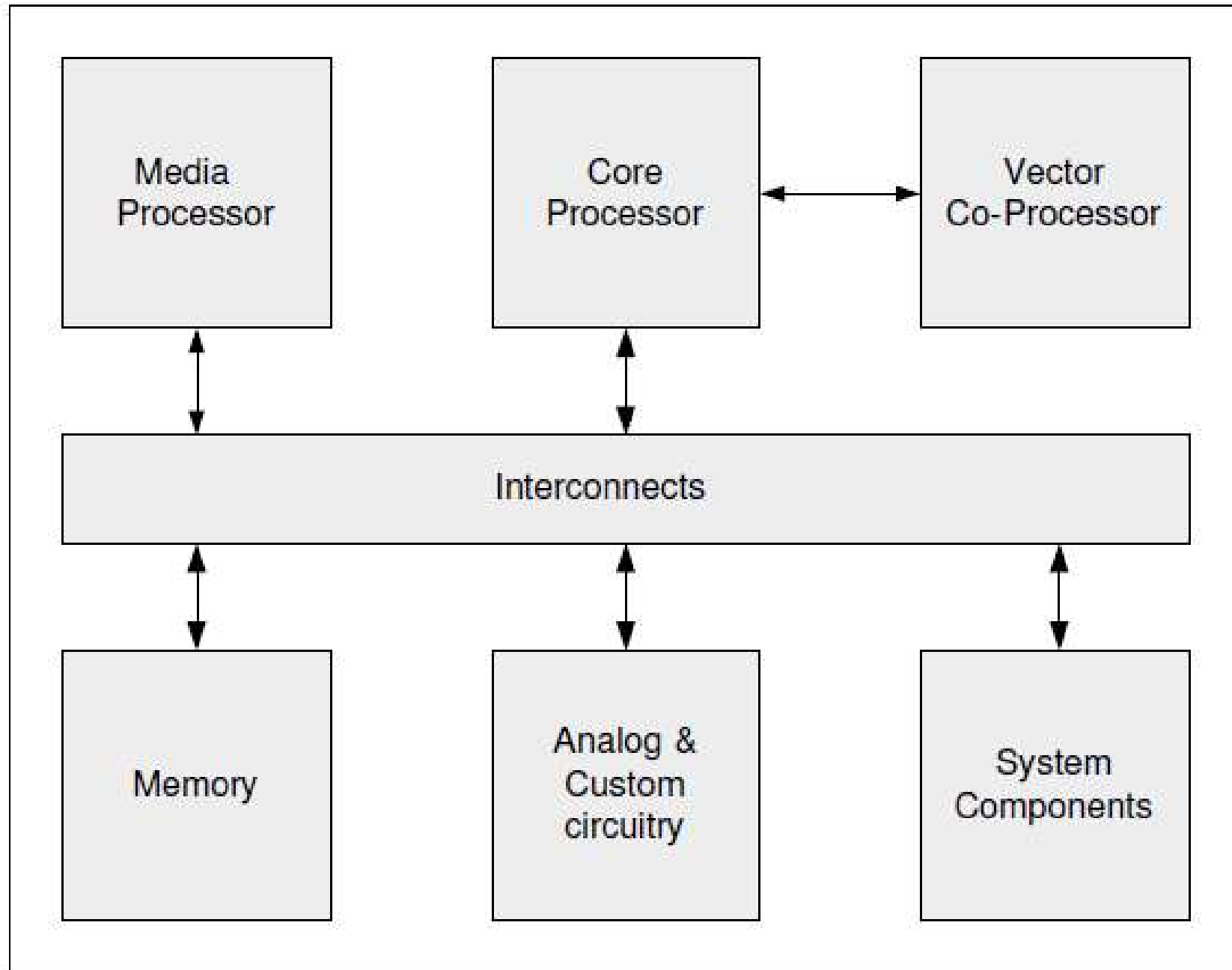
Izazovi oblikovanja SOC



- Današnjim sustavima svojstvena je složenost i heterogenost komponenti
- U polovici primjena može se koristiti procesor niske potrošnje (RISC, ASIP) povezan programibilnom sabirnicom i DRAM memorijom, FLASH memorija
 - ostatak ASIC
- Računalna snaga ne postiže se velikom frekvencijom već iskorištavanjem mogućnosti paralelizacije
 - Na taj način pojednostavljuje se oblikovanje zahtjeva vremena, integriteta i ispitivanja
- programibilne komponente - 50GIPS, sklopovska implementacija - 500 GIPS
- mikropcesor - 100MOPs/W, sklopovska implementacija - 100GOPs/W GIPS
- mogućnost implementacije rekonfigurabilnih komponenti



system-on-chip model





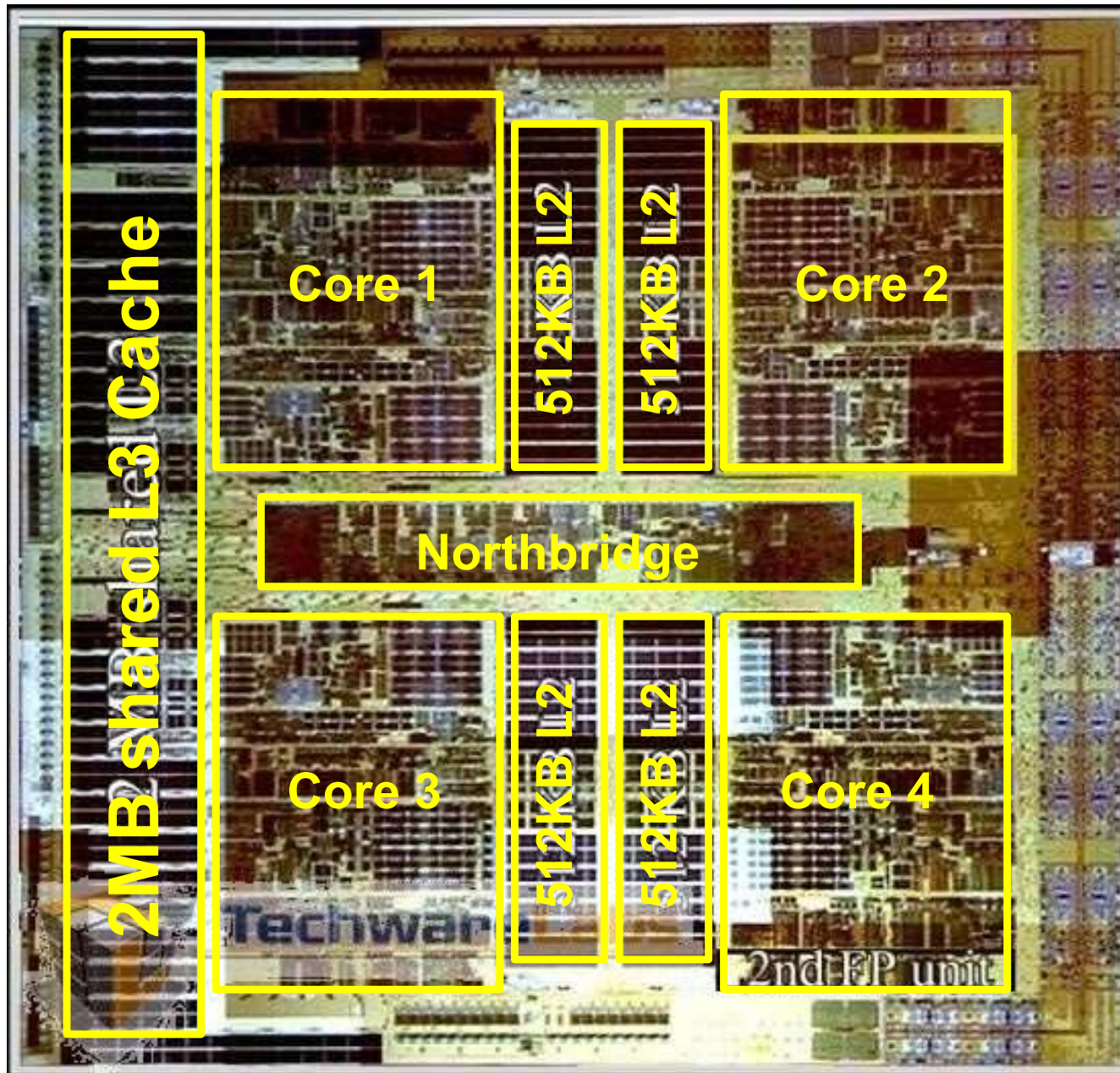
Odabir SOC ili procesor?

- promjena paradigme
 - potpuni system on a chip
 - multi-core procesri

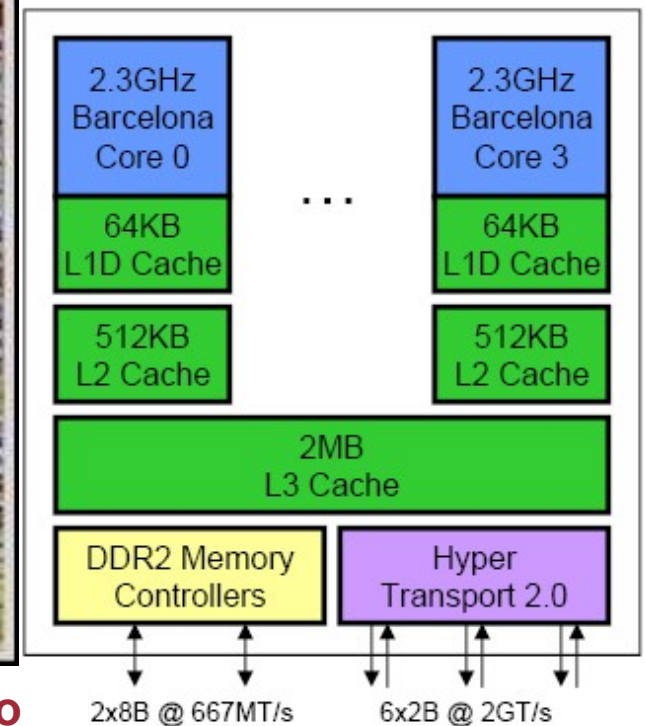
	<i>System on chip</i>	<i>Processors on chip</i>
processor	multiple, simple, heterogeneous	few, complex, homogeneous
cache	one level, small	2-3 levels, extensive
memory	embedded, on chip	very large, off chip
functionality	special purpose	general purpose
interconnect	wide, high bandwidth	often through cache
power, cost	both low	both high
operation	largely stand-alone	need other chips



AMD's Barcelona Multicore



- 4 out-of-order cores
- 1.9 GHz clock rate
- 65nm technology
- 3 levels of caches
- integrated Northbridge





SOC oblikovanje



- neophodno razumjevanje:
 - komponenti: procesors, memorija, povezivanje
 - aplikacija
- cijena SOC-a?
- kako smanjiti složenost
 - Intellectual Property (IP)
 - rekonfiguracija





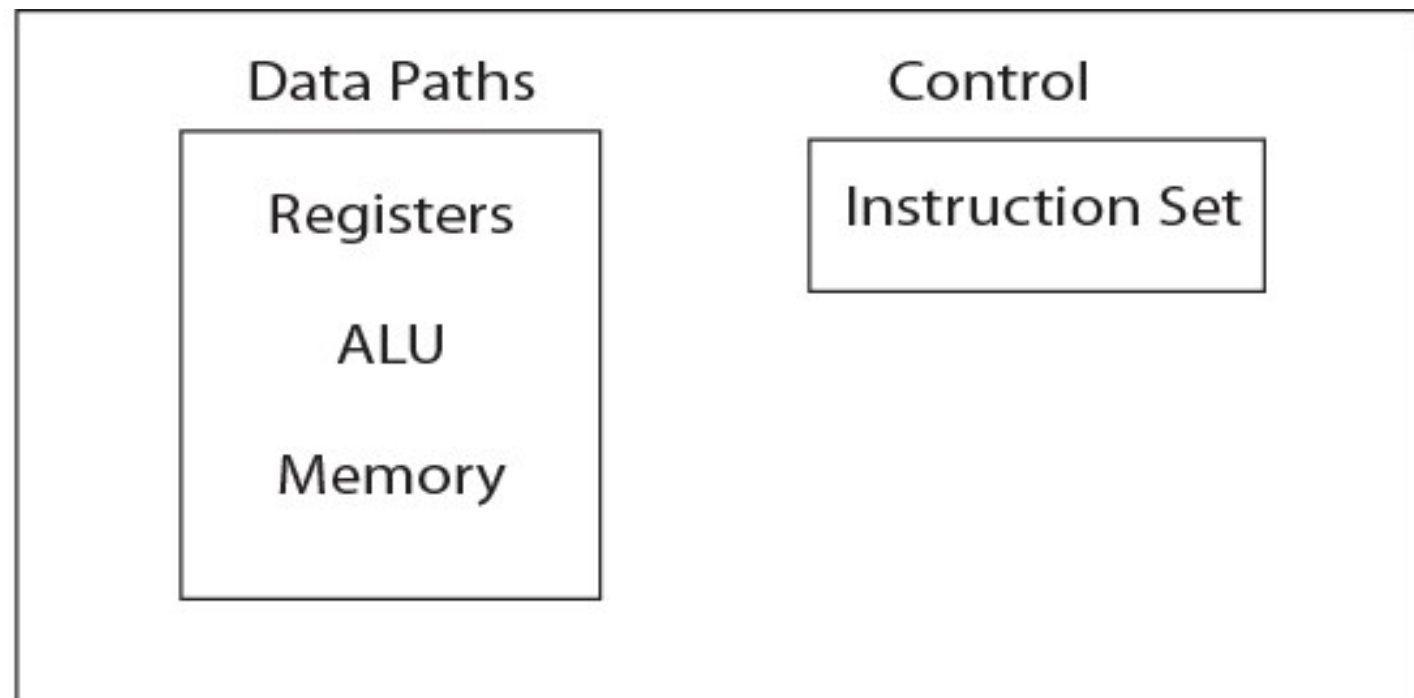
Arhitektura SOC procesori



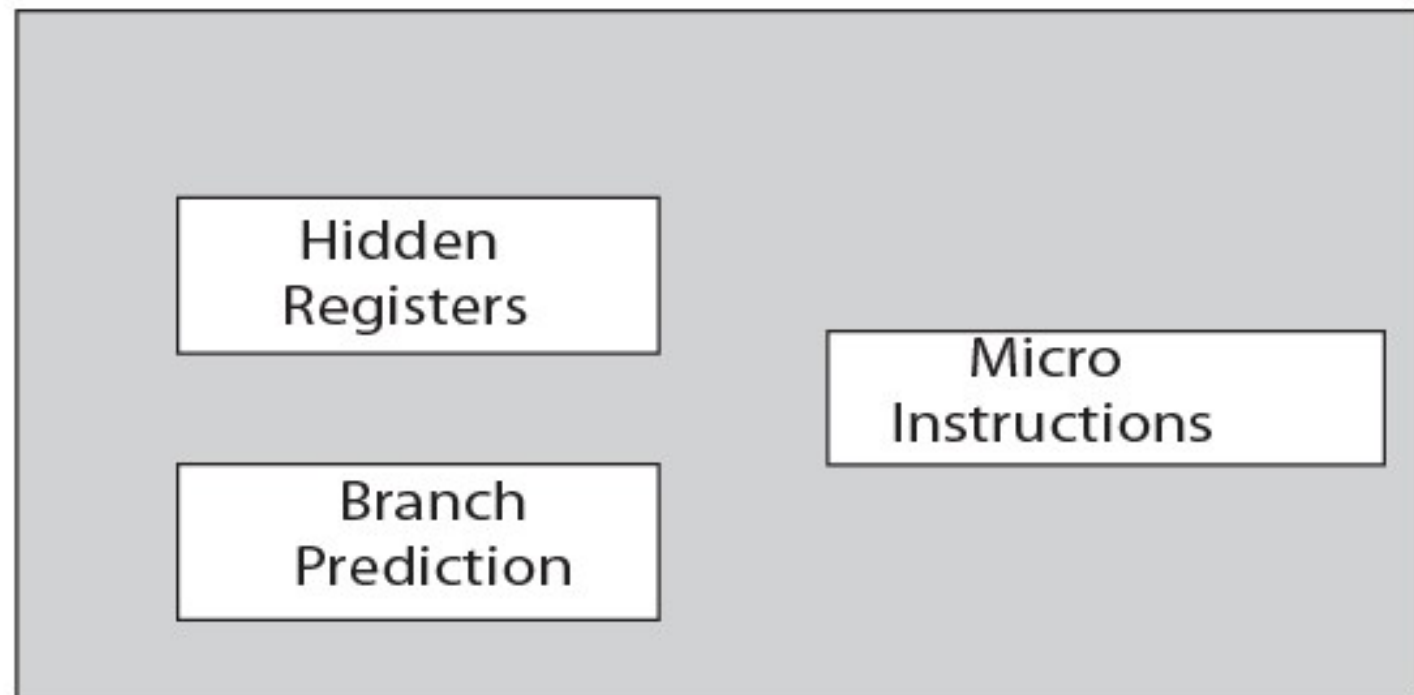
- obično mješavina posebne i opće namjene (GP)
 - mogu biti vlasnički dizajn ili kupljeni IP
- uobičajno procesor je kupljeni IP
 - uključuje podršku za OS i prevodilac
- procesor opće namjene optimiziran za aplikaciju
 - dodatne upute
 - vektorske jedinice



Architecture



Implementation





Primjer SOC procesora



SOC	<i>Basic ISA</i>	<i>Processor description</i>
Freescale c600: signal processing	PowerPC	Superscalar with vector extension
ClearSpeed CSX600: general	Proprietary	Array processor with 96 processing elements
PlayStation 2: gaming	MIPS	Pipelined with 2 vector coprocessors
ARM VFP11: general	ARM	Configurable vector coprocessor



Klasifikacija procesora



<i>Processor type</i>	<i>Architecture / Implementation approach</i>
SIMD	Single instruction applied to multiple functional units
Vector	Single instruction applied to multiple pipelined registers
VLIW	Multiple instructions issued each cycle under <i>compiler</i> control
Superscalar	Multiple instructions issued each cycle under <i>hardware</i> control



dodatne naredbe



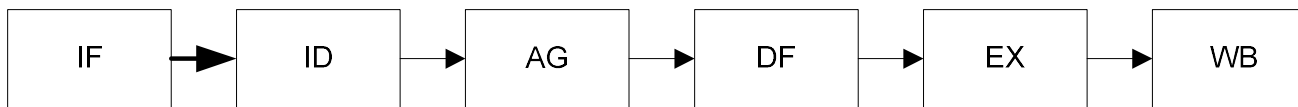
- dodatne upute za podršku specijaliziranim resursima
 - iznimka: superscalar, sa sklop. kontrolom
- naredbe mogu biti dodane u bazni procesor za koprocesorsku kontrolu
 - VLIW: Vrlo velika riječ za učenje
 - polje
 - Vektor



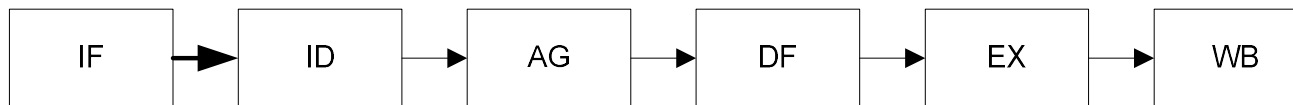
Pipeline



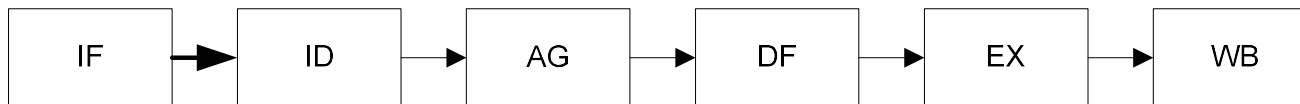
Instruction #1



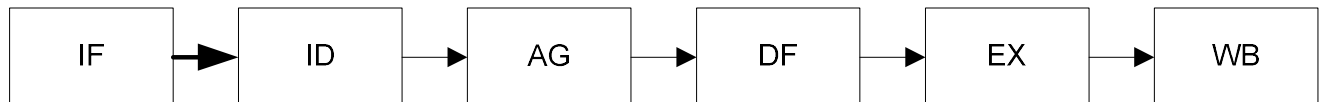
Instruction #2



Instruction #3



Instruction #4

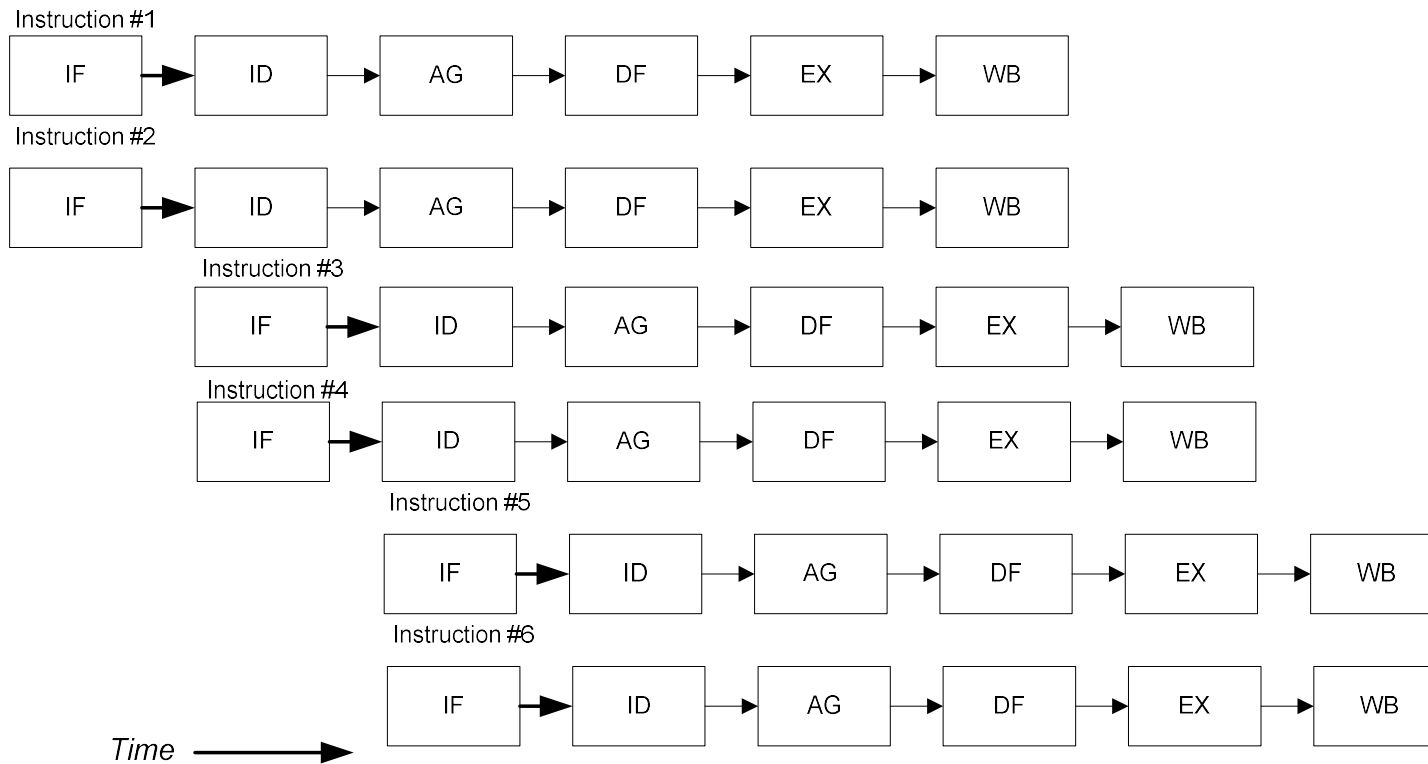


Time →

- **IF: Instruction Fetch**
- **ID: Instruction Decode**
- **AG: Address Generation**
 - **DF: Data Fetch**
 - **EX: Execution**
 - **WB: Write Back**

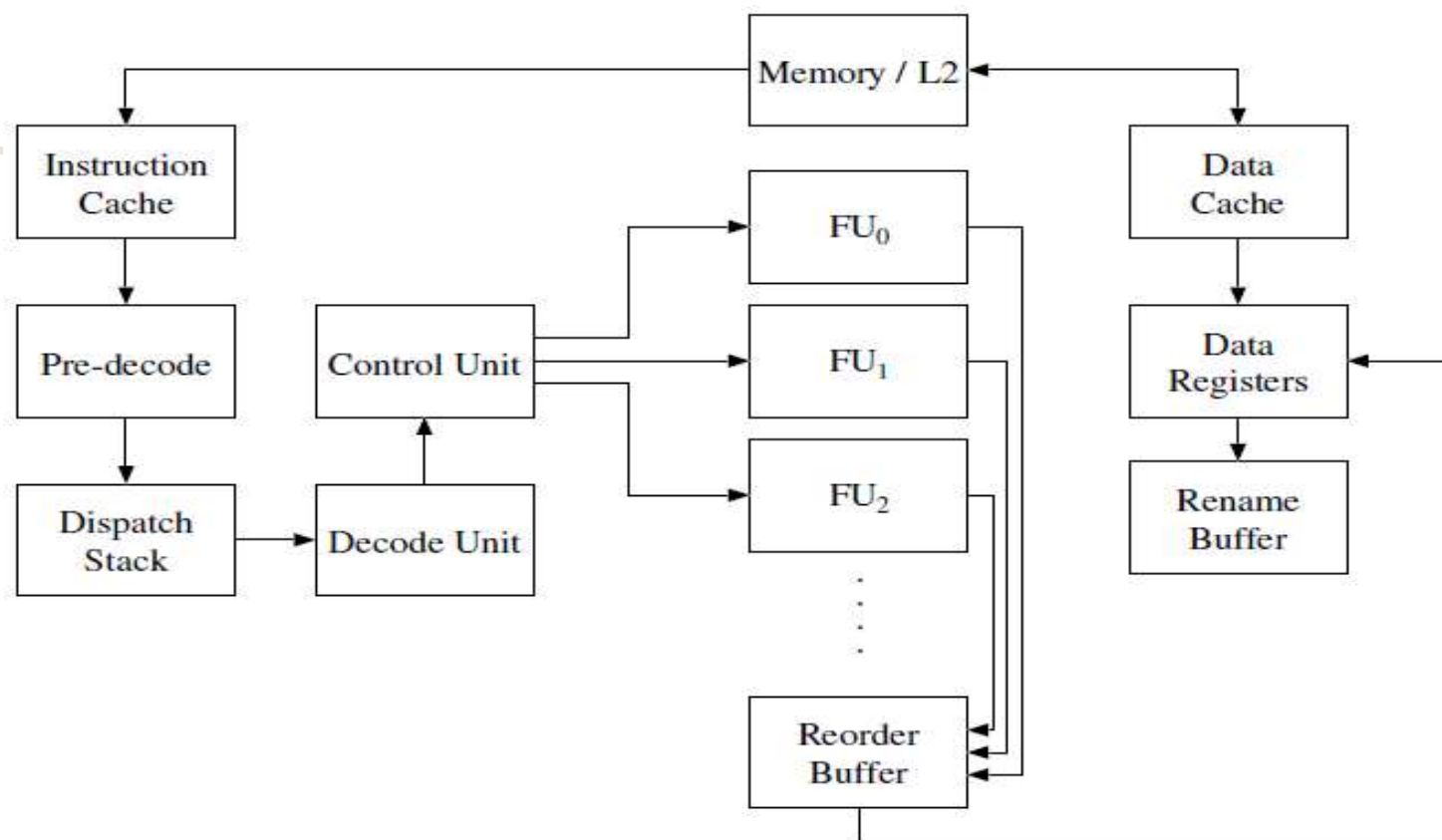


Superscalar /VLIW

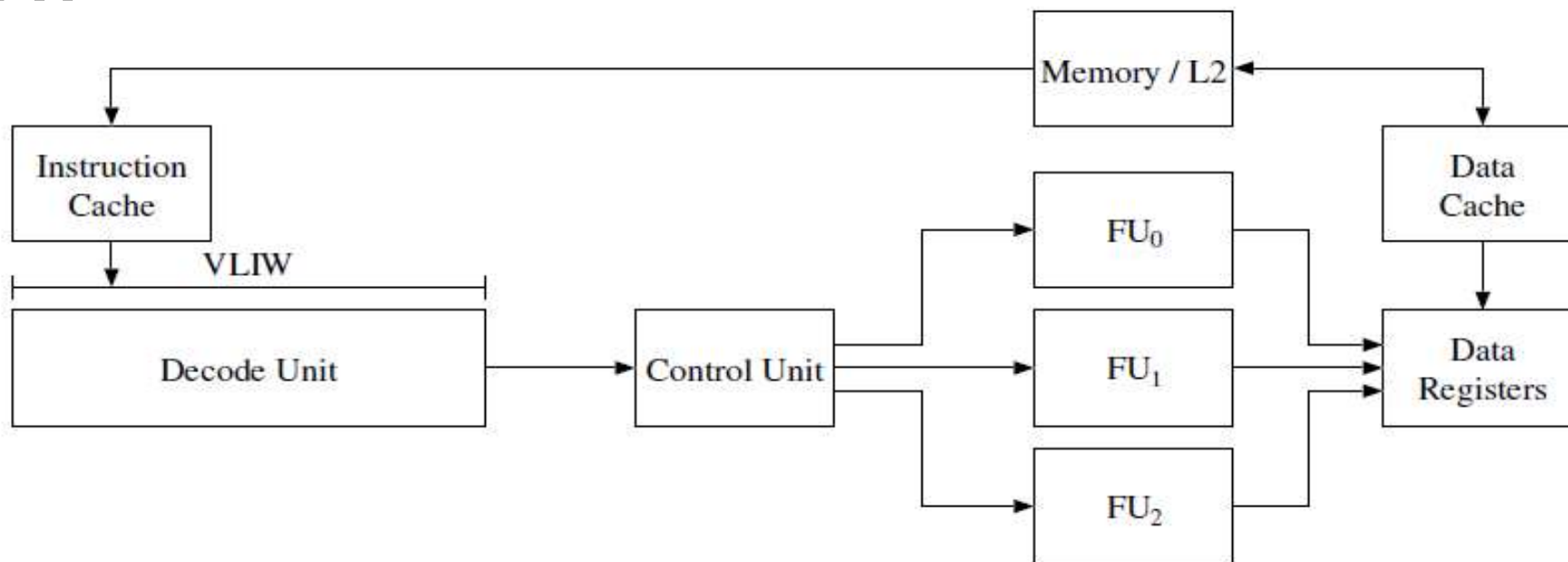




Superscalar



VLIW



Device	Number of functional units	Issue Width	Base Instruction Set
MIPS 74K Core [21]	4	2	MIPS32
Infineon TriCore2 [4]	4	3	RISC
Freescale e600 [7]	6	3	PowerPC

VLIW

Device	Number of Functional Units	Issue Width
Fujitsu MB93555A [15]	8	8
TI TMS320C6713B [5]	8	8
CEVA-X1620 [14]	30	8
Philips Nexperia PNX1700 [24]	30	5



SOC multiprocessor



SOC	Machanick [162]	IBM Cell [141]	Philips PNX8500 [79]	Lehtoranta [155]
Number of CPUs	4	1	2	4
Threads	1	many	1	1
Vector units	0	8	0	0
Application	Various	Various	HDTV	MPEG decode
Comment	Proposal only		Also called Viper 2	Soft Processors



Adresiranje u SOC-u

Process
level

User
program

User writes program assuming user
is the only occupier of memory.

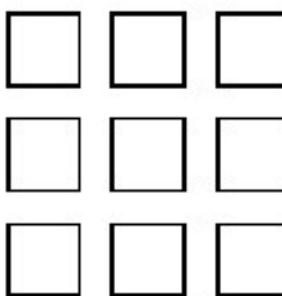
System
level

Seg
1

Segment
2

System relocates and protects
multiple user programs in a com-
mon memory system space.

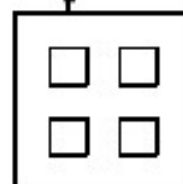
Memory
level



Memory

Memory system loads only those
"localities," or pages, of the sys-
tem space that are expected to be
referenced shortly. The most ac-
tive localities are loaded into the
cache by hardware.

Cache



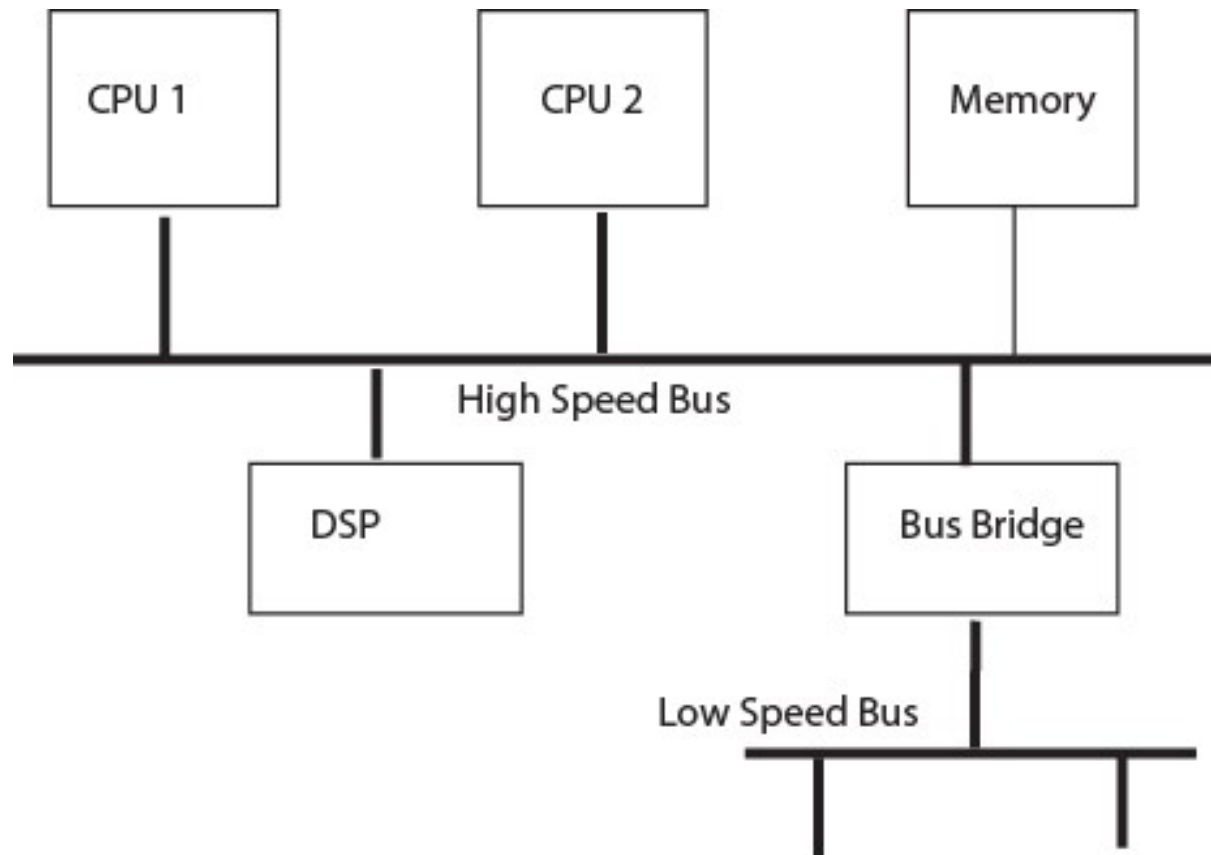


SOC povezivanje /interconnect

- povezivanje više agenata zahtjeva
 - protočnot (bps)
 - protokol
- sabirnica bus
 - AMBA (adv. Microcontroller bus architecture) ARM,
 - performanse sustava
- network on chip
 - polje preklopnika
 - statički
 - dinamički

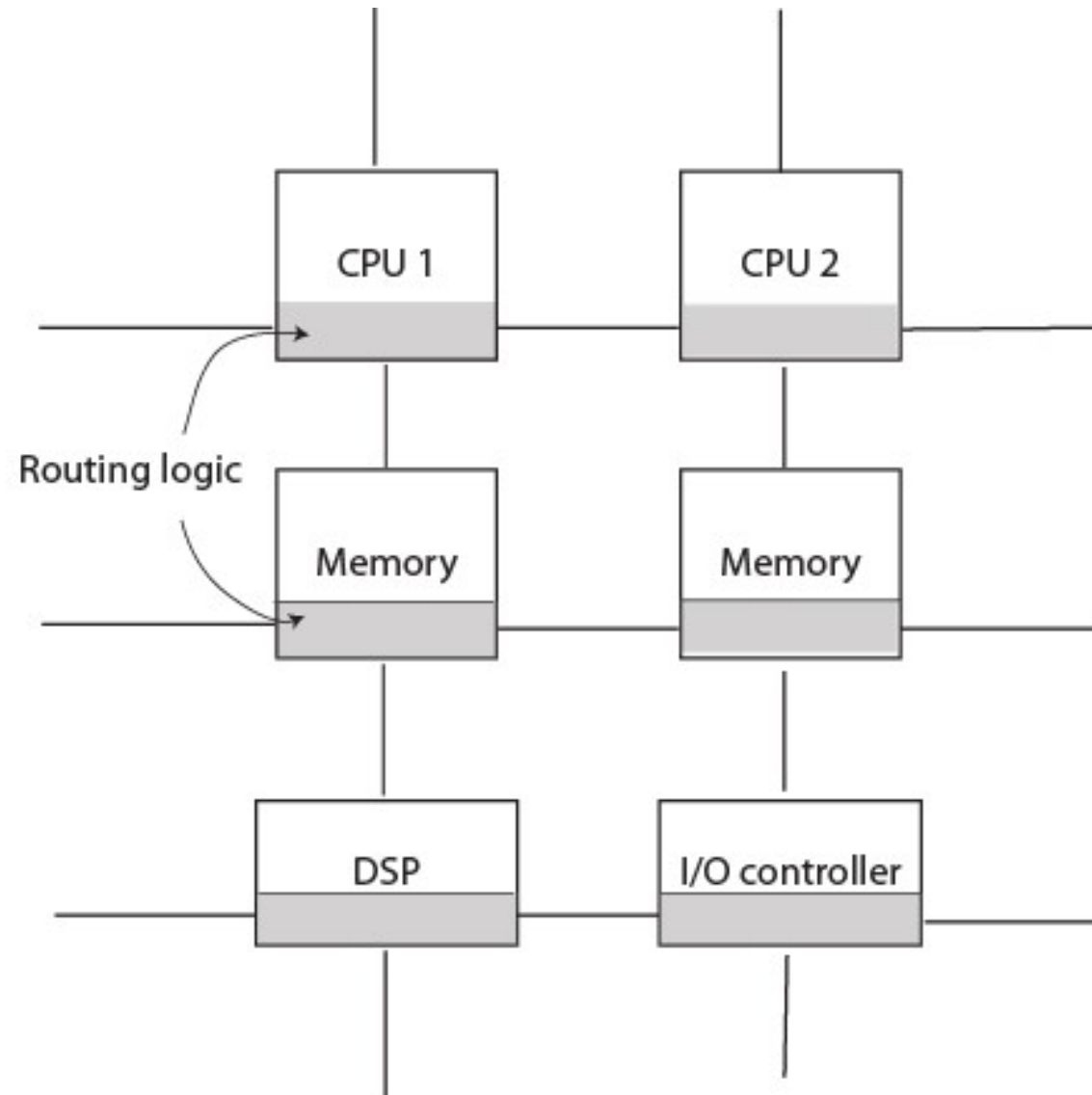


Sabirnički SOC





Network on a Chip





Diskusija

