

座位号

西安电子科技大学

考试时间 120 分钟

试 题

| 题号 | 一 | 二 | 三 | 四 | 五 | 六(1) | 六(2) | 总分 |
|----|---|---|---|---|---|------|------|----|
| 分数 | | | | | | | | |

1. 考试形式：闭卷

2. 考试日期：2022 年 3 月 17 日 (答题内容请写在装订线外)

一. 简要分析与设计题（任选其中 6 小题，每小题 7 分，本题共 42 分）

1. 某计算机系统中采用 L1、L2 二级 cache 结构，经测试 L1 级 cache 的命中率为 80%，L2 级 cache 的命中率为 90%，请计算该二级 cache 系统的命中率。

2. 异步通信与同步通信的主要区别是什么？

3. 一个流水线有 5 级，其延迟分别为 50ns、50ns、150ns、100ns 和 50ns。求（1）该流水线的最大吞吐量是多少 MIPS？（2）在维持流水线级数不变的情况下，如何改造将平均吞吐延时降至 50ns？画出改造后的时空图。

4. 某 CPU 总线上有地址信号 A0 到 A19、数据信号 D0 到 D7, 内存按字节编址。内存 A0000H 到 A3FFFH 共有多少 KB? 若采用 $4K \times 4$ 的 SRAM 芯片构成该内存, 共需要多少片? 采用哪种扩展方式?

5. 磁记录方式 FM 中, 磁头写入电流的变化规律是什么? 其自同步能力、编码效率分别是多少?

6. 当 CPU 与 DMA 控制器发生总线冲突时, 计算机中有哪三种常用的冲突处理方法? 并简述它们的内容。

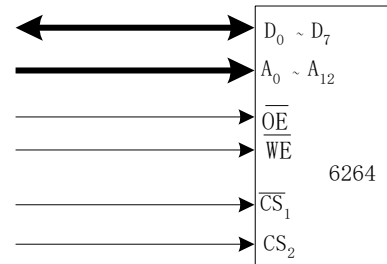
7. 简要说明 MPP 系统的主要特点, MPP 系统与 COW 系统的不同主要表现在哪些方面?

二. (本题 13 分) 某机械硬盘有 3 个盘片, 共 5 个记录面, 转速为 7200r/m, 平均寻道时间 5ms, 有效记录区域的外直径为 30cm, 内直径为 10cm, 记录位密度为 250bit/mm, 磁道密度为 8 道/mm, 每磁道分 16 扇区, 每扇区 512 字节。

请计算:

- (1) 非格式化容量;
- (2) 格式化容量;
- (3) 每柱面的容量;
- (4) 读写一个扇区的平均访问时间。

三. (本题 15 分) SRAM6264 芯片如下图。将 4 片 6264 SRAM 连接到 8086 系统总线上，通过（双体）字位同时扩展方法，要求构成内存地址范围 60000H~67FFFH，请画出连接图。



任课教师:

学号:

姓名:

班级:

装
订
线

装
订
线

装
订
线

四. (本题 15 分) 某计算机系统的内存容量为 4GB, Cache 容量为 256KB, 均采用字节编址。Cache 与内存采用 8 路组相联映射, Cache 每块为 4KB。

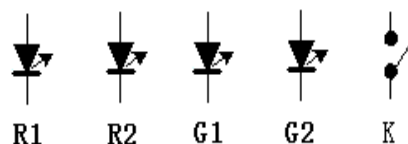
请问:

1. 内存和 Cache 地址的各字段分别有多少位?
2. 每次地址变换时, 参与相联比较的位数是多少?
3. 若当前地址变换表的部分有效内容如下 (有效位为 1, 表示 Cache 块有效)。当 CPU 访问内存地址分别为 01234567H 和 FEDCBA98H 时, 请问是否能够命中, 若命中则给出相应的 Cache 地址。

| 地址 | 内存区号 | 组内块号 | 有效位 |
|---------|--------|------|-----|
| 000 000 | 0009 H | 000B | 1 |
| 001 011 | 3FD7 H | 010B | 1 |
| 001 110 | 2440 H | 101B | 1 |
| 011 001 | 3FD7 H | 011B | 1 |
| 011 110 | 076E H | 111B | 1 |
| 110 000 | 0048 H | 100B | 1 |
| 110 100 | 0009 H | 000B | 1 |
| 111 111 | 0048 H | 100B | 1 |

五. (本题 15 分) 4 个发光二极管 R1、R2、G1、G2 和 1 个开关 K 如图所示。

若分配的接口地址为 8000H 到 8003H，试通过 8255 芯片将 R1、R2、G1、G2 和 K 连接到 8088 系统总线上，可利用开关 K 控制发光二极管 R1、R2、G1、G2 的状态，要求：



(1) 画出硬件连接图。

(2) 试编写程序，检测按键 K 的状态，当 K 闭合时使 R1、R2 亮，G1、G2 灭；当 K 断开时使 R1、R2 灭，G1、G2 亮。(不需要对 8255 初始化)

六. (本题 10 分) 附加题 (成绩作为参考, 试卷总成绩不超过100分)

某计算机系统总线上有 20 位地址线、8 位数据线, 内存按字节编址。某 DRAM 芯片的容量为 $16K \times 1b$, 存取周期为 $50ns$ 。

请问:

- (1) 采用上述 DRAM 芯片构成地址 $30000H$ 到 $37FFFH$ 的内存区域, 应如何进行扩展?
- (2) 若系统采用 DRAM 分布式刷新, 刷新周期为 $1ms$, 请问: 对小题 (1) 中构成的内存区域, 进行二次刷新操作之间的时间间隔? 在一个刷新周期中刷新共需要占用多少时间?