

高性能乘法器设计

周 啸,代明清

(中国航空工业集团公司 西安航空计算技术研究所 陕西 西安 710068)

摘要 :在许多实时高速信号处理中,需要使用 FPGA 硬件对复杂数字信号处理进行硬件加速或者预处理,例如广泛应用的矩阵求逆、方差等算法中^[1],这些算法的关键都在于乘累加操作(MAC),目前的 MAC 操作多采用分裂式乘加器,文章设计一种高速 4 级流水 MAC,对任意 32bit 数据进行高速的流水运算,在 TSMC13 工艺下进行综合,worst case 下运行频率可超过 400MHz。

关键词 :乘加器;流水线;压缩算法;高性能

中图分类号 :TP303

文献标识码 :A

文章编号 :1673-1131(2018)05-0027-03

The Design of High-Performance MAC

Zhou Xiao,Dai Mingqing

(Xi'an Aeronautics Computing Technique Research Institute, Aviation Industry Corporation of China, Xi'an Shaanxi 710068, China)

Abstract :It is necessary to use FPGA to process the complicated signal in many high-speed signal processing, such as pre-process or hardware-accelerating. The most important in the arithmetic is multiplication and addition (MAC). This paper designs a distributed MAC, which include 4 pipeline stages and can calculate at 400MHz clock in TSMC13 worst case.

Key words :MAC; Pipeline; Compression Algorithm; High-Performance

0 引言

随着 FPGA 的功能和性能显著提升,在一些实时的高速信号处理如雷达数据、通信传输等诸多领域,通常可以对复杂数据进行预处理或者硬件加速^[2]。利用 FPGA 对数据进行预处理再传输,可以有效地提高信号处理速度。硬件算法中最主要的硬件运算为乘累加(MAC)操作,一些复杂算法例如矩阵乘、矩阵协方差、FIR 等计算过程中都需要进行 MAC 操作。传统累加器由于关键路径较长,难以高速运行。本文提出了一种基于流水线的乘累加器结构,能够实时完成任意长度向量的乘累加计算,在 TSMC13 工艺下关键路径在 2.5ns 左右,可以运行在 400MHz 时钟,并通过设计门控电路对功耗进行优化,达到高性能、低功耗的乘累积设计。

1 分裂式乘加器流水结构

本文设计一种高性能的分裂式乘累加器结构,可以支持多种形式的乘法/乘累加运算,能够在 400MHz 以上的时钟下运行。考虑到 32bit 乘法,如果直接相乘,需要的加法链较长,必然造成大量的延时,很难实现 2.5ns 的关键路径,因此本文首先对 MAC 部件进行流水线均匀划分。

考虑到充分并行,首先对数据进行拆分^[3],以便并行运算,减少运算的时延。乘累加操作,一般对 2 个 32bit 数据(有符号或者无符号)执行乘法,之后进行累加(累减)结果为 64 位,如下所示:

$$M = Z \pm A \times B$$

A 和 B 代表两个二进制操作数:乘数和被乘数, Z 是用来累加或者累减的源。全字模式的 A 和 B 可以表示为:

$$A = A_H \times 2^{n/2} + A_L$$

$$B = B_H \times 2^{n/2} + B_L$$

A_H 和 A_L 分别代表 32 为乘数 A 的高 16 比特和低 16 比特, B_H 和 B_L 代表 32 为乘数 B 的高 16 比特和低 16 比特。因此:

$$A \times B = (A_H \times B_H) \times 2^n + (A_H \times B_L) \times 2^{n/2} + (A_L \times B_H) \times 2^{n/2} + (A_L \times B_L)$$

在 TSMC 工艺下,16-bit 乘加操作需要大量的多位加法运

算,很难在 2ns 之内完成,本文设计的中 16-bit 乘加单元之中插入一级流水,在两个时钟周期内完成,这样可以使得系统频率翻倍,提高性能。可设计出如图 1 的流水化结构。

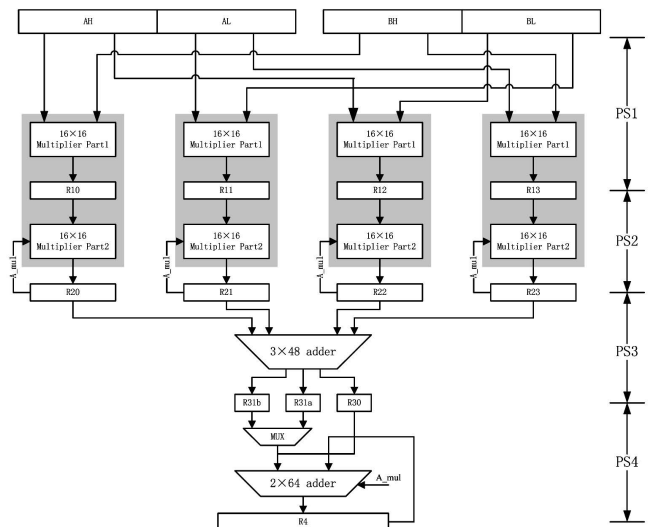


图 1 MAC 的内部数据通道

由图 1 可以看出,本文设计的 MAC 运算通过 4 级流水完成:

首先将 32bit 乘法拆分为 4 个 16-bit 16-bit 乘法,通过计算得到 4 个 32bit 的积,由于该运算时延过长,通过中间插入 1 级流水,将其计算分为二级,即是:

$$R_{20} = A_H \times B_H, \quad R_{21} = A_L \times B_L,$$

$$R_{22} = A_H \times B_L, \quad R_{23} = A_L \times B_H$$

第三级流水对 4 个中间结果进行符号扩展,之后分别进行组合累加。该级流水中将 4 部分数加法分为 2 级,其中一部分移到第四级进行运算。

第四级流水对第三级的计算结果进行累加操作,计算出最终的乘法或者乘累加结果。

2 16-bit 乘加器结构

图 1 所示 64 位分裂式乘加器的核心是 16-bit 乘法运算, 本文采用 booth 算法基于 2 比特超前进位加法器的部分积压缩树 (Partial Product Compression Tree Based on Carry Look-ahead Adder) 对部分积进行压缩。如图 2 所示, 通过 4 个步骤: 符号扩展、部分积产生、部分积压缩树、结果累加来完成乘法运算。

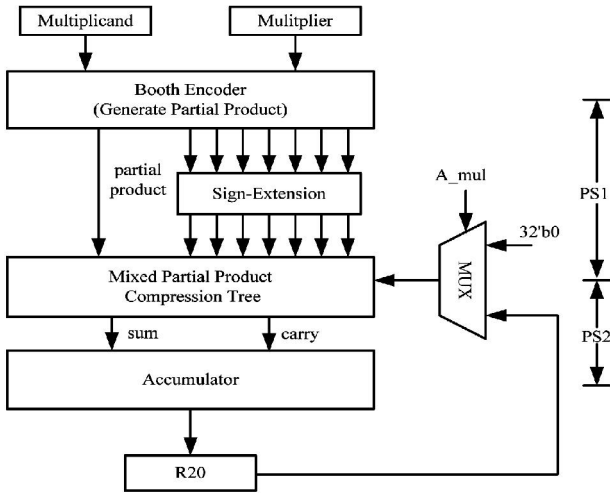


图 2 16 比特 MAC 微结构

MacSoley 提出了一种改进 Booth 算法, 将需要相加的部分积数减少为一半, 大大提高了乘法速度。其对乘数 A 中相邻 3 个数进行编码。考虑到 A 表示如下:

$$A = a_{m-1}a_{m-2} \cdots a_2a_1a_0 = \sum_{i=0}^{m-1} (a_{2i-1} + a_{2i} - 2a_{2i+1})2^{2i},$$

$$A \times B = \sum_{i=0}^{m-1} (a_{2i-1} + a_{2i} - 2a_{2i+1})B \times 2^{2i}$$

这样通过 $a_{2i-1}, a_{2i}, a_{2i+1}$ 的值可以进行 booth 编码如表 1 所示:

表 1 booth 编码表

a_{2i+1}	a_{2i}	a_{2i-1}	$a_{2i-1} + a_{2i} - 2a_{2i+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	2
1	0	0	-2
1	0	1	-1
1	1	0	-1
1	1	1	0

考虑到有符号数比无符号数多一个符号位, 需要对符号数进行符号位扩展, 即 PPPPP=11111+00000 \bar{P} 。这样在采用改进 Booth 算法后, 16-bit MAC 拥有 10 个部分积, 8 个来自部分积产生电路, 1 个来自符号位, 另 1 个是前一次累加结果。

之后需要将部分积相加, 最常用的是采用 Wallace 树结构^[7], 利用全加器 (FA) 的 3-2 压缩特性, 将所有的输入以及中间结果并行计算, 将 N-1 次加法压缩到次。

本文对 Wallace 树结构进行改进, 首先利用 2 比特 CLA 的部分积压缩树对 10 个部分积进行压缩, 之后再通过 FA 进行压缩。如图 3 所示。

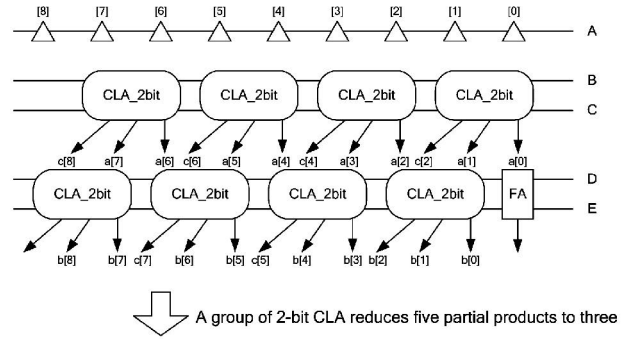


图 3 五个部分积的压缩树

这样, 在 16bit 乘法中第一级流水中将 Booth 算法第一步产生的 9 个部分积通过两级 3-2 全加器压缩为 4 个部分积。第二级流水中剩余的 5 个部分积利用图 3 的方式进行压缩, 如图 4 所示。

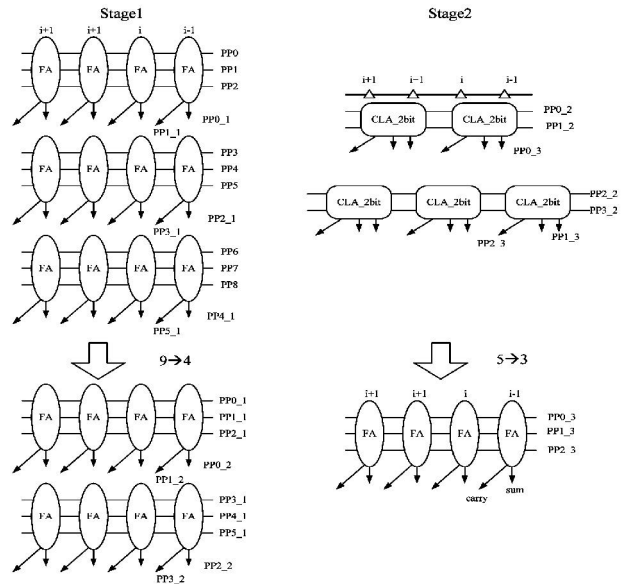


图 4 16-bit 乘法部分积压缩

3 选择进位加法

将部分积压缩完成之后需要对其结果进行累加, 考虑到两个多 bit 数相加, 可以拆成多个数进行并行计算, 之后对进位链进行选择, 其超前进位、进位选择结构。其结构如图 5 所示。

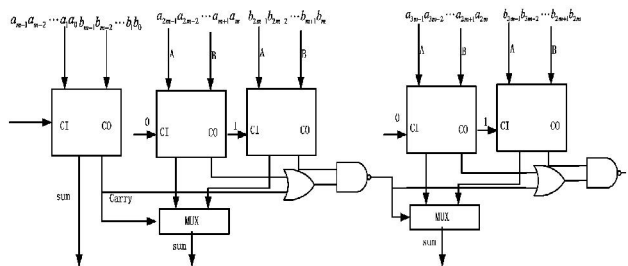


图 5 超前进位、进位选择结构

基于角度独立的 OTS 的宽角度滤波器

朱 旭 陈溢杭

(华南师范大学 物理与电信工程学院 广东 广州 510006)

摘要 光学 Tamm 态(optical Tamm states ,OTS)是在两种介质的界面形成的一种光学界面态,光学 Tamm 态对光的控制和操作具有独到优势,因此在光子器件方面有着广阔的应用前景。但是由于对电磁波的入射角度敏感,也限制了其在某些方面的应用。双曲超材料是一种各向异性的超材料,具有独特的色散关系。基于双曲超材料实现的相位变化补偿效应,利用金属-DBR(分布式 Bragg 反射镜)结构,实现了不依赖角度的光学 Tamm 态,进而实现了宽角度的滤波器。

关键词 双曲超材料;光学 Tamm 态;色散关系;宽角度 滤波器

中图分类号 :TB383

文献标识码 :A

文章编号 :1673-1131(2018)05-0029-03

Wide-angle Filter Based on Angle-independent OTS

Zhu Xu, Chen Yihang

(1School of Physics and Telecommunications Engineering, South China Normal University, Guangzhou 210016, China)

Abstract:Optical Tamm States is an optical interface state formed at the interface between two kinds of media. Optical Tamm state has unique advantages in controlling and operating light. Therefore, it has broad prospects in photonic devices. But, its application is limited in some aspects due to the sensitivity of the incident angle to the electromagnetic wave. Hyperbolic metamaterial is an anisotropic material, which has a unique dispersion relation. Based on the phase change compensation effect achieved by hyperbolic metamaterial, the angle-independent optical Tamm state is realized by using the structure of Metal -DBR (distributed Bragg reflector), and a wide-angle filter is realized.

Key words:hyperbolic metamaterials; Optical Tamm States; dispersion; Wide-angle; filter

超材料是一种人工的亚波长微纳结构,通过设计合适的超材料结构,可以实现对电磁波的传输的调控。超材料突破了人们对传统材料的认识,具有天然材料所不具备的一些新奇光学特性,如负折射^[1]、反常多普勒效应等等。近些年来,一种基于金属—电介质多层结构或者金属纳米线阵列结构所实现的新型超材料被设计出来,人们把这种材料称为双曲超材料^[2]。双曲超材料是一种各向异性的单轴材料,其独特的色散特

性吸引了众多研究者的关注。由于双曲超材料简单的结构和独特的色散关系,已经在很多方面得到了应用,比如亚波长成像^[3]、光场局域^[4]、增强自发辐射^[5]等。

表面波是在声学、等离子体和光学等物理学领域研究中常见的波现象。光学 Tamm 态一种很常见的表面波,这种表面波可在两种具有重叠禁带的光子晶体(PC)的界面处或者金属和分布式的 Bragg 的界面处形成^[7-8]。与 Dyakonov 表面波

4 结论与总结

通过本文介绍的乘法器结构,可以设计出并行高速乘法结构,在 TSMC13 工艺下进行 DC 综合,其结果如表 2 所示:

表 2 MAC 各流水级参数

Module	Area (μm ²)	Speed (ns) Worst Case	Speed (ns) Typical Case
PS1	79020.8	2.05	1.64
PS2	50528.2	2.01	1.63
PS3	25965.1	2.00	1.62
PS4	27888.3	2.03	1.62
Total	250132.3	2.32	1.71

5 结束语

本文通过设计流水化的乘加结构,通过流水技术解决 16-bit MAC 的时延问题。设计实现一种能够实时完成任意长度向量的乘累加结构,在 TSMC13 工艺下关键路径在 2 ns 左右,能够运行在 400Mhz 时钟,达到高性能乘累加设计,可广泛应用于 FPGA 硬件运算以及信号预处理等方面。

参考文献:

- [1] 张禾,陈客松.基于 FPGA 的稀疏矩阵向量乘的设计研究[J]. 计算机应用研究,2014,31(6):1756-1759.
- [2] 张文丰. 探析 FPGA 技术在电子设计中的相关应用[J]. 电子技术与软件工程,2014,3:130-131.
- [3] 袁松,唐敬友,刘莉.一种基于多级流水线加法器的累加电路设计研究[J].四川理工学院学报(自然科学版),2012,25(5):50-53.
- [4] Krithivasan S,Schult e M J.Multiplier Architectures f or Media Processing[C].Proc of the 37th Conf on signals, Systems and Computers, 2003.
- [5] 李东晓.一种支持 SIMD 指令的流水化可拆分乘加器结构,计算机工程,2006 年 4 月,32(7):264-266.
- [6] O.L.MacSorley. High-Speed Arithmetic in Binary Computers. Proceedings of IRE, January 1961, 49(1): 67-91.
- [7] C. Wallace. A Suggestion for a Fast Multiplier. IEEE Transactions on Electronic Computers, 1964, EC-13:14-17.

基金项目:航空科学基金资助项目(No.2016ZC31003)。

作者简介:周啸(1986-)男,陕西西安人,工程师,硕士,主要研究方向:机载计算机应用、FPGA 设计。