

32位 RISC-V 处理器中乘法器的优化设计

唐俊龙^{1,2}, 汤孟媛^{1,2}, 吴圳羲^{1,2}, 卢英龙^{1,2}, 邹望辉^{1,2}

(1.长沙理工大学 物理与电子科学学院, 湖南 长沙 410114; 2.柔性电子材料基因工程湖南省重点实验室, 湖南 长沙 410114)

摘要:针对32位RISC-V“蜂鸟E203”处理器的乘法器部分积压缩延时较大的问题,该文改进5-2压缩器,提出一种由新型5-2压缩器和4-2压缩器相结合的Wallace树形压缩结构,压缩基4Booth编码产生的部分积,提高部分积压缩的压缩效率,优化设计出一种改进的32位有/无符号乘法器,减少乘法指令执行周期和乘法器关键路径延时,提高乘法器的运算速度。利用Modelsim仿真验证了乘法器功能的正确性。基于SIMC 180 nm工艺,采用Synopsys的Design Compiler工具进行综合处理,结果表明,单次乘法指令执行周期减少了88.2%,关键路径延时为2.43 ns。

关键词: RISC-V处理器; 乘法器; 压缩器; Booth编码

中图分类号: TN492

文献标识码: A

文章编号: 1674-6236(2022)06-0061-05

DOI: 10.14022/j.issn1674-6236.2022.06.014

Optimization design of multiplier in 32-bit RISC-V processor

TANG Junlong^{1,2}, TANG Mengyuan^{1,2}, WU Zhenxi^{1,2}, LU Yinglong^{1,2}, ZOU Wanghui^{1,2}

(1.School of Physics & Electronic Science, Changsha University of Technology & Science, Changsha 410114, China; 2.Key Laboratory of Flexible Electronic Material Genetic Engineering of Hunan Province, Changsha 410114, China)

Abstract: The problems that delay of the partial product compression of the multiplier in 32-bit RISC-V "Hummingbird E203" processor is larger. In this paper, a new 5-2 compressors is designed, and new Wallace tree structure is put forward by the combination new type of 5-2 compressors and 4-2 compressors to compress the partial product which is created by 4 Booth encoding. Compression efficiency is improved with the structure. A 32-bit multiplier with/without symbols is optimized and designed based on the new Wallace tree structure to reduce execution cycle of the multiplication instruction and critical path delay of the multiplier. Operation speed of the multiplier has been improved. The multiplier is simulated and verified by Modelsim tool, and the functions are correct. Synthesis of the multiplier with SIMC 180 nm process based on Synopsys Design Compiler tool is completed. The results show that the execution cycles of single multiplication instruction are reduced by 88.2%, and the critical path delay is 2.43 ns.

Keywords: RISC-V processor; multiplier; compressors; Booth encoding

乘法器作为处理器的重要组成部分,一般由部分积产生、部分积压缩和最终结果相加3部分组成,乘法器的性能制约着处理器算术运算的整体性能^[1]。

“蜂鸟E203”是国内研发团队开发的面向嵌入式或物联网领域的低功耗开源RISC-V处理器,它的乘法器采用基4Booth编码产生部分积,每个周期使用迭代加法器的方法压缩部分积,经过多个周期的迭代

收稿日期: 2021-01-26 稿件编号: 202101173

基金项目: 柔性电子材料基因工程湖南省重点实验室开放基金(202015)

作者简介: 唐俊龙(1973—),男,湖南武冈人,博士,副教授。研究方向: 嵌入式系统,CMOS数字、模拟集成电路设计。

得到最终的乘积。部分积压缩使用迭代加法器的方法消耗的硬件资源少,但完成一次乘法操作的迭代周期数多,使得乘法器运算速度慢,处理器无法满足在物联网应用领域中高速运算的需求^[2]。因此,需要设计高速的乘法器来提高低功耗“蜂鸟 E203”处理器的运算性能,而高速乘法器设计的关键是加快部分积压缩的速度,目前主要通过优化部分积压缩中 4-2、5-2、6-3 和 7-3 等压缩器或者设计合适的 Wallace 树压缩结构达到提升乘法器运算速度的目的,而 6-3 与 7-3 等高压压缩器消耗的硬件资源多、功耗高且面积大,在对硬件资源和功耗有要求的嵌入式或物联网领域中,Wallace 树压缩结构通常采用 4-2 和 5-2 压缩器^[3-7]。为了提高“蜂鸟 E203”处理器中乘法器的运算能力,该文提出一种新型的 5-2 压缩器,根据基 4 Booth 编码算法生成部分积的个数将 4-2 压缩器与新型 5-2 压缩器合理排列,组成新型的 Wallace 树压缩结构代替原乘法器中的加法器。采用 Synopsys 的 Design Compile 工具在 SMIC180 nm 工艺下对改进的乘法器综合,结果表明,乘法器的运算能力得到了显著提升。

1 RISC-V 处理器中乘法器的优化

该文主要针对 RISC-V 处理器中乘法器部分积压缩延时高,执行整数乘法指令周期过长的问题,结合 RISC-V 架构的整数乘法指令集的特点,对乘法器进行优化设计。

1.1 RISC-V 架构的乘法指令分析

“蜂鸟 E203”处理器支持 RISC-V 架构的整数乘法指令,共有 MUL、MULH、MULHU、MULHSU 4 条乘法指令^[8-10],乘法指令分析如表 1 所示,其中 rd 表示目的寄存器,rs1 和 rs2 表示源寄存器。4 条乘法指令分别按符号扩展操作和结果高低位选取操作生成相应的控制信号,MULHU 指令乘法的两个操作数(被乘数和乘数)的符号扩展位都为 0;MULHSU 指令被乘数的符号扩展位为被乘数的最高位,乘数的符号扩展位为 0,MUL 和 MULH 指令的两个操作数的符号扩展位分别为被乘数和乘数的最高位。MUL 指令选取 Wallace 树形结构压缩结果的低 32 位,其余乘法指令选取 Wallace 树形结构压缩结果的高 32 位。控制信号控制部分积产生和部分积压缩对操作数和部分积的处理,从而完成乘法器的乘法运算。

表 1 RISC-V 乘法指令分析

| 汇编格式 | 操作分析 |
|------------------|-----------------|
| mulrd,rs1,rs2 | 32 位无符号整数相乘 |
| mulhrd,rs1,rs2 | 32 位有符号整数相乘 |
| mulhurd,rs1,rs2 | 32 位无符号整数相乘 |
| mulhsurd,rs1,rs2 | 32 位有符号与无符号整数相乘 |

1.2 改进型乘法器的结构设计

“蜂鸟 E203”处理器中的乘法器如图 1 所示。该文提出一种改进的乘法器结构如图 2 所示,该乘法器支持 32 位有/无符号数的乘法运算,主要包括部分积产生(基 4 Booth 编码)、部分积压缩(Wallace 树形结构)和选择器 MUX 3 个部分,部分积压缩采用新型的 Wallace 树形结构代替图 1 中加法器对部分积进行压缩,增加选择器并通过控制信号选取 4 种乘法指令需要的 Wallace 树形结构的压缩结果。图 2 中,译码模块对乘法指令进行译码,基 4 Booth 编码接收控制信号对被乘数和乘数进行符号扩展并产生 18 个规整的部分积,经 Wallace 树形结构压缩,得到求和 Sum 与进位 Carry 两个部分积,选择器 MUX 通过控制信号选取 Carry 和 Sum 两个部分积的高 32 位或低 32 位,传输到“蜂鸟 E203”处理器中的 ALU 运算模块进行运算,得到最终结果。

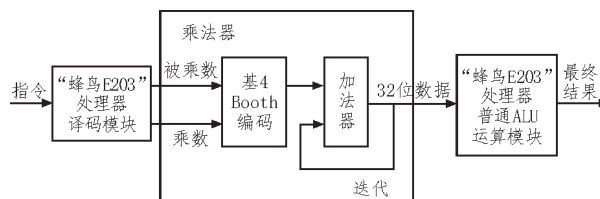


图1 “蜂鸟 E203”处理器中的乘法器整体框图

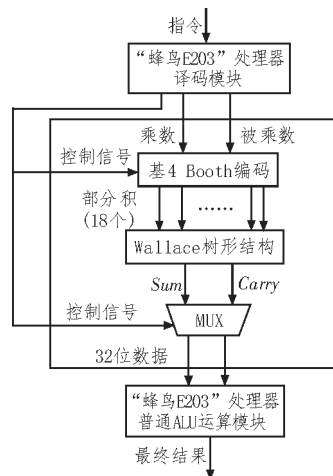


图2 改进型乘法器整体框图

2 新型的 Wallace 树形结构设计

图2改进型乘法器结构中新型的 Wallace 树形压缩结构的核心是压缩器,在乘法器运算中,压缩器对部分积快速压缩时产生大量延时,降低处理器的运算性能^[11-12]。对压缩器的优化和对压缩器的合理排列能有效提高 Wallace 树形压缩结构的压缩速度。

2.1 新型压缩器的设计

2.1.1 传统 5-2 压缩器

图3与图4分别是 5-2 压缩器的示意图和传统 5-2 压缩器的结构图^[13],其中, $X_1 \sim X_5$ 表示部分积输入, C_{in1} 和 C_{in2} 表示上一级部分积压缩的进位输入(即低位的进位), C_{out1} 和 C_{out2} 表示本级部分积压缩产生的横向进位输出,求和 Sum 与进位 $Carry$ 表示部分积压缩的纵向输出,图3中输入输出的关系式如式(1)所示^[5],图4的逻辑表达式如式(2)~(5)所示。

$$X_1 + X_2 + X_3 + X_4 + X_5 + C_{in1} + C_{in2} = Sum + 2 \times (Carry + C_{out1} + C_{out2}) \quad (1)$$

$$Sum = X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1} \oplus C_{in2} \quad (2)$$

$$C_{out1} = (X_1 \oplus X_2) \cdot X_3 + \overline{(X_1 \oplus X_2)} \cdot X_4 \quad (3)$$

$$C_{out2} = (X_3 \oplus X_4) \cdot C_{in1} + \overline{(X_3 \oplus X_4)} \cdot X_4 \quad (4)$$

$$Carry = (X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1}) \cdot X_5 + \overline{(X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1})} \cdot C_{in2} \quad (5)$$

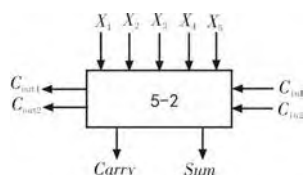


图3 5-2压缩器示意图

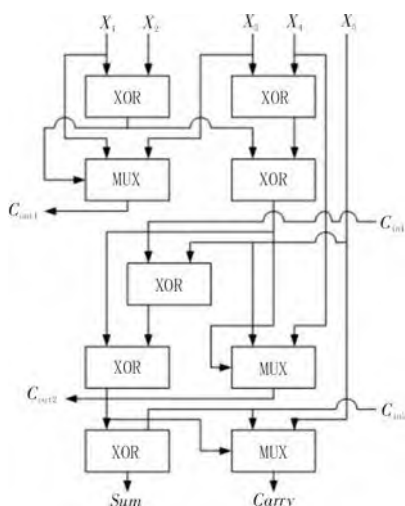


图4 传统5-2压缩器结构图

2.1.2 新型 5-2 压缩器

图4传统 5-2 压缩器结构中,横向输出 C_{out2} 在逻辑上与低位进位 C_{in1} 相关, C_{out2} 需等待 C_{in1} 的输入,这种逻辑依附关系会产生额外的延时;纵向输出 $Carry$ 由 X_1 和 X_2 异或门开始经过 4 级 XOR 与 1 级 MUX 运算产生结果, Sum 由 X_1 和 X_2 异或门开始经过 5 级异或门 XOR 运算产生结果。 Sum 处于压缩器最长路径的末端,以一个 XOR 延时为单位,传统 5-2 压缩器的关键路径延时为 5 个 XOR 延时,延时较大影响乘法器的性能^[13]。该文基于式(1),对式(2)~(5)进行优化,提出一种新型的 5-2 压缩器,逻辑表达式为式(6)~(9),对应的结构如图5所示,相比于图4传统 5-2 压缩器结构,横向输出 C_{out2} 与 X_1, X_2, X_4 和 X_5 信号有关,而与 C_{in1} 无关,没有额外延时;纵向输出 Sum 和 $Carry$ 的产生路径上减少了 1 级 XOR,新型的 5-2 压缩器关键路径延时减少到 4 个 XOR 延时,有效降低了纵向输出的延时。基于 SIMC 180 nm 的工艺库,通过 H-spice 工具,该文对图5新型 5-2 压缩器进行电路仿真,温度为 27 °C,电源电压为 1.8 V, $X_1 \sim X_5, C_{in1}$ 和 C_{in2} 均为 200 MHz 的脉冲信号,关键路径延时和功耗仿真结果分别为 0.12 ns 和 0.12 mW。

$$Sum = X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1} \oplus C_{in2} \quad (6)$$

$$C_{out1} = (X_1 \oplus X_2) \cdot X_3 + \overline{(X_1 \oplus X_2)} \cdot X_1 \quad (7)$$

$$C_{out2} = (X_4 \oplus X_5) \cdot (X_1 \oplus X_2) + \overline{(X_4 \oplus X_5)} \cdot X_4 \quad (8)$$

$$Carry = (X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1}) \cdot C_{in2} + \overline{(X_1 \oplus X_2 \oplus X_3 \oplus X_4 \oplus X_5 \oplus C_{in1})} \cdot (X_4 \oplus X_5) \quad (9)$$

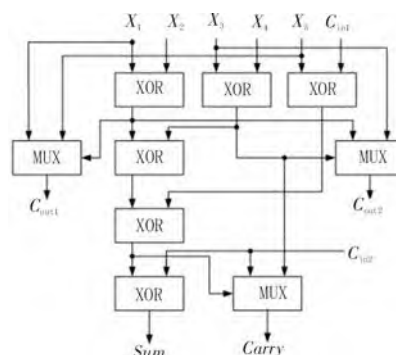


图5 新型的 5-2 压缩器结构

2.2 新型的树形压缩结构

图2中,Wallace 树形结构主要功能是压缩部分积,由基 4 Booth 编码产生的 18 个部分积仅用新型 5-2 压缩器不能将其完全压缩,而仅用 4-2 压缩器能够完全压缩^[14-15],但需要 4 级 4-2 压缩器,增加了关键路径的延时,且组成的 Wallace 树形结构不对称,不

利于后端版图的设计。该文对改进型5-2压缩器与4-2压缩器进行合理排列,提出了一种改进的Wallace树形压缩结构,如图6所示,通过1级5-2压缩器和2级4-2压缩器将18个部分积完全压缩,该压缩结构对称,关键路径延时少。

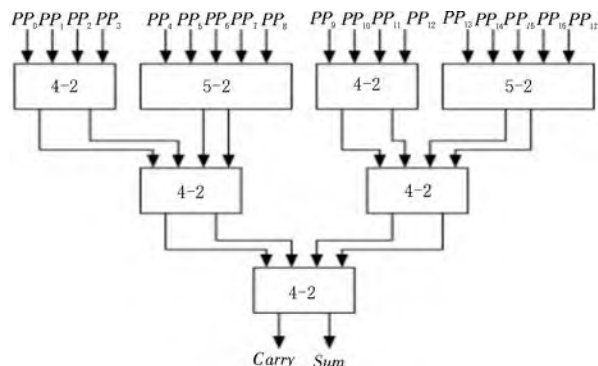


图6 新型的Wallace树形压缩结构

3 仿真结果

3.1 乘法器功能验证与分析

该文采用Verilog HDL语言对优化设计的乘法器进行描述,并嵌入到“蜂鸟E203”处理器中,使用Modelsim工具对MUL、MULH、MULHU和MULHSU^[16]4种乘法指令进行功能仿真,通过与Modelsim工具自带乘法符号的运算结果的对比验证乘法器功能的正确性。图7是执行4种乘法指令的仿真结果和自带乘法符号运算结果的对比图,信号result_op1与result_op2分别为乘法指令执行结果的低32位和高32位,信号final_result是乘法指令的完整运算结果,信号result是Modelsim自带乘法符号的运算结果,将信号final_result和result的数据对比,两个结果完全一致。因数据量较多,图7截选了仿真结果的一部分。

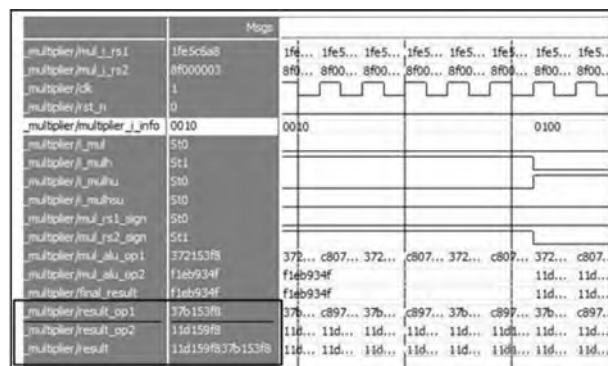


图7 乘法运算结果对比图

3.2 乘法器性能仿真与分析

该设计基于SIMC 180 nm的工艺库,使用Synopsys公司的Design Compile工具对改进型乘法器进行综合,电路面积为0.012 mm²,总单元数目为6 844,延时和周期数与“蜂鸟E203”处理器的原乘法器^[17-18]对比如表2。该文设计的乘法器速度性能提升了88.2%,电路最大延时降低了39%。

表2 乘法器性能对比

| 参数 | 原乘法器 | 该文乘法器 |
|---------|------|-------|
| 延迟/ns | 3.98 | 2.43 |
| 所需周期数/个 | 17 | 2 |

4 结束语

该文根据RISC-V指令集中整数乘法指令的特点,优化“蜂鸟E203”处理器中的乘法器,提出了一种新型的5-2压缩器,并应用新型的5-2压缩器构建了Wallace树形结构,设计了改进型乘法器。利用Modelsim工具验证了乘法器功能仿真的正确性,并采用SIMC 180 nm工艺,使用Synopsys公司的Design Compile工具对乘法器进行综合,结果表明,该文设计的乘法器单次乘法指令执行周期数为2,关键路径延时为2.43 ns,相比于“蜂鸟E203”处理器原乘法器在速度上提升了88.2%,电路最大延时降低了39%,大大提高了乘法器的运算速度,适用于嵌入式或物联网领域中对高速运算有需求的应用。

参考文献:

- [1] 田甜. FT-XDSP中高性能SIMD浮点乘加单元的研究与实现[D].长沙:国防科学技术大学,2013.
- [2] 胡振波.手把手教你设计CPU RISC-V处理器篇[M].北京:人民邮电出版社,2018.
- [3] Veeramachaneni S, Krishna K, Avinash L, et al. Novel architectures for high-speed and low-power 3-2, 4-2 and 5-2 compressors[C]. 20th International Conference on VLSI Design Held Jointly with 6th International Conference on Embedded Systems (VLSID'07), 2007: 324-329.
- [4] Najafi A, Timarchi S, Najafi A. High-speed energy-efficient 5:2 compressor[C]. 2014 37th International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), 2014: 80-84.
- [5] 仲亚, 叶瑶瑶. 基于新型压缩器的乘法器设计[J].

- 微电子学与计算机,2019,36(3):28-31,37.
- [6] 吴美琪,赵宏亮,刘兴辉,等.一种基于改进基4 Booth算法和Wallace树结构的乘法器设计[J].电子设计工程,2019,27(16):145-150.
- [7] 翟召岳,韩志刚.基于Booth算法的32位流水线型乘法器设计[J].微电子学与计算机,2014,31(3):146-149.
- [8] Raveendran A, Patil V B, Selvakumar D, et al. A RISC-V instruction set processor-micro-architecture design and analysis[C]. International Conference on VLSI Systems, Architectures, Technology and Application, 2016:1-7.
- [9] 雷思磊. RISC-V架构的开源处理器及SoC研究综述[J]. 单片机与嵌入式系统应用, 2017, 17(2):56-60, 76.
- [10] 张凯,李涛,秦晨蕊,等.RV32IM处理器乘法电路的设计与实现[J].微电子学与计算机,2018,35(9):125-128.
- [11] Abhilash R, Dubey S, Chinnaiah M C. Asic design of low power VLSI architecture for different multiplier algorithms using compressors[C]. 2016 11th International Conference on Industrial and Information Systems (ICIIS). Roorkee, 2016:37-392.
- [12] 石敏,王耿,易清明.基于改进的Booth编码和Wallace树的乘法器优化设计[J].计算机应用与软件,2016,33(5):13-16.
- [13] 李国强. SIMD DSP中的高性能定点算术运算部件的设计与实现[D].长沙:国防科学技术大学,2012.
- [14] Dornelles R, Paim G, Silveira B, et al. A power efficient 4-2 Adder Compressor topology[C]. New Circuits & Systems Conference. IEEE, 2017:281-284.
- [15] 王佳乐,胡越黎.基于新型booth选择器和压缩器的乘法器设计[J].微电子学与计算机,2020,37(3):5-8.
- [16] Lee Y, Waterman A, Cook H, et al. An agile approach to building RISC-V microprocessors[J]. IEEE Micro, 2016, 36(2):8-20.
- [17] 张国强,王斌,李俊华,等.基于虚拟仪器的电力谐波失真测量系统设计[J].工业仪表与自动化装置, 2020(1):58-60.
- [18] 詹坤,高广德,李建忠,等.基于定频PWM稳压的电流互感器取能电源设计方法[J].智慧电力,2021, 49(12):45-51, 58.

(上接第60页)

- [7] 马宝珍.基于大数据理论的图书馆信息服务系统的设置[J].科技创新导报,2019,16(26):253-254.
- [8] 杨桦,袁润.基于生理信号的图书馆资源发现管理系统用户体验评价研究——以超星发现系统为例[J].图书情报导刊,2018,3(7):29-35.
- [9] 谢海欧,李富仁.基于微信公众平台的图书馆服务系统设计与实现[J].武汉职业技术学院学报, 2018, 17(2):61-66.
- [10] 康娜,于琦,李琳,等.基于数据挖掘的图书馆智慧服务体系研究[J].图书馆界, 2019, 169(2):5-7, 19.
- [11] 魏丽芳,仇晓凯.基于共享经济下公共图书服务适老化设计研究[J].艺术与设计(理论),2019(10):57-59.
- [12] 倪伟燕.基于数据挖掘技术的数字图书馆信息服务研究[J].浙江工商职业技术学院学报,2018,17(4):88-90.
- [13] 吕京京.基于信息技术的图书馆信息资源建设模式研究[J].科技经济导刊,2018,26(3):18.
- [14] 张小松.基于全媒体时代背景下的高校图书馆信息服务模式研究[J].数字化用户,2019,25(16):144.
- [15] 韩秋.基于大数据技术与信息挖掘的图书馆智慧服务体系研究[J].西域图书馆论坛,2018,135(2):8-11.
- [16] 张瑞典,钱晓东.用余弦相似度修正评分的协同过滤推荐算法[J].计算机工程与科学,2020,42(6):1096-1105.