**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：使用Vivado进行仿真

学生姓名：\_\_\_\_ 黄瑞轩\_ \_\_\_\_

学生学号：\_\_ PB20111686 \_\_\_

完成日期：\_\_ 2021.11.13 \_\_

计算机实验教学中心制

2020年09月

**实验题目**

使用Vivado进行仿真

**实验目的**

* 熟悉Vivado软件的下载、安装和使用
* 学习使用Verilog编写仿真文件
* 学习使用Verilog进行仿真，查看并分析波形文件

**实验环境**

* PC一台
* Vivado工具

**实验练习**

**【题目1】**

* 仿真文件代码如下所示。

module test\_bench();

reg a, b;

initial

begin

a = 1'b1; b = 1'b0;

#100 a = 1'b1; b = 1'b1;

#100 a = 1'b0; b = 1'b1;

#75 a = 1'b0; b = 1'b0;

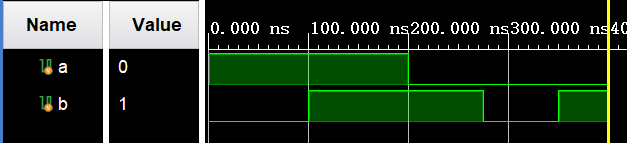
#75 a = 1'b0; b = 1'b1;

#50 $finish;

end

endmodule

* 在Vivado中进行仿真，仿真结果如下。



**【题目2】**

* 仿真文件代码如下所示。

module test\_bench();

reg clk, rst\_n, d;

initial

begin

clk = 0;

rst\_n = 0;

d = 0;

end

always #5 clk = ~clk;

initial #27 rst\_n = 1;

initial

begin

#12 d = 1;

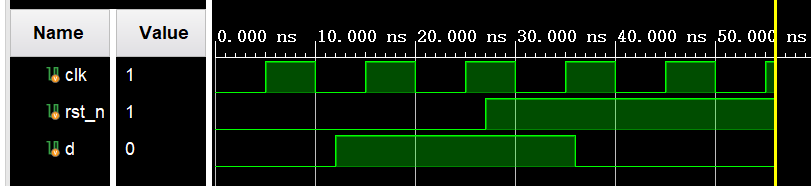
#24 d = 0;

#20 $finish;

end

endmodule

* 在Vivado中进行仿真，仿真结果如下。



**【题目3】**

* 首先，根据题干中的代码，添加一个Design Sources文件d\_ff.v，内容如下。

module d\_ff(input clk, rst\_n, d, output reg q);

always@(posedge clk)

begin

if(rst\_n == 0) q <= 1'b0;

else q <= d;

end

endmodule

* 根据d\_ff的端口，在不改变题目2信号的情况下编写test\_bench，内容如下。

module test\_bench();

reg clk, rst\_n, d;

wire q;

d\_ff inst(.clk(clk),.rst\_n(rst\_n),.d(d),.q(q));

initial

begin

clk = 0;

rst\_n = 0;

d = 0;

end

always #5 clk = ~clk;

initial #27 rst\_n = 1;

initial

begin

#12 d = 1;

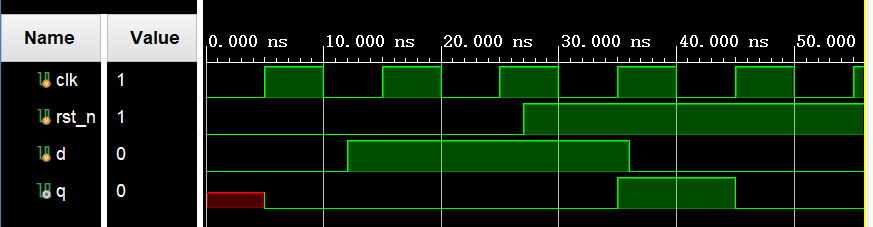
#24 d = 0;

#20 $finish;

end

endmodule

* 在Vivado中进行仿真，仿真结果如下。



**【题目4】**

* 设计的3-8译码器的Verilog代码如下所示。

module decoder(input [2:0] in, output [7:0] out);

assign out[0] = ~in[2]&~in[1]&~in[0];

assign out[1] = ~in[2]&~in[1]&in[0];

assign out[2] = ~in[2]&in[1]&~in[0];

assign out[3] = ~in[2]&in[1]&in[0];

assign out[4] = in[2]&~in[1]&~in[0];

assign out[5] = in[2]&~in[1]&in[0];

assign out[6] = in[2]&in[1]&~in[0];

assign out[7] = in[2]&in[1]&in[0];

endmodule

* 题目要求遍历所有输入情况，编写的test\_bench文件如下所示。

module test\_bench();

reg clk;

reg [2:0] in;

wire [7:0] out;

decoder inst(.in(in),.out(out));

initial clk = 0;

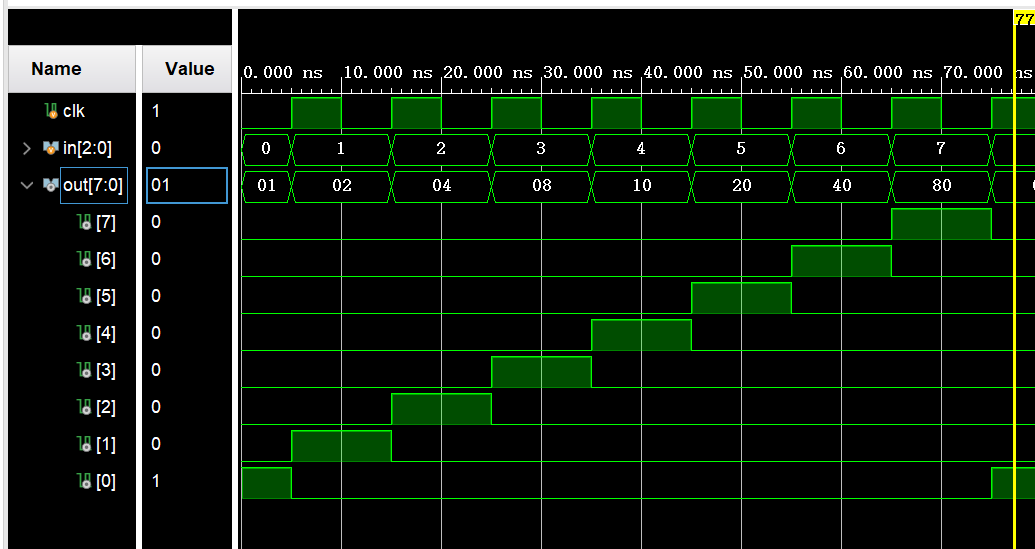
initial in = 3'b000;

always #5 clk = ~clk;

always@(posedge clk) in = in + 1'b1;

endmodule

* 在Vivado中进行仿真，仿真结果如下。



**总结与思考**

* 本次实验中我初步学会了利用Vivado实验工具进行仿真，并对Verilog语法有了更深刻的理解与运用，总体来说收获很大；
* 本次实验对于初学者稍难，原因在于对Vivado工具界面不熟悉、仿真模拟方面缺少前置知识等，需要课外通过查找相关资料进行学习；
* 本次实验只有4小题，任务量不大；但是若对讲义阅读不仔细、编写程序时粗心大意，便易使程序出现各种问题，使得调试时间加长；
* 改进建议：

在指导手册中加入一些在使用Vivado时的常见问题及解决方法。