

Estructura de Computadores

Curso 2018/2019 – Grupo: C

Ejercicio de memoria SDRAM

Nombre y apellidos: _____ Vladyslav_Mazurkevych _____

Fecha: _____ 14/01/2019 _____

Ejercicio 1

Sea el chip de memoria DDR2, modelo MT47H256M8 de la casa Micron, de capacidad 256Mx8 bits. Internamente este chip está formado por 8 bancos con 1024 columnas cada uno. Los parámetros temporales del chip se indican a continuación (CL = CAS Latency):

		Símbolo	Mínimo	Unidades
Periodo de reloj	CL = 6	T _{CLK}	2.5	ns
	CL = 5	T _{CLK}	3.0	ns
	CL = 4	T _{CLK}	3.75	ns
Tiempo entre órdenes ACTIVE y PRECHARGE		T _{RAS}	40	ns
Tiempo entre órdenes ACTIVE y ACTIVE		T _{RC}	55	ns
Tiempo entre órdenes ACTIVE y READ/WRITE		T _{RCD}	15	ns
Periodo de PRECHARGE		T _{RP}	15	ns

Indique:

1. El tamaño en bytes de cada banco del chip:

Tenemos 256MB de capacidad total, también sabemos que tenemos 8 bancos, dividiendo la capacidad total, sabremos la de cada banco:

$$256\text{MB} / 8 = 2^8 * 2^{20} / 2^3 = 2^5 * 2^{20} = \mathbf{32\text{MB}}$$
 cada banco del chip.

2. El número de filas de cada banco:

Partimos de la formula de $P(\text{capacidad}) = B(\text{banco}) * C(\text{columna}) * F(\text{fila})$

$$256\text{MB} = 8 * 1024 * F$$

$$2^{28} = 8 * 1024 * F$$

$$F = 2^{28} / (8 * 1024)$$

$$F = \mathbf{32768 = 32K \text{ Filas}}$$

3. El número de líneas de dirección que tiene el chip para seleccionar fila/columna y banco:

Bancos: tiene 8 bancos $= 2^3$, por tanto 3 líneas para el banco.

Filas: tiene 32768 filas $> \log_2(32768) = 15$, por tanto tiene 15 líneas para las filas.

Columnas: $1024 > 2^{10}$, por lo tanto tiene 10 líneas para las columnas.

Por tanto la solución es:

3 líneas para el banco.

15 líneas para filas/columnas (ya que se saca como el máximo entre filas y columnas)

4. La frecuencia máxima de funcionamiento de este chip:

$$B = 2(\text{por ser DDR}) * \text{frecuencia} * W (\text{Bytes})$$

$t_{RC} = 55\text{ns}$ es el tiempo de un ciclo.

$$F_{\max} = 1 / T_{\text{ciclo}} = 1 / 55\text{ns} = \dots 18.18 \dots \text{MHz}$$

5. El ancho de banda máximo del chip:

$$B = \dots 2 * 18.18 * 1 = 36,36 \text{ MBps}$$

6. Describa la temporización óptima para la lectura de un bloque de 8 palabras cuando el reloj es de 266 MHz. Indique en qué ciclo hay que dar la orden de precarga (precarga explícita) y en qué ciclo se puede iniciar una nueva lectura de un bloque en otra fila distinta del mismo banco

(Nota: Marque sobre la tabla los tiempos utilizados)

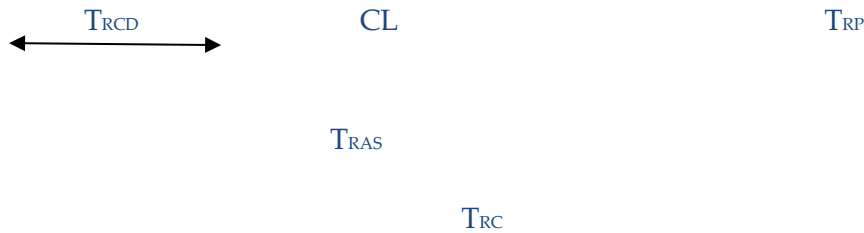
Para $F = 266 \text{ MHz}$

$$T = 1/f = 1000/266 = 3.759\text{GHz}$$

Entonces nos coincide con el inmediatamente inferior de la tabla CL4

- $CL = 4$ ciclos.
- $T_{RAS} = 11$ ciclos
- $T_{RC} = 15$ ciclos
- $T_{RCD} = 4$ ciclos
- $T_{RP} = 4$ ciclos

Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
Orden	Act	nop	nop	Rd	nop	nop	nop	nop	nop	nop	Pr	nop	nop	nop	Act				
Dir	Row			Col															
Datos								D1/ D2	D3/ D4	D5/ D6	D7/ D8								



7. Cuál sería la latencia de lectura resultante:

$$\text{Latencia de lectura} = \dots t_{RCD} + CL = 4 + 4 = 8 \dots \text{ciclos} = \dots 3.75 \times 8 = \mathbf{30 \text{ ns}}$$

8. Con el reloj a 266 MHz, describa la temporización para concatenar de forma óptima la lectura de dos bloques de 8 palabras ubicados en la misma fila del mismo banco. Indique en qué ciclo hay que dar la orden de precarga (precarga explícita). (Nota: Marque sobre la tabla los tiempos utilizados)

Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Orden	Act	nop	nop	Rd	nop	nop	nop	nop	nop	nop	Pr	nop	nop	nop	Act					
Dir	Row			Col																
Datos								D1/ D2	D3/ D4	D5/ D6	D7/ D8									

Suponga que se quiere realizar un módulo estándar DIMM de 4 GB de capacidad utilizando chips DDR2 como el anterior. Indique:

9. Cuántos chips serían necesarios:

$$4\text{GB}/256\text{MB} = 2^{32}/2^8 \times 2^{20} = 2^4 = \mathbf{16 \text{ chips}}$$

10. La denominación estándar de este módulo sería PC2-XXX, indique el valor de XXX

Antes de nada sabemos que tenemos un módulo de 4GB DIMM, con lo que tenemos $64\text{b} = W$.

Como es una DDR, su PC se calculara como el ancho de banda, por lo cual, el ancho de banda de este chip será:

$$B = 2 \times f \times W(\text{Bytes}) = 2 \times 266 \times (64/8) = 4256\text{MB/s}$$

PC2-4256.....

11. Indique la especificación temporal de este módulo ($CL - T_{RCD} - T_{RP} - T_{RAS}$) en ciclos de reloj a la máxima frecuencia de funcionamiento.

Para $F_{\max} = \underline{266 \text{ MHz}}$

- $CL = 4$ ciclos.

- $T_{RAS} = 11$ ciclos
- $T_{RC} = 15$ ciclos
- $T_{RCD} = 4$ ciclos
- $T_{RP} = 4$ ciclos

$$CL - T_{RCD} - T_{RP} - T_{RAS} = \dots\dots 4 \dots\dots - \dots\dots 4 \dots\dots - \dots\dots 4 \dots\dots - \dots\dots 11 \dots\dots$$