Estructura de Computadores Curso 2018/2019 - Grupo: C

Ejercicios de mapas de memoria

Nombre y ap	ellidos:	_Vladyslav Mazurkevych
Fecha:0	<u>4</u> /01/19	

Ejercicio 1

Considere el diseño de un sistema de memoria que se va a conectar a un procesador con un ancho de palabra de 32 bits y un espacio de direccionamiento de 4GB. La relación de los módulos que integra este sistema de memoria y las características de cada módulo se muestra en la siguiente tabla:

Módulo	Capacidad	Dirección Inicio			
RAM1	512 MB	0x00000000			
RAM2	1 GB	0x40000000			
RAM3	512MB	0x80000000			
VIDEO	512MB	0xC0000000			

a) Realiza el mapa de memoria de este sistema, indicando la dirección de inicio y de fin de cada módulo y los huecos si los hubiera, indicando en este caso su tamaño.

Módulo	Capacidad	A ₃₁ A ₃₀ A ₂₉ A ₂₈ A ₂₇ A ₂₆	A ₀ Dirección Inicial-Final (hex)
RAM1	512MB	000 000000000	0x0000000-
KAWI		000 1111111111	0x1FFFFFF
BLANCO1 512MB		001 000000000	0x20000000-
BLANCOT	SIZIVID	001 1111111111	0x3FFFFFF
RAM2	1GB	01 0000000000	0X4000000-
MAIVIZ		01 1111111111	0x7FFFFFF
RAM3	512MB	100 000000000	0X80000000-
KAIVIS		100 1111111111	0X9FFFFFF
BLANCO2	512MB	101 000000000	0XA000000-
BLANCU2		101 111111111	0XBFFFFFF
VIDEO	512MB	110 000000000	0XC0000000-
		110 1111111111	0XDFFFFFF
BLANC03	512MB	111 000000000	0XE0000000-
		111 111111111	0XFFFFFFF

b) Especifica las funciones de selección de cada módulo en lógica negativa (activas a nivel bajo).

 $\hat{A} = A \text{ negada}.$

RAM1: 000 >> $\hat{A}_{31} * \hat{A}_{30} * \hat{A}_{29} = A_{31} + A_{30} + A_{29} > \text{Lógica negada} > \hat{A}_{31} + \hat{A}_{30} + \hat{A}_{29}$

RAM2: 01 >> $\hat{A}_{31} * A_{30} = A_{31} + \hat{A}_{30} > Lógica negada > \hat{A}_{31} + \hat{A}_{30}$

RAM3: 100 >> $A_{31} * \hat{A}_{30} * \hat{A}_{29} = \hat{A}_{31} + A_{30} + A_{29} > Lógica negada > A_{31} + \hat{A}_{30} + \hat{A}_{29}$

VIDEO: 110 >> $A_{31} * A_{30} * \hat{A}_{29} = \hat{A}_{31} + \hat{A}_{30} + \hat{A}_{29} > Lógica negada > A_{31} + A_{30} + \hat{A}_{29}$

- c) Suponiendo que el módulo RAM1 (512MB) está constituido por una fila de chips SDRAM de 4 bits de ancho de palabra, indíquese
 - i) El tamaño LxW de cada chip y el número de chips necesarios para construir el módulo.

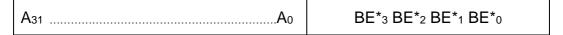
W= 32b, w= 4b

Numero de chips = W/w = 32/4 = 8chips

Tamaño de cada chip: 512MB / 8chips = 64 MB/chip

ii) El nombre de las líneas del bus de direcciones que se utilizarían para el direccionamiento del módulo (palabras y bytes dentro de la palabra)

Tenemos ancho de palabra de 32b, por eso el nombre de las líneas del bus será:



Ejercicio 2

El sistema de memoria de un procesador de 32 bits de datos y 32 bits de direcciones dispone de tres módulos de memoria: M1, M2 y M3. Las funciones de selección de dichos módulos son, en lógica negativa, las siguientes:

$$\overline{f_{M1}} = A_{31} + A_{30} + A_{29} + A_{28}$$

$$\overline{f_{M2}} = A_{31} + A_{30} + \overline{A_{29}} + A_{28}$$

$$\overline{f_{M3}} = A_{31} + A_{30} + \overline{A_{29}} + \overline{A_{28}} + A_{27}$$

Rellene la siguiente tabla indicando la capacidad, dirección inicial y dirección final de cada módulo, así como de los espacios libres que hay en el mapa.

Módulo	Capacidad	A ₃₁ A ₃₀	A ₂₉ A	28 A 27	A ₂₆	A ₀	Dirección Inicial-Final (hex)
FM1	256MB		000 000	000000			0x0000000-
FIVIT			0000 11	111111			0x0FFFFFF
BLANCO	512MB		0001 00	000000			0x10000000-
BLANCO			0010 11	111111			0x2FFFFFF
FM3	1GB		00110 0	000000			0x30000000-
FIVIS			00110 1	111111			0x37FFFFF
BLANCO	2GB		00111 0	000000			0x38000000-
BLANCO			10111 1	111111			0xBFFFFFF
FM2	256MB		1100 00	000000			0xC00000000-
I IVIZ			1100 11	111111			0xCFFFFFF