

СПРАВОЧНИК

МИКРОПРОЦЕССОРЫ и МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

В ДВУХ ТОМАХ

ТОМ 1

Под редакцией В. А. ШАХНОВА

Scan Pirat



**МОСКВА „РАДИО И СВЯЗЬ„
1988**

ББК 32.852
М59
УДК 681.325.5—181.4 : 621.3.049.771.14(03)

Р е ц е н з е н т: Чл.-корр. АН СССР Л. Н. Преснухин

Редакция литературы по электронной технике

M59 **Микропроцессоры и микропроцессорные комплексы интегральных микросхем: Справочник.** В 2 т. / В.-Б. Б. Абраитис, Н. Н. Аверьянов, А. И. Белоус и др.; Под ред. В. А. Шахнова. — М.: Радио и связь, 1988. — Т. 1. — 368 с.: ил.

ISBN 5-256-00372-0

Приведены классификация микропроцессоров и микропроцессорных комплексов больших интегральных микросхем и сведения о микропроцессорных комплексах универсального назначения. Приводятся данные о структуре и системах команд микропроцессоров, временных соотношениях сигналов, примеры использования микропроцессоров в аппаратуре.

Для инженерно-технических работников, разрабатывающих электронную управляющую и вычислительную аппаратуру.

M 2403000000-019
046(01)-88 106-87

ББК 32.852

ISBN 5-256-00372-0 (Т. 1)
ISBN 5-256-00371-2

© Издательство «Радио и связь», 1988

Содержание тома 1

Предисловие редактора	6		
Глава 1 Общие сведения о микропроцессорных микросхемах (В А Шахнов)			
11 Терминология	7		
12 Система обозначений	8		
13 Условия эксплуатации	10		
14 Система параметров	11		
15 Классификация микропроцессоров и микропроцессорных комплектов микросхем	16		
Глава 2 Микропроцессоры серий K145ИК18, K145ИК19 (Л С Бойчун, В П Захаров, Ю М Польский)			
21 Микросхема K745ИК1801 2	21		
22 Микросхема K145ИК1807	23		
23 Микросхемы K145ИК1809 и K145ИК1810	26		
24 Микросхема K145ИК1812 . . .	33		
25 Микросхема K145ИК1814 . . .	38		
26 Микросхема K145ИК1901 . . .	40		
27 Микросхема K145ИК1906	41		
28 Микросхема K145ИК1907	44		
29 Микросхема K145ИК1908	47		
210 Микросхема K145ИК1914	50		
211 Микросхема K145ИК1915	52		
Глава 3 Микропроцессорный комплект серии KP580 (А В Кобылинский, А И Заика, Г П Липовецкий, И П Обуховский, В М Калатинец, Н Н Аверьянов, В А Темченко, Л В Проценко, Г В Литвинский, А Н Фоник, Н Л Трунина — § 31—37, 315, А И Третяк, В И Фирсов, Г Ю Немеровский — § 38—312, Г Г Нестеренко, А В Поветин, А М Могилевский, А С Кусик — § 313, 314)			
31 Микросхема KP580ВМ80А	55		
32 Микросхема KP580ВВ51А	67		
33 Микросхема KP580ВИ53	76		
34 Микросхема KP580ВВ55А	82		
35 Микросхема KP580ВТ57	90		
36 Микросхема KP580ВН59	99		
37 Микросхема KP580ВВ79	108		
Глава 4 Микропроцессорный комплект серии KP581 (И Е Лобов, В Т Ницифоровский, Б Л Толстых, Н Н Тонких, В С Хорошунов)			
41 Микросхема KP581ИК1	172		
42 Микросхема KP581ИК2	176		
43 Микросхемы KP581РУ1, KP581РУ2 и KP581РУ3	179		
44 Микросхема KP581ВЕ1	181		
Глава 5 Микропроцессорный комплект серии K583 (Э П Калошкин, А Ф Кузнецов, Д С Сержанович, А В Силин)			
51 Микросхема K583ВС1	185		
52 Микросхема K583ИК1	189		
53 Микросхема K583КП1	193		
54 Микросхема K583ВМ1	196		
55 Микросхема K583ХЛ1	200		
56 Микросхема K583ВГ1	203		
57 Микросхема K583ВА1	205		
58 Микросхема K583ВА2	208		
59 Микросхема K583ВА3	209		
510 Микросхема K583ВА4	212		
511 Рекомендации по применению	213		
Глава 6 Микропроцессорный комплект серии K584 (А И Белоус, А Ф Кузнецов, Д С Сержанович, А И Сухолапов)			
61 Микросхема K584ВМ1	214		
62 Микросхема K584ВУ1	222		
63 Микросхема K584ВГ1	225		
64 Микросхема K584ВВ1	229		
65 Рекомендации по применению	233		

Глава 7. Микропроцессорный комплект серии КР587

(Ю. И. Борщенко, В. Л. Дшхунян,
Э. Е. Иванов, П. Р. Машевич,
В. В. Теленков)

7.1. Микросхема КР587ИК2	234
7.2. Микросхема КР587ИК1	242
7.3. Микросхема КР587ИК3	246
7.4. Рекомендации по применению	252

Глава 8. Микропроцессорный комплект серии К588

(В. А. Бобков, П. П. Гайденко,
Б. Н. Чернуха, Д. Н. Черняковский)

8.1. Микросхема К588ВС2	253
8.2. Микросхема К588ВУ2	262
8.3. Микросхема К588ВР2	265
8.4. Микросхема К588ВГ1	267
8.5. Микросхема К588ВА1	271
8.6. Микросхема К588ИР1	273
8.7. Микросхема К588ВГ2	275
8.8. Микросхема К588ВТ1	277

Предисловие

Глава 11. Микропроцессорный комплект серии К1801

11.1. Микросхема К1801ВМ1
11.2. Микросхема КМ1801ВМ2
11.3. Микросхема КМ1801ВМ3
11.4. Микросхема К1801ВП1-30
11.5. Микросхема К1801ВП1-33
11.6. Микросхема К1801ВП1-34
11.7. Микросхема К1801ВП1-35
11.8. Микросхема КР1801РЕ2
11.9. Микросхема К573РФ3
11.10. Рекомендации по применению

Глава 12. Микропроцессорный комплект серии КР1802

12.1. Микросхема КР1802ВС1
12.2. Микросхема КР1802ИР1
12.3. Микросхема КР1802ВР1
12.4. Микросхема КР1802ВР2
12.5. Микросхема КР1802ВР3
12.6. Микросхема КМ1802ВР4
12.7. Микросхема КМ1802ВР5
12.8. Микросхема КР1802ИМ1
12.9. Микросхема КР1802ИР1
12.10. Микросхема КР1802ВВ1

Глава 9. Микропроцессорный комплект серии К589

(А. И. Березенко, С. Е. Калинин,
Л. Н. Корягин)

9.1. Микросхема К589ИК02	281
9.2. Микросхема К589ИК03	287
9.3. Микросхема К589ИК01	290
9.4. Микросхема К589ИК14	297
9.5. Микросхема К589ИР12	301
9.6. Микросхема К589АП16 и К589АП26 .	304
9.7. Микросхема К589ХЛ14	305

Глава 10. Микропроцессорный комплект серии К1800

(В.-Б. Б. Абрайтис, А.-В. В. Пятраускас,
С. Ю. Седаускас)

10.1. Микросхема К1800ВС1	310
10.2. Микросхема К1800ВУ1	316
10.3. Микросхема К1800ВБ2	324
10.4. Микросхема К1800ВТ3	328
10.5. Микросхема К1800ВА4	335
10.6. Микросхема К1800РП6	338
10.7. Микросхема К1800ВА7	344
10.8. Микросхема К1800ВР8	346
10.9. Микросхема К1800РП16	350
10.10. Рекомендации по применению	353
Приложение 1. Корпуса микропроцессорных микросхем (Л. И. Якушкина)	359
Приложение 2. Краткие сведения о микропроцессорных микросхемах, не вошедших в том I справочника (В. А. Шахнов)	366

Содержание тома 2

12.11. Микросхема КР1802ВВ2
12.12. Микросхема КР1802КП1
12.13. Микросхема КР1802ВВ3

Глава 13. Микропроцессорный комплект серии КМ1804

13.1. Микросхема КМ1804ВС1
13.2. Микросхема КМ1804ВС2
13.3. Микросхема КМ1804ВР1
13.4. Микросхема КМ1804ВР2
13.5. Микросхемы КМ1804ВУ1 и КМ1804ВУ2
13.6. Микросхема КМ1804ВУ3
13.7. Микросхема КМ1804ВУ4
13.8. Микросхема КМ1804ВН1
13.9. Микросхема КМ1804ВР3
13.10. Микросхема КМ1804ВА1
13.11. Микросхема КМ1804ВА2
13.12. Микросхема КМ1804ВА3
13.13. Микросхема КМ1804ИР3
13.14. Микросхема КМ1804ГГ1
13.15. Микросхема КМ1804ВУ5
13.16. Микросхема КМ1804ВЖ1
13.17. Микросхема КМ1804ИР1
13.18. Микросхема КМ1804ИР2
13.19. Рекомендации по применению

Глава 14. Микропроцессорный комплект серии КА1808

- 14.1. Микросхема КА1808ВМ1
- 14.2. Микросхема КА1808ИР1
- 14.3. Микросхема КА1808ВВ1
- 14.4. Микросхема КА1808ВУ1
- 14.5. Рекомендации по применению

Глава 15. Микропроцессорный комплект серии К1809

- 15.1. Микросхема К1809ВВ1
- 15.2. Микросхема К1809ВВ2
- 15.3. Микросхема КМ1509КП1

Глава 16. Микропроцессорный комплект серии КМ1810

- 16.1. Микросхема КМ1810ВМ86
- 16.2. Микросхема КР1810ВН59А
- 16.3. Микросхема КР1810ВБ89
- 16.4. Микросхема КР1810ВГ88
- 16.5. Микросхема КР1810ГФ84
- 16.6. Рекомендации по применению

Глава 17. Микропроцессорный комплект серии К1811

- 17.1. Микросхема КН1811ВМ1
- 17.2. Микросхемы КН1811ВУ1, КН1811ВУ2, КН1811ВУ3

17.3. Микросхема КМ1811ВТ1

- 17.4. Соединение микросхем серии КН1811

Глава 18. Микропроцессор серии КМ1813ВЕ1

Глава 19. Микропроцессоры серии К1814

Глава 20. Однокристальные микроЭВМ серии КР1816

Приложение 1. Корпуса микропроцессорных микросхем

Приложение 2. Краткие сведения о дополнительных микропроцессорных комплектах микросхем, не вошедших в справочник

Приложение 3. Краткие сведения о микросхемах запоминающих устройств, применяемых в микропроцессорных системах

Приложение 4. Цифровые (логические) микросхемы, применяемые в микропроцессорных системах

Предисловие редактора

Перевод экономики страны на интенсивный путь развития, как указано в решениях XXVII съезда КПСС, невозможен без создания и массового применения высокоеффективных систем, машин и приборов, технологических процессов и автоматизированных производств на их основе. Важную роль при этом призваны сыграть автоматизированные системы управления и широкое использование промышленных роботов, оснащенных самыми современными электронными устройствами на основе последних достижений микроэлектроники: больших интегральных схем микропроцессоров, запоминающих устройств и др. Особая роль в решении этой грандиозной задачи принадлежит микропроцессорной технике. Как подчеркивается в «Основных направлениях экономического и социального развития СССР на 1986—1990 годы и на период до 2000 года», необходимо «широко внедрять гибкие переналаживаемые производства и системы автоматизированного проектирования, автоматические линии, машины и оборудование со встроенными средствами микропроцессорной техники...», что позволит применять в народном хозяйстве в больших масштабах высокопроизводительные энерго- и материалосберегающие технологии, значительно повысит надежность производимой техники и качество выпускаемой продукции.

Широкую популярность микропроцессоры получили благодаря своим высоким функциональным возможностям и эксплуатационным характеристикам, придавшим средствам вычислительной техники и автоматики качественно новые свойства: появились и получили широкое распространение микрокалькуляторы, микроЭВМ, персональные ЭВМ, интеллектуальные роботы, системы автоматизированного проектирования и конструирования. Такие характеристики микропроцессоров как малые габариты, масса, потребляемая мощность позволили применять их в областях, в которых использование традиционных средств вычислительной техники было принципиально невозможным. Важным является также то, что микропроцессоры позволили сделать реальной перспективу, когда вычислительная техника, компьютеры станут такими же привычным для всех понятием, как телевизор или радиоприемник.

Разнообразие микропроцессоров, различающихся технологией изготовления, архитектурой, техническими характеристиками, конструктивным оформлением ставит перед разработчиками средств вычислительной техники непростую задачу выбора определенного типа микропроцессора, оптимального для тех или иных применений. Решение такой задачи возможно, если у разработчика имеются полные сведения о выпускаемых промышленностью микропроцессорах и микропроцессорных комплектах микросхем.

В 1982 г. издательство «Радио и связь» выпустило справочник «Микропроцессорные комплексы интегральных схем. Состав и структура». Многочисленные отзывы читателей, поступившие в издательство, содержали большое число предложений по его содержанию. В частности, предлагалось описания работы микросхем дополнить временными диаграммами, привести системы команд и микрокоманд, конкретные рекомендации по применению и т. п. Все эти предложения были учтены при подготовке к изданию настоящего справочника. Для удобства пользования справочником все микропроцессорные комплексы микросхем расположены в порядке возрастания номеров соответствующих серий. В приложениях к гл. 1 и 2 приведены общие виды корпусов микропроцессорных микросхем в порядке возрастания их номеров.

Содержащиеся в справочнике сведения соответствуют действовавшим ко времени подготовки рукописи к изданию государственным стандартам и техническим условиям на микросхемы. Наряду с этим необходимо особо отметить, что справочник не заменяет официальные документы (ГОСТ, ТУ и аналогичные технические документы), устанавливающие требования к интегральным микросхемам и определяющие их качество, поэтому в конкретных разработках следует руководствоваться нормативными документами.

В. А. Шахнов

Глава 1

Общие сведения о микропроцессорных микросхемах

1.1. Терминология

Интегральная микросхема (микросхема) — микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки сигнала и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов) и (или) кристаллов, которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Элемент интегральной микросхемы — часть микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая выполнена нераздельно от кристалла или подложки и не может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации (к электрорадиоэлементам относятся транзисторы, диоды, резисторы, конденсаторы и др.).

Компонент интегральной микросхемы — часть микросхемы, реализующая функции какого-либо электрорадиоэлемента, которая может быть выделена как самостоятельное изделие с точки зрения требований к испытаниям, приемке, поставке и эксплуатации.

Полупроводниковая интегральная микросхема — микросхема, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности полупроводника

Кристалл интегральной микросхемы — часть полупроводниковой пластины, в объеме и на поверхности которой сформированы элементы полупроводниковой микросхемы, межэлементные соединения и контактные площадки

Аналоговая интегральная микросхема — микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции

Цифровая интегральная микросхема — микросхема, предназначенная для преобразования и обработки сигналов, изменяющихся по закону дискретной функции.

Корпус интегральной микросхемы — часть конструкции микросхемы, предназначенная для ее защиты от внешних воздействий и соединения с внешними электрическими цепями посредством выводов

Степень интеграции интегральной микросхемы — показатель степени сложности микросхемы, характеризуемый числом содержащихся в ней элементов и компонентов.

Степень интеграции микросхемы определяется по формуле $K = \lg N$, где K — коэффициент, определяющий степень интеграции, округ-

ляемый до ближайшего большого целого числа, N — число входящих в микросхему элементов и компонентов.

Серия интегральных микросхем — совокупность типов микросхем, которые могут выполнять различные функции, имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения.

Микропроцессорная интегральная микросхема — микросхема, выполняющая функцию микропроцессора (микроконтроллера) или его части.

Микропроцессорная секция — микропроцессорная интегральная микросхема, реализующая часть микропроцессора (микроконтроллера) и обладающая средствами простого функционального объединения с однотипными или другими микропроцессорными секциями для построения законченных микропроцессоров, микроконтроллеров или микро-ЭВМ.

Однокристальный микропроцессор (ОМП) — микропроцессор, выполненный в виде большой интегральной схемы

Однокристальная микро-ЭВМ (ОЭВМ) — микро-ЭВМ, выполненная в виде большой интегральной схемы.

Однокристальная микросистема — управляющая микропроцессорная система, выполненная в виде одной большой интегральной микросхемы.

Микропроцессорный комплект интегральных микросхем — совокупность микропроцессорных и других интегральных микросхем, совместимых по архитектуре, конструктивному исполнению и электрическим параметрам и обеспечивающих возможность совместного применения

Микропроцессорный набор — совокупность микропроцессорных и других интегральных микросхем микропроцессорного комплекта ИС, номенклатура и количество которых необходимы и достаточны для построения конкретного изделия вычислительной или управляющей техники.

Секционированный микропроцессорный комплект — микропроцессорный комплект, состоящий из микропроцессорных секций.

Комплект однокристального микропроцессора — микропроцессорный комплект микросхем, в котором каждое из основных функциональных устройств, включая микропроцессор, выполнено в виде одной большой интегральной микросхемы с встроенным системным интерфейсом.

Микропроцессор — программно-управляемое устройство, осуществляющее процесс обработки цифровой информации и управле-

ния им, построенное на одной или нескольких интегральных микросхемах.

Центральный микропроцессор — микропроцессор, непосредственно осуществляющий процесс обработки данных в однопроцессорной системе или организацию работы неоднородной мультипроцессорной системы.

Периферийный микропроцессор (сопроцессор) — микропроцессор, выполняющий под управлением центрального микропроцессора определенную функцию в микропроцессорной системе.

Специализированный микропроцессор — микропроцессор, структура которого оптимизирована для решения определенного класса задач.

Арифметический микропроцессор — специализированный микропроцессор, структура которого оптимизирована для выполнения арифметических операций.

Разрядность микропроцессора — число разрядов регистров арифметического логического устройства (АЛУ) микропроцессора.

Адресное пространство микропроцессора — совокупность адресов внутренних регистров, внутренних ЗУ и регистров периферийных устройств, для обращения к которым достаточно содержимого регистра адреса микропроцессора.

Оперативное запоминающее устройство (ОЗУ) — внутреннее запоминающее устройство, обеспечивающее возможность оперативного изменения информации, используемое для записи, хранения и выдачи информации, в том числе во время выполнения программы, и имеющее длительность цикла обращения, соизмеримую с длительностью цикла выполнения микропроцессором основных операций.

Постоянное запоминающее устройство (ПЗУ) — запоминающее устройство с неизменяемым содержимым памяти.

Программируемое постоянное запоминающее устройство (ППЗУ) — постоянное запоминающее устройство, в которое информация заносится однократно потребителем не в составе изделия и не может быть впоследствии изменена.

Репрограммируемое постоянное запоминающее устройство (РПЗУ) — постоянное запоминающее устройство, в котором информация может неоднократно изменяться при помощи специальных средств стирания и записи.

Энергонезависимое оперативное запоминающее устройство — оперативное запоминающее устройство, в котором информация сохраняется при отключении электропитания.

Магистраль — совокупность соединительных линий и схем, обеспечивающих требуемые параметры передаваемых по линиям электрических сигналов, по которым информация передается от одного или одного из нескольких источников информации к одному из нескольких или к нескольким приемникам.

Двунаправленная магистраль — магистраль, по линиям связи которой сигналы могут передаваться в любом направлении, но не одновременно.

Однонаправленная магистраль — магистраль, по каждой из линий связи которой сигналы могут передаваться только в одном направлении.

Базовый кристалл микросхемы — кристалл интегральной микросхемы с определенным набором сформированных в нем не соединенных между собой двоичных логических элементов и (или) узлов из них, используемый для создания интегральных микросхем путем изготовления избирательных межэлементных соединений.

Матричная микросхема — интегральная микросхема, изготовленная путем соединения элементов базового кристалла микросхемы между собой и с контактными площадками по индивидуальной схеме.

Регистр общего назначения (РОН) — программируемый для пользователя регистр микропроцессора.

1.2. Система обозначений

Приведенные в справочнике микропроцессорные интегральные микросхемы относятся к группе полупроводниковых приборов, условное обозначение которых состоит из четырех элементов: первый элемент — цифры 1 или 5; второй элемент — двух- или трехзначное число (например, 814 или 89); третий элемент — две буквы, обозначающие подгруппу и вид микросхемы (табл. 1.1); четвертый элемент — порядковый номер разработки микросхемы по функциональному признаку в данной серии.

Условное обозначение серии микропроцессорных интегральных микросхем состоит из двух элементов: первый элемент — цифра 1 или 5, второй элемент — двух- или трехзначное число

Таблица 1.1

Подгруппа	Вид	Обозначение
Генераторы	Гармонических сигналов	ГС
	Прямоугольных сигналов	ГГ
	Линейно изменяющихся сигналов	ГЛ
	Сигналов специальной формы	ГФ
	Шума	ГМ
	Прочие	ГП
Детекторы	Амплитудные	ДА
	Импульсные	ДИ
	Частотные	ДС
	Фазовые	ДФ
	Прочие	ДП
Коммутаторы и ключи	Тока	КТ
	Напряжения	КН
	Прочие	КП

Продолжение табл. 1.1

Подгруппа	Вид	Обозна- чение
Логические элементы	Элемент И	ЛИ
	Элемент ИЛИ	ЛЛ
	Элемент НЕ	ЛН
	Элемент И — ИЛИ	ЛС
	Элемент И — НЕ	ЛА
	Элемент ИЛИ — НЕ	ЛЕ
	Элемент И — НЕ/ИЛИ — НЕ	ЛБ
	Элемент И — ИЛИ — НЕ	ЛР
	Элемент И — ИЛИ — НЕ/И — ИЛИ	ЛК
	Элемент ИЛИ — НЕ/ИЛИ	ЛМ
Расширители	Расширители	ЛД
	Прочие	ЛП

Микрофункциональные схемы	Аналоговые	ХА
	Цифровые	ХЛ
	Комбинированные	ХК
	Цифровые (в том числе программируемые) матрицы	ХМ
	Аналоговые матрицы	ХН
	Комбинированные (аналоговые и цифровые) матрицы	ХТ
	Прочие	ХП
	Амплитудные	МА
	Частотные	МС
	Фазовые	МФ

Модуляторы	Импульсные	МИ
	Прочие	МП
	Амплитудные	МА
	Частотные	МС
	Фазовые	МФ

Наборы элементов	Диодов	НД
	Транзисторов	НТ
	Резисторов	НР
	Конденсаторов	НЕ
	Комбинированные	НК
	Функциональные	НФ
	Прочие	НП

Преобразователи сигналов	Частоты	ПС
	Длительности	ПД
	Напряжения (тока)	ПН
	Мощности	ПМ
	Уровня (согласователи)	ПУ
	Аналого-цифровые	ПА
	Цифро-анalogовые	ПВ
	Синтезаторы частоты	ПЛ
	Делители частоты аналоговые	ПК
	Умножители частоты аналоговые	ПЕ
	Код — код	ПР
	Прочие	ПП

Продолжение табл. 1.1

Подгруппа	Вид	Обозна- чение
Схемы источников вторичного электропитания	Выпрямители	ЕВ
	Преобразователи	ЕМ
	Стабилизаторы напряжения непрерывные	ЕН
	Стабилизаторы тока	ЕТ
	Стабилизаторы напряжения импульсные	ЕК
	Схемы управления импульсными стабилизаторами напряжения	ЕУ
	Схемы источников вторичного электропитания	ЕС
	Прочие	ЕП
	Схемы задержки	БМ БР БП
	Пассивные	БМ
Схемы сравнения	Активные	БР
	Прочие	БП
	Амплитудные (уровня сигнала)	СА
	Временные	СВ
	Частотные	СС
Триггеры	Компараторы напряжения	СК
	Прочие	СП
	Типа J-K (универсальные)	ТВ
	Типа R-S (с раздельным запуском)	ТР
	Типа D (с задержкой)	ТМ
Усилители	Типа T (счетные)	ГТ
	Динамические	ТД
	Шмидта	ТЛ
	Комбинированные (типов D-T, R-S-T и т. п.)	ТК
	Прочие	ТП
	Высокой частоты	УВ
	Промежуточной частоты	УР
	Низкой частоты	УН
	Широкополосные	УК
	Импульсных сигналов	УИ
Индикаторы	Повторители	УЕ
	Считывания и воспроизведения	УЛ
	Индикации	УМ
	Постоянного тока	УТ
	Операционные	УД
	Дифференциальные	УС
	Прочие	УП

Продолжение табл. 1.1

Подгруппа	Вид	Обозна- чение
Фильтры	Верхних частот	ФБ
	Нижних частот	ФН
	Полосковые	ФЕ
	Режекторные	ФР
	Прочие	ФП
Формирователи	Импульсов прямоугольной формы	АГ
	Импульсов специальной формы	АФ
	Адресных токов	АА
	Разрядных токов	АР
	Прочие	АП
Фоточувствительные схемы с зарядовой связью	Матричные Линейные Прочие	ЦМ ЦЛ ЦП
Схемы запоминающих устройств	Матрицы оперативных запоминающих устройств	РМ
	Матрицы постоянных запоминающих устройств	РВ
	Оперативные запоминающие устройства	РУ
	Постоянные запоминающие устройства с возможностью однократного программирования	РТ
	Постоянные запоминающие устройства (масочные)	РЕ
	Запоминающие устройства на ЦМД	РЦ
	Постоянные запоминающие устройства с возможностью многократного электрического перепрограммирования	РР
	Постоянные запоминающие устройства с ультрафиолетовым стиранием и электрической записью информации	РФ
	Ассоциативные запоминающие устройства	РА
	Прочие	РП
Схемы цифровых устройств	Регистры Сумматоры Полусумматоры Счетчики Шифраторы Дешифраторы Комбинированные Арифметико-логические устройства Прочие	ИР ИМ ИЛ ИЕ ИВ ИД ИК ИА ИП

Окончание табл. 1.1

Подгруппа	Вид	Обозна- чение
	Микро-ЭВМ	ВЕ
	Микропроцессоры	ВМ
	Микропроцессорные секции	ВС
	Схемы микропрограммного управления	ВУ
	Функциональные распределители	ВР
	Схемы синхронизации	ВБ
	Схемы управления прерыванием	ВН
	Схемы управления выводом (схемы интерфейса)	ВВ
	Схемы управления памятью	ВТ
	Функциональные преобразователи информации	ВФ
	Схемы сопряжения с магистралью	ВА
	Времязадающие схемы	ВИ
	Микрокалкуляторы	ВХ
	Контроллеры	ВГ
	Комбинированные схемы	ВК
	Специализированные схемы	ВЖ
	Прочие	ВП

Условное обозначение микросхем, выпускаемых для широкого применения, содержит дополнительный индекс «К», который ставится впереди всех элементов обозначения микросхем. Буквы «К», «КМ» и «КР» в начале условного обозначения микросхем характеризуют условия их приемки на заводе-изготовителе.

В состав микропроцессорного комплекта интегральных микросхем могут входить как сами микропроцессорные микросхемы определенной серии, так и микросхемы других серий, придающие комплекту новые качества и расширяющие его возможности.

1.3. Условия эксплуатации

Микропроцессорные микросхемы сохраняют свои параметры в пределах норм, установленных техническими условиями на микросхемы конкретных типов, в процессе воздействия и после воздействия на них различных эксплуатационных факторов. В табл. 1.2 приводятся условия эксплуатации микросхем, сведения о которых содержатся в настоящем справочнике.

Общими техническими условиями устанавливается минимальная наработка микропро-

Таблица 1.2

Серия	Интервал рабочих температур, °C	Многократное циклическое изменение температуры, °C	Относительная влажность воздуха 98% при температуре, °C	Атмосферное давление, Па	Вибрация с ускорением 10g в диапазоне частот, Гц	Многократные удары с ускорением, g	Линейная нагрузка с ускорением, g
K145ИК18, K145ИК19	-10 ÷ +55	-10 ÷ +55	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	25
KP580	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KP581	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K583	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K584	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-2000	75	50
KP587	-45 ÷ +70	-45 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	25
K588	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-2000	75	50
K589	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K1800	-10 ÷ +70	-10 ÷ +75	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K1801	-10 ÷ +75	-10 ÷ +75	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KP1802	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KM1804	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KA1808	-25 ÷ +55	-25 ÷ +55	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K1809	-60 ÷ +85	-60 ÷ +85	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	25
KM1810	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KH1811	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KM1813	-10 ÷ +70	-10 ÷ +70	35	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
K1814	-10 ÷ +55	-10 ÷ +55	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50
KP1816	-10 ÷ +70	-10 ÷ +70	25	6,7 · 10 ² ÷ 3 · 10 ⁵	1-600	75	50

процессорных микросхем не менее 10 000 или 15 000 ч, а в облегченных режимах — 25 000 ч. Минимальная наработка конкретных микросхем в соответствующих условиях и режимах эксплуатации гарантируется в технических условиях на поставку этих типов микросхем.

В упаковке предприятия-изготовителя или в составе аппаратуры, а также в комплекте ЗИП микропроцессорные микросхемы могут храниться не менее 6 лет. Условия и срок хранения устанавливаются в технических условиях на поставку конкретных типов микросхем.

1.4. Система параметров

Ниже приводится перечень электрических и других параметров микропроцессорных микросхем, их буквенное международное (отечественное) обозначение и определение, установленные ГОСТ 19480—74 и другими нормативными документами.

Параметры, имеющие размерность напряжения:

Максимальное входное напряжение $U_{1\max}$ ($U_{\text{вх max}}$) — наибольшее значение входного напряжения, при котором изменения параметров интегральной микросхемы соответствуют заданным значениям.

Минимальное входное напряжение U_{1min} ($U_{\text{вх min}}$) — наименьшее значение входного напряжения, при котором изменения параметров интегральной микросхемы соответствуют заданным значениям.

Помехоустойчивость при низком уровне $M_L(U^0_{\text{ном}})$ — абсолютное значение разности между максимальным входным напряжением низкого уровня и максимальным выходным напряжением низкого уровня интегральной микросхемы.

Помехоустойчивость при высоком уровне $M_H(U^1_{\text{ном}})$ — абсолютное значение разности между минимальным входным напряжением высокого уровня и минимальным выходным напряжением высокого уровня интегральной микросхемы.

Напряжение i-го источника питания интегральной микросхемы $U_{\text{cc } i}(U_{ii})$ — значение напряжения i-го источника питания, обеспечивающего работу интегральной микросхемы в заданном режиме; i — порядковый номер источника, $i = 1\text{--}4$.

Пороговое напряжение высокого уровня интегральной микросхемы ($U^1_{\text{пор}}$) — наименьшее значение напряжения высокого уровня на входе интегральной микросхемы, при котором происходит переход интегральной микросхемы из одного устойчивого состояния в другое.

Пороговое напряжение низкого уровня интегральной микросхемы ($U^0_{\text{пор}}$) — наибольшее значение напряжения низкого уровня на входе интегральной микросхемы, при котором происходит переход интегральной микросхемы из одного устойчивого состояния в другое.

Напряжение инжектора при заданием тока инжектора $U_G(U_{\text{инж}})$.

Входное напряжение интегральной микросхемы $U_I(U_{\text{вх}})$ — значение напряжения на входе интегральной микросхемы в заданном режиме.

Входное напряжение высокого уровня интегральной микросхемы $U_{IH}(U^1_{\text{вх}})$ — значение напряжения высокого уровня на входе интегральной микросхемы.

Входное напряжение низкого уровня интегральной микросхемы $U_{IL}(U^0_{\text{вх}})$ — значение напряжения низкого уровня на входе интегральной микросхемы.

Минимальное входное напряжение низкого уровня интегральной микросхемы $U_{I\text{min}}(U^0_{\text{вх min}})$ — наименьшее положительное или наибольшее отрицательное значение напряжения из допустимого диапазона входных напряжений низкого уровня интегральной микросхемы.

Максимальное входное напряжение низкого уровня интегральной микросхемы $U_{I\text{max}}(U^0_{\text{вх max}})$ — наибольшее положительное или наименьшее отрицательное значение напряжения из допустимого диапазона входных напряжений низкого уровня интегральной микросхемы.

Минимальное входное напряжение высокого уровня интегральной микросхемы $U_{IH\text{min}}(U^1_{\text{вх min}})$ — наибольшее положительное или наибольшее отрицательное значение напряжения из допустимого диапазона входных напряжений высокого уровня интегральной микросхемы.

Максимальное входное напряжение высокого уровня интегральной микросхемы $U_{IH\text{max}}(U^1_{\text{вх max}})$ — наибольшее положительное или наименьшее отрицательное значение напряжения из допустимого диапазона входных напряжений высокого уровня интегральной микросхемы.

Выходное напряжение интегральной микросхемы $U_o(U_{\text{вых}})$ — значение напряжения на выходе интегральной микросхемы в заданном режиме.

Выходное напряжение низкого уровня интегральной микросхемы $U_{oL}(U^0_{\text{вых}})$.

Выходное напряжение высокого уровня интегральной микросхемы $U_{oH}(U^1_{\text{вых}})$.

Максимальное выходное напряжение низкого уровня интегральной микросхемы $U_{oL\text{max}}(U^0_{\text{вых max}})$ — наибольшее положительное или наименьшее отрицательное значение напряжения из допустимого диапазона выходных напряжений низкого уровня интегральной микросхемы.

Минимальное выходное напряжение высокого уровня интегральной микросхемы $U_{oH\text{min}}(U^1_{\text{вых min}})$ — наименьшее положительное или отрицательное значение напряжения из допустимого диапазона выходных напряжений высокого уровня интегральной микросхемы.

Параметры, имеющие размерность тока:

Ток инжектора — для схем И²Л $I_G(I_{\text{инж}})$ — значение тока в цепи вывода питания, необходимое для работы микросхемы в заданном режиме.

Ток потребления $I_{CC}(I_{\text{пот}})$ — значение тока, потребляемого микросхемой от источников питания в заданном режиме.

Динамический ток потребления интегральной микросхемы $I_{CCD}(I_{\text{пот дин}})$ — ток потребления микросхемы в режиме переключения.

Ток потребления при низком уровне выходного напряжения $I_{CCL}(I^0_{\text{пот}})$.

Ток потребления при высоком уровне выходного напряжения $I_{CCH}(I^1_{\text{пот}})$.

Ток потребления в состоянии «выключено» (для схем с тремя устойчивыми состояниями на выходе) $I_{CCZ}(I_{\text{пот выкл}})$ — ток потребления микросхемы при закрытом состоянии выхода.

Входной ток $I_I(I_{\text{вх}})$ — значение тока, протекающего во входной цепи интегральной микросхемы в заданном режиме.

Входной ток низкого уровня интегральной микросхемы $I_{IL}(I^0_{\text{вх}})$ — значение входного тока при напряжении низкого уровня на входе микросхемы.

Входной ток высокого уровня интегральной микросхемы $I_{IH}(I^1_{\text{вх}})$ — значение тока при напряжении высокого уровня на входе микросхемы.

Ток утечки $I_L(I_{\text{ут}}$) — значение тока в цепи интегральной микросхемы при закрытом состоянии цели и заданных режимах на остальных выводах.

Ток утечки на входе интегральной микросхемы $I_{LI}(I_{\text{ут вх}})$ — значение тока во входной цепи микросхемы при закрытом состоянии входа и заданных режимах на остальных выводах.

Ток утечки низкого уровня на выходе интегральной микросхемы $I_{LIL}(I^0_{\text{ут вх}})$ — ток утечки интегральной микросхемы во входной цепи при входных напряжениях в диапазоне, соответствующем низкому уровню, и при заданных режимах на остальных выводах.

Ток утечки высокого уровня на выходе интегральной микросхемы $I_{LIH}(I^1_{\text{ут вх}})$ — ток утечки интегральной микросхемы во входной цепи при входных напряжениях в диапазоне, соответствующем высокому уровню, и при заданных режимах на остальных выводах.

Выходной ток интегральной микросхемы $I_o(I_{\text{вых}})$ — значение тока, протекающего в цепи нагрузки микросхемы в заданном режиме.

Выходной ток низкого уровня интегральной микросхемы $I_{oL}(I^0_{\text{вых}})$ — значение выходного тока при напряжении низкого уровня на выходе микросхемы.

Выходной ток высокого уровня интегральной микросхемы $I_{oH}(I^1_{\text{вых}})$ — значение выходного тока при напряжении высокого уровня на выходе микросхемы.

Выходной ток в состоянии «выключено» $I_{OZ}(I_{\text{вых. выкл}})$ — выходной ток микросхемы с тремя состояниями на выходе при выключенном состоянии выхода.

Выходной ток низкого уровня в состоянии «выключено» $I_{OZL}(I_{\text{вых. выкл}})$ — выходной ток в состоянии «выключено» микросхемы при подаче на измеряемый выход заданного напряжения низкого уровня.

Выходной ток высокого уровня в состоянии «выключено» $I_{OZH}(I_{\text{вых. выкл}})$ — выходной ток в состоянии «выключено» микросхемы при подаче на измеряемый выход заданного напряжения высокого уровня.

Ток утечки на выходе интегральной микросхемы $I_{LO}(I_{\text{ут. вых}})$ — значение тока в выходной цепи микросхемы при закрытом состоянии выхода и заданных режимах на остальных выводах.

Ток утечки низкого уровня на выходе интегральной микросхемы $I_{LOL}(I_{\text{ут. вых}})$ — ток утечки интегральной микросхемы в выходной цепи при закрытом состоянии выхода, при выходном напряжении в диапазоне, соответствующем низкому уровню, и при заданных режимах на остальных выводах.

Ток утечки высокого уровня на выходе интегральной микросхемы $I_{LOH}(I_{\text{ут. вых}})$ — ток утечки интегральной микросхемы в выходной цепи при закрытом состоянии выхода, при выходном напряжении в диапазоне, соответствующем низкому уровню, и при заданных режимах на остальных выводах.

Ток короткого замыкания интегральной микросхемы $I_{os}(I_{k.a})$ — значение выходного тока при закороченном выходе.

Параметры, имеющие размерность мощности:

Потребляемая мощность интегральной микросхемы $P_{CC}(P_{\text{пот}})$ — значение мощности, потребляемой микросхемой от источников питания в заданном режиме.

Динамическая потребляемая мощность интегральной микросхемы $P_{CCD}(P_{\text{пот. дин}})$ — значение потребляемой мощности микросхемы в заданном динамическом режиме.

Максимальная потребляемая мощность интегральной микросхемы $(P_{CCmax}(P_{\text{пот. max}}))$ — значение мощности, потребляемой микросхемой, при максимальном напряжении питания.

Рассеиваемая мощность интегральной микросхемы $P_{TQI}(P_{\text{рас}})$ — значение мощности, рассеиваемой микросхемой, работающей в заданном режиме.

Параметры, имеющие размерность времени:

Время задержки импульса интегральной микросхемы $t_d(t_{\text{ад}})$ — интервал времени между фронтами входного и выходного импульсов микросхемы, измеренный на заданном уровне напряжения или тока.

Среднее время задержки распространения сигнала логической интегральной микросхемы ($t_{\text{ад.ср}}$) — интервал времени, равный полу сумме времен задержки распространения сигнала при включении и выключении логической интегральной микросхемы.

Время перехода при включении интегральной микросхемы $t_{THL}(t^{1,0})$ — интервал времени, в течение которого напряжение на выходе микросхемы переходит от высокого уровня к низкому, измеренный на уровнях 0,1 и 0,9 или на заданных значениях напряжения.

Время перехода при выключении интегральной микросхемы $t_{TLH}(t^{0,1})$ — интервал времени, в течение которого напряжение на выходе микросхемы переходит от низкого уровня к высокому, измеренный на уровнях 0,1 и 0,9 или на заданных значениях напряжения.

Время выбора интегральной микросхемы $t_{CS}(t_{\text{в.м}})$ — интервал времени между подачей на вход сигнала выбора микросхемы и получением на выходе сигналов информации.

Время сохранения сигнала интегральной микросхемы $t_V(t_{\text{сх}})$ — интервал времени между окончанием двух заданных входных сигналов микросхемы на разных входах.

Время хранения информации интегральной микросхемы $t_{SG}(t_{\text{хр}})$ — интервал времени, в течение которого микросхема в заданном режиме эксплуатации сохраняет информацию.

Время установления сигнала интегральной микросхемы $t_{SU}(t_{\text{ус}})$ — интервал времени между началами двух заданных входных сигналов микросхемы на разных входах.

Время цикла интегральной микросхемы $t_{C}(t_{\text{ц}})$ — длительность периода сигнала на одном из управляющих входов, в течение которого микросхема выполняет одну из функций.

Время восстановления интегральной микросхемы $t_{REC}(t_{\text{вос}})$ — интервал времени между окончанием заданного сигнала на выводе микросхемы и началом заданного сигнала следующего цикла.

Длительность сигнала интегральной микросхемы $t_w(\tau)$.

Длительность сигнала низкого уровня интегральной микросхемы $t_{WL}(t^0)$ — интервал времени от момента перехода сигнала интегральной микросхемы из состояния высокого уровня в состояние низкого уровня до момента его перехода из состояния низкого уровня в состояние высокого уровня, измеренный на заданном уровне напряжения.

Длительность сигнала высокого уровня интегральной микросхемы $t_{WH}(\tau^1)$ — интервал времени от момента перехода сигнала из состояния низкого уровня в состояние высокого уровня до момента перехода его из состояния высокого уровня в состояние низкого уровня, измеренный на заданном уровне напряжения.

Период следования импульсов тактовых сигналов интегральной микросхемы $T_C(T_T)$ — интервал времени между началами или окончаниями следующих друг за другом импульсов тактовых сигналов интегральной микросхемы, измеренный на заданном уровне напряжения.

Параметры, имеющие размерность частоты:

Частота следования импульсов тактовых сигналов интегральной микросхемы $f_C(f_T)$.

Частота генерирования интегральной микросхемы (f_g).

Параметры, имеющие размерность сопротивления:

Входное сопротивление интегральной микросхемы $R_i(R_{вх})$ — величина, равная отношению приращения входного напряжения интегральной микросхемы к приращению активной составляющей входного тока при заданном значении частоты сигнала.

Выходное сопротивление интегральной микросхемы $R_o(R_{вых})$ — величина, равная отношению приращения выходного напряжения интегральной микросхемы к вызвавшему его приращению активной составляющей выходного тока при заданном значении частоты сигнала.

Сопротивление нагрузки интегральной микросхемы $R_L(R_B)$ — суммарное активное сопротивление внешних цепей, подключенных к выходу микросхемы.

Параметры, имеющие размерность емкости:

Входная емкость интегральной микросхемы $C_i(C_{вх})$ — величина, равная отношению емкостной реактивной составляющей входного тока интегральной микросхемы к произведению круговой частоты на синусоидальное входное напряжение микросхемы при заданном значении частоты сигнала.

Выходная емкость интегральной микросхемы $C_o(C_{вых})$ — величина, равная отношению емкостной реактивной составляющей выходного тока интегральной микросхемы к произведению круговой частоты на вызванное им выходное напряжение при заданном значении частоты сигнала.

Емкость входа/выхода интегральной микросхемы $C_{i/o}(C_{вх/вых})$ — значение емкости объединенного входа/выхода, равное отношению емкостной реактивной составляющей входного/выходного тока микросхемы к произведению круговой частоты на синусоидальное входное/выходное напряжение при заданном значении частоты сигнала.

Емкость нагрузки интегральной микросхемы $C_L(C_h)$ — суммарная емкость внешних цепей, подключенных к выходу микросхемы.

Прочие параметры:

Разрядность слова адреса $n_A(n_a)$ — число разрядов в адресном слове.

Разрядность слова данных $n_D(n_d)$ — число разрядов в слове данных.

Разрядность слова команды (микрокоманды) $n_M, n_{Mk}(n_k, n_{mk})$ — число разрядов в слове команды (микрокоманды).

Число команд (микрокоманд) Q_{ns}, Q_{mns} (Q, Q_{mk}) — общее число команд (микрокоманд), реализуемых микросхемой.

Коэффициент функциональной мощности команды (микрокоманды) для выполнения операции формата регистр — регистр K_{ff} (K_{fp}) — минимальное число команд (микрокоманд), необходимых для реализации операции формата регистра — регистр для слов данных.

Коэффициент функциональной мощности команды (микрокоманды) для выполнения операции формата регистр — память K_{fr} (K_{pr}) — минимальное число микрокоманд (команд), необходимых для реализации операции формата регистра — память для слов данных при непосредственной адресации памяти.

Коэффициент функциональной мощности команды (микрокоманды) для выполнения операции умножения двух слов K_{MPY} ($K_{умн}$) — минимальное число микрокоманд (команд), необходимых для реализации операции умножения двух слов данных микросхемы.

Коэффициент объединения по выходу $K_{so}(K_{ob, вых})$ — максимально допустимое число объединяемых выходов, по которым реализуется логическая функция.

Нагрузочная способность $N(N)$ — параметр микросхемы, который в зависимости от схемотехнических особенностей может характеризоваться либо значениями выходных токов, либо коэффициентом разветвления по выходу, либо значением емкости нагрузки.

Понятия и их обозначения, характерные для микропроцессорных микросхем

Данные D (Д) — информация, представленная в формализованном виде и пред назначенная для обработки ее техническими средствами или уже обработанная ими.

Канал B (KH) — совокупность средств для передачи сигналов между источником и приемником.

Операция OP (ОП) — нахождение некоторой величины в результате выполнения действия, указанного командой программы, над одной или несколькими величинами.

Микрооперация MO (МОП) — элементарная операция, выполняемая за один такт работы микросхемы.

Команда Ns (К) — код, определяющий действие микросхемы при выполнении отдельных операций.

Микрокоманда MNS (МК) — код одной или нескольких микроопераций, выполняемых за один такт работы микросхемы.

Регистр команд $PGNS$ (РК) — регистр, в котором хранится текущая команда программы.

Регистр микрокоманды $RGMNS$ (РМК) — регистр, в котором хранится текущая микрокоманда микропрограммы.

Адрес A (А) — код, который указывает устройство или элемент данных, используемые при выполнении операции.

Прямой доступ к памяти DMA (ПД) — режим работы, разрешающий внешним устройствам вводить в память данные или извлекать из нее, минуя процессор и не прерывая выполнение программы.

Операции:

Сложение ADD (СЛ).

Вычитание DEC (ВЧ).

Умножение MPY (УМН).

Деление DIV (ДЛ).

Логическая операция LC (Л) — операция, при выполнении которой каждый разряд результата формируется как итог логических действий над одноименными разрядами операндов.

Сдвиг SH (СД) — процесс смещения машинного слова или его части на заданное число разрядов.

Сдвиг влево SL (СДЛ).

Сдвиг вправо SR (СДП).

Арифметический сдвиг AS (АСД) — сдвиг, при котором смещаются все разряды машинного слова (за исключением знаковых).

Логический сдвиг LS (ЛСД) — сдвиг, при котором смещаются все разряды машинного слова, включая знаковые.

Циклический сдвиг RS (ЦСД) — логический сдвиг, в процессе которого информация, выводимая с одного конца сдвигающего устройства, вводится в освобождающиеся разряды на другом его конце.

Инкремент 1 INC1 (+1) — операция сложения 1 с операндом.

Инкремент 2 INC2 (+2) — операция сложения 2 с операндом.

Декремент 1 DEC1 (-1) — операция вычитания 1 из операнда.

Декремент 2 DEC2 (-2) — операция вычитания 2 из операнда.

Инкремент 1/Декремент 1 INC1/DEC1 (+1/-1) — операция сложения 1 с операндом или вычитания 1 из операнда.

Сигналы:

Синхронизация S (С) — сигнал, инициирующий одновременное выполнение операций различными функциональными частями интегральной микросхемы.

Стробирующий сигнал STB (СТР) — сигнал, инициирующий или фиксирующий определенный этап выполнения операции.

Запрос RQ (З) — сигнал, запрашивающий о возможности выполнения операции.

Разрешение E (Р) — сигнал, разрешающий выполнение операции.

Установка CLR (УСТ) — сигнал установки элементов и функциональных частей интегральной микросхемы в определенное состояние.

Останов HLT (ОСТ) — сигнал, останавливающий выполнение операции.

Повтор RP (НВТ) — сигнал, инициирующий или фиксирующий повторение операции.

Готовность RDY (ГТ) — сигнал, свидетельствующий о готовности интегральной микросхемы к выполнению операции.

Ожидание WAIT (ЖД) — сигнал, свидетельствующий об ожидании поступления на интегральную микросхему определенных сигналов.

Пуск STR (НСК) — сигнал, инициирующий начало выполнения операции.

Продолжение CNT (НРД) — сигнал, инициирующий продолжение операции.

Чтение R (ЧТ) — сигнал, свидетельствующий о чтении информации или устанавливющий

щий интегральную микросхему в режим чтения информации.

Запись W (ЗП) — сигнал, свидетельствующий о записи информации или устанавливающий интегральную микросхему в режим записи информации.

Выбор микросхемы CS (ВМ) — сигнал, инициирующий выбор данной интегральной микросхемы для участия в выполнении операции.

Прием IP (ПМ) — сигнал, инициирующий прием информации или свидетельствующий о приеме информации.

Выдача OP (ВД) — сигнал, инициирующий выдачу информации или свидетельствующий о выдаче информации.

Квитирование «Выдано» OPA (КВ) — сигнал, сопровождающий выданную информацию.

Квитирование «Принято» IPA (КИ) — сигнал, свидетельствующий об окончании приема информации.

Тактовый импульс CLC (ТИ) — периодический импульсный сигнал, инициирующий интегральную микросхему к выполнению очередной операции.

Начало выполнения команды (микрокоманды) BGNS, BGMNS (НК, НМК) — сигнал, инициирующий исполнение команды (микрокоманды).

Перенос С (ПС) — сигнал, возникающий, когда результат сложения в одной цифровой позиции двух или более чисел равен основанию позиционной системы счисления или превышает его.

Конец команды (микрокоманды) ENDNS, ENDMNS (НК, НМК) — сигнал, свидетельствующий об окончании исполнения команды (микрокоманды).

Переполнение OW (ПП) — сигнал, свидетельствующий о получении результата, выходящего за пределы диапазона представления чисел.

Расширение EXP (РШ) — сигнал, свидетельствующий о получении результата с выпадающим разрядом из разрядной сетки.

Знак HB (ЗН) — сигнал, свидетельствующий о знаке результата.

Равенство нулю ZR (РН) — сигнал, свидетельствующий о равенстве результата нулю.

Состояние ST (СС) — сигнал, свидетельствующий о состоянии результата после выполнения операции.

Маскирование M (МС) — сигнал, предназначенный для выделения определенных разрядов в машинном слове.

Прерывание INT (ПР) — сигнал, по которому осуществляется временное прекращение выполнения вычислительным устройством последовательности команд одной программы с целью выполнения последовательности команд другой программы.

Ответ ASW (ОТВ) — сигнал ответа устройства, находящегося в режиме подчинения, о том, что информация готова к передаче и/или принята.

Передача ТF (ПЧ) — сигнал, инициирующий передачу информации или свидетельствующий о ее передаче.

Подтверждение АСК (П) — сигнал интегральной микросхемы, подтверждающий ранее выданный сигнал.

Канал занят BSY (КЗТ) — сигнал, свидетельствующий о том, что канал занят информацией.

Управление V (У) — сигнал, инициирующий выполнение определенных операций.

Задатчик DR (ЗД) — сигнал задающего устройства исполнительному устройству.

Исполнитель RF (ИСП) — сигнал исполнительного устройства задающему устройству.

Зависание HG (ЗВС) — сигнал, свидетельствующий об отсутствии реакции определенного устройства по истечении заданного времени после поступления запроса.

Ведущий MS (ВДШ) — сигнал ведущего устройства, инициирующего выполнение определенной операции.

Ведомый SV (ВДМ) — сигнал ведомого устройства, находящегося в режиме подчинения при выполнении определенной операции.

Приоритет Р (ПТ) — сигнал, указывающий очередность выполнения команд или программ при их одновременном поступлении.

Авария сети питания PNB (АСП) — сигнал, свидетельствующий о выходе напряжения питающей сети за пределы допусков.

Авария источника питания PSB (АИП) — сигнал, свидетельствующий о выходе напряжения источника питания (тока источника питания) за пределы допусков.

При образовании буквенных обозначений производных параметров используется следующая форма записи:

$$X_{YI, ZJ},$$

где X — буквенное обозначение параметров; Y, Z — подстрочные индексы буквенных обозначений входных и (или) выходных сигналов, приведенные на условных графических обозначениях соответствующих микросхем; I, J — цифровые индексы соответствующих входов и (или) выходов, равные 0, 1, 2, ..., n ; n — число входов и (или) выходов.

Г а б л и ц а 1.3

Символ	Определение
LH	Переход из состояния низкого уровня в состояние высокого уровня
HL	Переход из состояния высокого уровня в состояние низкого уровня
ZH	Переход из состояния «выключено» в состояние высокого уровня
HZ	Переход из состояния высокого уровня в состояние «выключено»
LZ	Переход из состояния низкого уровня в состояние «выключено»
ZL	Переход из состояния «выключено» в состояние низкого уровня

Для обозначения производных динамических параметров используется следующая форма записи:

$$t_{AI}(B, C-D, E),$$

где t_A — вид временного параметра; I — порядковый номер параметра, $I=1, 2, \dots, n$; B — именование сигнала или вывода в соответствии с условным графическим обозначением микросхемы, относительно которого ведется отсчет данного вида параметра; C — направление перехода сигнала B ; D — наименование сигнала или вывода в соответствии с условным графическим обозначением микросхемы, до которого ведется отсчет данного вида параметра; E — направление перехода сигнала D .

Для символов C, E используются обозначения в соответствии с табл. 1.3. Первый индекс в буквенном обозначении символов C и E опускается; при этом используется сокращенная форма записи временных параметров: $t_{A(B-D)}$, $t_{A(B)}$, t_A .

1.5. Классификация микропроцессоров и микропроцессорных комплектов микросхем

Приведенные в справочнике микропроцессорные интегральные микросхемы могут быть классифицированы по следующим признакам.

По технологии изготовления — микропроцесоры, полученные на основе:

р-МДП-технологии — серии К145ИК18, К145ИК19, К1814;

п-МДП-технологии — серии КР580, КР581, К1801, К1809, КМ1810, КН1811, КМ1813, КР1816;

КМДП-технологии — серии КР587, К588; ТТЛДШ-технологии — серии К589, КР1802, КМ1804;

И²Л-технологии — серии К583, К584, КА1808;

ЭСЛ-технологии — серия К1800.

По типу архитектуры микропроцессоры можно разделить на секционные и однокристальные, а также однокристальные микроЭВМ.

Секционный микропроцессор предназначен для обработки нескольких разрядов данных (часть микропроцессора); он обладает средствами достаточно простого функционального объединения с однотипными или другими микропроцессорными секциями для построения законченных микропроцессоров и микроЭВМ. Управление таким микропроцессором осуществляется микропрограммным способом. К секционным МПК микросхем следует отнести серии К583, К584, КР587, К589, К1800, КР1802, КМ1804.

Однокристальный микропроцессор — программируемое устройство с фиксированной системой команд, осуществляющее

процесс обработки цифровой информации с фиксированной разрядностью и управления им, построенное на одной интегральной микросхеме. Как правило, для расширения функциональных возможностей однокристального микропроцессора его дополняют другими типами микросхем. Однокристальный микропроцессор является ядром МПК. К однокристальным микропроцессорам следует отнести серии КР580, КР581, К588, К1801, КА1808, КМ1810, КН1811.

Однокристальная микро-ЭВМ — микросхема, содержащая кроме микропроцессора с фиксированной разрядностью оперативную и (или) постоянную память. К однокристальным микро-ЭВМ следует отнести серии К145ИК18, К145ИК19, КМ1813, К1814, КР1816.

По назначению различают универсальные и специализированные микропроцессоры. Универсальные МП могут быть использованы в различных видах вычислительной техники и цифровой автоматики. На специализированных МП может быть построен лишь определенный класс аппаратуры. К универсальным следует отнести МПК серии КР580, КР581, К583, К584, КР587, К588, К589, К1800, К1801, КР1802, КМ1804, К1809, КМ1810, КН1811, КМ1813, КР1816, к специализированным — К145ИК18, К145ИК19, КА1808, К1814.

По разрядности данных, обрабатываемых микросхемой, все МПК можно разделить на:

2-разрядные — серия К589;

4-разрядные — серии К145ИК18, К145ИК19, К584, КР587, К1800, КМ1804, К1814;

8-разрядные — серии КР580, К583, КР1802, КР1816, КМ1813;

16-разрядные серии КР581, К588, К1801, К1809, КМ1810, КН1811.

По виду обрабатываемой информации микропроцессоры могут быть разделены на цифровые и аналоговые. В цифровых МП прием, обработка и выдача информации ведутся в цифровой форме. В аналоговых МП информация поступает на вход в аналоговой форме, а затем преобразуется в цифровую и в таком виде обрабатывается микропроцессором. Результаты обработки преобразуются в аналоговую форму и поступают на выход. Из рассмотренных в справочнике аналоговым следует считать МП серии КМ1813, все остальные — цифровые.

По виду временной организации работы микропроцессорные комплексы микросхем подразделяются на синхронные и асинхронные. В синхронных МП начало и конец выполнения команд задаются устройством управления. Время выполнения команд при этом не зависит от их вида и величин операндов.

В асинхронных микропроцессорах начало выполнения каждой следующей команды определяется по сигналу фактического окончания выполнения предыдущей операции.

По числу одновременно выполняемых программ микропроцессоры разделяются на одно- и много- или мультипрограммные. В однопрограммных МП выполняется одна программа, переход к исполнению следующей программы происходит после завершения предыдущей. В много- или мультипрограммных микропроцессорах одновременно выполняются несколько программ.

Глава 2

Микропроцессоры серии К145ИК18, К145ИК19

Микропроцессоры серии К145ИК18, К145ИК19 принадлежат к разряду специализированных однокристальных микро-ЭВМ, «поведение» которых однозначно определяется хранимой в ПЗУ программой. Главная программа хранится в ПЗУ команд. Управляющие сигналы, обеспечивающие выполнение элементарных действий над обрабатываемой информацией, находятся в ПЗУ микрокоманд.

Между главной программой и микрокомандами образован уровень синхропрограмм, которые обрабатывают информацию в микросхеме с привязкой к временным интервалам, вырабатываемым счетчиком тактов.

Использование выходов разной кратности счетчика тактов позволяет строить различные системы временной адресации, в которых обеспечивается синхронизация потоков управляющей и обрабатываемой информации. Такая структура микросхем серии К145 позволяет хорошо адаптироваться к внешним уст-

ройствам по формату команд и временным характеристикам.

Все микросхемы серии К145 по степени универсальности их использования подразделяются на две группы: специализированные, работающие по программе, занесенной во внутреннюю память микросхемы при ее изготовлении, и широкого применения, программа работы которых заносится во внешнее ЗУ и может изменяться самим пользователем (в случае применения ОЗУ или ППЗУ) или по картам-заказам, составленным пользователем (в случае применения ПЗУ).

Характерной особенностью К145ИК18 является наличие программно-аппаратных средств, обеспечивающих функции универсального микроконтроллера с пространственно-временной адаптацией к параметрам внешних устройств.

Микросхема К145ИК19, обладая возможностями К145ИК18, имеет дополнительные ап-

паратные средства для удобства отсчета точного времени и управления внешними устройствами, но с более коротким форматом команд (меньшее число портов ввода/вывода, меньше выходов временных интервалов D); число разрядов регистров оперативной памяти равно 64.

Обобщенная структурная схема микросхем серии K145 с наиболее характерными связями приведена на рис. 2.1.

В состав микросхем входят:

три блока постоянной памяти: ПЗУ команд (ПК), емкость K145ИК18 — 128 19-битовых слов, K145ИК19 — 128 20-битовых слов; ПЗУ синхропрограмм (ПС), емкость K145ИК18 — $32 \times 6 \times 3 \times 5$ бит [блоки по 32 5-битовых слова, адресуемые 18-ю вариантами (6×3) комбинаций составляющих временного адреса E , и D_k], емкость K145ИК19 — $16 \times 5 \times 2 \times 10$ бит; ПЗУ микрокоманд (ПМК), емкость K145ИК18 — 40 26-битовых слов, K145ИК19 — 32 16-битовых слов;

блок оперативной памяти (ОП или ОЗУ), два динамических свивговых регистра, емкость K145ИК18 — 36 4-битовых слов, K145ИК19 — 16 4-битовых слов;

арифметико-логическое устройство Σ , исполняющее микроприказы выходного слова ПМК, указывающего возможные источники или приемники для выполнения операций в АЛУ и пересылок в блоке оперативной памяти. В составе АЛУ имеются регистры общего назначения: K145ИК18 — два регистра емкостью 1×4 бит и 3×4 бит, K145ИК19 — четыре регистра, емкость каждого 4 бита. Второй регистр имеет внешние входы в каждый разряд, стробируемые времененным сигналом синхронизатора (B_1 — для K145ИК18 и B_2 — для K145ИК19). Третий и четвертый регистры (в K145ИК19) имеют внешние выходы;

регистры адреса: РАК, РАПС, РАМК, РАОП;

регистры слова: РСК, РСПС, РСМК;

регистр синхронизации РСХ.

Коммутация связей верхнего уровня осуществляется регистром РСХ. Формат слова в РСХ состоит из четырех полей:

адресного поля — АП, которое может непосредственно указывать следующий адрес блока памяти ПК или использоваться как параметр при его вычислении;

поля кода условия программного ветвления в блоке ПК — ПКУС, указывающего на способ формирования исполнительного адреса;

адресного поля синхропрограммы — АСП, входящего в состав полного адреса блока памяти ПС;

поля кода модификации синхропрограммы — ПКОМ, составляющего совместно с АСП полный адрес блока памяти ПС.

Регистр РСХ выдает информацию о временному компоненте полного адреса операнда.

В структурной схеме микросхем серии K145 дополнительными программно-аппаратными средствами организован блок ввода/вывода, который содержит:

входы W_1 , W_2 , устанавливающие соответствующие разряды регистра адреса РАК, бит T регистра состояния — признак включения клавиши, а также управляющие программным ветвлением. Эти входы стробируются временным сигналом синхронизатора B_4 :

порты ввода (для K145ИК19 — один, для K145ИК18 — три 4-битовых регистра);

порты вывода (для K145ИК19 — два, для K145ИК18 — шесть 4-битовых регистров).

Управление портами выполняется с помощью шифратора матричного типа (для K145ИК19 — шифратора данных размером 16×8 бит, для K145ИК18 — шифратора адресов данных размером 9×16 бит).

Синхронизатором микросхем является регистр РСХ счетчик тиков, формирующий машины разряды системы временной адресации (сигналы B , E , D_k). Временная диаграмма работы микросхем показана на рис. 2.2.

Более крупные элементы временной шкалы или старшие разряды временной адресации могут быть построены программистом системного математического обеспечения.

Синхронизирующие импульсы B , E , D_k формируются на базе тактовых импульсов, которыерабатываются генератором четырех фазовых сигналов (Φ_1 — Φ_4). Период работы генератора фаз определяет временной интервал B , обработки и пересылки одного двоичного разряда информационного слова.

Временной интервал E , соответствует длительности обработки или пересылки четырех двоичных разрядов информационного слова — тетрады, т. е. $E = B_1 + B_2 + B_3 + B_4$. Такие временные интервалы удобны и для обработки информации в двоично-десятичном представлении. Число временных интервалов E , выбрано исходя из среднего числа микрокоманд, необходимых для завершения обработки одной тетрады операнда. Например, для работы с операндами с десятичной коррекцией достаточно три интервала E , (E_1 — E_3).

Совокупность интервалов E , образует временной интервал D_k . Число временных интервалов D_k может определяться разрядностью операндов и формой их представления. При обработке данных в режиме с плавающей запятой для 8-разрядной двоично-десятичной мантиссы со знаком и 2-разрядного порядка

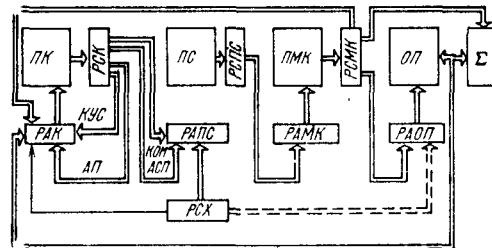


Рис. 2.1. Обобщенная структурная схема микросхем серии K145ИК18, K145ИК19

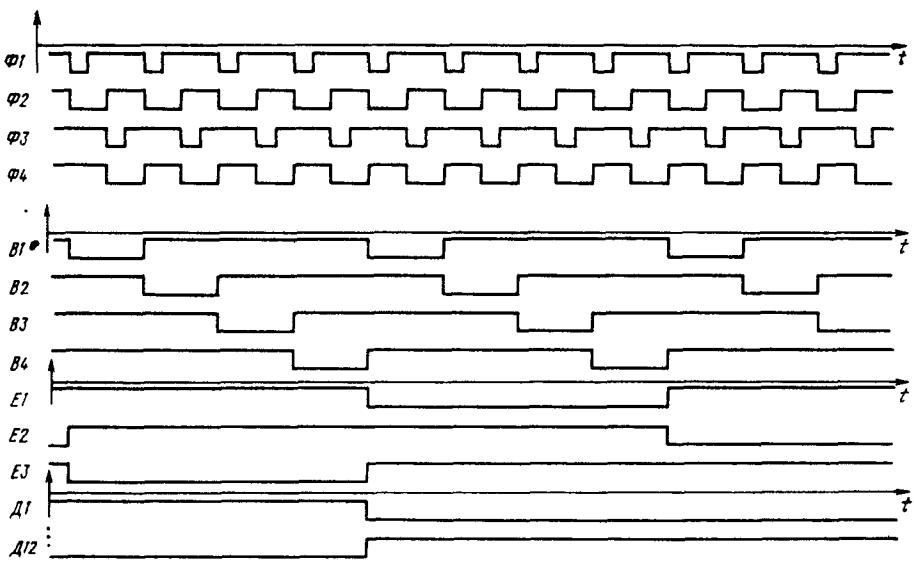


Рис. 2.2. Временная диаграмма работы микросхем серий К145ИК18, К145ИК19

со знаком необходимо иметь 12 временных интервалов D_k .

Тактирование микросхем серии К145 осуществляется внутренний 4-фазный генератор. Встроенный синхронизатор микросхемы имеет период работы, равный 2^6 периодам работы тактового генератора.

Циркуляция информации в ОП соответствует циклу работы синхронизатора. Это позво-

ляет разработать математическое обеспечение отсчета различных временных интервалов с использованием стандартного кварцевого резонатора с частотой 2^{15} Гц.

Состав серий микросхем К145, их модификации, назначение и области применения приведены в табл. 2.1.

Микросхемы серии К145 выполняются в прямоугольном пластмассовом корпусе

Таблица 2.1

Модификация микросхем серии К145	Функциональное назначение	Область применения
К745ИК1801-2	Микроконтроллер, обеспечивающий функции управления и обработки данных при обмене информацией между последовательным однобитовым каналом связи программируемого калькулятора типа «Электроника МК-54» в режиме прямого доступа и адресуемой памятью с произвольной выборкой	Контрольно-измерительные комплексы
К145ИК1807	Микроконтроллер для программного управления электробытовыми приборами, режимами, процессами, роботами	Стиральные машины, печи СВЧ, холодильники, роботизированные комплексы, автоматизация технологических процессов
К145ИК1809, К145ИК1810	Эмуляторы центрального процессора 16-разрядной микро-ЭВМ индивидуального пользования, имеющие широкий набор команд и гибкую систему адресации с быстродействием 250 операций/с	Микро-ЭВМ для сбора данных, учебная микро-ЭВМ, программируемый микрокалькулятор

K145ИК1812	Микроконтроллер для управления узлами минитермопринтера при приеме информации от вычислительных устройств на базе микросхемы K145ИК13	Сервисное устройство к микрокалькуляторам типа «Электроника Б3-34» «Электроника МК-49»
K145ИК1814	Микроконтроллер для управления дисплеем, звуковым сигнализирующим устройством и клавиатурой микрокалькулятора «Электроника МК-72»	В составе однокристальной микро-ЭВМ, совместно с центральным процессором на базе микросхем K145ИК1819, K145ИК1810
K145ИК1901	Микросхема для многофункциональных электронных часов с будильником и секундомером	Электронные часы типа «Электроника Г6-11»; система оповещения и сигнализации, управления электро- и радиоаппаратурой и технологическим оборудованием по заданной временной программе
K145ИК1906	Микроконтроллер в составе систем автоматического управления (САУ) и регулирования, обеспечивающий автоматическое изменение параметров (режимов работы) управляемого объекта	Управление режимами работы бытовых магнитофонов. Манипуляторы, управляющие перемещением объекта или загрузкой емкостей некоторыми веществами
K145ИК1907	Микроконтроллер, работающий в режиме таймера/программатора, для управления технологическими процессами, оборудованием, бытовой электронной техникой с привязкой к реальному времени, выраженному в часах и минутах	Реле времени, электронные регламентаторы времени, устройства управления кухонным комплексом, системы управления технологическими процессами
K145ИК1908	Микроконтроллер, работающий в режиме таймера/программатора, для управления технологическими процессами, оборудованием, бытовой электронной техникой с привязкой к реальному времени, выраженному в минутах и секундах	Электронные регламентаторы времени, реле времени, системы управления технологическими процессами
K145ИК1914	Микроконтроллер, выполняющий функции автономного счетчика/таймера, для отсчета дискретных значений параметра с привязкой к реальному времени, выраженному в минутах и секундах	Управление лентопротяжным механизмом магнитофона, контроль расхода ленты, текущего времени, счетчики оборотов
K145ИК1915	Микроконтроллер для управления работой электропроигрывателя высшего класса	Электропроигрыватели высшего класса. Управление линейными перемещениями по сигналам датчиков

244.48-5, некоторые их модификации выпускаются в бескорпусном исполнении с пониженным напряжением питания. Условное обозначение бескорпусных микросхем — К745.

При эксплуатации микросхем необходимо применять методы защиты их от воздействия статического электричества. Допустимое значение статического потенциала, воздействующего на любой из выводов микросхемы, не более 30,0 В.

Замену микросхем при ремонте аппаратуры, установку их в контактные приспособления и извлечение из этих приспособлений следует производить при отсутствии напряжений на выводах.

Подключение любых электрических цепей ко всем незадействованным выводам запрещается.

Микросхемы в блоках аппаратуры, предназначенной для работы в условиях повышенной влажности, необходимо покрывать двумя слоями влагозащитного лака УР-231 или ЭП-730. Температура сушки лака не более 328 К (55° С).

Электрические параметры микросхем серий K145ИК18 и K145ИК19 приведены в табл. 2.2, предельные электрические режимы эксплуатации в диапазоне температур — в табл. 2.3.

Таблица 2.2

Окончание табл. 2.3

Параметр	Обозначение	Значение параметров			
		К145ИК18		К145ИК19	
		мин.	макс.	мин.	макс.
Напряжение питания, В	U_{OC}	25,6	28,4	24,3	29,7
Напряжение низкого уровня тактовых сигналов, В	U_{CL}	25,6	28,4	—	—
Напряжение высокого уровня тактовых сигналов, В	U_{CH}	0	0,5	—	—
Входное напряжение низкого уровня, В	U_{IL}	8,5	28,4	8,5	30,0
Входное напряжение высокого уровня, В	U_{IH}	0	2,0	0	2,0
Выходное напряжение низкого уровня на выходах, В:	U_{OL}	9,5 9,5 25,0 25,0 25,0	— — — — —	9,5 9,5 27,0 27,0 27,0	— — — — —
Выходное напряжение высокого уровня на выходах, В:	U_{OH}	— — — — —	2,0 2,0 1,0 1,0 1,0	— — — — —	2,0 2,0 1,3 1,3 1,3
Ток потребления динамический, мА	I_{CCO}	— —	2,0 2,0	— —	8,0
Период следования импульсов тактовых сигналов, мкс	T_{CLC}	5	14	—	—
Длительность импульсов тактовых сигналов на входах, мкс:	T_C	0 1,8	— —	— 3,0	— 6,0
U_{C1}, U_{C3}	R_L	1000	—	1000	—
U_{C2}, U_{C4}		1000	—	1000	—
$GN1, GN3$		27	—	30	—
Сопротивление нагрузки для выходов, кОм:		27	—	30	—
SYN, RG		27	—	30	—
ORG, GN		27	—	30	—
$COR1 - COR4$		27	—	30	—
$COS1 - COS8$		27	—	30	—
$CO1 - CO8$		27	—	30	—

Примечания. 1. Все напряжения отрицательной полярности. 2. Номинальное значение напряжения питания К145ИК18 и К145ИК19 — 27,0 В. 3. Номинальное значение напряжения низкого уровня тактовых сигналов К145ИК18 — 27,0 В.

Таблица 2.3

Параметр	Обозначение	Значение параметров
Максимальный ток, вытекающий по общему выводу при положительных напряжениях на остальных выводах, мА	$I_{O \max}$	1,0
Максимальная рассеиваемая мощность, мВт	P_{tot}	250,0

Примечание. Эксплуатация микросхем в предельных режимах не допускается.

2.1. Микросхема К745ИК1801-2

Микросхема К745ИК1801-2 предназначена для управления обменом информацией между программируемым калькулятором типа «Электроника МК-54» и регистрами адресуемой памяти с произвольной выборкой.

Микросхема обеспечивает обработку данных при обмене информацией по одиобитовому каналу связи в режиме прямого доступа. Микросхема выпускается в бескорпусном исполнении.

Условное графическое обозначение микросхемы приведено на рис. 2.3, назначение выводов — в табл. 2.4.

Типовая схема включения К745ИК1801-2 показана на рис. 2.4.

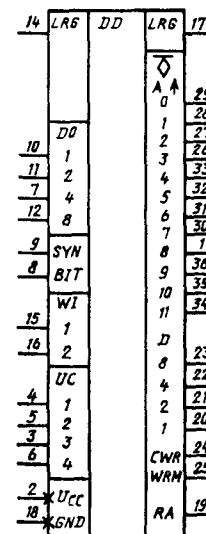


Рис. 2.3. Условное графическое обозначение К745ИК1801-2 (К145ИК1801-2)

Параметр	Обозначение	Значение параметров
Максимальное отрицательное напряжение на выводах, В	$U_{O \max}$	30,0

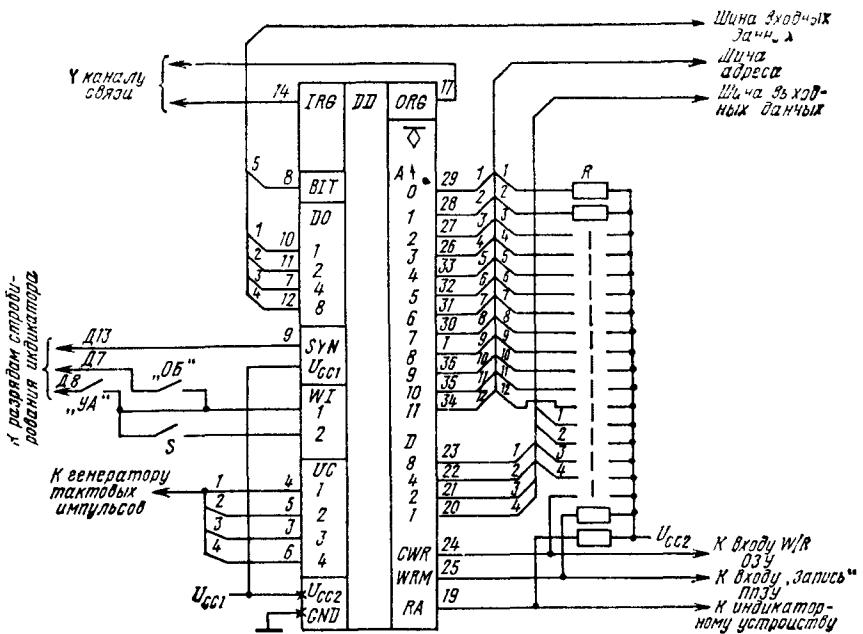


Рис 24 Типовая схема включения К745ИК1801-2

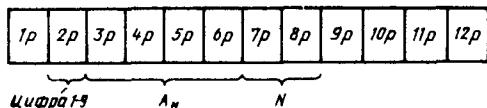


Рис 25 Формат слова, содержащегося в регистре X

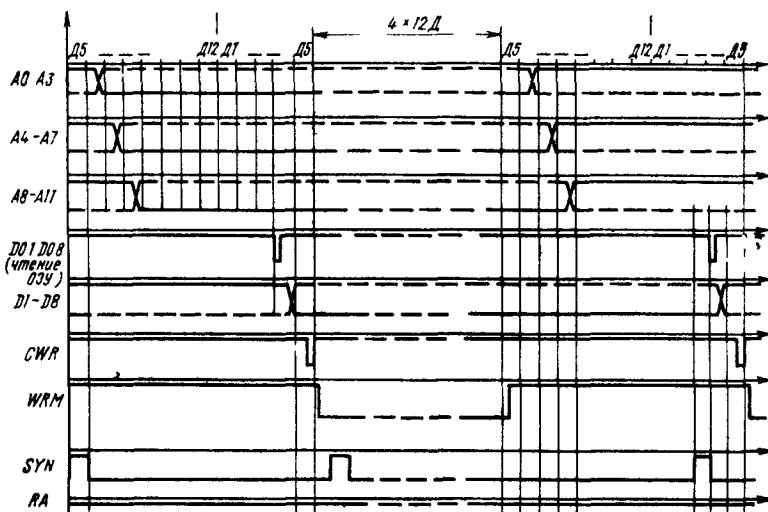


Рис 26 Временная диаграмма сигналов обмена между вычислительным устройством и внешним ЗУ

Таблица 2.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	A8	Выход	Адресный сигнал
2	U_{CC}		Напряжение питания 15 В
3 - 6	$UC3, UC1, UC2, UC4$	Входы	Фазы тактового питания динамических узлов микросхемы
7	D0..4	Вход	Информация
8	BIT	Вход	Дополнительная информация
9	SVA	Вход	Сигнал стробирования микрокалькулятора D13
10 - 12	D0_1, D0_2, D0_8	Входы	Информация
14	IRC	Вход	Внешний регистр связи
15, 16	W11, W12	Входы	Клавиатура
17	ORG	Выход	Внешний регистр связи
18	GND	-	Общий
19	RA	Выход	Готовность к приему команд
20 - 23	D1, D2, D4, D8	Выходы	Информация, вывод данных из ППЗУ
24	CWR	Выход	Стробирующий сигнал записи в ОЗУ
25	WRM	Выход	Запись в ППЗУ
26 - 36	A3 - A0, A7 - A4, A11 A9	Выходы	Адресные сигналы

Примечание. Вывод 13 не задействован.

Управление микросхемой осуществляется при помощи двух клавиш и переключателя: установка адреса выбранного поля памяти и числа передаваемых байт информации — по содержимому регистра X (клавиша «УА» на рис. 2.4). Формат показан на рис. 2.5:

выбор режима передачи данных или программы (переключатель в соответствующем положении);

обмен данными между вычислительной системой и внешним ЗУ (клавиша «ОБ» на рис. 2.4).

Временная диаграмма сигналов обмена с внешним ЗУ приведена на рис. 2.6.

2.2. Микросхема К145ИК1807

Микросхема К145ИК1807 по математическому обеспечению ориентирована на решение задач управления технологическими процессами, манипуляторами, электробытовыми приборами и т. п. Она выполняет следующие функции:

прим программы управления и исходных данных о времени и состоянии датчиков управляемого объекта;

временное хранение дополнительной информации во внутренней памяти микросхемы, организованной в виде стека, по схеме: регистр индикации РИ → регистр памяти M2 → регистр памяти M1 → регистр индикации РИ. Для запоминания кода управления имеется специальный регистр МКУ; обращение к внутренней памяти микросхемы осуществляется с клавиатуры и по программе;

работу в режиме таймера;

обращение к внешнему запоминающему устройству и последовательную выборку команд ЗУ для их исполнения;

автоматический поиск программы во внешнем ЗУ по номеру, набранному на клавиатуре,

выполнение заданной программы.

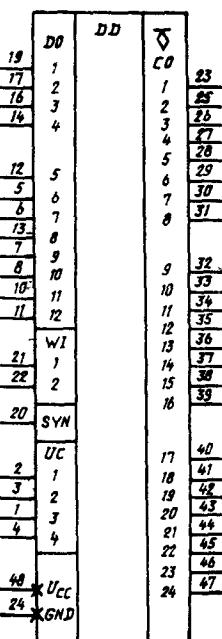


Рис. 2.7. Условное графическое обозначение К145ИК1807

Таблица 25

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов			
1—4	U_{C3}, U_{C1} , U_{C2}, U_{C4}	Входы	Фазы тактового питания динамических узлов микросхемы			
7, 8, 10, 11	$D0.9—D0.12$	Входы	Код операции Десятки минут/секунд Минуты, Число циклов повторения			
12, 5, 6, 13	$D0.5—D0.8$	Входы	Запоминаемый код (в M2/M1) Приращение адреса ЗУ. Признак диапазона минуты/секунды Минуты/секунды			
14, 16, 17, 19 20	$D0.4—D0.1$	Входы	Признак памяти M1/M2. Запоминаемый код (в M1/M2) Старшие разряды адреса смещения (в цикле) Младшие разряды адреса смещения (в цикле)			
21, 22 24	SYN $W11, W12$ GND	Вход Входы —	Синхронизация (частота импульсов $f=50$ Гц) Клавиатура Общий			
28, 31 32—35	$C05—C08$ $C09—C012$	Выходы	Управление внешним устройством Счетчик адреса с индикацией Десятки секунд			
36—39	$C013—C016$	Выходы	Старший шестнадцатеричный разряд адреса			
40—43	$C017—C020$	Выходы	Средний шестнадцатеричный разряд адреса			
44—47	$C021—B024$	Выходы	Младший шестнадцатеричный разряд адреса			
48	U_{CC}		Напряжение питания			

Примечание. Выводы показаны в последовательности старший — младший разряд.

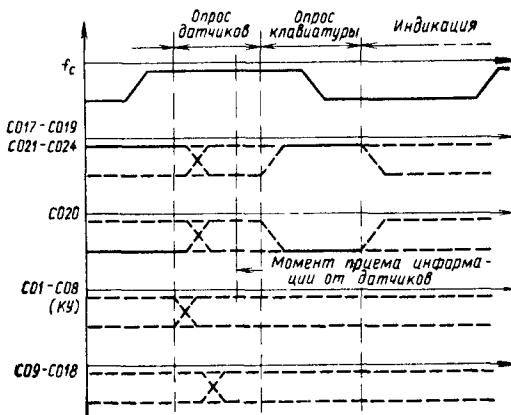


Рис. 2.8 Временная диаграмма работы К145ИК1807

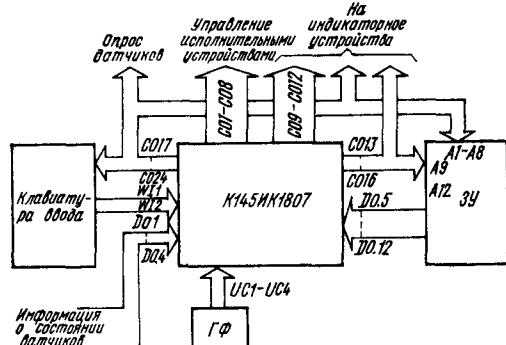


Рис. 2.9. Структурная схема модуля управления на базе K145ИК1807

Таблица 2.6

Символ команды	Назначение команды
НВ	Занесение полного времени выполнения всей программы
ВВс	Занесение времени выполнения операций в секундном интервале
ВВм	Занесение времени выполнения операции в минутном интервале
КУ	Управление исполнительными устройствами и переходом по времени в секундном интервале
ПВ	Переход по окончании времени в минутном интервале
БП	Безусловный переход из любого места программы по заданному адресу
ПП	Переход на подпрограмму по указанному адресу подпрограммы. Глубина обращения к подпрограмме 2
ОД	Опрос датчиков внешних устройств Код, считываемый с датчиков, сравнивается с заданным по программе В соответствии с результатом осуществляется переход по программе Выход из подпрограммы для выполнения основной программы
ВП	Обращение к внутренней памяти М1
М1↑	Обращение к внутренней памяти М2
М2↑	Сложение с памятью М1
М1+ МКУ	Обращение к памяти кода управления исполнительными устройствами Задание числа циклов повторения выполняемой операции (блока операций). В команде указывается число циклов повторения и смещения текущего адреса ЗУ, охватывающее повторяемый блок операций
Цикл	Занесение кода в память М2 или М1
ЗК	Останов программы
Стоп	

Для хранения программ управления используется внешнее ЗУ (ОЗУ, ППЗУ, ПЗУ), входящее в состав модуля управления.

При длительном пользовании отложенной программой управления в модуле применяется

ся ПЗУ. На этапе отладки программы управления функции носителя информации может выполнять оперативное или полупостоянное ЗУ.

Функциональные возможности микросхемы К145ИК1807 позволяют строить программы управления внешним объектом:

с организацией множества циклов повторений тех или иных операций (блока операций):

с остановом и возвратом на начало программы;

с возможностью прерывания программы и выходом на программу продолжения или останова;

с изменением управляющих воздействий по условию состояния датчиков внешних объектов.

Минимальный период коммутации исполнительных устройств - 40 ± 2 мс.

Доступ пользователя к модулю управления осуществляется через устройство ввода/вывода, которое имеет в своем составе клавиатуру и индикаторные устройства.

Условное графическое обозначение микросхемы К145ИК1807 приведено на рис. 2.7, назначение выводов — в табл. 2.5, временная диаграмма работы — на рис. 2.8, структурная схема модуля управления на базе К145ИК1807 — на рис. 2.9.

В ходе выполнения программы микросхемой осуществляется опрос и анализ датчиков внешних устройств по входам D0.1—D0.4.

Систему команд К145ИК1807 можно разделить на три группы

команды внешнего управления. КУ и выполняемые только после КУ — НВ, ВВс, ВВм, ПВ, ОД;

команды обращения к памяти: ЗК, МКУ, М1↑, М2↑, М1+;

команды управления программой: БП, Цикл, ПП, ВП, Стоп.

Система команд приведена в табл. 2.6, структура команд — в табл. 2.7. Время считывания однобайтовой команды 14 мс, двухбайтовой 19 мс. Временной интервал между опросами датчиков 20 мс, длительность опроса датчиков 0,8 мс.

Таблица 2.7

Символ команды	1-й байт		2-й байт	
	Код операции шестнадцатеричный	Информация		
М1↑	0	0	--	--
ПВ	1	Приращение адреса ПЗУ	--	--
ОД	2	Контроль информации	Код опроса датчиков	
ВВ	3	0 — диапазон минут 1 — диапазон секунд	Десятки минут Десятки секунд	Минуты Секунды

Символ команды	1 й байт		2 й байт			
	Код операции и естественный	Информация				
БП	4	Адрес безусловного перехода				
ПП	5	Адрес перехода на подпрограмму				
МКУ	6	0	Код управления			
ЭК	7	0 — обращение к M2 1 — обращение к M1	Заносимый код			
M2*	8	0	—			
Стоп	9	0	—			
НВ	A	Десятки секунд	Минуты	Десятки минут		
Цикл	B	Старшие разряды адреса смещения	Число циклов повторения	Младшие разряды адреса смещения		
КУ	C	Приращение адреса 113У	Код управления			
ВП	D	0	—			
M1	E	0	—			

2.3. Микросхемы К145ИК1809 и К145ИК1810

Микросхемы К145ИК1809 и К145ИК1810 совместно выполняют функции центрального процессора микро ЭВМ индивидуального пользования К145ИК1809 — управляющий процессор К145ИК1810 — сервисный процессор.

Микросхема К145ИК1810 выполняет опрос клавиатуры и стробирование разрядов и сегментов индикатора пультового отладочного терминалы, а также вырабатывает младшие разряды адреса и четыре строба записи для внешних устройств.

Условное графическое обозначение микросхемы К145ИК1809 показано на рис. 210 К145ИК1810 — на рис. 211 назначение выводов дано в табл. 28 и 29 соответственно. Типовая схема включения обеих микросхем в процессоре микро ЭВМ приведена на рис. 212, временные диаграммы работы процессора — на рис. 213.

Временные диаграммы сигналов стробирования клавиатуры и индикатора показаны на рис. 214, диаграммы сигналов записи и стирания в ППЗУ типа К1601РР1 — на рис. 215.

Распределение поля памяти процессора показано на рис. 216. Система команд процессора приведена в табл. 210.

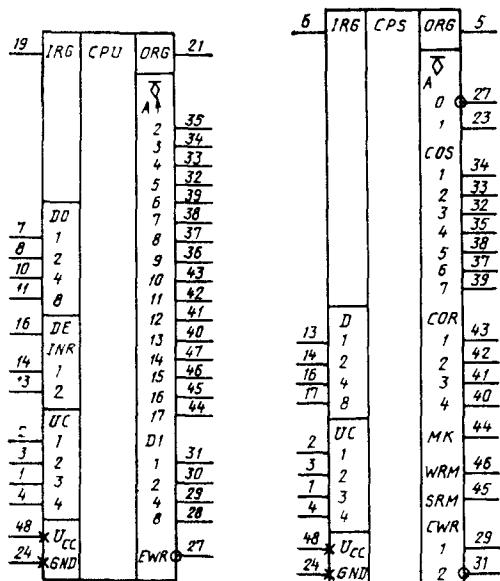


Рис. 210 Установочное графическое обозначение К145ИК1809

Рис. 211 Установочное графическое обозначение К145ИК1810

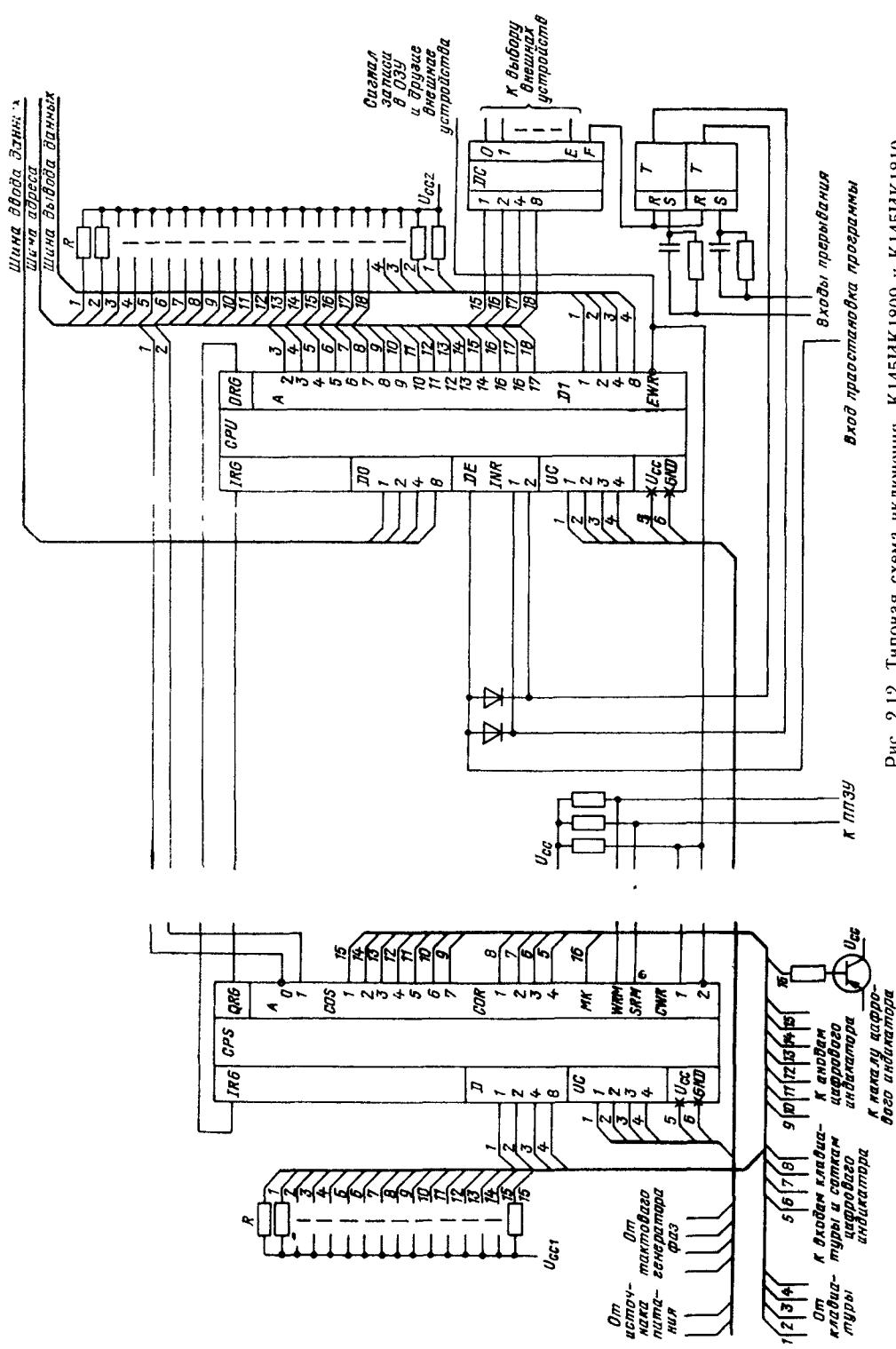


Рис. 2.12. Типовая схема включения К145ИК1809 и К145ИК1810

Таблица 2.8

Окончание табл. 2.9

Выход	Обозначение	Тип вывода	Функциональное назначение выводов K145ИК1809
1—4	<i>UC3, UC1, UC2, UC4</i>	Входы	Фазы тактовых сигналов импульсного питания динамических узлов микросхемы
7, 8	<i>D0.1, D0.2</i>	Входы	Информация
10, 11	<i>D0.4, D0.9</i>	Входы	Информация
13, 14	<i>INR2, INR1</i>	Входы	Прерывание
16	<i>DE</i>	Вход	Блокировка
19	<i>IRG</i>	Вход	Внешний регистр связи
21	<i>ORG</i>	Выход	Внешний регистр связи
24	<i>GND</i>	—	Общий
27	<i>EWR</i>	Выход	Разрешение записи
28—31	<i>D1.8, D1.4, D1.2, D1.1</i>	Выходы	Информация
32—47	<i>A5—A2, A9—A6, A13—A10, A17—A14</i>	Выходы	Адресные сигналы
48	<i>U_{CC}</i>		Напряжение питания — 27 В

Примечание Выводы 5, 6, 9, 12, 15, 17, 18, 20, 22, 23, 25, 26 не задействованы

Выход	Обозначение	Тип вывода	Функциональное назначение выводов K145ИК1810
32—35, 37—39	<i>COS3, COS2, COS1, COS4, COS6, COS5, COS7</i>	Выходы	Управление сегментами индикатора
40—43	<i>COR4— COR1</i>	Выходы	Управление разрядами индикатора и опрос клавиатуры
44	<i>MK</i>	Выход	Маскирование индикатора
45	<i>SRM</i>	Выход	Стирание содержимого памяти
46	<i>WRM</i>	Выход	Запись в память
48	<i>U_{CC}</i>	—	Напряжение питания — 27 В

Примечание Выводы 7—12, 15, 18—22, 25, 26, 28, 30, 36, 47 не задействованы

Таблица 2.10

Команда процессора	Результат выполнения команды в регистре состояния				Выполняемые функции	Время исполнения команды, мс
	Код	Мнемоника	<i>C</i>	<i>V</i>	<i>Z</i>	<i>N</i>

Одноадресные команды:

<i>10dD</i>	<i>JMP</i>	— — —	(<i>dst</i>) \Rightarrow (PC).	4
			Переход на подпрограмму или возврат из подпрограммы	
<i>11dD</i>	<i>CLR</i>	0 0 0 0	0 \Rightarrow (<i>dst</i>). Очистка	7
<i>12dD</i>	<i>INC</i>	* * * *	(<i>dst</i>) + 1 \Rightarrow (<i>dst</i>). Приращение	7
<i>13dD</i>	<i>DEC</i>	* * * *	(<i>dst</i>) - 1 \Rightarrow (<i>dst</i>). Уменьшение	7
<i>14dD</i>	<i>ADC</i>	* * * *	(<i>dst</i>) + (<i>c</i>) \Rightarrow (<i>dst</i>). Прибавить перенос	7
<i>15dD</i>	<i>SBC</i>	* * * *	(<i>dst</i>) - (<i>c</i>) \Rightarrow (<i>dst</i>). Прибавить перенос	7
<i>16dD</i>	<i>ROL</i>	* 0 * *	Вычесть перенос Циклический двоичный сдвиг влево, включая (<i>c</i>)	7
<i>17dD</i>	<i>LSL</i>	* 0 * *	Логический двоичный сдвиг влево, включая (<i>c</i>)	7
<i>18dD</i>	<i>COM</i>	— 0 * *	(<i>dst</i>) \Rightarrow (<i>dst</i>). Инверсия	11
<i>19dD</i>	<i>HRR</i>	— — * *	Шестнадцатеричный циклический сдвиг вправо, включая	11
<i>1BdD</i>	<i>HAR</i>	— — * *	<i>R_{dop}2</i> . Шестнадцатеричный арифметический сдвиг вправо, включая <i>R_{dop}2</i>	11

Таблица 2.9

Выход	Обозначение	Тип вывода	Функциональное назначение выводов K145ИК1810
1—4	<i>UC3, UC1, UC2, UC4</i>	Входы	Фазы тактовых сигналов импульсного питания динамических узлов микросхемы
5	<i>ORG</i>	Выход	Внешний регистр связи
6	<i>IRG</i>	Вход	Внешний регистр связи
13, 14, 16, 17 23, 27	<i>D1, D2, D4, D8 A1, A0</i>	Входы	Клавиатура
24	<i>GND</i>	—	Адрес
29	<i>CWR1</i>	Выход	Строб записи
31	<i>CWR2</i>	Выход	Строб записи + + 1 такт

Продолжение табл. 2.10

Команда процессора		Результат выполнения команды в регистре состояния	Выполняемые функции	Время исполнения команды, мс
Код	Мнемоника	C, V, Z, N		
1Add	HRL	- * *	Шестнадцатеричный циклический сдвиг влево, включая R _{доп2}	11
1Cdd	HLL	- - * *	Шестнадцатеричный логический сдвиг влево, включая R _{доп2}	11
1DdD	SW	- 0 * *	(R _{доп1}) \Rightarrow (dst). \leftarrow	11
1EdD	CLM	-- 0 0	Обмен 0 \Rightarrow (ППЗУ).	110
1FdD	CLL	-- 0 0	Общее стирание 0 \Rightarrow [dst] (ППЗУ)]. Стирание строки	110

Двухадресные команды:

2sSdD	JSR	- - - -	(PC) \Rightarrow (dst), (src) \Rightarrow (PC). Переход к подпрограмме	8
3sSdD	MOV	0 0 * *	(src) \Rightarrow (dst)	8
4sSdD	ADD	* * * *	Пересылка (src) + (dst) \Rightarrow (dst).	8
5sSdD	SUB	* * * *	Сложение (dst) - (src) \Rightarrow (dst). Вычитание	8
6sSdD	CMP	* * * *	(dst) - (src).	9
7sSdD	DADC	* 0 * *	Сравнение (dst) + (src) + (c) \Rightarrow (dst).	9
8sSdD	SUBC	* 0 * *	Десятичное сложение (dst) - (src) + (c) \Rightarrow (dst)	13
9sSdD	DIV	- - * *	Десятичное вычитание (R _{доп1} , dst) : (src) \Rightarrow (dst). Остаток \Rightarrow (R _{доп1}).	38-74
AsSdD	MULA	- - * *	Десятичное деление (src) · (dst) \Rightarrow R _{доп1} , dst).	42-78
BsSdD	MULA	- - * *	Десятичное умножение [(src) · (dst) + + (R _{доп1})] \Rightarrow (R _{доп1} , dst). Десятичное умножение со сложением	42-78
CsdD	BIC	- 0 * *	[(src) \wedge (dst)] \Rightarrow (dst).	13
DsSdD	BIS	- 0 * *	Очистка разрядов [(src) \vee (dst)] \Rightarrow (dst).	13
EsSdD	BIT	-- 0 * *	Логическое сложение [(src) \wedge (dst)] \Rightarrow (dst). Проверка разрядов	12
FssdD	MOV M	- - - * *	(src) \Rightarrow [dst] (ППЗУ). Запись в ППЗУ	56

Продолжение табл. 2.10

Команда процессора		Результат выполнения команды в регистре состояния	Выполняемые функции	Время исполнения команды, мс
Код	Мнемоника	C, V, Z, N		
Команды условных переходов:				
01XX	BCC	- - -	XX \Rightarrow (PC), иначе, PC := (PC)+1.	4
02XX	BCS	- - -	Переход, если C = 0 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
03XX	BVC	- - -	Переход, если C = 1 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
04XX	BVS	- - -	Переход, если V = 0 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
05XX	BEQ	- - -	Переход, если V = 1 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
06XX	BNE	- - -	Переход, если Z = 0 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
07XX	BPL	- - -	Переход, если Z = 1 XX \Rightarrow (PC), иначе PC := (PC)+1.	4
08XX	BMI	- - -	Переход, если N = 0 XX \Rightarrow (PC), иначе (PC) : (PC)+1.	4
09XX	BR	- - -	Переход, если N = 1 XX \Rightarrow (PC). Безусловный переход	4
Специальные команды:				
000X	HALT	- - - -	Стоп. Останов процессора	
001X	BPT	* * * *	(PKC) \downarrow (PC) \downarrow (1) \Rightarrow (PC), (3) \Rightarrow (PKC). Командное прерывание для отладки	20
002X	WALT	- - - -	Ожидание. Процессор ждет внешних прерываний	6
003X	INIT	* * * *	(PKC) \downarrow (PC) \downarrow (5) \Rightarrow PC (7) \Rightarrow (PKC). Внешнее или командное прерывание	20
004X	RTI	* * * *	\uparrow (PC), \uparrow (PKC). Возврат после прерывания	16
005X	ENT	* * * *	(PKC) \downarrow (PC) \downarrow (9) \Rightarrow (PC), (B) \Rightarrow (PKC). Командное прерывание	20
Установка признаков в регистре состояния				
006X	SET	1 1 0 1	(PKC) \downarrow , (PC) \downarrow , (D) \Rightarrow (PC), (F) \Rightarrow (PKC). Внешнее (или командное) прерывание	6
007X	INT 2	* * * *		

Окончание табл. 2.10

Команда процессора		Результат выполнения команды в регистре состояния	Выполняемые функции	Время исполнения команды, мс
Код	Мнемоника	C, V, Z, N		
008X	RTT	* * * *	↑ (PC), ↑ (PKC) Возврат после прерывания. Выполнение одной команды основной программы, переход к ВРТ	17

Примечание (*src*) — содержание ячейки источника. (*dst*) — содержимое ячеек приемника; *sS*, *dD* — адреса ячеек источника и приемника; *XX* — восемь младших двоичных разрядов адреса; *X* — разряды не задействованы в командах; ↓ — занесение в стек; ↑ — извлечение из стека; * — бит может изменять свое состояние в процессе выполнения команды; 0 и 1 — бит может устанавливаться в соответствии с низким или высоким уровнем напряжения; С — перенос; <→> — бит не изменяет своего состояния; PC — программный счетчик; PKC — регистр состояния процессора; *R_{доп1}* — дополнительный 16-разрядный регистр для выполнения операций умножения и деления, расположенный в регистре связи; *R_{доп2}* — дополнительный 4-разрядный регистр.

В центральном процессоре используются три типа команд: безадресные, одно- и двухадресные. В безадресных командах содержится только код операции. Формат одноадресной команды показан на рис. 2.17, а, двухадресной — на рис. 2.17, б.

Содержание информации в разрядах:
на рис. 2.17, а: 15—8 — код операции (*OPR*); 5—0 — адресное поле операнда приемника; 5,4 — метод адресации (*d*); 3 — признак прямой или косвенной адресации (*d'*); 2—0 — номер регистра (*D*); 7,6 — не используются;

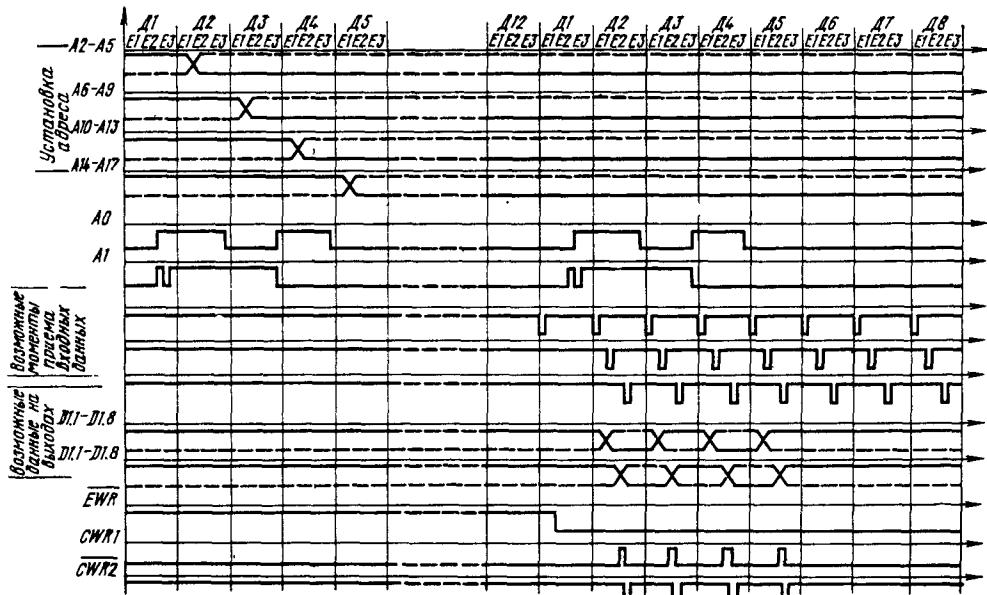
на рис. 2.17, б: 15—12 — код операции (*OPR*); 11—0 — адресное поле операндов источника и приемника; 11, 10 — метод адресации для операнда-источника (*S*); 9,8 — метод адресации для операнда-приемника (*d*); 7 — признак прямой или косвенной адресации для операнда-источника (*S'*); 3 — признак прямой или косвенной адресации для операнда-приемника (*d'*); 6—4 — номер регистра для операнда-источника (*S*); 2—0 — номер регистра для операнда-приемника (*D*).

Используется 12 методов адресации (см. табл. 2.11). Признаки косвенности для соответствующих методов адресации показаны в табл. 2.12.

Связь микросхем выполнена через последовательный одиобитовый канал связи.

После включения источника питания или подачи сигнала «Сброс» процессор входит в режим работы пультового отладочного терминала. Микросхема К145ИК1809 готова к выполнению команд управления, приведенных в табл. 2.13.

При нажатии клавиши «Пуск» или подаче в канал связи кода 0000₂ в момент времени *D1E1* центральный процессор переводится в режим работы по программе с начального адреса или с адреса, введенного с клавиатуры пультового терминала. Имеется возможность прерывания работы процессора по программе.



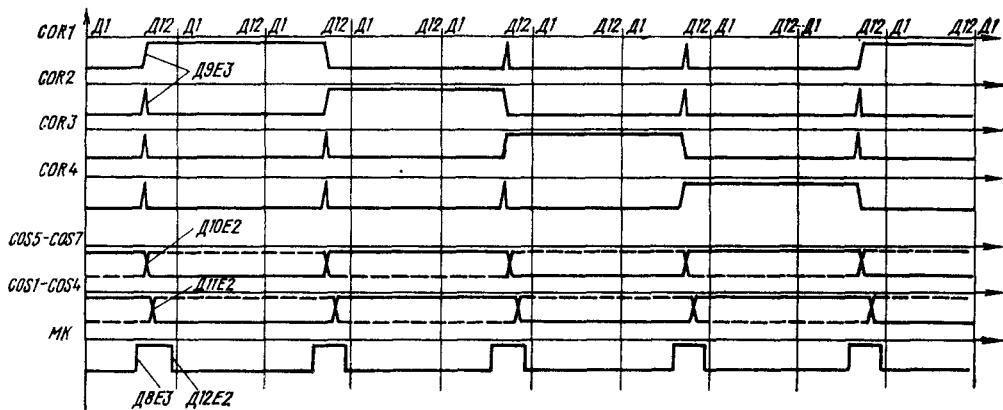


Рис. 2.14. Временные диаграммы сигналов стробирования клавиатуры и индикатора

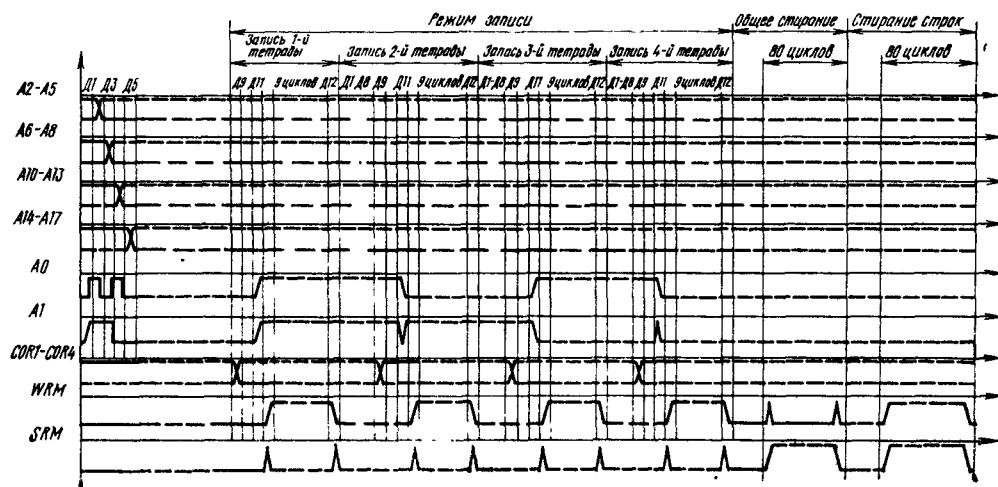


Рис. 2.15. Временные диаграммы сигналов записи и стирания в ППЗУ

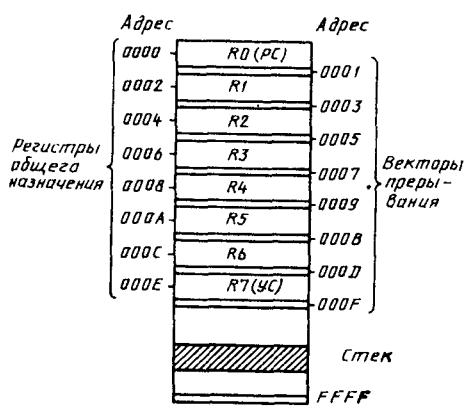


Рис. 2.16. Распределение поля памяти процессора на базе К145ИК1809 и К145ИК1810

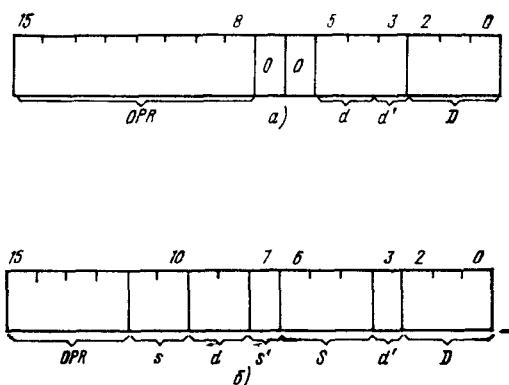


Рис. 2.17. Форматы одноадресной (а) и двухадресной (б) команд процессора

Таблица 2.11

Метод адресации	Обозна- чение	Код метода шест- надцатеричный		Описание способа обращения к операнду
		для источ- ника	для при- емника	
Прямой				
Регистровый	<i>R</i>	0	0	Адресом операнда является номер одного из выбранных РОН
Автоинкрементный	(<i>R</i>)+	4	1	Адресом операида является содержимое одного из выбранных РОН, которое автоматически наращивается на +1, создавая возможность перебора последовательности ячеек по возрастанию адресов
Автодекрементный	-(<i>R</i>)	8	2	Адресом операида является содержимое одного из выбранных РОН, которое автоматически уменьшается на -1, создавая возможность перебора последовательности ячеек по убыванию адресов
Индексный	<i>A(R)</i>	<i>C</i>	3	Адрес операида определяется как сумма содержимого выбранного РОН с индексным словом, расположенным в ячейке памяти сразу же за командным словом
Косвенный	<i>@</i>			
Косвенно-регистровый	<i>@R</i>	0	0	Адресом операида является содержимое одного из выбранных РОН
Косвенно-автоинкрементный	<i>@(R) +</i>	4	1	Адрес операида определяется косвенно, через дополнительный адрес, указанный в выбранном РОН. При этом адреса операида автоматически наращиваются на +1, создавая возможность перебора последовательности адресов операида по возрастанию
Косвенно-автодекрементный	<i>@-(R)</i>	8	2	Адрес операида определяется косвенно, через дополнительный адрес, указанный в выбранном РОН. Адреса операида автоматически уменьшаются на -1, создавая возможность перебора последовательности адресов операида по убыванию
Косвенно-индексный	<i>@A(R)</i>	<i>C</i>	3	Адрес операида определяется косвенно, по адресу адреса операида, который получается суммированием содержимого выбранного РОН с индексным словом, расположенным в ячейке памяти, следующей за командным словом
Специальный				
Непосредственный	# <i>A</i>	4	1	Операид находится в следующей за командным словом ячейке памяти. После выполнения операции содержимое счетчика команд увеличивается на +1
Абсолютный	<i>@ #A</i>	4	1	Полный адрес операида находится в ячейке памяти, расположенной сразу же за командным словом. После выполнения команды содержимое счетчика команд увеличивается на +1
Относительный	<i>A</i>	<i>C</i>	3	Адрес операида определяется как сумма содержимого счетчика команд и содержимого ячейки памяти, расположенной сразу же за командным словом
Косвено-относительный	<i>@A</i>	<i>C</i>	3	Адрес операида определяется косвенно, через дополнительный адрес, равный сумме содержимого счетчика команд и ячейки памяти, следующей за командным словом

Таблица 2.12

Обозначение метода адресации	Состояния разрядов в слове команды					
	источника			приемника		
	11	10	7	9	8	3
@ R	0	0	0	0	0	0
@ (R) +	0	1	0	0	1	0
@ - (R)	1	0	0	1	0	0
@ A (R)	1	1	0	1	1	0
@ ^a A	1	1	1	1	1	1
@ A	1	1	1	1	1	1

Таблица 2.13

Символ клавиши	Функциональное назначение	Коммутируемые выходы/ входы микросхемы	
Ш	Пошаговый пуск программы	$\overline{COR3}$	$D1$
П	Пуск программы	$\overline{COR4}$	$D8 \wedge D4$
Точка	Переслать содержимое РгМ в память по адресу (PC) (РгИ) \rightarrow (ОЗУ); (PC) := (PC) + 1	$\overline{COR1}$	$D1$
Запятая	Переслать содержимое РгИ в регистр кода состояния (РКС)	$\overline{COR1}$	$D8 \wedge D4$
Двоеточие	Переслать содержимое РгИ в программный счетчик (PC)	$\overline{COR3}$	$D8 \wedge D4$
Косая линия	Вызвать содержимое памяти по адресу (PC) (ОЗУ) \rightarrow (РгИ) (PC) := (PC) + 1	$\overline{COR2}$	$D8 \wedge D4$
Тире	Вызвать содержимое памяти по адресу (PC) (ОЗУ) \rightarrow (РгИ) (PC) := (PC) - 1	$\overline{COR4}$	$D1$

2.4. Микросхема К145ИК1812

Микросхема К145ИК1812 имеет назначение сервисного устройства к микрокалькуляторам типа «Электроника Б3-34», «Электроника МК-49» и др. (на базе микросхемы К145ИК13). Микросхема управляет узлами минимопринтера при приеме информации от калькулятора. Тип печатающей головки 2ФВ2,000—Т001 (Т002, Т003).

Микросхема обеспечивает три режима печати, устанавливаемые соответствующими клавишами: печать содержимого индикационного регистра *РэХ* калькулятора (клавиша *X*); печать содержимого числовых регистров калькулятора (клавиша *Рг*); распечатка программы (98 шагов) с указанием адреса команд (клавиша *П*). Скорость печати содержимого индикационного и числовых регистров 1 строка/с, а программы 2 строки/с. Формат строк в первых двух случаях соответствует информации, отображаемой на дисплее калькулятора. Формат слова, принимаемого от микрокалькулятора, показан на рис. 2.18. Признак положительного значения мантиссы (последняя цифра) — 0, признак отрицательного значения

ния -- 9. Имеется возможность прерывания печати (клавиша СТП).

Условное графическое обозначение микросхемы приведено на рис. 2.19, назначение выводов — в табл. 2.14, типовая схема включения показана на рис. 2.20.

В режиме распечатки информация предварительно преобразуется в соответствии с законом управления термопечатающей головкой (ТПГ). Число символов в строке 16. Символы изображаются в виде точек в поле матрицы 5×7. Растровая развертка символа осущ-

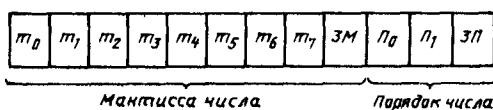


Рис. 2.18. Формат слова, принимаемого микросхемой К145ИК1812 от калькулятора:

m_0 — младший разряд мантиссы; m_1 — старший разряд мантиссы; ЗМ — знак мантиссы; P_0 — младший разряд порядка; P_1 — старший разряд порядка; ЗП — знак порядка

Таблица 2.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов	Примечание
1—4	<i>UC3, UC1, UC2, UC4</i>	Входы	Фазы тактовых сигналов импульсного питания динамических узлов микросхемы	
5	<i>ORG</i>	Выход	Регистр связи	
14	<i>D0 5</i>	Вход	Знакогенератор	Подключается к выводу 6 ПЗУ
16	<i>D0 4</i>	Вход	Знакогенератор	Подключается к выводу 11 ПЗУ
17	<i>D0 3</i>	Вход	Знакогенератор	Подключается к выводу 10 ПЗУ
18	<i>D0 1</i>	Вход	Знакогенератор	Подключается к выводу 7 ПЗУ
19	<i>SYN</i>	Вход	Синхроимпульс	Подключается к общему выводу
20	<i>D0 2</i>	Вход	Знакогенератор	Подключается к выводу 9 ПЗУ
21	<i>D1</i>	Вход	Калькулятор	Подключается к любой точке регистра калькулятора
22, 23	<i>W12, W11</i>	Входы	Клавиатура	
24	<i>GND</i>	—	Общий	
27	<i>D2 1</i>	Выход	Опрос клавиши СТП и выбор ПЗУ знакогенератора	
28	<i>D2 2</i>	Выход	Опрос клавиши Х, Рг, П	
29	<i>A10</i>	Выход	Адрес	Подключается к выводу 8 ПЗУ
30	<i>A9</i>	Выход	Адрес	Подключается к выводу 3 ПЗУ
31	<i>A8</i>	Выход	Адрес	Подключается к выводу 2 ПЗУ
32	<i>A7</i>	Выход	Адрес	Подключается к выводу 1 ПЗУ
34	<i>CE</i>	Выход	Сигнал, разрешающий формирование синхроимпульсов для ТПГ	
35	<i>C02.1</i>	Выход	Управление печатью символов	I группа символов
36	<i>C02.2</i>	Выход	Управление печатью символов	II группа символов
37	<i>C02.3</i>	Выход	Управление печатью символов	III группа символов
38	<i>C02.4</i>	Выход	Управление печатью символов	IV группа символов
39	<i>A6</i>	Выход	Адрес	Подключается к выводу 28 ПЗУ
40	<i>A5</i>	Выход	Адрес	Подключается к выводу 27 ПЗУ
41	<i>A4</i>	Выход	Адрес	Подключается к выводу 26 ПЗУ
42	<i>A3</i>	Выход	Адрес	Подключается к выводу 19 ПЗУ
43	<i>C01</i>	Выход	Управление пьезодвигателем	
44	<i>A2</i>	Выход	Адрес	Подключается к выводу 20 ПЗУ
45	<i>A1</i>	Выход	Адрес	Подключается к выводу 21 ПЗУ
46	<i>A0</i>	Выход	Адрес	Подключается к выводу 22 ПЗУ
48	<i>U_{CC}</i>	—	Напряжение питания — 27 В	

Примечание Выводы 6—13, 15, 25, 26, 33, 47 не задействованы

* Таблица 2.16

Режим	Сигналы на выходах												Время появления сигналов
	на выходах				на выходах				n				
1. Прием кода клавиши X	1	0	—	—	0	0	0	0	0	0	0	—	—
2. Прием маркера во входном массиве информации	0	0	—	—	0	0	0	0	0	0	0	—	—
3. Прием информации индикационного регистра* страны	0	0	—	—	0	0	0	0	0	0	0	—	—
4. Обращение к знакогенератору, прием регистра символа и выдача его в регистр ТПГ	0	0	—	—	P ₁	P ₁ [*]	P ₂	P ₂ [*]	P ₃	P ₃ [*]	P ₄	P ₄ [*]	—
5. Выдача импульса печати 1 группы символов	0	0	—	—	0	0	—	—	0	0	—	—	—
Не ранее чем через 120 оборотов ($\Delta \approx 120$):													
									i	3—9	2	2	—
									i+4	8—12	2	2	—
									i+3	8—12	2	2	—
									i+4	1—7	2	2	—
									i+4	8	—	—	—
									0+Δ	12	1	4	—
									0+Δ	12	2	1	—
									0+Δ	12	2	2	—
									0+Δ	12	2	3	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12	2	2	—
									0+Δ	12	1	4	—
									0+Δ	12			

Режим	Сигналы										Время появления сигналов									
	на выходах					на выходах					n	Δ	E	B						
6. Выдача импульса печати II группы символов. Перед режимом 6 повторяется режим 4. После окончания режима 6 следуют еще два импульса печати III и IV групп символов на выходах CO2.3 и CO2.4; перед каждым из этих импульсов повторяется режим 4.	W11	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+5	i+S+5	11	2	—
	W12	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+5	i+S+5	1	1	—
	D1	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+5	i+S+5	1	2	—
	ORG	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—
	D0-1	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—
	AO	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—
	A1	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	2	—
	A2	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	2	—
	A3-A10	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—
	CO2.1	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—
	CO2.2	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—
	CO2.3	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—
	CO2.4	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—
	C01	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—
	Prимерно через 25 оборотов																			
7. Выдача импульса протяжки бумаги на один шаг	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	2	—	
	Prимерно через 680 оборотов																			
8. Перестановка адреса строки растра символов. Далее 6 раз повторяется цикл от режима 4 до режима 7. Перед каждым из них адрес строки растра на выходах A0, A1, A2 увеличивается на 1 (до 111)	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	2	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+30	i+S+30	12	3	—	
	0	0	—	P ₁	—	0	0	0	A	1	0	0	0	i+S	i+S+31	i+S+31	10	1	—	
	0	0	—	P ₁																

Таблица 2.16

Номер числового регистра	Временные параметры		Номер числового регистра	Временные параметры	
	Номер оборота регистра (после метки), соответствующий началу массива	Временные интервалы		Номер оборота регистра (после метки), соответствующий началу массива	Временные интервалы
0	n_8	$D4, E1$	7	n_{16}	$D6, E1$
1	n_9	$D6, E1$	8	n_{17}	$D8, E1$
2	n_{10}	$D8, D1$	9	n_{18}	$D10, E1$
3	n_{11}	$D10, E1$	10	n_{19}	$D12, E1$
4	n_{12}	$D12, E1$	11	n_{21}	$D2, E1$
5	n_{14}	$D2, E1$	12	n_{22}	$D4, E1$
6	n_{15}	$D4, E1$	13	n_{23}	$D6, E1$

ществляется с помощью ПЗУ знакогенератора (микросхема K145РЕ2П13).

После печати одной горизонтальной строки бумага протягивается на один шаг, после печати полного символа — на 3 шага. После распечатки индикационного или всех числовых регистров либо 98 шагов программы микросхема возвращается в исходное состояние, ожидая нажатия одной из клавиш X, Pg, П.

Информация о сигналах на входах и выходах микросхемы с привязкой к временным координатам в режиме печати индикационного регистра показана в табл. 2.15. В режиме печати информации числовых регистров на вхо-

Таблица 2.17

Шаги программы	Временные параметры	
	Номер оборота регистра (после метки), соответствующий началу массива	Временные интервалы
0—6	n_8	$D4, E3$
7—13	n_9	$D6, E3$
14—20	n_{10}	$D8, E3$
21—27	n_{11}	$D10, E3$
28—34	n_{12}	$D12, E3$
35—41	n_{14}	$D2, E3$
42—48	n_{15}	$D4, E3$
49—55	n_{16}	$D6, E3$
56—62	n_{17}	$D8, E3$
63—69	n_{18}	$D10, E3$
70—76	n_{19}	$D12, E3$
77—83	n_{21}	$D2, E3$
84—90	n_{22}	$D4, E3$
91—97	n_{23}	$D6, E3$

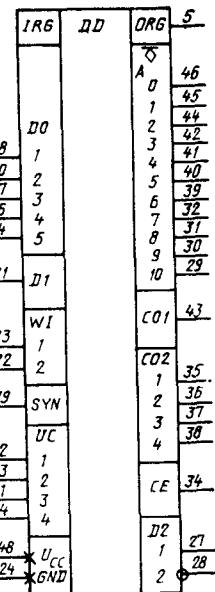


Рис. 2.19 Условное графическое обозначение K145ИК1812

ды $W11$ и $W12$ подаются сигналы 0 и 1 соответственно. Временные параметры приема информации из числовых регистров приведены в табл. 2.16. Каждое из чисел, находящихся в числовых регистрах $P_{el}—P_{e14}$ калькулятора, при передаче из микросхемы K145ИК1812 располагается в виде массива I в формате, показанном на рис. 2.18. Все цифры расположены в регистре по моменту времени $E1$. Каждая следующая цифра массива располагается по соответствующему моменту времени D_k . Например, для нулевого числового регистра по моменту $D4$ находится младший разряд мантиссы m_0 , по $D5$ — m_1 . Знак порядка числа (ЗП) находится по моменту времени n_9D3 .

Временные параметры приема программы приведены в табл. 2.17. При передаче программы из микрокалькулятора микросхема K145ИК1812 запоминает по семь шагов программы, расположенных в регистре в виде массива J .

$$J \rightarrow a_1, b_1, a_2, b_2, a_3, b_3, a_4, b_4, \\ \vdots \quad \vdots \\ a_5, b_5, a_0, b_0,$$

где a_i — младшая цифра шага; b_i — старшая цифра шага. Все a_i, b_i расположены в регистре по моменту времени $E3$. Каждая следующая цифра массива J располагается по соответствующему моменту времени D_k . Например, для шагов программы 0—6 a_1 на-

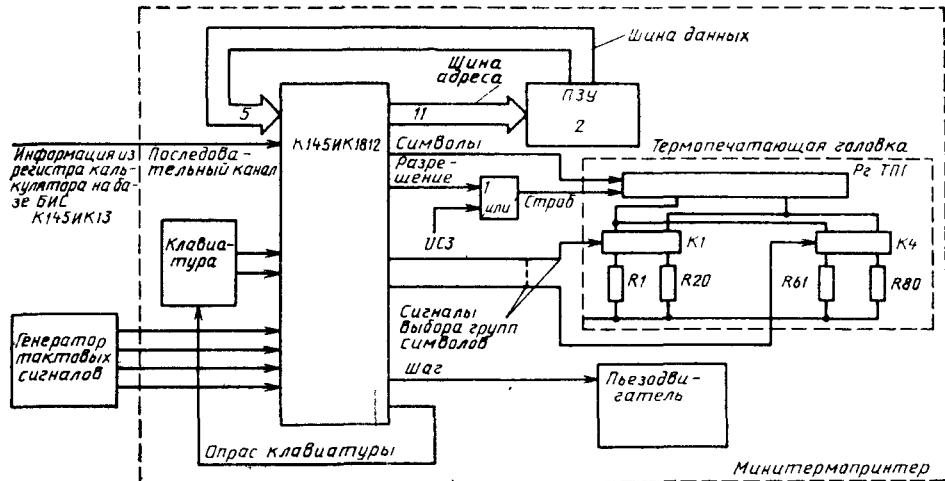


Рис. 2.20. Типовая схема включения K145IK1812

ходится по n_8D4 после приема метки, b_1 — по n_8D5 и т. д.; a_0 и b_0 находятся по n_9D4 и n_9D5 соответственно.

2.5. Микросхема K145IK1814

Микросхема K145IK1814 предназначена для управления дисплеем, звуковым сигнализирующим устройством и клавиатурой микроКалькулятора «Электроника МК-72». Она работает совместно с процессором, выполненным на микросхемах K145IK1809 и K145IK1810, или с последовательным синхронным каналом.

Связь с процессором осуществляется по последовательному каналу. Специальные коды, поступающие от процессора в определенные моменты времени, разрешают или подтверждают передачу в процессор кода нажатой клавиши из буферной микросхемы K145IK1814. После выполнения той или иной команды в определенный момент времени микросхема K145IK1814 передает процессору код, подтверждающий выполнение команды.

Условное графическое обозначение микросхемы приведено на рис. 2.21, назначение выводов — в табл. 2.18, система команд показана в табл. 2.19.

Опрос клавиатуры и индикатора выполняется одними и теми же разрядными сигналами, но с разделением во времени. В табл. 2.20 приведены коды клавиш, получаемые при коммутации соответствующих разрядных сигналов на входы микросхемы. Микросхема K145IK1814 имеет буферный регистр для хранения кода одной нажатой клавиши. Совместно с дополнительным регистром процессора может быть образован буферный регистр для хранения кодов двух клавиш.

Максимальное число опрашиваемых и кодируемых клавиш 64, число разрядов управляемого индикатора 8. Микросхема обеспечивает динамический способ индикации. Разрядные сигналы формируют их как бегущий

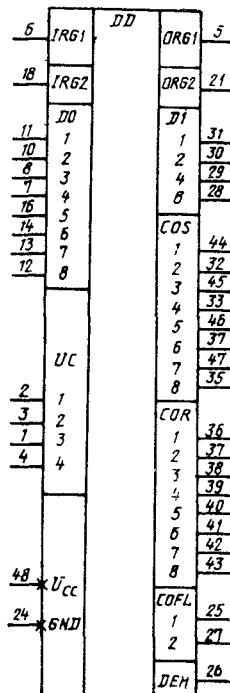


Рис. 2.21. Условное графическое обозначение K145IK1814

Таблица 2.18

Окончание табл. 2.18

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов	Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—4	<i>UC3,</i> <i>UC1,</i> <i>UC2,</i> <i>UC4</i>	Входы	Фазы тактовых сигналов импульсного питания динамических узлов микросхемы	27	<i>COFL2</i>	—	Управление звуковой сигнализацией
5	<i>ORG1</i>	Выход	Внешний регистр связи 1	28—31	<i>D1.8,</i> <i>D1.4,</i> <i>D1.2,</i> <i>D1.1</i>	Выходы	Информация
6	<i>IRG1</i>	Вход	Внешний регистр связи 1	32—35	<i>COS2,</i> <i>COS4,</i> <i>COS6,</i> <i>COS8</i>	Выходы	Управление четными сегментами индикаторного устройства
7, 8, 10—14, 16 18	<i>D0.4,</i> <i>D0.1,</i> <i>D0.8—</i> <i>D0.5</i>	Входы	Клавиатура	36—43	<i>COR1—</i> <i>COR8</i>	Выходы	Управление разрядами индикаторного устройства и опрос клавиатуры
21	<i>ORG2</i>	Выход	Внешний регистр связи 2	44—47	<i>COS1,</i> <i>COS3,</i> <i>COS5,</i> <i>COS7</i>	Выходы	Управление нечетными сегментами индикаторного устройства
24	<i>GND</i>	—	Общий	48	<i>U_{CC}</i>	—	Напряжение питания — 27 В
25	<i>COFL1</i>	—	Управление звуковой сигнализацией				
26	<i>DEH</i>	—	Запрет индикации				

Примечание. Выводы 9, 15, 17, 19, 20, 22, 23 не задействованы

Таблица 2.19

Формат команды, временной интервал			Описание команды	Время выполнения команды
Старшая тетрада, <i>D4E3</i>	Средняя тетрада <i>D3E3</i>	Младшая тетрада, <i>D2E3</i>		
0010	0000	0000	Включить зуммер	$3 \times \frac{144}{f_{\text{такт}}}$
0011	1234	<i>COS:</i> 5678	Передать сегментный код (<i>COS1—COS8</i>) в первый разряд индикаторного устройства, во всех остальных установить пробел	$4 \times \frac{144}{f_{\text{такт}}}$
0110	0000	0000	Выключить зуммер	$3 \times \frac{144}{f_{\text{такт}}}$
0111	1234	<i>COS:</i> 5678	Передать сегментный код (<i>COS1—COS8</i>) в текущий разряд индикаторного устройства	$5 \times \frac{144}{f_{\text{такт}}}$
1010	0000	5678	Передать код младшей тетрады (<i>C05—C08</i>) в выходной порт	$3 \times \frac{144}{f_{\text{такт}}}$
1101	XXXX	XXXX	Вывод байта в последовательный внешний канал	$3 \times \frac{144}{f_{\text{такт}}}$
1011	XXXX	XXXX	Обмен байтом между каналом процессора и внешним последовательным каналом	$4 \times \frac{144}{f_{\text{такт}}}$
1110	0000	XXXX	Передать младшую тетраду в счетчик текущего разряда индикаторного устройства	$3 \times \frac{144}{f_{\text{такт}}}$

Примечание *X* — информация, содержание которой определяется связью с внешней средой.

Таблица 2.20

Коммутируемые выходы/входы микросхемы	Код клавишно-шестнадцатеричный	Коммутируемые выходы/входы микросхемы	Код клавишно-шестнадцатеричный	
$-D0.1$	00	$-D0.1$	08	
$-D0.2$	01	$-D0.2$	09	
$-D0.3$	10	$-D0.3$	18	
<i>COR1</i>	$-D0.4$	11	<i>COR5</i> $-D0.4$	19
	$-D0.5$	20	$-D0.5$	28
	$-D0.6$	21	$-D0.6$	29
	$-D0.7$	30	$-D0.7$	38
	$-D0.8$	31	$-D0.8$	39
$-D0.1$	02	$-D0.1$	0A	
$-D0.2$	03	$-D0.2$	0B	
$-D0.3$	12	$-D0.3$	1A	
<i>COR2</i>	$-D0.4$	13	$-D0.4$	1B
	$-D0.5$	22	$-D0.5$	2A
	$-D0.6$	23	$-D0.6$	2B
	$-D0.7$	32	$-D0.7$	3A
	$-D0.8$	33	$-D0.8$	3B
$-D0.1$	04	$-D0.1$	0C	
$-D0.2$	05	$-D0.2$	0D	
$-D0.3$	14	$-D0.3$	1C	
<i>COR3</i>	$-D0.4$	15	$-D0.4$	1D
	$-D0.5$	24	$-D0.5$	2C
	$-D0.6$	25	$-D0.6$	2D
	$-D0.7$	34	$-D0.7$	3C
	$-D0.8$	35	$-D0.8$	3D
$-D0.1$	06	$-D0.1$	0E	
$-D0.2$	07	$-D0.2$	0F	
$-D0.3$	16	$-D0.3$	1E	
<i>COR4</i>	$-D0.4$	17	$-D0.4$	1F
	$-D0.5$	26	$-D0.5$	2E
	$-D0.6$	27	$-D0.6$	2F
	$-D0.7$	36	$-D0.7$	3E
	$-D0.8$	37	$-D0.8$	3F
$-D0.1$				
$-D0.2$				
$-D0.3$				
$-D0.4$				
$-D0.5$				
$-D0.6$				
$-D0.7$				
$-D0.8$				

уровень лог. 0 на выходах *COR1*—*COR8*. В момент смены отображаемой информации микросхема вырабатывает сигнал запрета индикации, а затем сигнал разрешения индикации.

2.6. Микросхема K145ИК1901

Микросхема K145ИК1901 используется в составе электронных часов и позволяет осуществлять:

отсчет и выдачу на индикацию единиц и десятков минут, единиц и десятков часов (от 00 ч 00 мин до 23 ч 59 мии);

отсчет и выдачу на индикацию по вызову единиц и десятков секунд, единиц и десятков минут;

начальную установку времени;

выдачу сигналов двух предустановок по раздельным каналам с дискретностью в 1 мии;

Таблица 2.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>UH</i>	—	Напряжение питания индикатора
2, 3	<i>GN3, GN1</i>	Выходы	Контроль задающего генератора
4	<i>SR</i>	Вход	Сброс в исходное состояние
5—8	<i>COG1, COG3—COG5</i>	Входы	Управление режимом работы задающего генератора
10	<i>COG2</i>	Вход	Режим задающего генератора
11, 12	<i>SFL, RFL</i>	Вход	Установка и сброс условного бита регистра статуса
13, 14, 16—20	<i>COS1—COS7</i>	Выходы	Управление сегментами индикатора
24	<i>GND</i>	—	Общий
26—28	<i>CO1—CO3</i>	Выходы	Управление исполнительными устройствами
31, 34	<i>ORG1, ORG2</i>	Выходы	Расширение внутренней памяти ОЗУ
32, 33	<i>IRG1, IRG2</i>	Входы	Расширение внутренней памяти ОЗУ
39—42	<i>W11—W14</i>	Входы	Клавиатура
44—47	<i>COR1—COR4</i>	Выходы	Управление разрядами индикатора и опрос клавиатуры
48	<i>U_{CC}</i>	—	Напряжение питания — 27 В

Примечание. Выходы 9, 15, 21—23, 25, 29, 30, 35—38, 43 не задействованы.

Таблица 2.22

Режим работы микросхемы	Коммутируемые выходы/входы микросхемы
Установка минут (M)	<i>COR4</i> — <i>W11</i>
Установка часов (Ч)	<i>COR4</i> — <i>W12</i>
Коррекция (К)	<i>COR1</i> — <i>W13</i>
Режим таймера (T)	<i>COR3</i> — <i>W13</i>
Режим текущего времени (В)	<i>COR1</i> — <i>W14</i>
Режим секундомера (С)	<i>COR2</i> — <i>W14</i>
Осталии (О)	<i>COR2</i> — <i>W13</i>
Будильник 1 (Б1)	<i>COR4</i> — <i>W14</i>
Будильник 2 (Б2)	<i>COR3</i> — <i>W14</i>

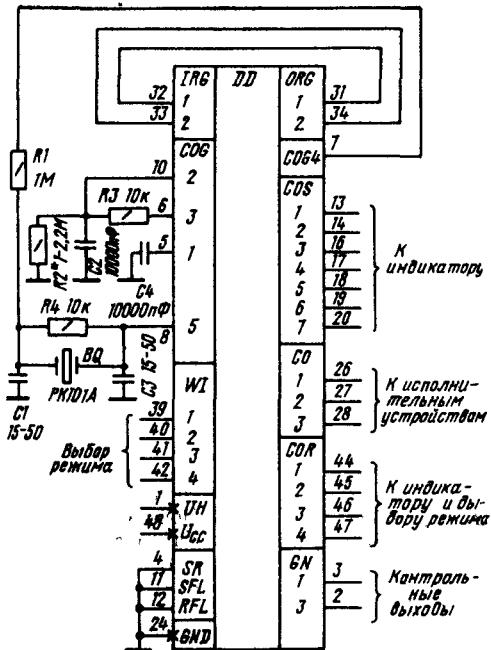


Рис. 2.22. Условное графическое обозначение К145ИК1901

выдачу на индикацию по вызову информации о любой из предустановок (единицы и десятки минут, единицы и десятки часов) без нарушения хода часов и времени предустановки;

выдачу на индикацию сигнала 1 Гц в режиме текущего времени;

выдачу сигнала частоты тактового генератора;

установку времени срабатывания и перевод показаний в режиме текущего времени по одним и тем же входам микросхемы раздельно для часов и минут;

при подаче сигнала коррекции — остановку счета и обнуление в разрядах минут и секунд и прибавку переноса, если во время коррекции показания в разделах минут превышали 50;

пуск часов по снятию сигнала коррекции; работу в режиме таймера (установку, обратный счет и выдачу на индикацию минут и секунд, в интервале от 59'59" до 00'00", а также выдачу сигнала окончания заданного промежутка времени).

Условное графическое обозначение микросхемы К145ИК1901 и типовая схема включения показаны на рис. 2.22, назначение выводов дано в табл. 2.21, режимы работы приведены в табл. 2.22.

2.7. Микросхема К145ИК1906

Микросхема К145ИК1906 может использоваться в составе систем автоматического управления (САУ) и регулирования параметров

(режимов) объекта с привязкой к временному параметру.

Микросхема управляется клавиатурой. Имеется возможность визуального контроля режимов и параметров с помощью индикаторных устройств.

Частное применение микросхемы К145ИК1906 — для контроля и управления режимами работы лентопротяжного механизма (ЛПМ) в бытовых магнитофонах.

Микросхема обеспечивает:

синхронное переключение всех узлов управления с организацией необходимых временных задержек;

переключение режимов работы двигателей.

Микросхема может применяться как основной логический элемент в манипуляторах, управляющих дозированной загрузкой производительных емкостей некоторым веществом.

Условное графическое обозначение микросхемы К145ИК1906 и типовая схема включения показаны на рис. 2.23, назначение выводов дано в табл. 2.23.

Команды, реализуемые микросхемой К145ИК1906, приведены в мемориических обозначениях в табл. 2.24. Время выполнения команд Δt_1 задается внешним сигналом, соответствующим состоянию управляемого объекта (вход $D1$), и Δt_2 — сигналами по входам $D1$ и $D4$, включая время Δt_1 .

Основные команды предназначены для выработки управляющих сигналов с обратной

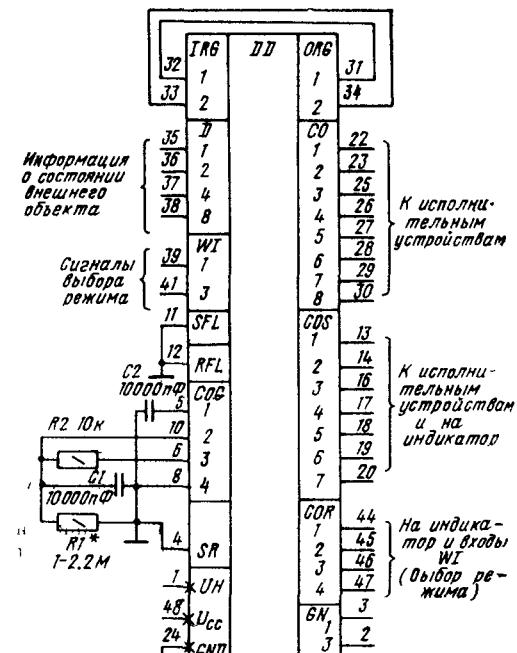


Рис. 2.23. Условное графическое обозначение К145ИК1906. Если $UH = Ucc$, то выводы 1 и 48 следует соединить

Таблица 2.23

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>UH</i>	—	Напряжение питания индикатора
2, 3	<i>GN3, GN1</i>	Выходы	Контроль задающего генератора
4	<i>SR</i>	Вход	Сброс в исходное состояние
5, 6, 8, 10	<i>COG1, COG3, COG4,</i> <i>COG2</i>	Входы	Управление режимом работы задающего генератора
11, 12	<i>SFL, RFL</i>	Входы	Установка и сброс условного бита регистра статуса
13, 14, 16—21	<i>COS1—COS8</i>	Выходы	Управление работой внешнего объекта и сегментами индикатора
22, 23	<i>CO1, CO2</i>	Выходы	Управление работой внешнего объекта
24	<i>GND</i>	—	Общий
25—30	<i>COS3—COS8</i>	Выходы	Управление работой внешнего объекта
31	<i>ORG1</i>	Выход	Операционный регистр
32	<i>IRG1</i>	Выход	Операционный регистр
33	<i>IRG2</i>	Вход	Регистр памяти
34	<i>ORG2</i>	Выход	Регистр памяти
35	<i>D1</i>	Вход	Контроль работы внешнего объекта
36	<i>D2</i>	Вход	Клавиатура
37, 38	<i>D4, D8</i>	Вход	Контроль работы внешнего объекта
39, 41	<i>W11, W13</i>	Вход	Клавиатура
44—47	<i>COR1—COR4</i>	Выходы	Управление разрядами индикатора и опрос клавиатуры
48	<i>Ucc</i>	--	Напряжение питания — 27 В

Примечание. Выводы 7, 9, 15, 40, 42, 43 незадействованы

Таблица 2.24

Режим работы микросхемы	Мнемоника команды	Коммутируемые выходы/входы микросхемы	Время выполнения команды, мс	Состояния управляющих выходов
Основной	C801	<i>COR4—W11</i>	$24 + \Delta t_1$	<i>COS1 COS8 C07 C06 C05</i>
	C506	<i>COR1—W11</i>	$30 + \Delta t_3$	<i>COS6 COS8 C07 C06 C05</i>
	C603	<i>COR2—W11</i>	$36 + \Delta t_2$	<i>COS3 COS8 C07 C06 C05</i>
	C702	<i>COR3—W11</i>	$36 + \Delta t_3$	<i>COS2 COS8 C07 C06 C05</i>
	C608	<i>COR4—W11, W13</i>	$36 + \Delta t_2$	<i>COS8 COS8 C07 C06 C05</i>
	C846	<i>COR1—W11, W13</i>	$30 + \Delta t_1$	<i>COS4 COS6 COS8 C07 C06 C05</i>
	C842	<i>COR1—W11, W13</i>	$26 + \Delta t_1$	<i>COS4 COS2 COS8 C07 C06 C05</i>
	C847	<i>COR1—W11, W13</i>	$36 + \Delta t_1$	<i>COS4 COS7 COS8 C07 C06 C05</i>
	C638	<i>COR2—W11, W13</i>	$36 + \Delta t_3$	<i>COS3 COS8 C07 C06 C05</i> или <i>COS8 COS8 C07 C06 C05</i>
Вспомогательный	C507	<i>COR1—W11</i>	$30 + \Delta t_3$	<i>COS7 COS8 C07 C06 C05</i>
	P1	<i>COR1—W13</i>	20	<i>CO1</i>
	P2	<i>COR2—W13</i>	20	<i>CO2</i>
	P3	<i>COR3—W13</i>	20	<i>CO3</i>
	P4	<i>COR4—W13</i>	20	<i>CO4</i>
Аварийный	АВОСТ	—	5000	<i>COS5 COS8 C07 C06 C05</i>
Примечание. Уровень сигнала на входе <i>D2</i> микросхемы при выполнении команды С847 27 В, в остальных случаях 0 В.				

Таблица 225

Мнемоника команд	Коммутируемые выходы/входы микросхемы	Режим работы магнитофона	Пояснение
C801	<u>COR4</u> —W11	Останов	
C506	<u>COR1</u> —W11	Воспроизведение	Воспроизведение при движении ленты вправо
C603	<u>COR2</u> —W11	Перемотка вправо	
C702	<u>COR3</u> —W11	Реверс	Воспроизведение при движении ленты влево
C608	<u>COR4</u> —W11, W13	Перемотка влево	
C846	<u>COR1</u> —W11, W13	Пауза в режиме воспроизведения	Кратковременный останов
C842	<u>COR1</u> —W11, W13	Пауза в режиме реверса	Режим «Пауза» используется только в режиме воспроизведения или реверса
C847	<u>COR1</u> —W11, W13	Подготовка к записи	
C507	<u>COR1</u> —W11	Запись	Переход в режим «записи» осуществляется только после нажатия клавиш «Подготовка к записи» и «Воспроизведение»
C638	<u>COR2</u> —W11, W13	Откат	Возврат к предыдущим участкам фонограммы в режимах воспроизведения и реверса, минуя нажатия клавиш перемотки
P1	<u>COR1</u> —W13	Команда 1	Автоматический переход из режима воспроизведения в режим реверса по сигналам прерывания (на входах D4 или D8)
P2	<u>COR2</u> —W13	Команда 2	Автоматический переход из режима реверса в режим воспроизведения по сигналам прерывания (на входе D4 или D8)
P3	<u>COR3</u> —W13	Программный автостоп	Прием сигнала от датчика состояния какого-либо узла магнитофона, например счетчика перемотки ленты
P4	<u>COR4</u> —W13	Автостоп	Прием сигнала от датчика, срабатывающего при отсутствии рабочего слоя ленты (коиек ленты)

Приложение 1 Одновременное включение режимов «Команда 1» и «Команда 2» позволяет многократно прослушивать отдельные участки или всю ленту автоматически

2 Для контроля состояния ЛПМ на вход D1 подается сигнал о движении или останове ЛПМ, на вход D4 — сигнал об окончании ленты, на вход D8 — сигнал от датчика расхода ленты

3 Уровень сигнала на входе D2 при выполнении команды C847 — 27 В в остальных случаях 0 В

Таблица 226

Мнемоника команд	Описание команды
C506	Управляет передвижением объекта (емкости) в заданную точку пространства (конвейера)
C702	Управляет операцией загрузки емкости до требуемого уровня (объема)
P3	Обеспечивает прием импульсного сигнала, поступающего при достижении объектом заданной точки
P4	Обеспечивает прием сигнала, поступающего при явлении емкости некоторым веществом до требуемого уровня
P1	Автоматический переход от операции передвижения объекта к операции загрузки (при поступлении на вход D8 микросхемы сигнала, сообщающего о достижении объекта заданной точки положения)
P2	Автоматический переход от операции загрузки к операции передвижения следующего объекта в заданную точку (при поступлении на вход D4 микросхемы сигнала, сообщающего о заполнении емкости до требуемого уровня или массы вещества)
C801	Осуществляется останов выполнения процесса

связью и выполняются по нажатию клавиш или программно.

Вспомогательные команды предназначены для программирования основных команд.

Команда С801 является общей командой «Стоп» для всех основных режимов работы микросхемы.

Команды С846, С842 (воспринимаются только после команд С506 и С702) служат в качестве команд «Стоп» с запоминанием предыдущего режима.

Команды С506 и С507 задаются одной и той же клавишей (см. табл. 2.20). Для их различия введена переходная команда С847. Выход на команду С507 осуществляется только после выполнения команды С847.

Команду С507 можно использовать для включения устройств (объектов), где необходимо застраховаться от случайных нажатий клавиш.

Команда С638 по нажатию клавиши выполняет автоматический переход из команды С506 в режим команды С608 и обратный переход — по отпусканию клавиши (или от команды С702 к команде С603 аналогично).

Вспомогательные команды по первому нажатию клавиши устанавливаются, а по второму — сбрасываются. Эти команды воспринимаются в любом из основных режимов работы микросхемы.

Управляющие выходы СО1—СО4 индицируют, какая из вспомогательных команд установлена (введена в собственное ЗУ).

Команда Р1 при поступлении сигналов прерываний от контролируемых объектов обеспечивает автоматический переход от команды С506 к команде С608, а команда Р2 — аналогичный переход от команды С608 к команде С506.

Команда Р3 используется для демаскирования прямого прерывания, поступающего от контролируемого объекта. Если команда Р3 не установлена, то вход для внешних прерываний D8 является замаскированным в микросхеме не реагирует на прерывание.

Команда Р4 аналогична команде Р3 и используется для демаскирования инверсионного прерывания, поступающего на вход D4 микросхемы.

Микросхема К145ИК1906 может быть применена для управления работой ЛПМ бытовых магнитофонов. Для этого случая соответствие режимов работы ЛПМ командам микросхемы приведено в табл. 2.25. Одновременное включение режимов «Команда 1» и «Команда 2» позволяет многократно прослушивать отдельные участки или всю ленту автоматически. Для контроля состояния ЛПМ на вход D1 подается сигнал о движении или останове ЛПМ, на D4 — сигнал об окончании ленты, на D8 — сигнал от датчика расхода ленты.

Микросхему К145ИК1906 можно применять как основной логический элемент в манипуляторах, управляющих перемещением объекта или дозированием загрузкой производственных емкостей некоторым веществом. При

управлении процессом микросхема анализирует состояние управляемого объекта и при отклонении от заданного алгоритма работы выходит на аварийный останов, оповещая об этом оператора.

Система команд, реализуемая микросхемой в составе манипулятора, приведена в табл. 2.26.

2.8. Микросхема К145ИК1907

Микросхема К145ИК1907 предназначена для программного управления внешними устройствами, технологическими режимами с привязкой к реальному времени, выраженному в часах и минутах. Микросхема выполняет функции таймера/программатора. Минимальное время, задаваемое одной командой, 00 ч 01 мин, максимальное 99 ч 99 мин.

Микросхема вместе с интерфейсной микросхемой серии К145ИК19 может быть состыкована с другими стандартными шинами любого семейства микро-ЭВМ по последовательному каналу, что позволяет разгрузить центральную ЭВМ от ряда второстепенных операций.

Управление микросхемой и ввод программы выполняются с помощью клавиатуры, визуальный контроль — с помощью 4-разрядного индикатора.

Условное графическое обозначение микросхемы показано на рис. 2.24, назначение выводов дано в табл. 2.27.

IR5	DD	OR5
32	1	31
33	2	34
	D	COS
35	1	13
36	2	14
37	4	16
38	DE	17
39	WJ	18
40	2	19
41	3	20
42	4	
43		COR
44		44
45		45
46		46
47		47
	COS	CO
5	1	22
10	2	23
6	3	25
7	4	27
8	5	28
4	SR	29
1	UH	
48	V _{CC}	GND
24	GND	

Рис. 2.24 Условное графическое обозначение К145ИК1907

Таблица 2.27

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>UH</i>	—	Напряжение питания индикатора
2, 3	<i>GN3, GN1</i>	Выходы	Контроль задающего генератора
4 5—8, 10 11, 12	<i>SR</i> <i>COG1, COG3—COG5, COG2</i> <i>SFL, RFL</i>	Вход Входы Входы	Сброс в исходное состояние Управление режимами работы задающего генератора Установка и сброс условного бита регистра статуса
13, 14, 16—20 22, 23, 25 24 27—29	<i>COS1—COS7</i> <i>CO1—CO3</i> <i>GND</i> <i>CO4—CO6</i>	Выходы Выходы — Выходы	Управление сегментами индикатора Управление внешними устройствами Общий Управление внешними устройствами
31 32 33 34 35—37	<i>ORG1</i> <i>IRG1</i> <i>IRG2</i> <i>ORG2</i> <i>D1, D2, D4</i>	Выход Вход Вход Выход Входы	Операционный регистр Операционный регистр Регистр памяти Регистр памяти Данные о состоянии внешних устройств
38—42 44—47	<i>D8, W11—W14</i> <i>COR1—COR4</i>	Входы Выходы	Клавиатура Управление разрядами индикатора и опрос клавиатуры
48	<i>Ucc</i>	—	Напряжение питания — 27 В

Примечание Выводы 9, 15, 21, 26, 30, 43 не задействованы

Микросхема работает в режимах программирования и счета. В режиме программирования программы, подготовленная пользователем, вводится в ЗУ, подключаемое к микросхеме, а в режиме счета исполняется. Имеется возможность многократного повторения участков программы в цикле; максимальное число циклов 10.

В режиме счета все клавишиные входы блокируются, за исключением аварийного останова и вызова (чтения) адреса исполняемой команды. Одновременно контролируются входные шины аварийных прерываний от внешних устройств, анализируется состояние внешних устройств по входным шинам *D1, D2, D4*. По директиве останова программы прекращается отсчет времени при сохранении сигналов на управляющих выходах. Микросхема переходит в режим редактирования программы.

Система команд состоит из операционных команд и команд управления программой. Формат операционной команды показан на рис. 2.25.

К командам управления относятся: команды цикла (формат показан на рис. 2.26), команды безусловного перехода (рис. 2.27), команды останова (рис. 2.28).

Таблица 2.28

Адрес	Код команды	Пояснение
00	7770010	Все управляющие выходы включены на 10 мин Входы <i>D1—D4</i> от внешних устройств заблокированы
01	0100105	Включен только выход <i>CO1</i> на 1 ч 5 мин. Воспринимается прерывание по всем входам
02	ГГГ0031	Цикл (охватывающий команды, записанные по адресам 00 и 01) будет выполняться 4 раза
03	1020095	Включен только выход <i>CO6</i> на 1 ч 35 мин. Первый вход (<i>D1</i>) заблокирован от внешних прерываний
04	ППП0001	Переход на команду по адресу 00

Таблица 2.29

Коммутируемые выходы/входы микросхемы	Время выполнения команды, мс	Состояние выходов	Директива
<u>COR1-W11</u>	10—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 0
<u>COR2-W11</u>	10—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 1
<u>COR3-W11</u>	10—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 2
<u>COR4-W11</u>	10—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 3
<u>COR1-W12</u>	12—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 4
<u>COR2-W12</u>	12—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 5
<u>COR3-W12</u>	12—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 6
<u>COR4-W12</u>	12—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 7
<u>COR1-W13</u>	14—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 8
<u>COR2-W13</u>	14—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Цифра 9
<u>COR3-W13</u>	14—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Команда цикла — при загрузке, команда чтения — в режиме редактирования
<u>COR4-W13</u>	14—16	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Команда безусловного перехода
<u>COR1-W11, W12</u>	8—400	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Адрес команды
<u>COR1-W14</u>	18—20	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Загрузка команд
<u>COR1-W11, W13</u>	10—12	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Сброс содержимого команды
<u>COR1-W12, W14</u>	200—500	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Инкремент адреса
<u>COR3-W14</u>	10—12	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Сброс адреса команды
<u>COR2-W14</u>	200—500	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Чтение команды
<u>COR4-W14</u>	200—500	Управляющие выходы устанавливаются в соответствии с программой	Пуск программы
<u>COR1-W11</u>	20—40	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u>	Останов программы
—	22—44	<u>COS1 COS2 COS3 COS4 COS5 COS6 COS7</u> <u>CO1 CO2 CO3 CO4 CO5 CO6</u>	Аварийный останов программы (останов программы)

Примечание Уровень сигнала на входе D8 при выполнении директив «Останов программы» и «Аварийный останов программы» — 27 В, в остальных случаях 0 В

Маска внешних прерываний	Состояние выходных шин		Время выполнения команды управления									
	A	M	B1	B2	Десятки часов	часы	Десятки минут	Минуты	Десятки часов	часы	Десятки минут	Минуты
B	04	02	01	03	04	02	01	00	03	02	01	00
C	7	6	5	4	3	2	1	0	4	2	1	0

Рис. 2.25. Формат операционной команды

А — условное обозначение полей команды, В — наименование сигналов, С — разряды индикатора

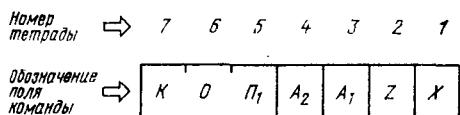


Рис. 2.26. Формат команды цикла:

KOP_1 — код команды цикла; A_2 , A_1 — адреса начальной команды цикла; Z — число повторений цикла (задается на 1 меньше требуемого числа повторений); X — комментарий (поле комментария можно использовать для нумерации циклов и программ)

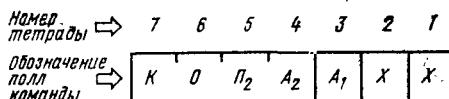


Рис. 2.27. Формат команды безусловного перехода:

KOP_2 — код команды безусловного перехода; A_2 , A_1 — адреса перехода; X — комментарий

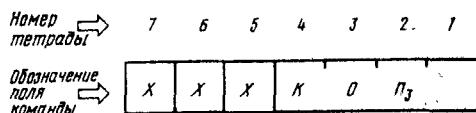


Рис. 2.28. Формат команды останова:

KOP_3 — код команды останова (0000); X — комментарий

Пример программы для таймера/программатора на базе микросхемы К145ИК1908 приведен в табл. 2.28. Функционирование клавиш показано в табл. 2.29.

Таблица 2.30

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	UH	—	Напряжение питания индикатора
2, 3	GN3, GN1	Выходы	Контроль задающего генератора
4	SR	Вход	Сброс в исходное состояние
5—8, 10	COG1, COG3—COG5, COG2	Входы	Управление режимом работы задающего генератора
11, 12	SFL, RFL	Входы	Установка и сброс условного бита регистра статуса
13, 14,	COS1—COS7	Выходы	Управление сегментами индикатора
16—20			
22, 23	CO1, CO2	Выходы	Управление внешними устройствами
24	GND	—	Общий
25—30	CO3—CO8	Выходы	Управление внешними устройствами
31	ORG1	Выход	Операционный регистр
32	IRG1	Вход	Операционный регистр
33	IRG2	Вход	Регистр памяти
34	ORG2	Выход	Регистр памяти
35—37	D1, D2, D4	Входы	Данные о состоянии внешних устройств
38—42	D8, W11—W14	Входы	Клавиатура
44—47	COR1—COR4	Выходы	Управление разрядами индикатора и опрос клавиатуры
48	Ucc	—	Напряжение питания—27 В

Примечание. Выходы 9, 15, 21, 43 не задействованы.

32	IRG	DD	ORG	31
33	1	1	1	31
	2	2	2	34
			CD	
35	1	1	22	
36	2	2	23	
37	4	3	25	
38	8	4	26	
		5	27	
39	WI	6	28	
40	1	6	29	
41	2	7	30	
42	3	8		
			COS	
	4	1	13	
11	SFL	2	14	
12	RFL	3	16	
		4	17	
		5	18	
5	CO6	6	19	
10	1	7	20	
6	2			
7	3			
8	4			
9	5			
4	SR			
1	VH			
			6N	
48	Ucc	1	3	
24	GND	2	2	

Рис. 2.29. Условное графическое обозначение К145ИК1908

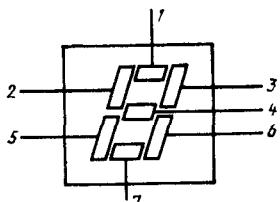


Рис. 2.30. Положение сегментов разряда индикатора

Отображение на индикаторе информации, вводимой с клавиатуры, показано в табл. 2.32, положение сегментов разряда индикатора — на рис. 2.30.

Система команд состоит из операционных команд и команд управления программой.

Формат операционной команды показан на рис. 2.31. Задаются переменные M — в восьмеричном коде, $B1$ и $B2$ — в шестнадцатеричном коде, время — в десятичном коде

Формат команды цикла показан на рис. 2.26. Максимальное число циклов 15

Формат команды безусловного перехода показан на рис. 2.27, команды останова — на рис. 2.28.

Временные диаграммы следования импульсов опроса клавиатуры и управления разрядами индикатора показаны на рис. 2.32.

Фрагмент программы для микросхемы К145ИК1908 приведен в табл. 2.33.

Таблица 2.31

Клавиша	Коммутируемые выходы/входы микросхемы	Код отображаемого символа							
		Сегменты						Символ, отображаемый на индикаторе	
		1	2	3	4	5	6	7	
0	$COR1-WI1$	1	1	1	0	1	1	1	0
1	$COR2-WI1$	0	0	1	0	0	1	0	1
2	$COR3-WI1$	1	0	1	1	1	0	1	2
3	$COR4-WI1$	1	0	1	1	0	1	1	3
4	$COR1-WI2$	0	1	1	1	0	1	0	4
5	$COR2-WI2$	1	1	0	1	0	1	1	5
6	$COR3-WI2$	1	1	0	1	1	1	1	6
7	$COR4-WI2$	1	0	1	0	0	1	0	7
c									
8	$COR1-WI3$	1	1	1	1	1	1	1	8
d									
9	$COR2-WI3$	1	1	1	1	0	1	1	A
e									
a	$COR3-WI3$	1	1	1	1	1	1	0	9
f									
b	$COR4-WI3$	1	1	1	1	1	0	0	P
F									
Ав. ост	$COR1-WI3 \wedge D8$	1	1	0	0	1	0	0	G
F									
Ав. ост.	$COR2-WI3 \wedge D8$	1	1	1	1	1	0	0	L
F									
Ав. ост.	$COR3-WI3 \wedge D8$	1	1	1	1	1	0	0	P
F									
Ав. ост.	$COR4-WI3 \wedge D8$	0	0	0	0	0	0	0	Пробел
Зп	$COR1-WI4$	0	1	0	0	1	0	1	L
Чт	$COR2-WI4$	1	1	0	0	1	0	0	G
СА	$COR3-WI4$	1	1	1	1	1	0	0	P
Р	$COR4-WI4$	1	1	1	1	1	0	0	P
A	$COR1-WI2 \wedge WI1$	1	1	1	1	1	1	0	A
СК	$COR1-WI3 \wedge WI1$	0	1	0	0	1	0	1	L
A + I	$COR1-WI4 \wedge WI2$	0	1	0	0	1	0	1	L*
Стоп	$-WI2 \wedge WI1 \wedge D8$	1	1	1	1	1	1	0	A
Ав. ост.	В рабочем режиме								P

При мечания. 1. Единица соответствует напряжению низкого уровня на выходе микросхемы, нуль — напряжению высокого уровня.

2. L^* — символ, отображаемый только в режиме записи

3. Для реализации команды, обозначенной символами верхней строки таблицы, следует одновременно нажать префиксную клавишу F соответствующей команды.

Марка входных сигналов			Состояние выходных управляющих сигналов						Параметры заданного времени								
A	M	B1	B2			Десятки минут		Минуты		Десятки секунд		Секунды					
B	D4 D2 D1	C04 C03 C02 C01 C08 C07 C06 C05	7	6	5	3	2	1	0	3	2	1	0	3	2	1	0
C						2	2	2	2	2	2	2	2	2	2	2	2

Рис 2.31 Формат операционной команды

1 условные обозначения полей команды, В – наименования сигналов, С – разряды индикатора

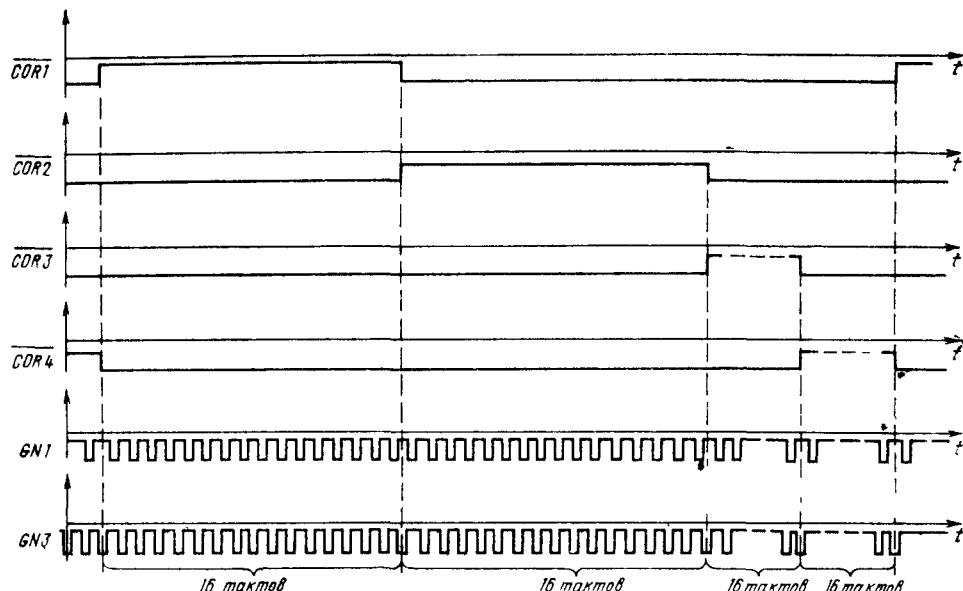


Рис 2.32 Временные диаграммы сигналов опроса клавиатуры и управления разрядами индикатора

Таблица 2.32

Кла-виша	Отображение на индикаторе (по разрядам)				Пояснение
	4	3	2	1	
A					Установка режима адреса команды
0					Ввод адреса команды, например 03 Сброс неправильно набранного адреса осуществлять нажатием клавиши СА или клавиш, соответствующих правильному адресу
3	0	3			Установка режима записи команды
3II					Ввод полного формата команды, например 7010001
7					
0	L	7	0	1	При вводе числа осуществляется сдвиг информации влево вытеснением предыдущего содержимого старшего разряда в режиме записи
1	L	7	0	0	
0	7	0	1	0	Сброс неправильно набранной информации при сохранении режима записи осуществляется нажатием клавиши СК
0	0	1	0	0	
0	1	0	0	0	
1	0	0	0	1	

Таблица 2.33

Адрес	Код команды (по разрядам)	Описание команды
	7, 6, 5, 4, 3, 2, 1	
0	0 1 1 0 0 2 0	В течение 20 с будет подаваться управляющее напряжение с выходов микросхемы в виде сигналов $\overline{CO1}$ и $\overline{CO5}$. При по-даче напряжения низкого уровня на один из входов $D1-D3$ может произойти переход на выполнение команды, записанной по адресу, соответствующему состоянию входов
01	4 3 0 0 1 0 0	В течение 1 ми ^н будет подаваться управляющее напряжение с выходов микросхемы в виде сигналов $\overline{CO1}$ и $\overline{CO2}$. При по-даче напряжения низкого уровня на один из входов $D1-D3$ может произойти переход на выполнение команды, записан-ной по адресу 50, 60 или 70
02	3 4 4 0 0 3 0	В течение 30 с будет подаваться управляющее напряжение с выходов микросхемы в виде сигналов $\overline{CO3}$ и $\overline{CO7}$. При по-даче напряжения низкого уровня на один из входов $D1-D3$ может произойти переход на выполнение команды, записан-ной по адресу 40, 50, 60 или 70
03	А А А 0 1 4 0	Команды, начиная с записанной по адресу 01, будут выпол-няться 4 раза
04	Р Р Р 0 9 0 0	Осуществляется переход для выполнения команд, начиная с команды, записанной по адресу 09

2.10. Микросхема К145ИК1914

Микросхема К145ИК1914 предназначена для отсчета дискретных значений параметра с привязкой к реальному времени, выраженному в минутах и секундах. Микросхема выполняет функции автономного счетчика/таймера; она может использоваться для управления лентопротяжным механизмом (ЛПМ) бытового магнитофона, контроля расхода ленты, текущего времени.

Частота входных импульсов при скважности $Q=2$: в режиме «Перемотка» не более 102 Гц, в режиме «Рабочий ход» не более 64 Гц.

Частота ввода информации с клавиатуры не более 30 Гц.

При управлении ЛПМ микросхема выполняет функции: прямой и обратный счет входных импульсов (условного метраж) в режиме «Перемотка» и «Рабочий ход», прямой и обратный счет времени в режиме «Рабочий ход», сравнение текущего значения счетчика входных импульсов с введенным ранее с клавиатуры значением и вывод результата сравнения на индикатор.

Условное графическое обозначение микросхемы приведено на рис. 2.33, назначение выводов — в табл. 2.34. Режимы работы микросхемы и исходные параметры устанавливаются с помощью клавиатуры ввода, обращение к которой осуществляется через префиксную клавишу С/Г. В табл. 2.35 приведено обозначение клавиш и осуществляемая ими коммутация разрядных выходных сигналов на входы микросхемы.

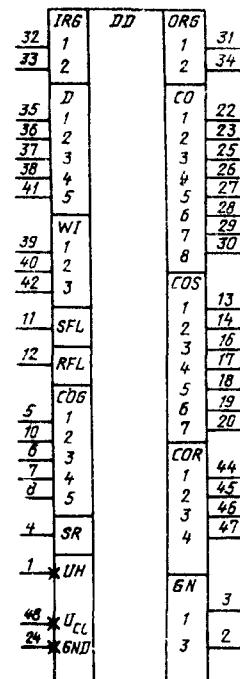


Рис. 2.33. Условное графическое обозначение К145ИК1914

Таблица 2.34

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>UH</i>	—	Напряжение питания индикатора
2, 3	<i>GN3, GN1</i>	Выходы	Контроль задающего генератора
4	<i>SR</i>	Вход	Установка в исходное состояние
5—8, 10 11, 12	<i>COG1, COG3— COG5, COG2 SFL, RFL</i>	Входы	Управление режимом работы задающего генератора
13, 14, 16—20 22, 23	<i>COS1—COS7 CO1, CO2</i>	Выходы	Установка и сброс условного бита регистра статуса
24 25	<i>GND CO3</i>	Выходы	Управление сегментами индикатора
24 25	<i>GND CO3</i>	Выход	Управление внешними устройствами
26	<i>CO4</i>	Выход	Общий
27	<i>CO5</i>	Выход	Сигнализация о направлении счета времени: лог 1 — прямой счет; лог. 0 — обратный счет (таймер)
28	<i>CO6</i>	Выход	Сигнализация о виде информации, выводимой на индикаторное устройство. лог. 1 — значение счетчика импульсов (условный параметр); лог 0 — значение времени
29	<i>CO7</i>	Выход	Сигнализация о переполнении счетчика входных импульсов при прямом и обратном счете (лог. 0)
30	<i>CO8</i>	Выход	Сигнализация о превышении значения счетчика импульсов над установленным значением с клавиатуры (лог 0)
31 32 33 34 35 36	<i>ORG1 IRG1 IRG2 ORG2 D1 D2</i>	Выход Вход Вход Выход Вход Вход	Сигнализация о превышении установленного с клавиатуры значения над значением счетчика (лог 0)
37	<i>D3</i>	Выход	Сигнализация о равенстве значений счетчика и установленного с клавиатуры (лог. 0)
38 39, 40 41	<i>D4 W11, W12 D5</i>	Вход Входы Вход	Операционный регистр Операционный регистр Регистр памяти Регистр памяти Сигнал «Счет» Сигнал «ЛПМ» (лог 0 — включен; лог. 1 — выключен) Сигнал «Направление» (лог. 1 — прямой счет; лог 0 — обратный счет)
42 44—46	<i>W13 COR1—COR3</i>	Вход	Клавиши С/Т Клавиатура Сигнал «Перемотка» (лог 0 — режим «Перемотка»; лог. 1 — режим «Рабочий ход»)
47 48	<i>COR4 Ucc</i>	—	Соединен с выводом 47 Управление разрядами индикатора и опрос клавиатуры Соединен с выводом 42 Напряжение питания — 27 В

Примечание Выводы 9, 15, 21, 43 не задействованы

Таблица 2.35

Коммутируемые выходы/входы микросхемы		Обозначение клавиши
COR1	W11	4
	W12	0
	W11, W12	8
COR2	W11	5
	W12	1
	W11, W12	9
COR3	W11	6
	W12	2
	W11, W12	Сброс
COR4	W11	7
	W12	3
	W11, W12	Обмен

Примечание. Назначение клавиш 0–9 — для ввода информации о параметрах, Сброс — для сброса значений параметра, Обмен — для изменения вида информации, выводимой из индикаторное устройство, а также подготовки ввода соответствующего параметра в микросхему.

2.11. Микросхема К145ИК1915

Микросхема К145ИК1915 предназначена для управления работой электропроигрывателя высшего класса.

Микросхема К145ИК1915 в составе устройства управления работой электропроигрывателя обеспечивает выполнение следующих функций:

определение наличия грампластинки и установку головки электропроигрывателя (ЭП) на вводящую канавку грампластинки по команде «Старт» с клавиатуры управления или по сигналу дистанционного управления (ДУ),

определение момента окончания грамзаписи и возврат тонарма на стойку (автостоп),

установку головки на вводящую канавку грампластинки вручную, по команде «Старт» и после срабатывания автостопа в режиме «Повтор»,

возврат тонарма ЭП на стойку при включении ЭП и по команде «Стоп» с клавиатуры управления или по сигналу ДУ,

блокировку опускания микролифта ЭП вне зоны грампластинки или при ее отсутствии;

управление перемещением тонарма в горизонтальной и вертикальной плоскостях с клавиатуры ЭП;

переключение частоты вращения диска ЭП;

переключение режимов кварцевой стабилизации или ручной перестройки частоты вращения диска;

включение и отключение автоматического режима работы ЭП с целью проигрывания нестандартных грампластинок;

визуальный контроль режимов работы ЭП с помощью индикаторных устройств

Условное графическое обозначение микросхемы К145ИК1915 приведено на рис. 2.34, назначение выводов — в табл. 2.36

Управление работой микросхемы осуществляется с помощью клавиатуры или от дистанционного пульта управления (ДУ). Коммутация сигналов при функционировании клавиш показана в табл. 2.37.

Нажатие клавишей «Вправо», «Влево» приводит к подъему микролифта и перемещению тонарма вправо или влево, пока клавиша нажата. При движении тонарма над пластинкой включается режим «медленно». Клавиша «Вверх/Вниз» осуществляется подъем и опускание микролифта. Клавиши «Кварц» и «Ручная» изменяют состояния управляющего выхода CO2.6 и соответствующих индикационных выходов. Клавиша «Автомат» осуществляет переключение автоматического и ручного режимов управления ЭП и изменение соответствующего индикационного выхода. Клавиша «Повтор» осуществляет включение и отключение режима повторения грамзаписи и изменение состояния соответствующего индикационного выхода. Клавиша «33/45» осуществляет изменение состояния управляющего выхода CO2.2 и соответствующих индикационных выходов.

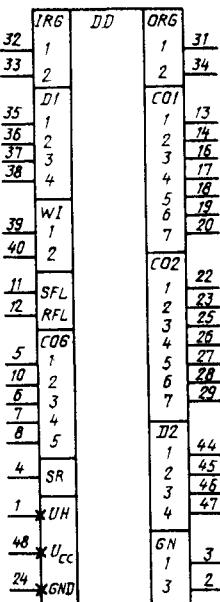


Рис. 2.34 Условное графическое обозначение К145ИК1915

Таблица 2.36

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>UH</i>	—	Напряжение питания индикатора
2, 3	<i>GN3, GN1</i>	Выходы	Контроль задающего генератора
4	<i>SR</i>	Вход	Установка в исходное состояние
5—8, 10	<i>COG1, COG3—COG5, COG2</i>	Входы	Управление режимом работы задающего генератора
11, 12	<i>SUL, RFL</i>	Входы	Установка и сброс условного бита регистра статуса
13	<i>CO1.1</i>	Выход	Индикация режима управления ЭП (лог. 0 — автомат, лог. 1 — ручное управление)
14	<i>CO1.2</i>	Выход	Индикация режима «повтор» (лог. 0 — режим «повтор» включен)
16	<i>CO1.3</i>	Выход	Индикация частоты вращения диска ЭП 33 1/3 об/мин (лог. 0 — частота вращения 33 1/3 об/мин)
17	<i>CO1.4</i>	Выход	Индикация частоты вращения диска ЭП 45 об/мин (лог. 0 — частота вращения 45 об/мин)
18	<i>CO1.5</i>	Выход	Индикация режима кварцевой стабилизации частоты вращения диска ЭП (лог. 0 — кварцевая стабилизация включена)
19	<i>CO1.6</i>	Выход	Индикация режима ручного управления частотой вращения диска ЭП (лог. 0 — ручное управление включено)
20	<i>CO1.7</i>	Выход	Индикация
22	<i>CO2.1</i>	Выход	Управление перемещением тонарма вправо (лог. 0 — перемещение вправо включено)
23	<i>CO2.2</i>	Выход	Управление перемещением тонарма влево (лог. 0 — перемещение влево включено)
24	<i>GND</i>	—	Общий
25	<i>CO2.3</i>	Выход	Управление режимом «Медленно» (лог. 0 — режим «Медленно» включен)
26	<i>CO2.4</i>	Выход	Управление микролифтом (лог. 0 — микролифт опущен, лог. 1 — микролифт поднят)
27	<i>CO2.5</i>	Выход	Управление приводом диска ЭП (лог. 0 — привод диска включен)
28	<i>CO2.6</i>	Выход	Переключение режимов кварцевой стабилизации или ручного управления частотой вращения диска ЭП (лог. 1 — кварцевая стабилизация, лог. 0 — ручное управление)
29	<i>CO2.7</i>	Выход	Переключение частоты вращения диска ЭП (лог. 1 соответствует 33 1/3 об/мин, лог. 0 — 45 об/мин)
31	<i>ORG1</i>	Выход	Операционный регистр
32	<i>IRG1</i>	Вход	Операционный регистр
33	<i>IRG2</i>	Вход	Сигнал дистанционного управления
35	<i>D1.1</i>	Вход	Сигнал автостопа (лог. 1 — автостоп достигнут)
36	<i>D1.2</i>	Вход	Сигнал отсутствия грампластинки (лог. 0 для $t \geq T$ соответствует наличию грампластинки)
37	<i>D1.3</i>	Вход	Сигнал о положении тонарма над грампластинкой (лог. 1 — тонарм над грампластинкой)
38	<i>D1.4</i>	Вход	Сигнал о положении тонарма на стойке (лог. 1 — тонарм на стойке)
39, 40	<i>W11, W12</i>	Входы	Клавиатура
44—47	<i>D2.1—D2.4</i>	Выходы	Сигналы опроса клавиатуры
48	<i>Ucc</i>	—	Напряжение питания — 27 В

Примечание Выводы 9, 15, 21, 30, 34, 41—43 не задействованы.

Таблица 2.37

Коммутируемые выходы/выходы микросхемы	Обозначение клавиши
$COR1 \rightarrow W11$ $W12$ $W11, W12$	Вправо Кварц Автомат
$COR2 \rightarrow W11$ $W12$ $W11, W12$	Влево Старт/стоп Повтор
$COR3 \rightarrow W11$ $W12$ $W11, W12$	Вверх/вниз Ручая 33/45

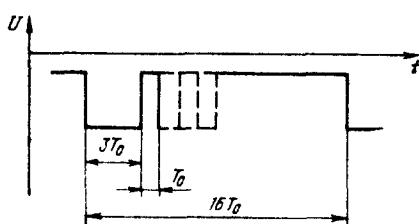
Рис. 2.35 Форма сигнала на входе D2 микросхемы
 $\tau = 10 \div 30$ мс. $T = 0,6$ с

Рис. 2.36 Форма сигнала от дистанционного пульта управления

Команды управления с клавиатуры имеют приоритет перед командами ДУ.

Форма сигнала на входе D2 показана на рис. 2.35, сигнала ДУ — на рис. 2.36

$T_0 = 1/2^9$ с; длительность импульса любой команды равна T_0 , длительность селекторного импульса $3T_0$; интервалы между селекторными и командными импульсами «Старт/Стоп» — T_0 , «Вверх/Вниз» — $2T_0$, «Повтор» — $3T_0$.

Глава 3

Микропроцессорный комплект серии KP580

Комплект микросхем серии KP580, выполненный по n-МДП- и ТТЛШ-технологии, характеризуется архитектурным единством, ко-

торое обеспечивается автономностью и функциональной законченностью отдельных микросхем, унификацией их интерфейса, прог-

Таблица 3.1

Тип микросхем	Функциональное назначение	Тип корпуса	Технология
KP580BM80A	Однокристальный 8-разрядный микропроцессор	2123.40-2	n-МДП
KP580BB51A	Программируемый последовательный интерфейс	2121.28-5	n-МДП
KP580BV53	Программируемый таймер	2120.24-3	n-МДП
KP580BV55A	Программируемый параллельный интерфейс	2123.40-2	n-МДП
KP580BT57	Контроллер прямого доступа к памяти	2123.40-2	n-МДП
KP580BV59	Контроллер прерываний	2121.28-5	n-МДП
KP580BV79	Интерфейс клавиатуры дисплея	2123.40-2	n-МДП
KP580BT75	Контроллер ЭЛТ	2123.40-2	n-МДП
KP580BK91A	Интерфейс МП канал общего пользования	2123.40-2	n-МДП
KP580BA93	Приемопередатчик МП-канал общего пользования	2121.28-10	n-МДП
KP580ГФ24	Генератор тактовых сигналов	238.16-2	ТТЛШ
KP580BK28,	Системный контроллер и шинный формирователь	2121.28-4	ТТЛШ
KP580BK38			
KP580IP82,	Буферный регистр/регистр с инверсией	2140.20.2	ТТЛШ
KP580IP83			
KP580BA86,	Шинный формирователь/формирователь с инверсией	2140.20-1	ТТЛШ
KP580BA87			

Таблица 3.2

Параметр	Обозначение	Значения параметров [макс (мин)]
Напряжение питания ¹ В	U_{CC}	5 25(4 75)
Входное напряжение низкого уровня ¹ , В	U_{II}	0 8
Входное напряжение высокого уровня ¹ , В	U_{IH}	(2 0)
Выходное напряжение низкого уровня, В	U_{OI}	0 45
Выходное напряжение высокого уровня ¹ , В	U_{OH}	(2 4)
Выходной ток низкого уровня ¹ , мА	I_{OJ}	2 2
Выходной ток высокого уровня ¹ , мА	I_{OH}	- 0 4
Ток утечки на входах мкА	I_{IJ}	± 10
Ток утечки на входах/выходах мкА	I_{OZ}	± 10
Емкость нагрузки ¹ пФ	C_I	100
Емкость на входах пФ	C_J	10
Емкость на входах/выходах пФ	C_O	20

¹ Значения статических параметров отличающиеся от указанных приведены в таблицах параметров конкретных микросхем

раммируемостью микросхем их логической и электрической совместимостью. Восьмиразрядная организация фиксированый набор команд, большой выбор периферийных микросхем различного назначения относительно высокое быстродействие умеренное потребление мощности обеспечивают МПК широкое применение при создании средств вычислительной техники устройств локальной автоматики, контроллеров измерительных приборов и периферийных устройств микро ЭВИ для управления технологическими процессами и измерительными системами и др.

Состав МПК серии KP580 приведен в табл. 3.1 основные стыковочные параметры даны в табл. 3.2

Микросхемы серии KP580 по входам и выходам совместимы с микросхемами ТТЛ серий K133 и K155

3.1. Микросхема KP580BM80A

Микросхема KP580BM80A – функционально законченный однокристальный параллельный 8 разрядный микропроцессор с фиксированной системой команд применяется в качестве центрального процессора в устройствах обработки данных и управления

Микропроцессор имеет раздельные 16 разрядный канал адреса и 8 разрядный канал

данных. Канал адреса обеспечивает прямую адресацию внешней памяти объемом до 65536 байт 256 устройств ввода и 256 устройств вывода

Условное графическое обозначение микросхемы приведено на рис. 3.1, назначение выводов в табл. 3.3 структурная схема показана на рис. 3.2 временная диаграмма основных сигналов на рис. 3.3

Восьмиразрядное арифметико логическое устройство микропроцессора обеспечивает выполнение арифметических и логических операций на двоичными данными представляемыми в дополнительном коде а также обработка двоично десятичных упакованных чисел

В состав блока регистров входят 16 разрядный регистр адреса команды (IP) 16 разрядный регистр указателя стека (SP), 16 разрядный регистр временного хранения (WZ) 16 разрядная схема инкремента декремента и шесть 8 разрядных регистров общего назначения ($B C D E H L$) которые могут использоваться и как три 16 разрядных регистра ($BC DE HL$)

Микропроцессор выполняет команды по машинным циклам Число циклов необходимое для выполнения команды зависит от ее типа и может быть от одного до пяти. Машины циклы выполняются по машинным тактам Число тактов в цикле определяется котом выполнения команды и может быть от трех до пяти. Длительность такта равна периоду тактовой частоты и при частоте 20 МГц составляет 500 нс

В начале каждого машинного цикла микропроцессор вырабатывает сигнал синхронизации (V) который в сочетании с другими

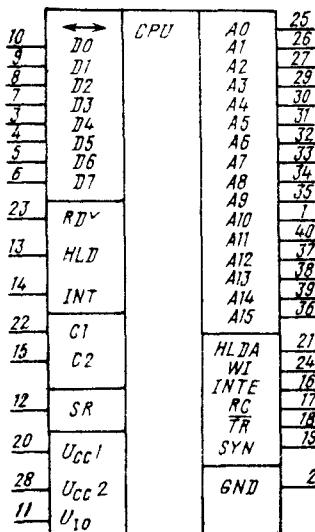


Рис. 3.1 Основное графическое обозначение KP580BM80A

Таблица 3.3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 25—27 29—40	$A10, A0-A2,$ $A3-A9, A15,$ $A12-A14, A11$ GND	Выходы ¹	Канал адреса
2 3—10 11 12 13 14 15, 22 16 17 18 19 20 21 23 24 28	$D4-D7, D3-D0$ U_{IO} SR HLD INT $C2, C1$ $INTE$ RC \overline{TR} SYN U_{CC1} $HLDA$ RDY WI U_{CC2}	Входы/выходы ¹ — Вход Вход Вход Входы Выход Выход Выход Выход — Выход Выход Выход —	Общий Канал данных Напряжение источника смещения — 5 В Установка в исходное состояние Захват Запрос прерывания Тактовые сигналы Разрешение прерывания Прием информации Выдача информации Сигнал синхронизации Напряжение питания +5 В Подтверждение захвата Сигнал «Готовность» Сигнал «Ожидание» Напряжение питания +12 В

¹ С тремя состояниями

сигналами может быть использован для организации различных режимов работы.

На рис. 3.4 изображена диаграмма состояний типичного машинного цикла, показывающая последовательность перехода от такта

к такту в машинном цикле и влияние внешних сигналов RDY , HLD и INT на выполнение машинного цикла.

После подачи на вывод SR сигнала высокого уровня микропроцессор устанавливается

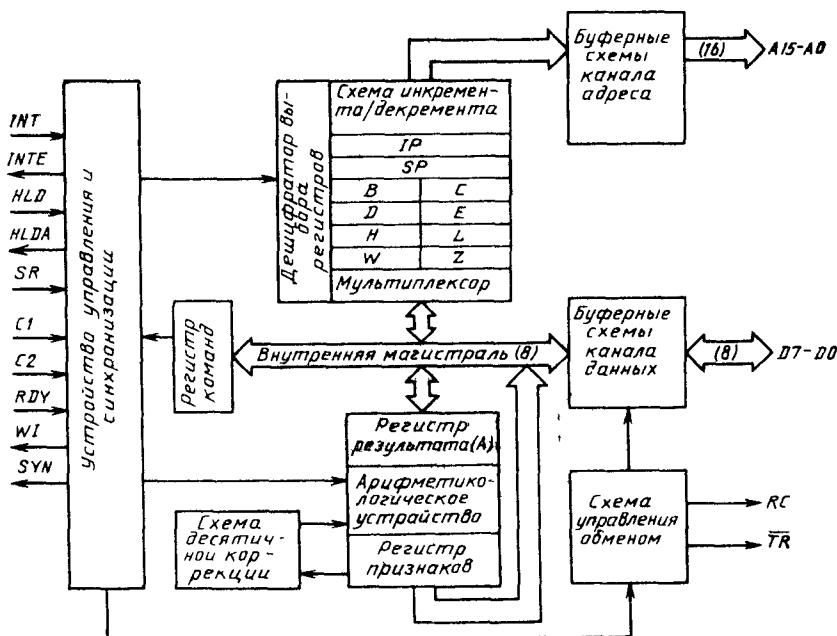


Рис. 3.2. Структурная схема KP580ВМ80А

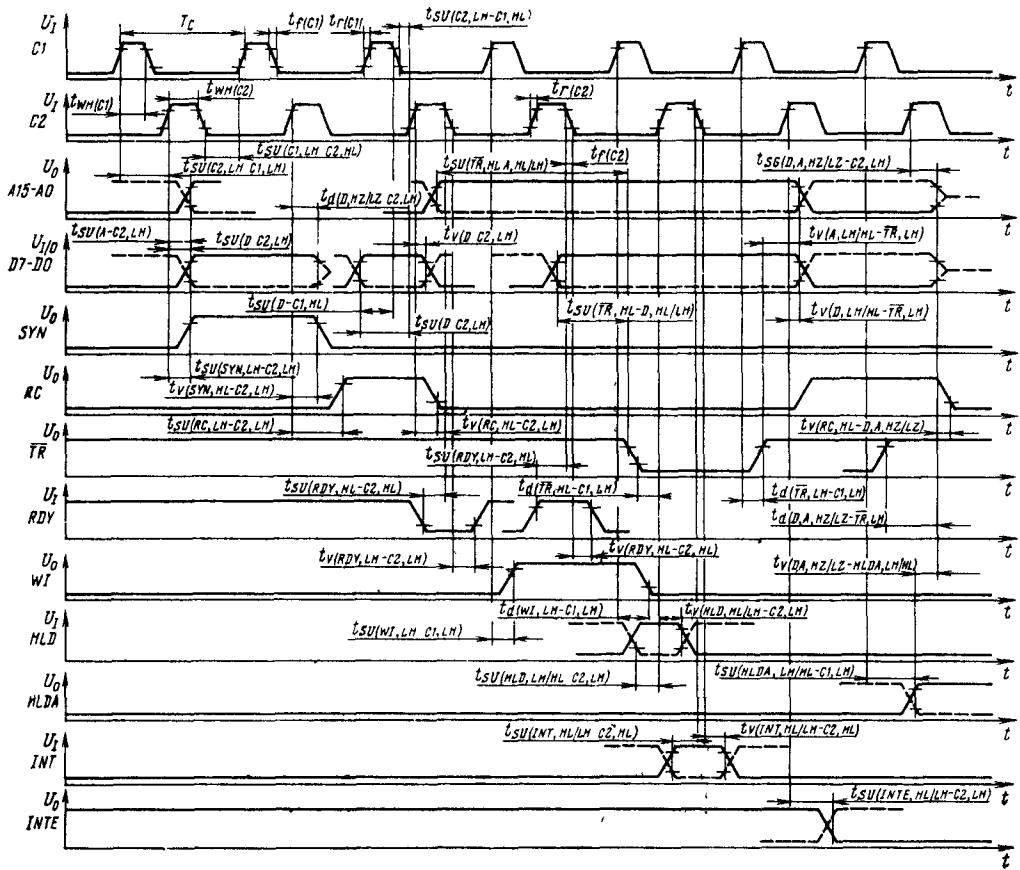


Рис. 3.3. Временная диаграмма входных и выходных управляющих, адресных, информационных и тактовых сигналов КР580ВМ80А

в исходное состояние. В такте $T1$ микропроцессор выдает на адресный канал адрес ячейки, в которой хранится команда программы, а через канал данных — информацию состояния. В такте $T2$ анализируются состояния сигналов на входе RDY , «Подтверждение останова» и в зависимости от состояния этих сигналов МП переходит в состояние ожидания, останова или к выполнению такта $T3$. В такте $T3$ при наличии сигнала высокого уровня на входе RDY МП принимает информацию по каналу данных, анализирует состояние сигнала на входе HLD и если этот сигнал высокого уровня, то после окончания такта $T3$ переходит в состояние захвата. В зависимости от кода выполняемой команды машинный цикл завершается после выполнения тактов $T3$, $T4$ или $T5$.

В конце машинного цикла снова анализируется состояние сигнала на входе HLD . При низком уровне сигнала проверяется, окончено ли выполнение команды. Если команда не закончена, то микропроцессор выполняет следующий машинный цикл команды, начиная с

такта $T1$. В конце каждой команды микропроцессор анализирует состояние сигнала на входе INT . Если сигнал высокого уровня и прерывание было ранее разрешено командой EI , то микропроцессор переходит к выполнению машинного цикла «Прерывание», начиная с такта $T1$. В противном случае выполняется первый машинный цикл новой команды с такта $T1$.

Действия, выполняемые микропроцессором в конкретном машинном цикле, определяются 8-разрядной информацией состояния, которая выдается через канал данных в такте $T1$ каждого машинного цикла. Эта информация может использоваться для выработки сигналов обращения к ЗУ, УВВ и для организации различных режимов работы микропроцессора.

В зависимости от сочетания сигналов состояния, выдаваемых в конкретном цикле, машинные циклы можно разделить на 10 типов:

1. Цикл $M1$ — прием первого байта команды в регистр команд.

2 Цикл чтения ЗУ — чтение ЗУ по содержимому программного счетчика или содержимому одного из регистров BC , DE , HL .

З Цикл записи в ЗУ - запись в ЗУ по содержимому одного из регистров BC , DE , HL

4. Цикл "тения стека — чтение ЗУ по содержимому указателя стека.

5 Цикл записи в стек — запись в ЗУ по содержимому указателя стека

6 Цикл ввода - ввод информации в регистр результата (аккумулятор) из внешнего устройства

7. Цикл вывода-вывод информации из регистра результата во внешнее устройство.

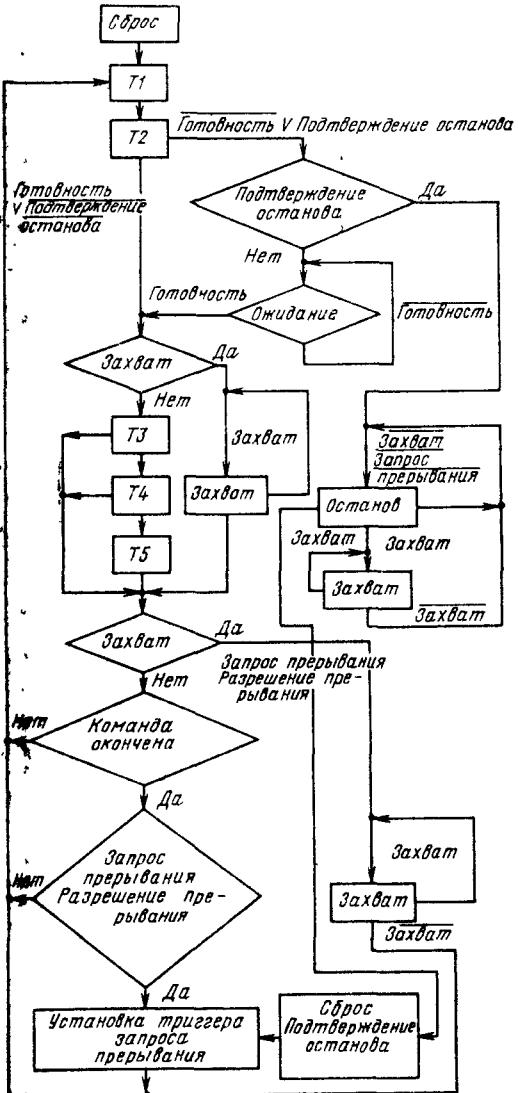


Рис. 3.4. Диаграмма состояний типичного машинного цикла КР580ВМ80А

8. Цикл прерывания — прием кода команды *RST* или *CALL* из контроллера прерываний.

9. Цикл останова.

10. Цикл прерывания при останове — прием кода команды *RST* или *CALL* при выводе микропроцессора из режима «Останов» по прерыванию.

Наименования сигналов состояния, соответствие их разрядам канала данных, а также типам машинных циклов приведены в табл. 3.4.

При выполнении команд микропроцессор может переходить в одно из трех состояний: «ожидание», «захват» и «останов», длительность которых определяется внешними управляемыми сигналами.

Сигнал высокого уровня на входе *RDY* обеспечивает автоматическое выполнение команд программы микропроцессором с частотой тактовых сигналов. Если на выводе *RDY* установлен сигнал низкого уровня, то микропроцессор переходит в режим «Ожидание» и формирует выходной сигнал *W1* высокого уровня.

Сигнал *RDY* может быть использован для согласования работы микропроцессора с работой медленнодействующих устройств, если длительность их цикла обращения составляет более одного периода тактовой частоты, а также для организации пошагового (по циклам) выполнения команды или покомандного выполнения программы.

При подаче на вход *HLD* сигнала высокого уровня микропроцессор переходит в состояние «захват» и подтверждает переход в это состояние формированием сигнала высокого уровня на выходе *HLDA*.

Буферные схемы канала адреса и данных микропроцессора переключаются в высокоомное состояние, а выходные управляющие сигналы в состояние низкого уровня (за исключением сигналов TR и $HLDA$). Микропроцессор переходит в состояние «захват» в такте $T3$, если выполняется цикл чтения и на входе RDY сигнал высокого уровня, и в такте, следующим за $T3$, если выполняется цикл записи. Сигналы HLD и $HLDA$ позволяют организовать режим прямого доступа к памяти для любого внешнего устройства, формирующего сигнала HLD .

При выполнении команды *HLT* микропроцессор переходит в состояние «останов» и переводит буферные схемы канала адреса и данных в высокоомное состояние. Из состояния «останов» микропроцессор выходит при наличии сигнала высокого уровня на одном из его входов:

на входе SR -- микропроцессор начинает работать с такта $T1$ цикла $M1$,

на входе *HLD* — микропроцессор переходит в состояние «захват», а после перехода сигнала *HLD* на низкий уровень возвращается в состояние «останов».

на входе *INT* — микропроцессор переходит к выполнению цикла прерывания при останове с такта *T_I*, если команда *HLT* предшествовала команда *EI* «разрешение прерывания», иначе остается в состоянии «останов».

Таблица 3.4

Разряд канала данных	Сигнал состояния	Цикл Ч1	Цикл чтения ЗУ	Цикл записи в ЗУ	Цикл чтения стека	Цикл записи в стек	Цикл авода	Цикл вывода	Цикл прерыва- ния	Цикл останова	Цикл прерыва- ния при останове
D0	Подтверждение прерывания	0	0	0	0	0	0	0	1	0	1
D1	Запись/Вывод	1	1	0	1	0	1	0	1	1	1
D2	Стек	0	0	0	1	1	0	0	0	0	0
D3	Подтверждение останова	0	0	0	0	0	0	0	0	1	1
D4	Вывод	0	0	0	0	0	0	1	0	0	0
D5	M1	1	0	0	0	0	0	0	0	0	1
D6	Ввод	0	0	0	0	0	1	0	0	0	0
D7	Чтение	1	1	0	1	0	0	0	0	1	0

Сигнал высокого уровня на выводе *INT* позволяет прерывать выполнение текущей программы и переводить микропроцессор на выполнение подпрограммы обслуживания устройства, выдавшего запрос прерывания. При поступлении сигнала *INT* микропроцессор (после окончания текущей команды) переходит с такта *T1* к выполнению машинного цикла «Прерывание» в том случае, если прерывание было разрешено ранее командой *EI*. При выполнении цикла «Прерывание» в такте *T1* микропроцессор выдает по шине данных сигнал состояния «Подтверждение прерывания», который используется для разрешения выдачи из внешнего контроллера прерывания (KP580BM59) на канал данных системы команды и адреса перехода на подпрограмму прерывания. По окончании подпрограммы прерывания осуществляют возврат к прерванной программе.

Сигнал высокого уровня на входе *SR* (длительность которого должна быть не менее трех периодов тактовой частоты) устанавливает микропроцессор в исходное состояние триггер разрешения прерывания, триггер захвата, регистр команд, регистр признаков и регистр адреса команды устанавливаются в нулевое состояние. После окончания действия сигнала *SR* микропроцессор производит первое обращение за чтением команды к ячейке памяти по адресу 0000₁₆.

Система команд микропроцессора состоит из 78 базовых команд, которые можно разделить на пять групп:

команды передачи данных — используются для передачи данных из регистра в регистр, из памяти в регистр и в регистр в память;

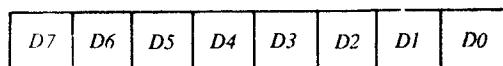
арифметические команды — используются для сложения, вычитания, инкремента или декремента содержимого регистров или ячейки памяти;

логические команды И, ИЛИ, исключающее ИЛИ, сравнение, сдвиги;

команды переходов — используются для условных и безусловных переходов, вызова подпрограмм и возврата из них.

команды управления, ввода/вывода и работы со стеком — используются для управления прерыванием, регистром признаков, ввода и вывода информации.

В микропроцессоре KP580BM80A принят формат информационного слова, представляющего собой 8 разрядное двоичное слово (байт). Формат информационного слова (данных)



где *D7* — старший разряд слова, *D0* — младший разряд. Отрицательные числа хранятся в памяти в дополнительном коде.

Формат команды зависит от типа операции и может быть одно двух или трехбайтовым. Байты двух и трехбайтовых команд должны храниться в ячейках памяти, следующих одна за другой. Адрес первого байта всегда является адресом края операции. Формат команд микропроцессора:



Таблица 35

Команда	Код операции	Число			Признак результата				
		байтов	циклов	тактов	S	Z	AC	P	C
ACI DATA	11001110	2	2	7	+	+	+	+	+
ADC R/M	10001R/M	1	1/2	4 7	+	+	+	+	+
ADD R/M	10000R/M	1	1/2	4 7	+	+	+	+	+
ADI DATA	11000110	2	2	7	+	+	+	+	+
ANA R/M	10100R/M	1	1/2	4 7	+	+	U	+	0
ANI DATA	11100110	2	2	7	+	+	U	+	0
CALL ADDR	11001101	3	5	17	-	-	-	-	-
C _{cnd} * ADDR	11CND100	3	3/5	11 17	-	-	-	-	-
CMA	00101111	1	1	4	-	-	-	-	-
CMC	00111111	1	1	4	-	-	-	-	+
CMP R/M	10111R/M	1	1/2	4/7	+	+	+	+	+
CPI DATA	11111110	2	2	7	+	+	+	+	/411
DAA	00100111	1	1	4	+	+	+	+	/411
DAD RS	00R\$1001	1	3	10	-	-	-	-	+
DCR R/M	00R/M101	1	1/3	5/10	+	+	+	+	-
DCX RS	00R\$1011	1	1	5	-	-	-	-	-
POP RP	11RP0001	1	3	10	-	-	-	-	-
POP PSW	11110001	1	3	10	+	+	+	+	+
PUSH RP	11R\$0101	1	3	11	-	-	-	-	-
RAL	00010111	1	1	4	-	-	-	-	+
RAR	00011111	1	1	4	-	-	-	-	+
RET	11001001	1	3	10	-	-	-	-	-
R _{cnd} **	11CND000	1	1/3	5/11	-	-	-	-	-
RLC	00000111	1	1	4	-	-	-	-	+
RRC	00001111	1	1	4	-	-	-	-	+
RST NUM	11NUM111	1	3	11	-	-	-	-	-
SBB R/M	10011R/M	1	1/2	4 7	+	+	+	+	+
SBI DATA	11011110	2	2	7	+	+	+	+	+
SHLD ADDR	00100010	3	5	16	-	-	-	-	-
SPHL	11111001	1	1	5	-	-	-	-	-
STA ADDR	00110010	3	4	13	-	-	-	-	-
STAX R	000R0010	1	2	7	-	-	-	-	-
STC	00110111	1	1	4	-	-	-	-	1
SUB R/M	10010R/M	1	1/2	4 7	+	+	+	+	+
SUI DATA	11010110	2	2	7	+	+	+	+	+
XCHG	11101011	1	1	4	-	-	-	-	-
XRA R/M	10101R/M	1	1/2	4/7	+	+	0	+	0
XRI DATA	11101110	2	2	7	+	+	0	+	0

* C_{cnd} обозначает группу команд CNZ, CZ, CNC, CC, CPO, CPE, CP, CM** R_{cnd} обозначает группу команд RNZ, RZ, RNC, RC, RPO, RPE, RP, RM

Команда	Код операции	Число			Признак результатов				
		байтов	циклов	тактов	S	Z	AC	P	C
XTHL	11100011	1	5	18	—	—	—	—	—
DI	11110011	1	1	4	—	—	—	—	—
EI	11111011	1	1	4	—	—	—	—	—
HLT	01110110	1	1	7	—	—	—	—	—
IN PORT	11011011	2	3	10	—	—	—	—	—
INR R/M	00R/M100	1	1/3	5 10	+	+	+	+	—
INX RS	00RS0011	1	1	5	—	—	—	—	—
JMP ADDR	11000011	3	3	10	—	—	—	—	—
J _{cnd} *** ADDR	11CND010	3	3	10	—	—	—	—	—
LDA ADDR	00111010	3	4	13	—	—	—	—	—
LDAX R	000R1010	1	2	7	—	—	—	—	—
LHLD ADDR	00101010	3	5	16	—	—	—	—	—
LXI RS, DATA 16	00RS0001	3	3	10	—	—	—	—	—
MOV** R/M, R/M	01R/MR/M	1	1/2	5/7	—	—	—	—	—
MVI R/M, DATA	00R/M110	2	2/3	7/10	—	—	—	—	—
NOP	00000000	1	1	4	—	—	—	—	—
ORA R/M	10110R/M	1	1/2	4/7	+	+	0	+	0
ORI DATA	11110110	2	2	7	+	+	0	+	0
OUT PORT	11010011	2	3	10	—	—	—	—	—
PCHL	11101001	1	1	5	—	—	—	—	—

При мечания 1. Состояние признака результата указывается следующим образом. «+» — признак устанавливается в 1 или 0 в зависимости от результата выполнения команды, «—» — признак не изменяется; U — признак не определен.

*** J cnd обозначает группу команд JNZ, JZ, JNC, JC, JPO, JPE, JP, JM

** Первый и второй операнды не должны определять имя ячейки памяти одновременно.

Операнды команд могут храниться в программно доступных регистрах микропроцессора или памяти. Для указания операнда в регистре используются регистровая и регистровая неявная адресации, для указания операнда в памяти — непосредственная, прямая, косвенная регистровая и стековая адресации.

Регистр признаков микропроцессора используется для хранения пяти битов признаков, которые вырабатываются в результате выполнения некоторых операций:

S — бит знака; равен 1, если старший значащий разряд результата операции равен 1 (т. е. результат операции — отрицательное число);

Z — бит нуля; равен 1, если результат операции равен нулю;

AC — бит вспомогательного переноса; равен 1, если при выполнении операции был перенос из третьего разряда сумматора в четвертый;

C — бит переноса; равен 1, если при выполнении операции был перенос из седьмого разряда сумматора или заем в седьмой разряд сумматора;

P — бит четности; равен 1, если число единиц результата операции четное.

Распределение разрядов в регистре признаков:

D7	D6	D5	D4	D3	D2	D1	D0
S	Z	0	AC	0	P	1	C

Обобщенный список машинных команд микропроцессора приведен в табл. 3.5.

Список машинных команд, упорядоченных по имени, приведен в табл. 3.6, а упорядоченных по коду операций — в табл. 3.7.

Таблица 3.6

Команда	Код операций	Команда	Код операций	Команда	Код операций
ACI DATA	CE	DCX H	2B	MOV D, D	52
ADC A	8F	DCX SP	3B	MOV D, E	53
ADC B	88	DI	F3	MOV D, H	54
ADC C	89	EI	FB	MOV D, L	55
ADC D	8A	HLT	76	MOV D, M	56
ADC E	8B	IN PORT	D8	MOV E, A	5F
ADC H	8C	INR A	3C	MOV E, B	58
ADC L	8D	INR B	04	MOV E, C	59
ADC M	8E	INR C	0C	MOV E, D	5A
ADD A	87	INR D	14	MOV E, E	5B
ADD B	80	INR E	1C	MOV E, H	5C
ADD C	81	INR H	24	MOV E, L	5D
ADD D	82	INR L	2C	MOV E, M	5E
ADD E	83	INR M	34	MOV H, A	67
ADD II	84	INX C	03	MOV H, B	60
ADD L	85	INX D	13	MOV H, C	61
ADD M	86	INX H	23	MOV H, D	62
ADI DATA	C6	INX SP	33	MOV H, E	63
ANA A	A7	JC ADDR	DA	MOV H, H	64
ANA B	A0	JM ADDR	FA	MOV H, L	65
ANA C	A1	JMP ADDR	C3	MOV H, M	66
ANA D	A2	JNC ADDR	D2	MOV L, A	6F
ANA E	A3	JNZ ADDR	C2	MOV L, B	68
ANA H	A4	JP ADDR	F2	MOV L, C	69
ANA L	A5	JPE ADDR	EA	MOV L, D	6A
ANA M	A6	JPO ADDR	E2	MOV L, E	6B
ANI DATA	E6	JZ ADDR	CA	MOV L, H	6C
CALL ADDR	CD	LDA ADDR	3A	MOV L, L	6D
CC ADDR	DC	LDAX B	0A	MOV L, M	6E
CM ADDR	FC	LDAX D	1A	MOV M, A	77
CMA	2F	LHLD ADDR	2A	MOV M, B	70
CMC	3F	LXI B, DATA 16	01	MOV M, C	71
CMP A	BF	LXI D, DATA 16	11	MOV M, D	72
CMP B	B8	LXI H, DATA 16	21	MOV M, E	73
CMP C	B9	LXI SP, DATA 16	31	MOV M, H	74
CMP D	BA	MOV A, A	7F	MOV M, L	75
CMP E	BB	MOV A, B	78	MVI A, DATA	3E
CMP H	BC	MOV A, C	79	MVI B, DATA	06
CMP L	BD	MOV A, D	7A	MVI C, DATA	0E
CMP M	BE	MOV A, E	7B	MVI D, DATA	16
CNC ADDR	D4	MOV A, H	7C	MVI E, DATA	1E
CNZ ADDR	C4	MOV A, L	7D	MVI H, DATA	26
CP ADDR	F4	MOV A, M	7E	MVI L, DATA	2E
CPE ADDR	EC	MOV B, A	47	MVI M, DATA	36
CPI ADDR	FE	MOV B, B	40	NOP	00
CPO ADDR	E4	MOV B, C	41	ORA A	B7
CZ ADDR	CC	MOV B, D	42	ORA B	B0
DAA	27	MOV B, E	43	ORA C	B1
DAD B	09	MOV B, H	44	ORA D	B2
DAD D	19	MOV B, L	45	ORA E	B3
DAD H	29	MOV B, M	46	ORA H	B4
DAD SP	39	MOV C, A	4F	ORA L	B5
DCR A	3D	MOV C, B	48	ORA M	B6
DCR B	05	MOV C, C	49	ORI DATA	F6
DCR C	0D	MOV C, D	4A	OUT PORT	D3
DCR D	15	MOV C, E	4B	PCHL	E9
DCR E	1D	MOV C, H	4C	POP B	C1
DCR H	25	MOV C, L	4D	POP D	D1
DCR L	2D	MOV C, M	4E	POP H	E1
DCR M	35	MOV D, A	57	POP PSW	F1
DCX B	0B	MOV D, B	50	PUSH B	C5
DCX D	1B	MOV D, C	51	PUSH D	D5

Окончание табл. 3.6

Команда	Код операций	Команда	Код операций	Команда	Код операций
PUSH H	E5	RST 5	EF	SUB A	97
PUSH PSW	F5	RST 6	F7	SUB B	90
RAL	17	RST 7	FF	SUB C	91
RAR	1F	RZ	C8	SUB D	92
RC	D8	SBB A	9F	SUB E	93
RET	C9	SBB B	98	SUB II	94
RLC	07	SBB C	99	SUB L	95
RM	F8	SBB D	9A	SUB M	96
RNC	D0	SBB E	9B	SUB I DATA	D6
RNZ	C0	SBB H	9C	XCHG	EB
RP	F0	SBB L	9D	XRA A	AF
RPE	E8	SBB M	9E	XRA B	A8
RPO	E0	SBI DATA	DE	XRA C	A9
RRC	0F	SHLD ADDR	22	XRA D	AA
RST 0	C7	SPHL	F9	XRA E	AB
RST 1	CF	STA ADDR	32	XRA H	AC
RST 2	D7	STAX B	02	XRA L	AD
RST 3	DF	STAX D	12	XRA M	AE
RST 4	E7	STC	37	XRI DATA	EE
				XTHL	E3

Таблица 3.7

Код операции	Команда	Код операции	Команда	Код операции	Команда
00	NOP	20	-	40	MOV B, B
01	LXI B, DATA 16	21	LXI H, DATA 16	41	MOV B, C
02	STAX B	22	SHLD ADDR	42	MOV B, D
03	INX B	23	INX H	43	MOV B, E
04	INR B	24	INR H	44	MOV B, H
05	DCR B	25	DCR II	45	MOV B, L
06	MVI B, DATA	26	MVI H, DATA	46	MOV B, M
07	RLC	27	DAA	47	MOV B, A
08	-	28	-	48	MOV C, B
09	DAD B	29	DAD II	49	MOV C, C
0A	LDAX B	2A	LHLD ADDR	4A	MOV C, D
0B	DCX B	2B	DCX H	4B	MOV C, E
0C	INR C	2C	INR L	4C	MOV C, H
0D	DCR C	2D	DCR L	4D	MOV C, L
0E	MVI C, DATA	2E	MVI L, DATA	4E	MOV C, M
0F	RRC	2F	CMA	4F	MOV C, A
10	-	30	-	50	MOV D, B
11	LXI D, DATA 16	31	LXI SP, DATA 16	51	MOV D, C
12	STAX D	32	STA	52	MOV D, D
13	INX D	33	INX SP	53	MOV D, E
14	INR D	34	INR M	54	MOV D, II
15	DCR D	35	DCR M	55	MOV D, L
16	MVI D, DATA	36	MVI M, DATA	56	MOV D, M
17	RAL	37	STC	57	MOV D, A
18	--	38	-	58	MOV E, B
19	DAD D	39	DAD SP	59	MOV E, C
1A	LDAX D	3A	LDA	5A	MOV E, D
1B	DCX D	3B	DCX SP	5B	MOV E, E
1C	INR E	3C	INR A	5C	MOV E, H
1D	DCR E	3D	DCR A	5D	MOV E, L
1E	MVI E, DATA	3E	MVI A, DATA	5E	MOV E, M
1F	RAR	3F	CMC	5F	MOV E, A

Код операции	Команда	Код операции	Команда	Код операции	Команда
60	MOV H, B	96	SUB M	CB	-
61	MOV H, C	97	SUB A	CC	CZ ADDR
62	MOV H, D	98	SBB B	CD	CALL ADDR
63	MOV H, E	99	SBB C	CE	ACI ADDR
64	MOV H, H	9A	SBB D	CF	RST 1
65	MOV H, L	9B	SBB E	D0	RNC
66	MOV H, M	9C	SBB H	D1	POP D
67	MOV H, A	9D	SBB L	D2	JNC ADDR
68	MOV L, B	9E	SBB M	D3	OUT PORT
69	MOV L, C	9F	SBB A	D4	CNC ADDR
6A	MOV L, D	A0	ANA B	D5	PUSHI D
6B	MOV L, E	A1	ANA C	D6	SUI DATA
6C	MOV L, H	A2	ANA D	D7	RST 2
6D	MOV L, L	A3	ANA E	D8	RC ADDR
6E	MOV L, M	A4	ANA H	D9	-
6F	MOV L, A	A5	ANA L	DA	JC ADDR
70	MOV M, B	A6	ANA M	DB	IN PORT
71	MOV M, C	A7	ANA A	DC	CC
72	MOV M, D	A8	XRA B	DD	-
73	MOV M, E	A9	XRA C	DE	SB1 DATA
74	MOV M, H	AA	XRA D	DF	RST 3
75	MOV M, L	AB	XRA E	E0	RPO
76	HLT	AC	XRA H	E1	POP H
77	MOV M, A	AD	XRA L	E2	JPO ADDR
78	MOV A, B	AE	XRA M	E3	XTHL
79	MOV A, C	AF	XRA A	E4	CPO ADDR
7A	MOV A, D	B0	ORA B	E5	PUSHI H
7B	MOV A, E	B1	ORA C	E6	ANI DATA
7C	MOV A, H	B2	ORA D	E7	RST 4
7D	MOV A, L	B3	ORA E	E8	RPE
7E	MOV A, M	B4	ORA H	E9	PCHL
7F	MOV A, A	B5	ORA L	EA	JPE ADDR
80	ADD B	B6	ORA M	EB	XCHG
81	ADD C	B7	ORA A	EC	CPE ADDR
82	ADD D	B8	CMP B	ED	-
83	ADD E	B9	CMP C	EE	XRI DATA
84	ADD H	BA	CMP D	EF	RST 5
85	ADD L	BB	CMP E	F0	RP
86	ADD M	BC	CMP II	F1	POP PSW
87	ADD A	BD	CMP L	F2	JP ADDR
88	ADC B	BE	CMP M	F3	DI
89	ADC C	BF	CMP A	F4	CP ADDR
8A	ADC D	C0	RNZ	F5	PUSHI PSW
8B	ADC E	C1	POP B	F6	ORI DATA
8C	ADC H	C2	JNZ ADDR	F7	RST 6
8D	ADC L	C3	JMP ADDR	F8	RM
8E	ADC M	C4	CNZ ADDR	F9	SPHI
8F	ADC A	C5	PUSH B	FA	JM ADDR
90	SUB B	C6	ADI DATA	FB	EI
91	SUB C	C7	RST 0	FC	'M ADDR
92	SUB D	C8	RZ	FD	CPI ADDR
93	SUB E	C9	RET	FE	RST 7
94	SUB H	CA	JZ	FF	
95	SUB L				

Таблица 3.8

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Входное напряжение высокого уровня импульсов тактовых сигналов, В	$U_{IH}(C)$	9	13
Входное напряжение низкого уровня импульсов тактовых сигналов, В	$U_{IL}(C)$	-0,3	0,8
Входное напряжение высокого уровня, В	U_{IH}	3,3	—
Входное напряжение низкого уровня, В	U_{IL}	—	0,8
Выходное напряжение высокого уровня, В	U_{OH}	3,7	—
Выходное напряжение низкого уровня, В	U_{OL}	—	0,45
Выходной ток высокого уровня, мА	I_{OH}	—	-0,15
Выходной ток низкого уровня, мА	I_{OL}	—	1,9
Ток потребления от источников питания, мА	I_{CC1}	—	75
	I_{CC2}	—	85
Ток потребления от источника напряжения смещения подложки, мА	I_{BC}	—	1,0
Ток утечки на входах тактовых сигналов, мкА	I_{LIC}	-10	10
Входной ток по каналу данных в режиме «Прнэм», мА	I_{IL}	-0,1	—
	I_{IH}	-2,0	—
Период следования импульсов тактовых сигналов $C1, C2$, нс	T_C	480	2000
Длительность импульса тактового сигнала $C1$, нс	$t_{WH}(C1)$	60	—
Длительность импульса тактового сигнала $C2$, нс	$t_{WH}(C2)$	220	—
Время нарастания и спада импульсов тактовых сигналов $C1, C2$, нс	$t_r(C1), t_f(C1),$ $t_r(C2), t_f(C2)$	0	50
Время установления сигнала $C2$ относительно сигнала $C1$, нс	$t_{SU}(C2, LH - C1, HL)$	0	—
Время установления сигнала $C1$ относительно сигнала $C2$, нс	$t_{SU}(C1, LH - C2, HL)$	80	—
Время установления сигнала $C2$ относительно сигнала $C1$, нс	$t_{SU}(C2, LH - C1, LH)$	70	—
Время установления адреса $A15-A0$ относительно сигнала $C2$, нс	$t_{SU}(A-C2, LH)$	—	200
Время установления данных $D7-D0$ относительно сигнала $C2$, нс	$t_{SU}(D-C2, LH)$	—	220
Время сохранения данных $D7-D0$ относительно сигнала $C2$, нс	$t_V(D-C2, LH)$	См. прим. 4	—
Время сохранения данных $D7-D0$ и адреса $A15-A0$ при переходе в высокоомное состояние относительно сигнала $C2$ в режиме «Захват», нс	$t_{SU}(D, A, HZ/LZ-C2, LH)$	—	120
Время сохранения адреса $A15-A0$ и данных $D7-D0$ относительно сигнала \overline{TR} , нс	$t_V(A-\overline{TR}, LH),$ $t_V(D-\overline{TR}, LH)$	См. прим. 5 То же	—

Продолжение табл. 3.8

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления данных $D7-D0$ относительно сигнала $C2$ во время действия сигнала RC , нс	$t_{SU}(D-C2, LH)$	150	—
Время установления данных $D7-D0$ относительно сигнала $C1$ во время действия сигнала RC , нс	$t_{SU}(D-C1, HL)$	30	—
Время установления сигнала \overline{TR} относительно данных $D7-D0$, нс	$t_{SU}(\overline{TR}, HL-D, LH/HL)$	См. прим. 6	—
Время установления сигнала $HLDA$ относительно сигнала $C1$, нс	$t_{SU}(HLDA, LH/HL-C1, LH)$	—	120
Время установления сигнала SYN относительно сигнала $C2$, нс	$t_{SU}(SYN, LH-C2, LH)$	—	120
Время сохранения сигнала SYN относительно сигнала $C2$, нс	$t_V(SYN, LH-C2, LH)$	—	120
Время установления сигнала RC относительно сигнала $C2$, нс	$t_{SU}(RC, LH-C2, LH)$	25	140
Время сохранения сигнала RC относительно сигнала $C2$, нс	$t_V(RC, LH-C2, LH)$	25	140
Время установления сигнала RDY относительно сигнала $C2$, нс	$t_{SU}(RDY, LH/HL-C2, HL)$	120	—
Время сохранения сигнала RC относительно перехода данных $D7-D0$ и адреса $A15-A0$ в высокоомное состояние, нс	$t_V(RC, HL-D, A, HZ/LZ)$	0	—
Время установления сигнала WI относительно сигнала $C1$, нс	$t_{SU}(WI, LH-C1, LH)$	—	120
Время сохранения данных $D7-D0$ и адреса $A15-A0$ до перехода в высокоомное состояние относительно сигнала \overline{TR} , нс	$t_V(D, A, HZ/LZ-\overline{TR}, LH)$	См. прим. 7	—
Время сохранения данных $D7-D0$ и адреса $A15-A0$ при переходе в высокоомное состояние относительно сигнала $HLDA$, нс	$t_V(D, A, HZ/LZ-HLDA, LH/HL)$	См. прим. 8	—
Время установления сигнала INT относительно сигнала $C2$, нс	$t_{SU}(INT, HL/LH-C2, HL)$	120	—
Время сохранения сигнала HLD относительно сигнала $C2$, нс	$t_V(HLD, HL/LH-C2, LH)$	0	—
Время сохранения сигнала RDY относительно сигнала $C2$, нс	$t_V(RDY, HL/LH-C2, HL)$	0	—
Время сохранения сигнала INT относительно сигнала $C2$, нс	$t_V(INT, HL/LH-C2, HL)$	0	—
Время установления сигнала \overline{TR} относительно сигналов $A15-A0$, нс	$t_{SU}(\overline{TR}, HL-A, HL/LH)$	См. прим. 9	—

Окончание табл. 3.8

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления сигнала <i>INTE</i> относительно сигнала <i>C2</i> , нс	$t_{SU}(\text{INTE}, LH/\text{HL}-C2, LH)$	—	200
Время установления сигнала \overline{TR} относительно сигнала <i>C1</i> , нс	$t_{SU}(\overline{TR}, HL/LH-C1, LH)$	—	120
Время установления данных <i>D7-D0</i> по сигналу <i>SYN</i> относительно сигнала <i>C2</i> , нс	$t_{SU}(D-C2, LH)$	—	140
Время установления сигнала <i>HLD</i> относительно сигнала <i>C2</i> , нс	$t_{SU}(HLD, LH/\text{HL}-C2, LH)$	140	—

Примечания. 1. Символы *LH(HL)*, *ZH(LZ)* и *HZ(LZ)* обозначают переход сигнала из состояния низкого (высокого) уровня в состояние высокого (низкого) уровня, из высокоомного состояния в состояние высокого (низкого) уровня и из состояния высокого (низкого) уровня в высокоомное состояние соответственно.

2. Косая линия между символами *HL/LH*, *LH/JHL*, *ZH/ZL*, *HZ/LZ* означает, что параметры имеют одинаковое значение для обоих переходов.

3. $T_C = t_{SU}(C2, LH-C1, LH) + t_r(C2) + t_f(C2) + t_{WH}(C2) + t_{SU}(C1, LH-C2, HL) + t_r(C1) \geq 480$ нс.

4. Поступление данных на канал данных должно разрешаться сигналом *RC*. В этом случае не происходит конфликтных ситуаций на канале данных и гарантируются временные соотношения, необходимые для правильного приема данных в микропроцессор.

5. $t_V(D-C2, LH) \leq t_V(RC, HL-C2, LH)$ при $t_V(RC, HL-C2, LH) \geq 50$ нс; $t_V(D-C2, LH) = 50$ нс при $t_V(RC, HL-C2, LH) \leq 50$ нс.

6. $t_V(D-C2, LH) = t_V(RC, HL-C2, LH); t_V(A-\overline{TR}, LH) = t_V(D-\overline{TR}, LH) = t_{SU}(C2, LH-C1, LH) + t_r(C2) + 10$ нс.

7. $t_{SU}(\overline{TR}, HL-D, LH/HL) = T_c - t_{SU}(C2, LH-C1, LH) = 170$ нс; $t_V(D, A, HZ/LZ-\overline{TR}, LH) = t_{SU}(C2, LH-C1, LH) + t_r(C2) = 10$ нс.

8. $t_V(D, A, LZ/HZ-HLDA, LH) = t_{SU}(C2, LH-C1, LH) + t_r(C2) = 50$ нс.

9. $t_{SU}(\overline{TR}, HL-A, HL/LH) = 2T_c - t_{SU}(C2, LH-C1, LH) - t_r(C2) = 140$ нс.

Основные параметры микросхемы в диапазоне температур от -10 до $+70^\circ\text{C}$ и напряжениях питания $U_{CC1}=5,0 \text{ В} \pm 5\%$; $U_{CC2}=12,0 \text{ В} \pm 5\%$, $U_{IO}=-5,0 \text{ В} \pm 5\%$ приведены в табл. 3.8.

3.2. Микросхема KP580BB51A

Микросхема KP580BB51A — универсальный синхронно-асинхронный приемопередатчик (УСАПП), предназначенный для аппаратной реализации последовательного протокола обмена между микропроцессором KP580BM80A (KM1810BM86) или другим устройством, способным запрограммировать данную микросхему на требуемый режим работы, и каналам последовательной передачи дискретной информации.

Микросхема УСАПП преобразует параллельный код, получаемый от центрального процессора, в последовательный поток символов со служебными битами и выдает этот поток в последовательный канал связи с различной скоростью, а также выполняет обратное преобразование: последовательный поток символов — в параллельное 8-разрядное слово. Передаваемая и принимаемая информация при

необходимости может контролироваться на четность (нечетность).

Микросхема УСАПП программируется на выполнение почти всех применявшихся в настоящее время протоколов последовательной передачи данных и работает в двух режимах: синхронном и асинхронном. Программирование микросхемы на тот или другой режим работы выполняется записью в соответствующие регистры слов инструкции режима, служебных синхросимволов и инструкции команды.

Максимальная скорость передачи/приема информации по последовательному каналу 64К бод, минимальная не ограничена и определяется внешними устройствами (ВУ).

Условное графическое обозначение микросхемы приведено на рис. 3.5, назначение выводов — в табл. 3.9, структурная схема показана на рис. 3.6.

Основными управляющими сигналами являются: WR , RD , CO/D , CS . Возможные варианты сочетания управляющих сигналов и направления передачи информации в системе приведены в табл. 3.10.

Микросхема может работать в двух режимах. Синхронный режим характеризуется не-

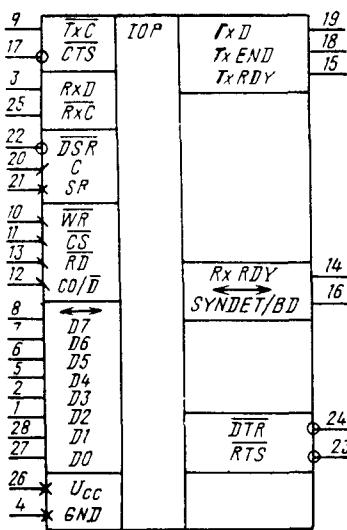


Рис. 3.5. Условное графическое обозначение KP580BB51A

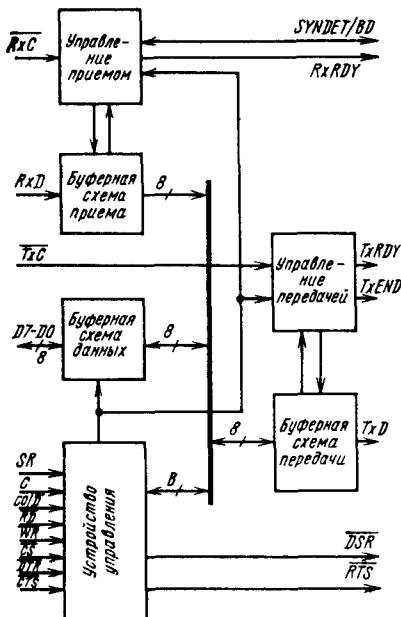


Рис. 3.6. Структурная схема KP580BB51A

Таблица 3.9

Вывод	Обозначение	Гип вывода	Функциональное назначение выводов
1, 2, 5—8, 27, 28	D2—D7, D0, D1	Входы/выходы	Канал данных — обмен информацией между микропроцессором и микросхемой
3	RxD	Вход	Приемник микросхемы
4	GND	—	Общий
9	TxC	Вход	Синхронизация передачи
10	WR	Вход	Запись информационн
11	CS	Вход	Выбор микросхемы
12	CO/D	Вход	Управление/данные
13	RD	Вход	Чтение информации
14	RxRDY	Выход	Готовность приемника
15	TxRDY	Выход	Готовность передатчика
16	SYNDET/BD	Вход/выход	Двунаправленный трехстабильный программируемый вход/выход
17	CTS	Вход	Готовность внешнего устройства принять данные
18	TxEND	Выход	Конец передачи
19	TxD	Выход	Передатчик микросхемы
20	C	Вход	Синхронизация
21	SR	Вход	Установка исходного состояния
22	DSR*	Вход	Готовность внешнего устройства передать данные
23	RTS*	Выход	Запрос приемника внешнего устройства на прием данных
24	DTR*	Выход	Запрос передатчика внешнего устройства на передачу данных
25	RxC	Вход	Синхронизация приема
26	Ucc	—	Напряжение питания +5 В ± 5%

* Сигналы общего назначения, могут использоваться и для других целей

Таблица 3.10

Сигналы на входах				Направление и вид информации
CO/D	RD	WR	CS	
1	1	0	0	Канал данных системы — УСАПП (управление)
0	1	0	0	Канал данных системы — УСАПП (данные)
1	0	1	0	УСАПП — канал данных системы (информация состояния)
0	0	1	0	УСАПП — канал данных системы (данные)
X	1	1	0	Высокоомное состояние канала данных УСАПП
X	X	X	1	

Примечание X — состояние входа безразлично

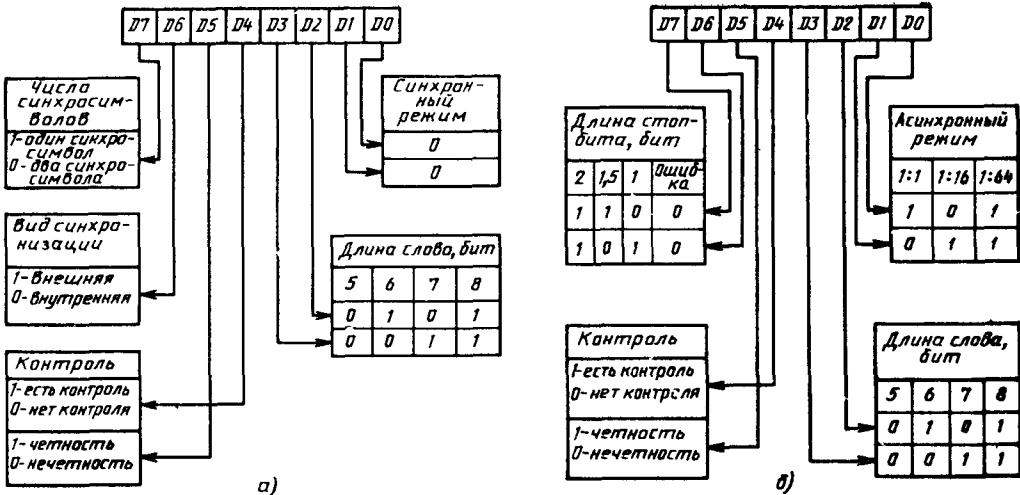


Рис 3.7 Форматы инструкции режима для синхронного (а) и асинхронного (б) видов работы

прерывным потоком передаваемой/принимаемой информации. Для установления синхронизации между передатчиком/приемником микросхемы КР580ВВ51А и приемником/передатчиком внешнего устройства и выделения из последовательного потока символов полезной информации в поток информации вводятся кодирующие слова (синхросимволы). Информационная (5–8 бит) и временная длины синхросимвола и слова данных равны.

Если между словами данных имеются временные промежутки, то они заполняются синхросимволами. Синхросимволов может быть один или два (устанавливается программно). Если запрограммирован контроль данных по четности (нечетности), то после каждого слова данных вставляется бит контроля.

Сигналы на внешних входах микросхемы асинхронны по отношению к сигналу С. Однако соотношение частот общей синхронизации микросхемы (f_c) и частот синхронизации передачи/приема ($\frac{f_{Tx}}{TxC}$, $\frac{f_{Rx}}{RxC}$) должно быть: $\frac{f_{Tx}}{TxC} \leq f_c/30$, $\frac{f_{Rx}}{RxC} \leq f_c/30$. При этом обеспечивается скорость передачи/приема информации $v = Tx(Rx) = 0 \div 64$ К бод. Скорость численно равна частоте синхронизации передачи/приема и определяется в указанном выше диапазоне возможностями внешнего устройства.

Асинхронный режим характеризуется одиночными посылками информации, инициализация которых определяется либо микропроцессором системы (где стоит микросхема КР580ВВ51А), либо внешним устройством.

В начале каждой посылки устанавливается отрицательный импульс «старт-бит», длительность которого равна биту данных «Старт-бит» служит для ввода в синхронизацию пе-

редатчика/приемника микросхемы КР580ВВ51А и приемника/передатчика внешнего устройства. В конце каждой посылки устанавливается положительный импульс «стоп-бит», длительность которого может равняться 1, 1,5 и 2 длительностям бита информации (устанавливается программно); «стоп-бит» служит для определения конца посылки.

Асинхронный режим имеет три подрежима, отличающиеся друг от друга различным соотношением численных значений частот синхронизации передачи/принема к скорости передачи.

Подрежим 1:1 соотношения частот общей синхронизации микросхемы и синхронизации передачи/приема, а также скорость передачи аналогичны синхронному режиму,

подрежим 1:16:

$$v_{Tx} = \frac{f_{Tx}}{16} = 0 \div 19,2 \text{ К бод};$$

$$v_{Rx} = \frac{f_{Rx}}{16} = 0 \div 19,2 \text{ К бод};$$

Подрежим 1:64:

$$v_{Tx} = \frac{f_{Tx}}{64} = 0 \div 9,6 \text{ К бод};$$

$$v_{Rx} = \frac{f_{Rx}}{64} = 0 \div 9,6 \text{ К бод}$$

В подрежимах 1:16 и 1:64 должны выполняться условия:

$$\frac{f_{Tx}}{TxC} \leq f_c/4,5;$$

$$\frac{f_{Rx}}{RxC} \leq f_c/4,5$$

Программирование микросхемы на требуемый режим работы производится путем занесения в соответствующие регистры слов инструкций режима, синхросимволов (для синхронного режима) и команд. Форматы и со-

Таблица 3.11

Формат	Код	Команда
D0	0	Передача информации невозможна
	1	Передача информации возможна
D1	0	—
	1	Запрос о готовности передатчика ВУ передать данные
D2	0	Прием информации невозможен
	1	Прием информации возможен
D3	0	Пауза
D4	0	—
	1	Сброс триггеров ошибок в исходное состояние
D5	0	—
	1	Запрос о готовности приемника ВУ принять данные
D6	0	—
	1	Программный сброс УСАПП в исходное состояние
D7	0	—
	1	Поиск синхросимволов

Примечания 1. Если в процессе работы передатчика в регистр записывается команда D0 «Передача информации невозможна» или на вход RTS подается напряжение лог. 1, запрещающее передачу информации, то УСАПП не прекращает передачу до тех пор, пока все данные, записанные в буферных схемах ввода/вывода и передатчике, не будут переданы полностью.

2 УСАПП позволяет выполнять команды D0 «Передача информации возможна» и D2 «Прием информации возможен» одновременно или раздельно.

3 Команда D3 «Пауза» действует как в асинхронном, так и в синхронном режимах и указывает на паузу во время передачи данных. Вывести микросхему из состояния «Пауза» можно внешним сигналом SR , командой D6 «Программный сброс» или командой D3 «Пауза».

4. Команду D4 «Сброс триггеров ошибок в исходное состояние» необходимо записывать каждый раз перед программированием команды D2 «Прием информации возможен» или одновременно с ее программированием.

5 Команду D7 «Поиск синхросимволов» используется только в синхронном режиме и должна программируться одновременно с командой D2 «Прием информации возможен».

Таблица 3.12

Последовательность программирования	Сигналы на входах			
	CO/D	WR	CS	SR
1. Установка исходного состояния	X	X	X	1
2. Запись инструкции режима	1	0	0	0
3. Запись синхросимвола	1	0	0	0
4. Запись синхросимвола	1	0	0	0
5. Запись инструкции команд	1	0	0	0

Примечание. X — состояние входа безразлично.

держание инструкций режима приведены на рис. 3.7, команды — в табл. 3.11.

Последовательность программирования инструкции команды, инструкции режима и синхросимволов для подготовки микросхемы к работе приведена в табл. 3.12. Процесс программирования в целом асинхронен относительно сигналов RxC и TxC , однако запись инструкции режима для асинхронного режима 1 : 1 должна производиться только в положительном полупериоде сигналов RxC и TxC .

При занесении в микросхему управляющих слов или данных, а также при чтении состояния на вход C должны поступать импульсы синхронизации.

Время восстановления между операциями записи (WR) в асинхронном режиме $8T_c$, в синхронном режиме $16T_{cyc}$.

Данные D0—D7 записываются в буферные схемы ввода/вывода после перехода сигнала WR из состояния низкого уровня в состояние высокого уровня через $2T_c$. При чтении состояния входные сигналы CTS и DSR устанавливаются за $8T_c$ до перехода сигнала RD из состояния высокого уровня в состояние низкого уровня.

Состояния, указанные в последних двух пунктах табл. 3.10, соответствуют высокомому состоянию буферных схем ввода/вывода. В это время операции ввода/вывода не производятся.

При передаче/приеме информации микросхема устанавливается в исходное состояние сигналом SR .

После записи инструкции режима, синхросимвола (синхросимволов) и инструкции команд она переходит в один из пяти основных режимов работы.

1. Асинхронная передача. Временные диаграммы для данного режима приведены на рис. 3.8.

После записи в микросхему данных в параллельном формате происходит автоматическое присоединение к каждой посылке старт-

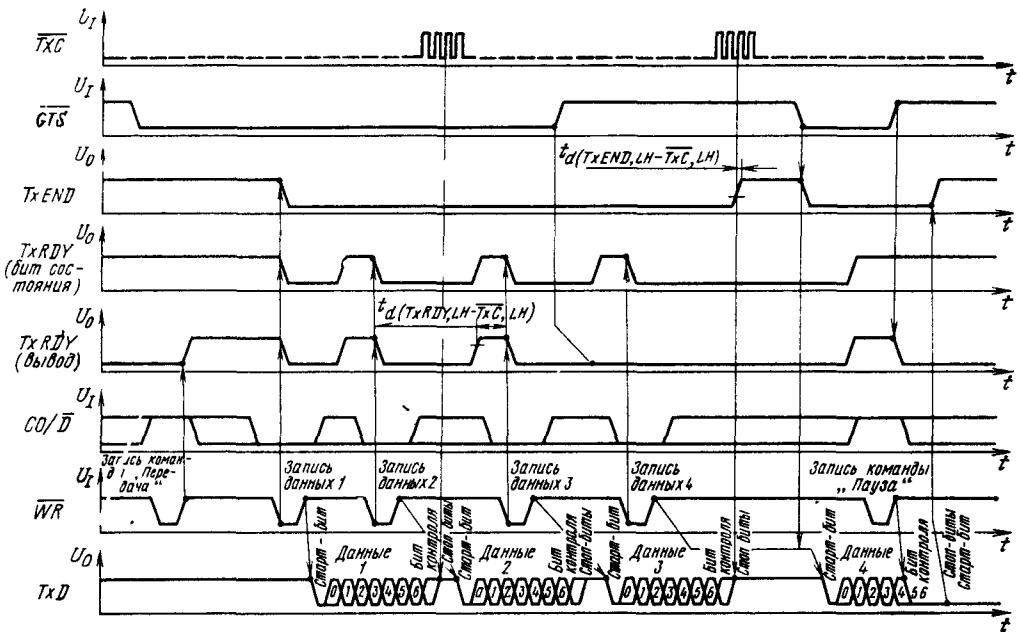


Рис. 3.8 Временная диаграмма работы КР580ВВ51А в режиме асинхронной передачи

бита и стоп-бита. Бит контроля четности (если он запрограммирован) вводится перед битами останова и может иметь нулевое или единичное значение.

Если в инструкции команды в разряд $D0$ записана 1 и на входе CTS устанавливается напряжение низкого уровня, то информация в виде последовательного потока данных подается на вывод TxD с частотой, кратной 11, 116 или 164 части частоты синхронизации передатчика (как определено инструкцией режима). Если микросхема не содержит информацию для передачи, то на выходе TxD устанавливается напряжение высокого уровня. Если в инструкции команды запрограммирован режим «пауза», то на выходе TxD устанавливается напряжение низкого уровня.

2. Асинхронный прием. Временная диаграмма для данного режима приведена на рис. 3.9. Напряжение высокого уровня на входе RxD свидетельствует о том, что в данный момент нет приема информации. Если УСАПП запрограммирован инструкцией режима на асинхронный прием, то появление на входе RxD напряжения низкого уровня свидетельствует о приходе старт-бита. Истинность этого бита проверяется вторично стробированием в его середине. Если наличие напряжения низкого уровня на входе подтверждается, то запускается счетчик битов, который позволяет определять конец битов данных, бит контроля (если контроль запрограммирован) и стоп-бит. С другой стороны, если при вторичной пробе обнаруживается напряжение высокого уровня, то приемник переходит в исходное состояние.

Схема управления и синхронизации приемника предохраняет от ошибочного запуска счетчика битов, если на выводе RxD присутствует напряжение низкого уровня, вызванное командой $D3$ «Пауза». Регистр приемника обнаруживает паузу и на выводе $SYNDET/BD$ устанавливается напряжение высокого уровня.

Если есть ошибка в принятых данных, то триггер ошибки четности устанавливается в единичное состояние. Если при анализе оказывается, что стоп-бит в состоянии низкого уровня, то триггер ошибки стоп-бита устанавливается в единичное состояние. Стоп-бит сигнализирует о том, что данные находятся в приемнике. Принятые данные передаются через внутренние шины данных в выходной регистр данных, и тогда на выходе $RxDY$ появляется напряжение высокого уровня, сигнализируя о готовности к считыванию. Если предыдущий символ (данные) не был передан в микропроцессор, то принятый символ заменяет его в буферных схемах ввода/вывода и триггер ошибки переполнения устанавливается в единичное состояние (т. е. предыдущее число геряется). Триггер ошибки переполнения также устанавливается в единичное состояние, если чтение данных произойдет в момент записи данных из регистра приемника в выходной регистр данных буферных схем ввода вывода (в этом случае предыдущие данные также тянутся).

Наличие ошибок в триггерах не останавливает работу микросхемы. Триггеры ошибок сбрасываются инструкцией команды в исходное состояние.

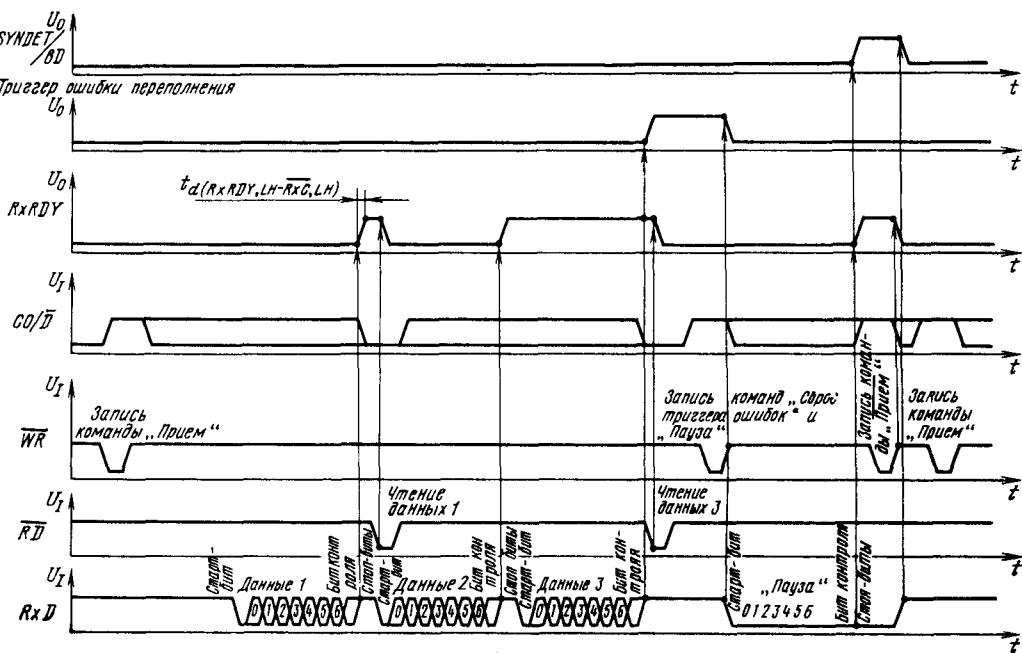


Рис. 3.9. Временная диаграмма работы KP580BB51A в режиме асинхронного приема

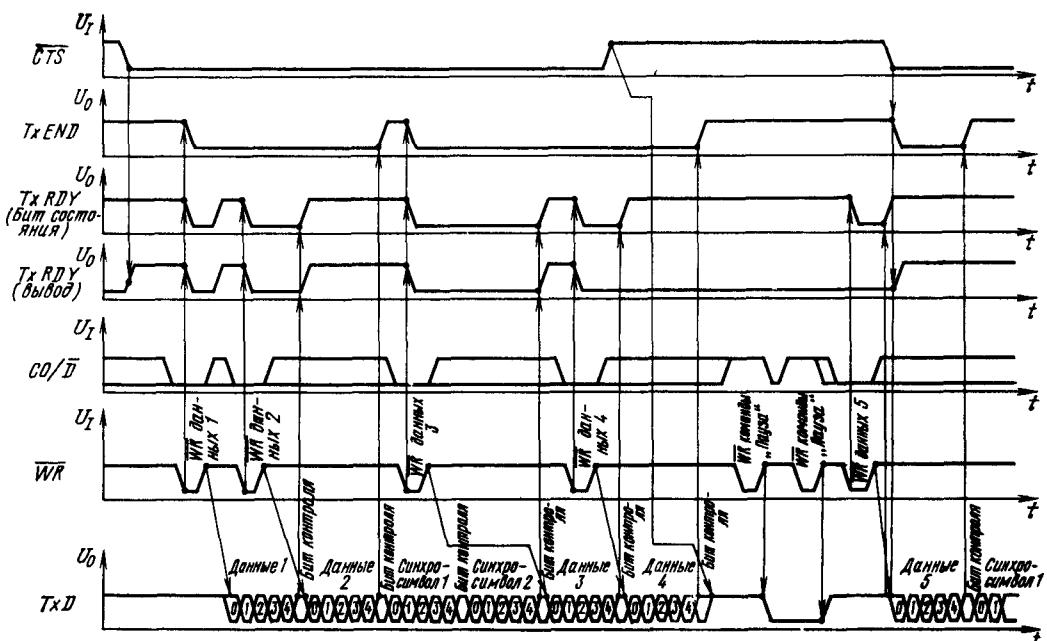


Рис. 3.10. Временная диаграмма работы KP580BB51A в режиме синхронной передачи

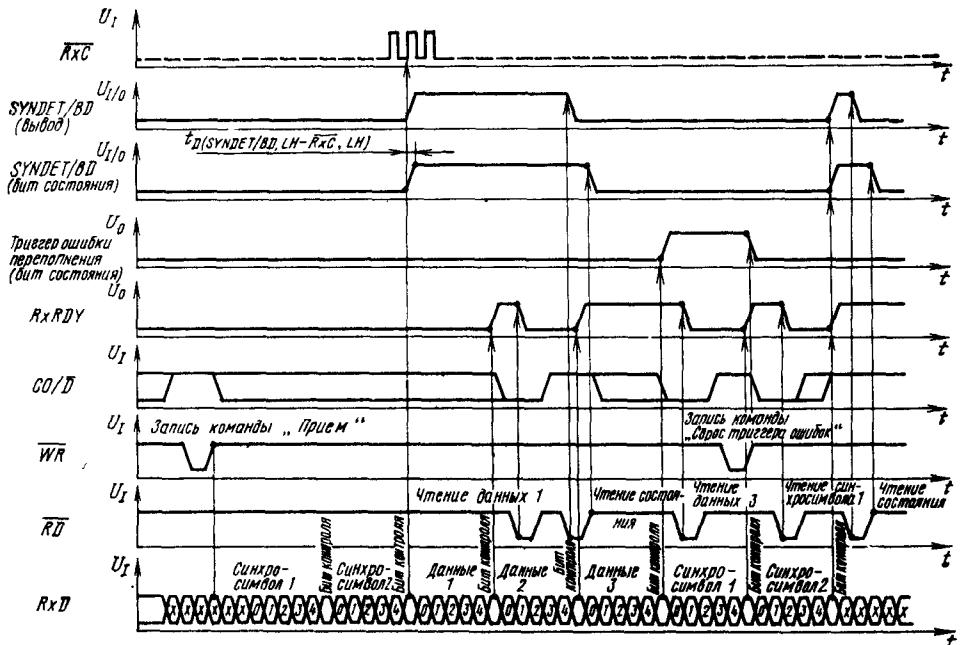


Рис. 3.11. Временная диаграмма работы КР580ВВ51А в режиме синхронного приема с внутренней синхронизацией

Если в асинхронном режиме во время приема/передачи информации программируется паузу, регистр приемника автоматически обнаруживает ее, индицирует и запоминает с помощью внутреннего триггера «Пауза». Проверять это состояние можно на выводе 16 *SYNDET/BD* или во время чтения состояния УСАПП (разряд *D6*). Установить вывод 16 и разряд *D6* в состояние низкого уровня можно сигналом *RS* или положительным импульсом, пришедшим первым на вход *RxD*.

3. Синхронная передача. Временная диаграмма для данного режима приведена на рис. 3.10.

После записи в микросхему инструкции режима, синхросимволов, инструкции команды и данных передатчик не начнет передачу до тех пор, пока на входе *CTS* не установится напряжение низкого уровня. Если на входе *CTS* установлено напряжение низкого уровня и в разряде *D0* инструкции команды записана 1, то передатчик начинает трансляцию по выходу *TxD* со скоростью синхроимпульсов, поступающих на вход *TxC*.

Каждый раз после сигнала *RS* программируются инструкция режима, синхросимволы (синхросимволы) и инструкция команды. Для начала передачи информации по выводу *TxD* в передатчик необходимо записать любые данные, которые будут потеряны, так как в это время приемник внешнего устройства будет работать в режиме поиска синхросимволов.

Может получиться, что микропроцессор не запишет очередную информацию в УСАПП до того, как последний передаст предыдущую информацию. В этом случае для предотвращения потери синхронизации между УСАПП и внешним устройством в поток данных автоматически вставляются синхросимволы. При этом на выход *TxEND* подается напряжение высокого уровня, показывающее, что УСАПП не имеет информации для передачи и синхросимволов (синхросимволы) послан внешнему устройству. Когда микропроцессор начинает записывать информацию в УСАПП, на выходе *TxEND* устанавливается напряжение низкого уровня.

4. Синхронный прием с внутренней синхронизацией. Временная диаграмма для данного режима приведена на рис. 3.11

В этом режиме работа микросхемы начинается с поиска синхросимволов. Информация принимается по входу *RxD* на первый регистр приемника и непрерывно сравнивается с содержимым регистра первого синхросимвола. Если содержимое двух регистров не одинаково, то регистр приемника принимает следующий бит информации и сравнение повторяется. Когда содержимое сравниваемых регистров становится одинаковым, УСАПП заканчивает поиск и переходит в режим синхронизации. При этом, если не запрограммирован контроль по четности (нечетности), на выводе *SYNDET/BD*, работающем как выход, во время приема последнего бита синхросимвола с

Таблица 3.13

Параметр	Обозначение	Значения параметров	
		мин	макс
Ток потребления, мА	I_{CC}	—	100
Период следования импульсов сигнала C , мкс	T_C	0,320	1,35
Длительность сигнала C высокого уровня, нс	$t_{WH}(C)$	140	$T_C - 90$
Длительность сигнала C низкого уровня, нс	$t_{WL}(C)$	90	—
Частота синхронизации передатчика (приемника), кГц	$f_{TxC} (f_{RxC})$		
в синхронном и асинхронном режимах (1 : 1)		—	64
в асинхронном режиме (1 : 16)		—	310
в асинхронном режиме (1 : 64)		—	615
Время установления сигнала \overline{CS} относительно сигнала \overline{WR} , нс:			
при записи данных	$t_{SU}(\overline{CS} \text{ HI} - \overline{WR} \text{ HI})$	50	—
при записи управления	$t_{SU}(\overline{CS}, \text{ HL} - \overline{WR}, \text{ HL})$	50	—
при чтении	$t_V(\overline{CS} \text{ LH} - \overline{WR} \text{ LH})$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{WR} , нс:			
при записи данных	$t_{SU}(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{WR}, \text{ HI})$	50	—
при записи управления	$t_{SU}(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{WR}, \text{ HI})$	50	—
при чтении	$t_V(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{WR}, \text{ LH})$	50	—
при чтении состояния	$t_V(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{RD}, \text{ LH})$	50	—
Время установления сигнала $D7-D0$ относительно сигнала \overline{WR} , нс	$t_{SU}(D, \text{ ZL/ZH} \text{ } \overline{WR}, \text{ LH})$	150	—
Время сохранения сигналов $D7-D0$ относительно сигнала \overline{WR} , нс	$t_V(D, \text{ LZ/LZ} \text{ } \overline{WR}, \text{ LH})$	50	—
Длительность сигналов $\overline{WR}, \overline{RD}$, нс	$t_{WL}(\overline{WR}) \quad t_{WL}(\overline{RD})$	250	—
Время установления сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_{SU}(\overline{CS}, \text{ HL} - \overline{RD}, \text{ HL})$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_V(\overline{CS}, \text{ LH} - \overline{RD}, \text{ LH})$	50	—
Время установления сигнала CO/\overline{D} относительно сигнала \overline{RD} , нс:			
при чтении данных	$t_{SU}(\text{CO } \overline{D}, \text{ HI} \text{ } \overline{RD}, \text{ HL})$	50	—
при чтении состояния	$t_{SU}(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{RD}, \text{ HL})$	50	—
Время сохранения сигнала CO/D относительно сигнала \overline{RD} , нс			
при чтении данных	$t_V(\text{CO } \overline{D}, \text{ LH} \text{ } \overline{RD}, \text{ LH})$	50	—
при чтении состояния	$t_V(\text{CO } \overline{D}, \text{ HL} - \overline{RD}, \text{ LH})$	50	—
Время задержки сигналов $D7-D0$ относительно сигнала \overline{RD} , нс	$t_d(D, \text{ ZL/ZH} - \overline{RD}, \text{ HL})$	—	250
Время сохранения сигналов $D7-D0$ относительно сигнала \overline{RD} , нс	$t_V(D, \text{ LZ/LZ} \text{ } \overline{RD}, \text{ LH})$	—	100

Параметр	Обозначение	Значения параметров	
		мин.	макс
Время задержки сигнала TxD относительно сигнала \overline{TxC} , нс	$t_d(TxD, LH - \overline{TxC}, HL)$	1000	—
Время задержки сигнала $TxRDY$ относительно сигнала \overline{TxC} , нс	$t_d(TxRDY, LH - \overline{TxC}, LH)$	$8T_C$	—
Время задержки сигнала $RxRDY$ относительно сигнала \overline{RxC} , нс	$t_d(RxRDY, LH - \overline{RxC}, LH)$	$24T_C$	—
Время задержки сигнала $SYNDET/BD$ относительно сигнала \overline{RxC} , нс	$t_d(SYNDET/BD, LH - \overline{RxC}, LH)$	$24T_C$	—
Время установления сигнала $SYNDET/BD$ относительно сигнала \overline{RxC} , нс	$t_{SU}(SYNDET/BD, LH - \overline{RxC}, LH)$	$16T_C$	—
Время задержки сигнала $RxRDY$ относительно сигнала \overline{RD} нс	$t_d(RxRDY, HI - \overline{RD}, HL)$	—	$6T_C$
Время установления сигналов \overline{CTS} и \overline{DSR} относительно сигнала \overline{RD} , нс	$t_{SU}(\overline{CTS} \overline{DSR}, LH - \overline{RD}, LH)$	—	$20T_C$
Время задержки сигналов \overline{RTS} , \overline{DTR} относительно сигнала \overline{WR} , нс	$t_d(\overline{RTS} \overline{DTR}, LH - \overline{WR}, LH)$	—	$8T_C$
Время задержки сигнала $TxRDY$ относительно сигнала \overline{WR} , нс	$t_d(TxRDY, LH - \overline{WR}, LH)$	—	$6T_C$
Время задержки сигнала $TxEND$ относительно сигнала \overline{TxC} , нс	$t_d(TxEND, LH - \overline{TxC}, LH)$	—	$20T_C$
Длительность сигнала $SYNDET/BD$ высокого уровня, нс	$t_{WH}(SYNDET/BD)$	$T_{\overline{Rx}}C$	—

Примечание Пояснения к условным обозначениям временных параметров приведены в примечаниях к табл. 3.8

задержкой на $24 T_C$ относительно фронта сигнала \overline{RxC} устанавливается напряжение высокого уровня, сигнализируя внешнему устройству о том, что произошел захват синхронизации.

Если УСАПП запрограммирован на работу с двумя синхросимволами или с контролем по четности (нечетности), то указанная выше ситуация произойдет во время приема последнего бита второго синхросимвола или бита контроля соответственно.

На выводе $SYNDET/BD$ при чтении состояния УСАПП устанавливается напряжение низкого уровня.

5 Синхронный прием с внешней синхронизацией. Временная диаграмма для данного режима приведена на рис. 3.12

В режиме синхронного приема с внешней синхронизацией на выводе $SYNDET/BD$, работающий как вход, подается напряжение синхронизации, которое разрешает прием информации по входу RxD со скоростью синхросигналов, поступающих на вход $\overline{Rx}C$. Длительность входных сигналов, поступающих на вход $SYNDET/BD$, должна быть больше или равна

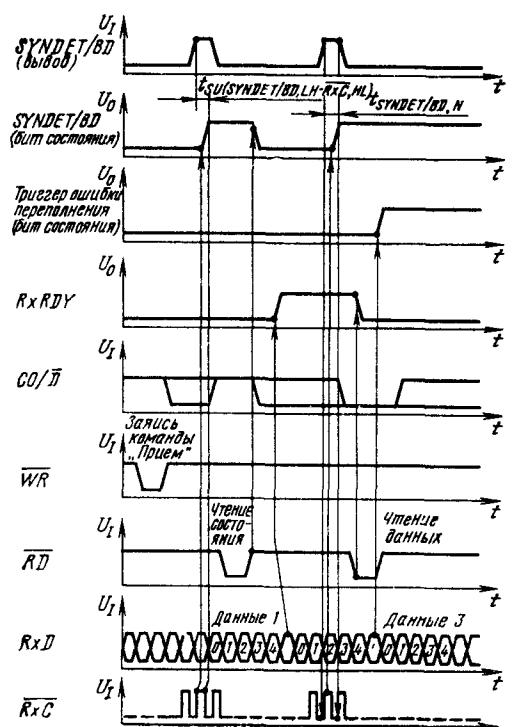


Рис. 3.12 Временная диаграмма работы КР580ВВ51А в режиме синхронного приема с внешней синхронизацией

периоду частоты синхронизации сигналов, поступающих на вход RxC .

Синхросигнал, поступающий на вход $SYNDET/BD$, может задержать начало приема информации на один период частоты синхронизации приемника из-за отсутствия правильного соотношения во времени синхросигнала RxC и сигналов, поступающих на вход $SYNDET/BD$.

Для исключения задержки (сдвига) бита данных, например начала приема информации по входу RxD с n -го периода частоты синхронизации сигнала RxC , необходимо на выводе $SYNDET/BD$ в период $n-1$ частоты синхронизации установить напряжение высокого уровня не более чем за $10T_c$ до начала перехода положительного полупериода сигнала RxC из состояния высокого уровня в состояние низкого уровня.

Для исключения ошибок, вызванных ложным появлением сигнала $RxRDY$, необходимо через два-три периода сигнала RxC после начала передачи данных произвести чтение данных без учета результата.

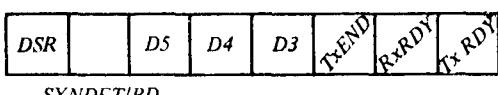
Если в инструкции режима (см. рис. 3.7) запрограммирован синхронный прием с внешней синхронизацией, то цепи внутренней синхронизации блокируются внутренним триггером внешней синхронизации, который маскируется разрядом $D6$ инструкции режима и положительным фронтом сигнала RxC и устанавливается в исходное состояние при поступлении сигнала SR или при чтении состояния микросхемы.

В режиме синхронного приема с внешней синхронизацией запрограммированные синхросимволы не используются, а начало и конец приема данных определяются сигналом $SYNDET/BD$.

Ошибки четности и переполнения контролируются тем же способом, что и в асинхронном режиме.

В системах передачи данных часто необходимо контролировать то состояние микросхемы, которое устанавливается в процессе работы, сбоев, ошибок или других ситуаций. Микросхема УСАПП содержит регистр состояний, позволяющий программисту читать ее состояние в любой момент времени в процессе выполнения операции. Содержимое регистра состояния не изменяется во время чтения состояния.

Регистр состояний находится в буферных схемах ввода/вывода, а режим чтения производится согласно третьей строки табл. 3.10. Формат регистра состояний:



$SYNDET/BD$

Назначение сигналов DSR , $SYNDET/BD$, $TxEND$, $RxRDY$ приведено в табл. 3.10. Исключение составляет только сигнал состояния

$TxRDY$ разряда $D0$ регистра состояния. Выход 15 ($TxRDY$) маскируется сигналами \overline{CTS} и «Передача информации возможна» разряда $D0$ инструкции команды, а сигнал регистра состояния $TxRDY$ не маскируется указанными выше сигналами, а только определяет, свободен или занят входной регистр данных буферной схемы ввода/вывода. Триггер ошибки стоп-бита $D5$ устанавливается в единичное состояние, если в конце посылки не обнаруживается стоп-бит. Триггер ошибки переполнения $D4$ устанавливается в единичное состояние, если микропроцессор не прочитал символ перед приемом в буферные схемы ввода/вывода новой информации. Триггер ошибки четности $D3$ устанавливается в единичное состояние, если в принятых данных обнаруживается ошибка.

Каждая из ошибок не прерывает работу микросхемы. Триггеры ошибок устанавливаются в исходное состояние инструкцией команды

Режим «Чтение состояния» позволяет использовать данную схему в системах с прерыванием и в системах с последовательным опросом внешних устройств.

Максимальное время обновления информации в выходном регистре состояния буферных схем ввода/вывода происходит через период сигнала RxC .

Основные параметры микросхемы в диапазоне рабочих температур от -10 до $+70^{\circ}\text{C}$ и напряжений питания $U_{cc} = 5 \text{ В} \pm 5\%$ приведены в табл. 3.13.

3.3. Микросхема KP580ВИ53

Микросхема KP580ВИ53 — трехканальное программируемое устройство (таймер), предназначено для организации работы микропроцессорных систем в режиме реального времени. Микросхема формирует сигналы с различными временными параметрами.

Программируемый таймер (ПТ) реализован в виде трех независимых 16-разрядных каналов с общей схемой управления. Каждый канал может работать в шести режимах. Программирование режимов работы каналов осуществляется индивидуально и в произвольном порядке путем ввода управляющих слов в регистры режимов каналов, а в счетчики — запрограммированного числа байтов.

Управляющее слово определяет режим работы канала, тип счета (двоичный или двоично-десятичный), формат чисел (одно или двухбайтовый).

Обмен информацией с микропроцессором осуществляется по 8-разрядному двунаправленному каналу данных.

Максимальное значение счета в двоичном коде 2^{16} ; в двоично-десятичном коде 10^4 .

Частота синхронизации каналов $0 \div 2,5 \text{ МГц}$.

Условное графическое обозначение микросхемы приведено на рис. 3.13, назначение выводов — в табл. 3.14, структуриальная схема показана на рис. 3.14.

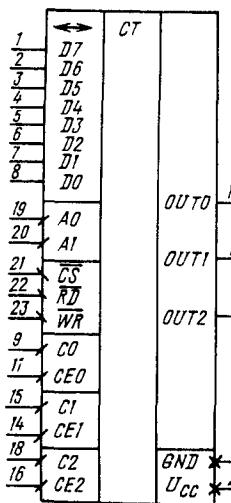


Рис. 3.13. Условное графическое обозначение КР580ВИ53

Таблица 3.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—8	D7—D0	Входы/выходы	Канал данных
9, 15, 18	C0, C1, C2	Входы	Синхронизация каналов 0—2
10, 13, 17	OUT0, OUT1, OUT2	Выходы	Сигналы каналов 0, 1, 2 соответственно
11, 14, 16	CE0, CE1, CE2	Входы	Сигналы каналов 0, 1, 2 соответственно
12	GND	—	Общий
19, 20	A0, A1	Входы	Сигналы выбора каналов 0, 1, 2
21	CS	Вход	Выбор микросхемы
22	RD	Вход	Чтение
23	WR	Вход	Запись
24	Ucc	—	Напряжение питания 5 В ± 5%

Для приведения каждого канала ПТ в исходное состояние, соответствующее выбранному режиму, и для загрузки его информацией о величине счета центральный процессор (ЦП) должен выдать в ПТ некоторый набор управляющих слов и операндов.

Режим работы каналов ПТ программируется с помощью простых операций ввода/вывода (табл. 3.15). Каждый из трех каналов ПТ программируется индивидуально путем записи в регистр режима управляющего слова, а в счетчик — запрограммированного числа байтов. Формат управляющего слова показан на рис. 3.15. Так как микросхема не имеет аппаратного вывода «Начальная установка», то в

ней предусмотрен внутренний программный сброс отдельно по каналам. Сигнал внутреннего сброса формируется при записи управляющего слова в регистр режима выбранного канала. После записи управляющего слова в регистр режима выбранного канала он переводится в один из шести основных режимов работы: режим 0 (прерывание терминального счета); режим 1 (ждущий мультивибратор); режим 2 (генератор импульсный); режим 3 (генератор меанд-

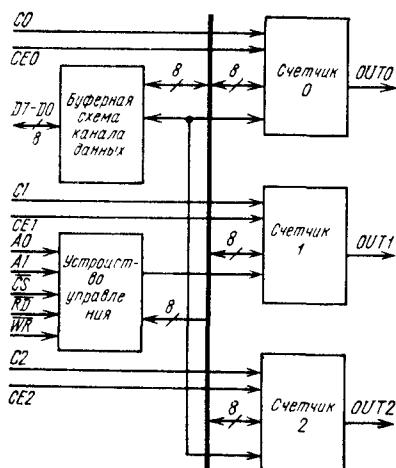


Рис. 3.14. Структурная схема КР580ВИ53

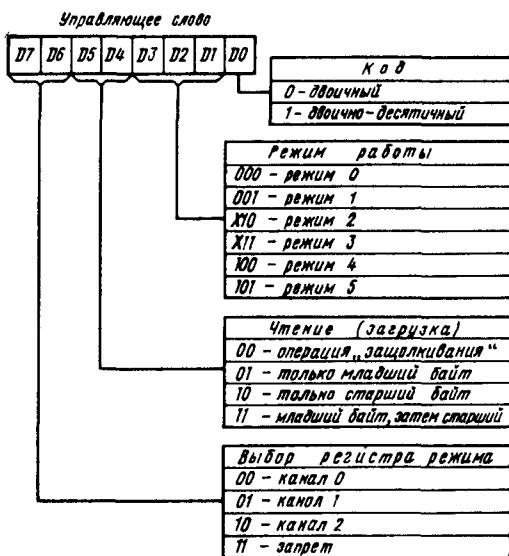


Рис. 3.15. Формат управляющего слова (X — безразличное состояние)

ра); режим 4 (одиночный программно формируемый стробирующий сигнал); режим 5 (одиночный аппаратно стробирующий сигнал).

Диаграмма работы канала ПТ в режиме 0 показана на рис. 3.16, а. В этом режиме по окончании отсчета числа, загруженного в счетчик, на выходе *OUT* канала ПТ устанавливается напряжение высокого уровня и сохраняется до загрузки счетчика новым значением.

Последовательность работы ПТ в режиме 0 следующая. После записи управляющего слова в регистр режима выбранного канала на выходе *OUT* устанавливается напряжение низкого уровня (в режимах 1—5 — напряже-

ние высокого уровня). Загрузка счетчика не изменяет состояние выхода. При подаче на вход *CE* напряжения высокого уровня включается счетчик и число, загруженное в него, декрементируется. По окончании отсчета числа на выходе канала формируется напряжение высокого уровня. Загрузка счетчика новым числом изменяет состояние выхода — устанавливается состояние низкого уровня.

Перезагрузка счетчика во время счета приводит к следующему: загрузка младшего байта останавливает текущий счет; загрузка старшего байта запускает новый цикл счета. В режиме 0 правильность загрузки счетчика мож-

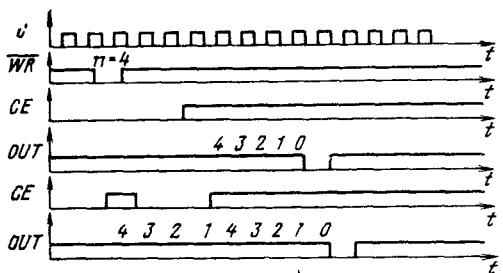
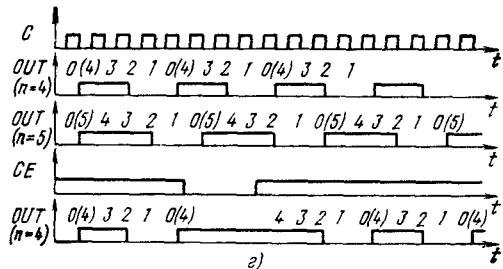
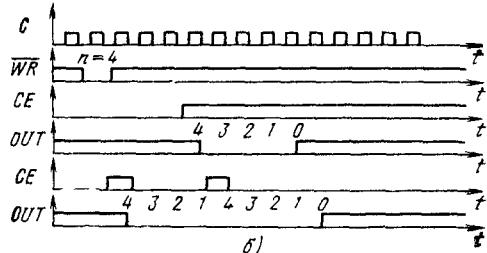
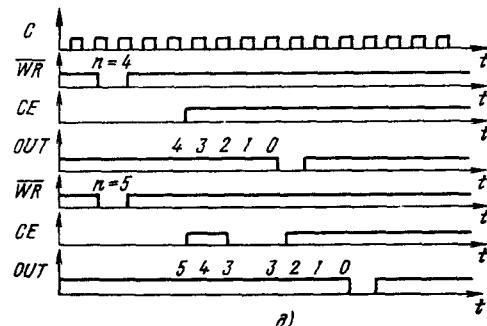
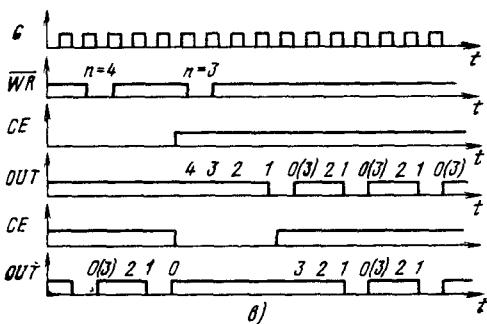
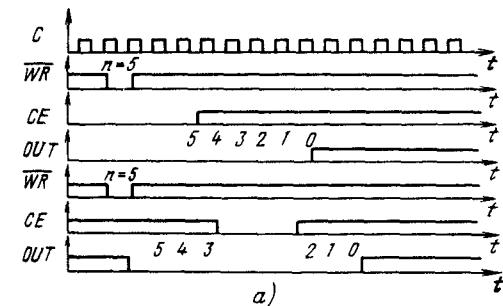


Рис. 3.16. Временные диаграммы работы КР580ВИ53 в режиме прерывания терминального счета (а), ждущего мультивибратора (б), генератора частоты (в), генератора меандра (г), одиночного программного (д) и аппаратного (е) стробирующего сигнала

Таблица 3.15

Сигналы на входах					Направление и вид информации
WR	RD	A1	A0	CS	
0	1	1	1	0	Канал данных → ПТ (занесение управляющего слова в канал 0, 1 или 2)
1	0	1	1	0	Нет операций. Канал данных ПТ в высокомом состоянии
0	1	0	0	0	Канал данных → ПТ (загрузка счетчика канала 0)
0	1	0	1	0	Канал данных → ПТ (загрузка счетчика канала 1)
0	1	1	0	0	Канал данных → ПТ (загрузка счетчика канала 2)
1	0	0	0	0	ПТ → канал данных (чтение показаний счетчика канала 0)
1	0	0	1	0	ПТ → канал данных (чтение показаний счетчика канала 1)
1	0	1	0	0	ПТ → канал данных (чтение показаний счетчика канала 2)
1	1	X	X	0	Нет операций. Канал данных ПТ в высокомом состоянии
X	X	X	X	1	Запрет Канал данных ПТ в высокомом состоянии

Примечание X

состояние входа безразлично

но проконтролировать, выполнив обычную операцию чтения. Функциональное назначение сигнала *CE* во всех режимах работы приведено в табл. 3.16 Минимально допустимое число загрузки в режиме 0 $n=2$.

Диаграмма работы ПТ в режиме 1 (ждущий мультивибратор) показана на рис 3.16, б. В этом режиме на выходе канала формируется отрицательный импульс длительностью $t_{\text{н.од.г.}} = nT_c$ (T_c — период тактовых импульсов, n — число, загруженное в счетчик). Если во время счета в счетчик будет загружено новое число, то оно не повлияет на длительность текущего импульса до следующего его запуска. Ждущий мультивибратор в данном случае является перезапускаемым, т. е. каждый положительный фронт сигнала *CE* запускает счетчик или перезапускает его для выполнения счета сначала, если счет не завершен до конца. Минимально допустимое число загрузки в режиме 1 $n=1$.

Диаграмма работы ПТ в режиме 2 показана на рис. 3.16, в. В данном режиме канал ПТ работает как делитель входных сигналов C на n . При этом длительность положительной части периода составляет $(n-1)T_c$, а отрицательной T_c (n — число, записанное в счетчик). Перезагрузка счетчика во время счета не влияет на текущий период, однако последующий период будет соответствовать уже новому значению счета. Минимально допустимое число загрузки в режиме 2 $n=2$.

Диаграмма работы ПТ в режиме 3 показана на рис 3.16, г. Этот режим во всем аналогичен режиму 2, за исключением того, что длительность положительного и отрицательного полупериодов выходного сигнала для четных чисел равна $T_c n/2$, для нечетных чисел n положительный полупериод равен $T_c (n+1)/2$, отрицательный $T_c (n-1)/2$. В режиме 3 каналы не выполняют свои функции при записи в счетчики числа $n=3$.

Таблица 3.16

Режим	Состояние сигнала		
	Напряжение низкого уровня или спад сигнала	Нарастание сигнала	Напряжение высокого уровня
0 1	Запрещает счет	—	Разрешает счет
2	1 Запрещает счет 2 Немедленно устанавливает на выходе канала напряжение высокого уровня	1 Запускает счетчик для выполнения счета сначала 2 На выходе канала устанавливается напряжение низкого уровня со следующего такта Запускает счетчик для выполнения счета сначала	Разрешает счет
3	1 Запрещает счет 2 Немедленно устанавливает на выходе канала напряжение высокого уровня	Запускает счетчик для выполнения счета сначала	Разрешает счет
4 5	Запрещает счет	— Запускает счетчик для выполнения счета сначала	Разрешает счет

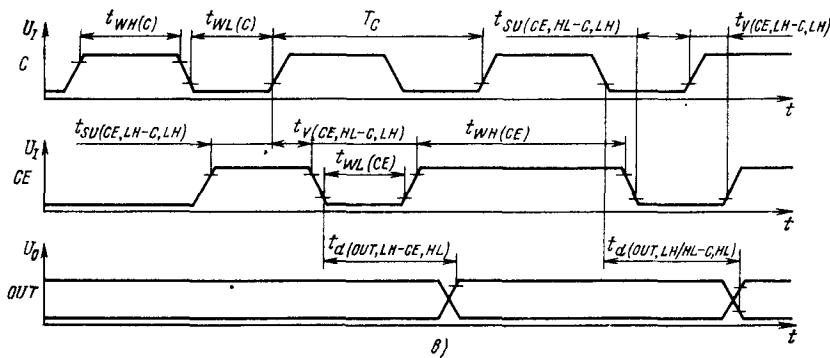
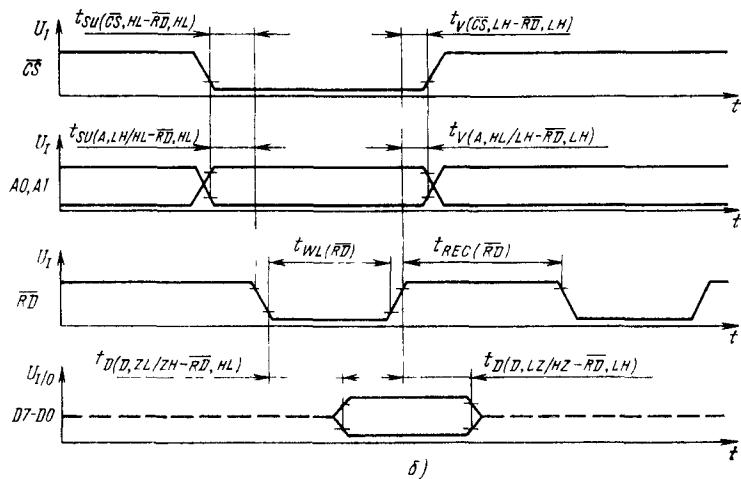
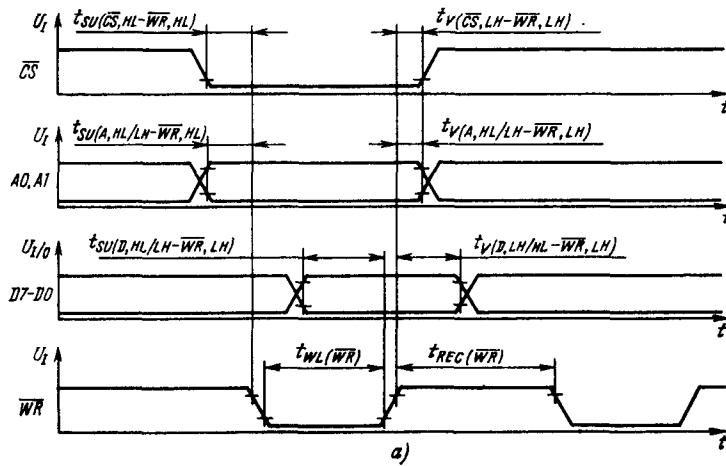


Рис. 3.17. Временные диаграммы работы КР580ВИ53 в режимах записи (а), чтения (б) и режимах 0--5 (в)

Таблица 3.18

Параметр	Обозначение	Значения параметров [мин (макс.)]
Ток потребления, мА	I_{CC}	(140)
Время установления сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_{SU}(\overline{CS}, LH-\overline{WR}, LH)$	50
Время сохранения сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_V(\overline{CS}, LH-\overline{WR}, LH)$	30
Время установления сигналов адреса $A0, A1$ относительно сигнала \overline{WR} , нс	$t_{SU}(A, LH/LH-\overline{WR}, LH)$	50
Время сохранения сигналов адреса $A0, A1$ относительно сигнала \overline{WR} , нс	$t_V(A, LH/LH-\overline{WR}, LH)$	30
Время установления сигналов данных $D7-D0$ относительно сигнала \overline{WR} , нс	$t_{SU}(D, LH/LH-\overline{WR}, LH)$	300
Время сохранения сигналов данных $D7-D0$ относительно сигнала \overline{WR} , нс	$t_V(D, LH/LH-\overline{WR}, LH)$	40
Длительность сигналов $\overline{WR}, \overline{RD}$, нс	$t_{WL}(\overline{WR}), t_{WL}(\overline{RD})$	400
Время восстановления сигнала \overline{WR} , мкс	$t_{REC}(\overline{WR})$	1,0
Время установления сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_{SU}(\overline{CS}, LH-\overline{RD}, LH)$	50
Время сохранения сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_V(\overline{CS}, LH-\overline{RD}, LH)$	5
Время установления сигналов адреса $A0, A1$ относительно сигнала \overline{RD} , нс	$t_{SU}(A, LH/LH-\overline{RD}, LH)$	50
Время сохранения сигналов адреса $A0, A1$ относительно сигнала \overline{RD} , нс	$t_V(A, LH/LH-\overline{RD}, LH)$	5
Время восстановления сигнала \overline{RD} , мкс	$t_{REC}(\overline{RD})$	1,0
Время задержки сигналов данных $D7-D0$ относительно сигнала \overline{RD} , нс	$t_d(D, ZL/ZH-\overline{RD}, LH)$	(300)
Время задержки сигналов данных $D7-D0$ относительно сигнала \overline{RD} , нс	$t_d(D, LZ/HZ-\overline{RD}, LH)$	25(125)
Период синхронизации C , нс	T_C	380
Длительность сигнала C высокого уровня, нс	$t_{WH}(C)$	230
Длительность сигнала C низкого уровня, нс	$t_{WL}(C)$	150
Время установления сигнала CE относительно сигнала C , нс	$t_{SU}(CE, LH-C, LH)$	100
Время сохранения сигнала CE относительно сигнала C , нс	$t_V(CE, LH-C, LH)$	50
Длительность сигнала CE низкого уровня, нс	$t_{WL}(CE)$	100
Длительность сигнала CE высокого уровня, нс	$t_{WH}(CE)$	150
Время установления сигнала CE относительно сигнала C , нс	$t_{SU}(CE, HL-C, LH)$	100
Время сохранения сигнала CE относительно сигнала C , нс	$t_V(CE, LH-C, LH)$	50
Время задержки сигнала OUT относительно сигнала CE , нс	$t_d(OUT, LH-CE, LH)$	(300)
Время задержки сигнала OUT относительно сигнала C , нс	$t_d(OUT, LH/HL-C, LH)$	(400)

Примечание. Пояснения к условным обозначениям временных параметров приведены в примечаниях к табл. 3.8.

Таблица 3.17

Операция	Код адреса	
	A1	A0
Запись управляющего слова «Канал 0»	1	1
Запись управляющего слова «Канал 1»	1	1
Запись управляющего слова «Канал 2»	1	1
Загрузка младшего байта в счетчик канала 1	0	1
Загрузка старшего байта в счетчик канала 1	0	1
Загрузка младшего байта в счетчик канала 2	1	0
Загрузка старшего байта в счетчик канала 2	1	0
Загрузка младшего байта в счетчик канала 0	0	0
Загрузка старшего байта в счетчик канала 0	0	0

Диаграмма работы ПТ в режиме 4 пока заняна на рис 3.16, *д*. В этом режиме на выходе выбранного канала формируется отрицательный импульс длительностью $t_{WL(out)} = T_c$ после отсчета числа, загруженного в счетчик. Для формирования следующего импульса требуется новая загрузка счетчика и т. д.

Перезагрузка счетчика во время счета приводит к следующему: загрузка младшего байта не влияет на текущий счет; загрузка старшего байта запускает новый цикл счета. Минимально допустимое число загрузки в режиме 4 $n=1$.

Диаграмма работы ПТ в режиме 5 показана на рис 3.16, *е*. В этом режиме на выходе выбранного канала формируется отрицательный импульс длительностью $t_{WL(out)} = T_c$ после отсчета числа, загруженного в счетчик. Счетчик в этом режиме является перезапускаемым и каждый положительный фронт сигнала запускает счетчик или перезапускает его, если счет не завершен до конца. Перезагрузка счетчика новым числом во время счета не влияет на длительность текущего цикла, но следующий цикл считая от нового момента запуска, уже будет новым. Минимально допустимое число загрузки в режиме 5 $n=1$.

Один из возможных примеров записи режима работы и загрузки счетчиков ПТ приведен в табл. 3.17.

Чтение информации из ПТ возможно в виду показаний счетчиков и осуществляется двумя способами путем выполнения обычной операции чтения или ввода специальной команды и последующего чтения (чтение «на лету»).

При первом способе чтения для обеспечения стабильных показаний (читывается текущая информация) работа счетчика должна быть приостановлена путем подачи на вход *CF* напряжения низкого уровня (режимы 0, 2—4) или блокированием сигналов *C*.

Второй способ чтения заключается в том что программист может считывать содержимое счетчика, не прерывая процесса счета посредством операции записи определенного управляющего слова. В управляющем слове разряды $D5=0$, $D4=0$ указывают что производится операция защелкивания разряды $D7$ $D6$ служат адресом для выбора канала состояния разрядов $D3$ $D0$ безразлично.

Содержимое счетчика при втором способе чтения извлекается в следующем порядке: операция записи «зашелкивает» текущее значение счета, первая операция чтения извлекает содержимое младшего байта, вторая операция чтения извлекает со старшим байта.

Временные диаграммы сигналов в режимах «запись» «чтение» и режимах 0—5 приведены на рис. 3.17, *а*—*в*.

Основные параметры микросхем в диапазоне рабочих температур от -10 до $+70^\circ\text{C}$ и напряжений питания $+50 \text{ В} \pm 5\%$ приведены в табл. 3.18.

3.4. Микросхема KP580BB55A

Микросхема KP580BB55A программируемое устройство ввода/вывода параллельной информации, применяется в качестве элемента ввода/вывода общего назначения сопрягающего различные типы периферийных устройств с магистралью данных систем обработки информации.

Условное графическое обозначение микросхемы приведено на рис. 3.18, назначение выводов — в табл. 3.19, структурная схема показана на рис. 3.19.

Обмен информацией между магистралью данных систем и микросхемой KP580BB55A осуществляется через 8 разрядный двунаправленный трехстабильный канал данных (*D*). Для связи с периферийными устройствами используются 24 линии ввода/вывода, сгруппированные в три 8-разрядных канала *BA*, *BB*, *BC*, направления передачи информации и режимы работы которых определяются программным способом.

Микросхема может функционировать в трех основных режимах. В режиме 0 обеспечивается возможность синхронной программно управляемой передачи данных через два не зависимых 8-разрядных канала *BA* и *BB* и два 4-разрядных канала *BC*.

В режиме 1 обеспечивается возможность ввода или вывода информации в или из периферийного устройства через два независимых 8-разрядных канала *BA* и *BB* по сигналам квитирования. При этом линии канала *C* используются для приема и выдачи сигналов управления обменом.

В режиме 2 обеспечивается возможность обмена информацией с периферийными устройствами через двунаправленный 8-разрядный канал *BA* по сигналам квитирования. Для передачи и приема сигналов управления обме-

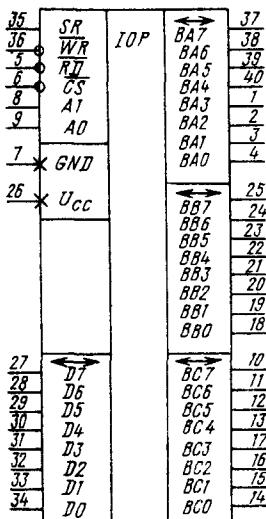


Рис. 3.18 Условное графическое обозначение KP580BB55A

Таблица 3.19

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—4,	<i>BA3—BA0, BA7—BA4</i>	Входы/выходы	Информационный канал А
37—40			
5	<u>RD</u>	Вход	Чтение информации
6	<u>CS</u>	Вход	Выбор микросхемы
8	<u>A1</u>	—	Общий
9	<u>AO</u>	Вход	Младшие разряды адреса
7	<u>GND</u>		Информационный канал С
26	<u>U_{CC}</u>		Информационный канал В
25			Напряжение питания +5 В ±5%
24			Канал данных
23			Установка в исходное состояние
22			Запись информации
21			
8, 9	<i>A1, AO</i>	Входы/выходы	
10—17	<i>BC7—BC4, BC0—BC3</i>	Входы/выходы	
18—25	<i>BB0—BB7</i>	Входы/выходы	
26	<i>U_{CC}</i>	—	
27—34	<i>D7—D0</i>	Входы/выходы	
35	<i>SR</i>	Вход	
36	<u>WR</u>	Вход	

ном используются пять линий канала *BC*. Выбор соответствующего канала и направление передачи информации через канал определяются сигналами *AO*, *A1* (соединяемые обычно с младшими разрядами канала адреса системы) и сигналами *RD*, *WR*, *CS* в соответствии с табл. 3.20

Режим работы каждого из каналов *VA*, *VB*, *VC* определяется содержимым регистра управляющего слова (РУС). Произведя запись управляющего слова в РУС, можно перевести микросхему в один из трех режимов работы: режим 0 — простой ввод/вывод; режим 1 — стробируемый ввод/вывод; режим 2 — двухнаправленный канал.

При подаче сигнала *SR* РУС устанавливается в состояние, при котором все каналы настраиваются на работу в режиме 0 для ввода информации. Режим работы каналов можно изменять как в начале, так и в процессе выполнения программы, что позволяет обслуживать различные периферийные устройства в определенном порядке одной микросхемой. При изменении режима работы любого канала все входные и выходные регистры каналов и триггеры состояния сбрасываются. Графическое представление режимов работы каналов показано на рис. 3.20, а формат управляющего слова, определяющего режимы работы каналов приведен на рис. 3.21.

В дополнение к основным режимам работы микросхема обеспечивает возможность программной независимой установки в 1 и сброса в 0 любого из разрядов регистра канала *BC*. Формат управляющего слова установки/сброса разрядов регистра канала *BC* показан на рис. 3.22.

Если микросхема запрограммирована для

работы в режиме 1 или 2, то через выводы *BC0* и *BC3* канала *BC* выдаются сигналы, которые могут использоваться как сигналы запросов прерывания для микропроцессора. Запретить или разрешить формирование этих сигналов в микросхеме можно установкой или сбросом соответствующих разрядов в регистре канала *BC*. Эта особенность микросхемы позволяет программисту запрещать или разрешать обслуживание любого внешнего устройства ввода/вывода без анализа запроса прерывания в схеме прерывания системы.

При работе микросхемы в режиме 0 обеспечивается простой ввод или вывод информации через любой из трех каналов, и сигналов управления обменом информацией с перифе-

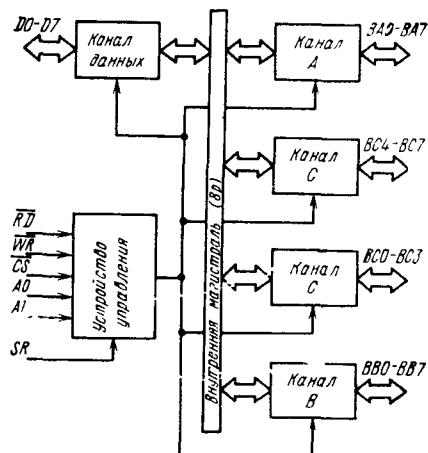


Рис. 3.19. Структурная схема KP580BB55A

Таблица 3.20

Сигналы на входах					Направление передачи информации
A1	A0	RD	WR	CS	
Операции ввода (чтение)					
0	0	0	1	0	BA → канал данных
0	1	0	1	0	BВ → канал данных
1	0	0	1	0	BC → канал данных
Операции вывода (запись)					
0	0	1	0	0	Канал данных → BA
0	1	1	0	0	Канал данных → BB
1	0	1	0	0	Канал данных → BC
1	1	1	0	0	Канал данных → РУС
Операции блокировки					
X	X	X	X	1	Канал данных → третье состояние
1	1	0	1	0	Запрещенная комбинация
Примечание. X — состояние входа безразлично					

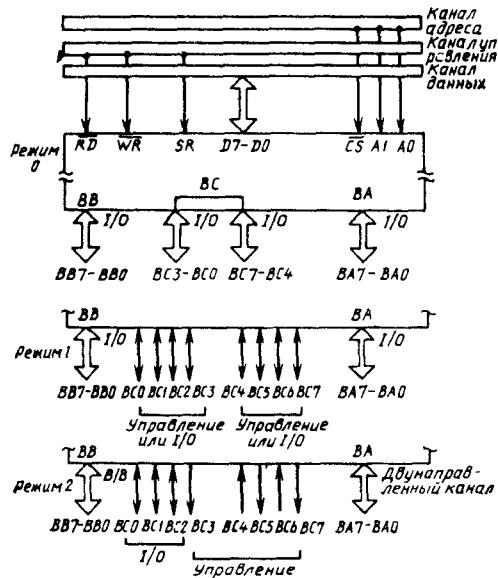


Рис. 3.20. Графическое представление режимов работы каналов

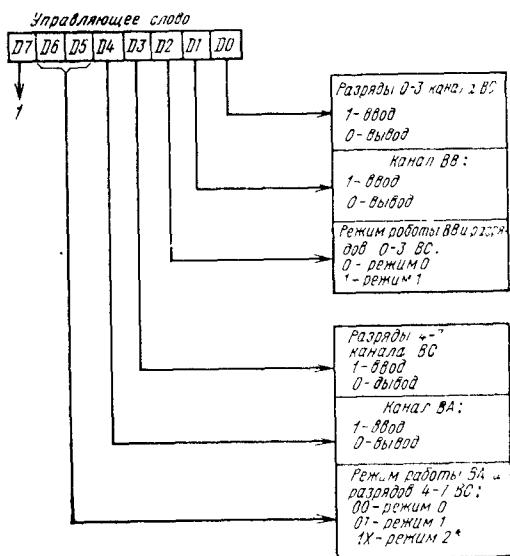


Рис. 3.21. Формат управляющего слова определения режима работы.

* Безразличное состояние

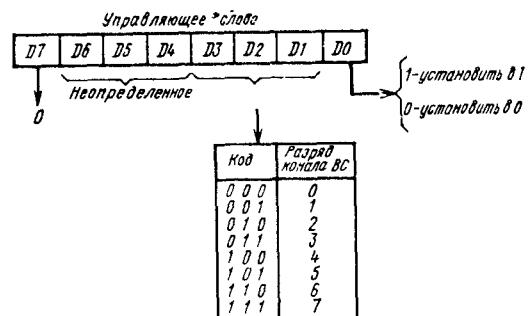


Рис. 3.22. Формат управляющего слова установки и сброса разрядов регистра канала C

рийным устройством не требуется. В этом режиме микросхема представляет собой совокупность двух 8-разрядных и двух 4-разрядных каналов ввода/вывода. В режиме 0 возможны 16 различных комбинаций схем ввода/вывода каналов BA, BB, BC, которые приведены в табл. 3.21. Временные диаграммы работы схемы в режиме 0 показаны на рис. 3.23.

Для записи управляющего слова в микросхему используется временная диаграмма режима 0 — вывод.

В режиме 1 передача данных осуществляется только через каналы BA и BB, а линии канала BC используются для приема и выдачи сигналов управления обменом (сигналов квитирования).

Форматы управляющих слов и функциональные схемы каналов BA и BB при вводе

Таблица 3.21

Состояния разрядов управляющего слова				Направление передачи информации			
D4	D3	D1	D0	Канал BA	Канал BC разряды 7-4	Канал BB	Канал BC разряды 3-0
0	0	0	0	Выход	Выход	Выход	Выход
0	0	0	1	Выход	Выход	Выход	Ввод
0	0	1	0	Выход	Выход	Ввод	Выход
0	0	1	1	Выход	Выход	Ввод	Ввод
0	1	0	0	Выход	Ввод	Выход	Выход
0	1	0	1	Выход	Ввод	Выход	Ввод
0	1	1	0	Выход	Ввод	Ввод	Выход
0	1	1	1	Выход	Ввод	Ввод	Ввод
1	0	0	0	Ввод	Ввод	Ввод	Выход
1	0	0	1	Ввод	Выход	Выход	Ввод
1	0	1	0	Ввод	Выход	Ввод	Выход
1	0	1	1	Ввод	Выход	Ввод	Ввод
1	1	0	0	Ввод	Ввод	Выход	Ввод
1	1	0	1	Ввод	Ввод	Выход	Ввод
1	1	1	0	Ввод	Ввод	Выход	Ввод
1	1	1	1	Ввод	Ввод	Ввод	Ввод

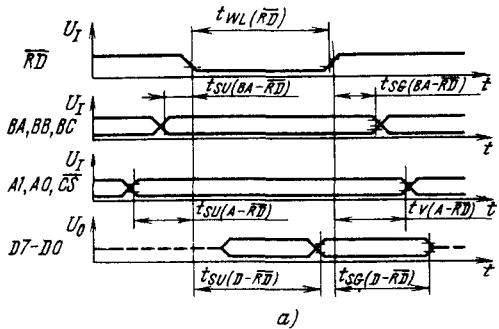


Рис. 3.23 Временные диаграммы работы КР580ВВ55.1 в режиме 0 при вводе (а) и выводе (б) информации

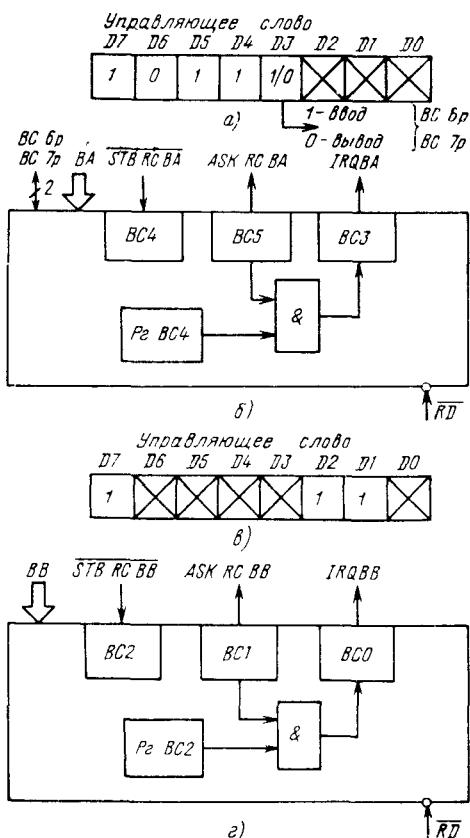


Рис. 3.24. Форматы управляющих слов (а, б) и функциональные схемы ввода данных (в, г) в режиме I

данных в режиме I показаны на рис. 3.24, временная диаграмма приведена на рис. 3.25.

При подаче сигнала *STB RC* (стробирующий сигнал приема) низкого уровня данные записываются во входной регистр соответствующего канала.

Выходной сигнал *ASK RS* «Подтверждение приема» высокого уровня свидетельствует о том, что входные данные записаны во входной регистр канала.

Сигнал на выходе *IRQ* «Запрос прерывания» может использоваться для прерывания работы микропроцессора и устанавливается в состояние высокого уровня, если сигналы *STB RC*, *ASK RC* и *RD* в состоянии высокого уровня и соответствующий разряд регистра канала *BC*, используемый как триггер разрешения выработки запроса прерывания по данному каналу, установлен в состояние высокого уровня. Сигнал *IRQ* сбрасывается в состояние низкого уровня при чтении информации из соответствующего канала.

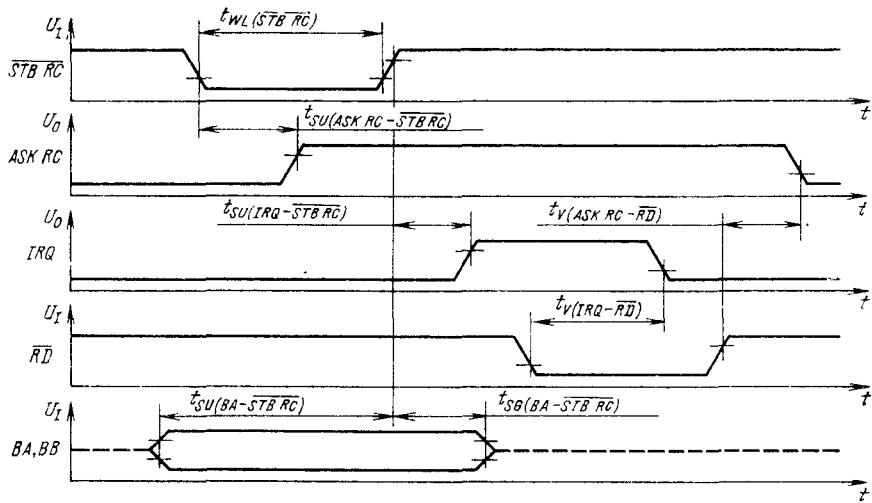


Рис. 3.25. Временная диаграмма работы KP580BB55A в режиме 1 при вводе информации

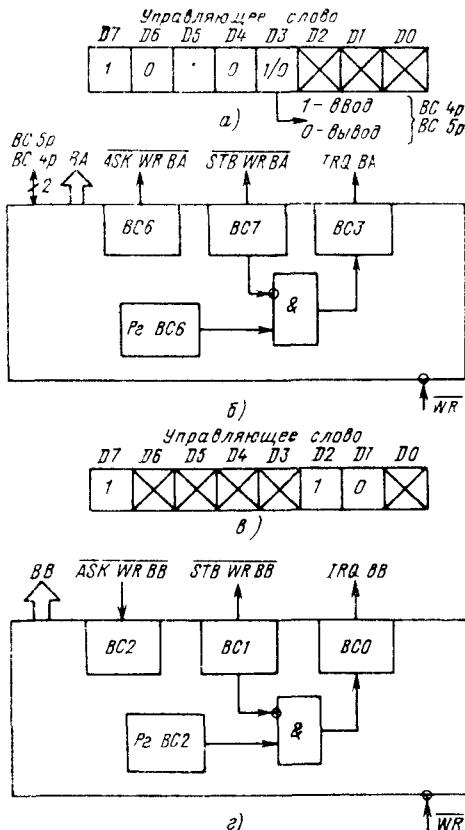


Рис. 3.26. Форматы управляющих слов (а, в) и функциональные схемы вывода данных (б, г) в режиме 1

Для разрешения выработки сигнала $IRQ\ BA$ используется 4-й разряд регистра канала BC , а для сигнала $IRQ\ BB$ 2-й разряд регистра канала BC .

Форматы управляющих слов и функциональные схемы каналов BA и BB при выводе информации в режиме 1 показаны на рис. 3.26, временная диаграмма вывода данных в режиме 1 — на рис. 3.27.

Сигнал низкого уровня на выходе $STB\ WR$ (стробирующий сигнал записи) свидетельствует о том, что микропроцессор произвел запись данных в выходной регистр канала.

Сигнал низкого уровня на входе $ASK\ WR$ (подтверждение записи) свидетельствует о том, что внешнее устройство приняло данные, записанные в микросхему.

Сигнал IRQ устанавливается в состояние высокого уровня, если сигналы $STB\ WR$, $ASK\ WR$ в состоянии высокого уровня и соответствующий разряд регистра канала BC , используемый как триггер разрешения выработки запроса прерывания по данному каналу, установлен в состояние высокого уровня. В состояние низкого уровня сигнал IRQ сбрасывается при переходе сигнала WR в состояние низкого уровня. Для разрешения выработки сигнала $IRQ\ BA$ используется 6-й разряд регистра канала BC , а для сигнала $IRQ\ BB$ 2-й разряд регистра канала BC .

При работе микросхемы в режиме 2 обеспечивается возможность обмена информацией с периферийными устройствами только по 8-разрядному дву направленному каналу BA . Для обеспечения протокола обмена используется пять линий канала BC .

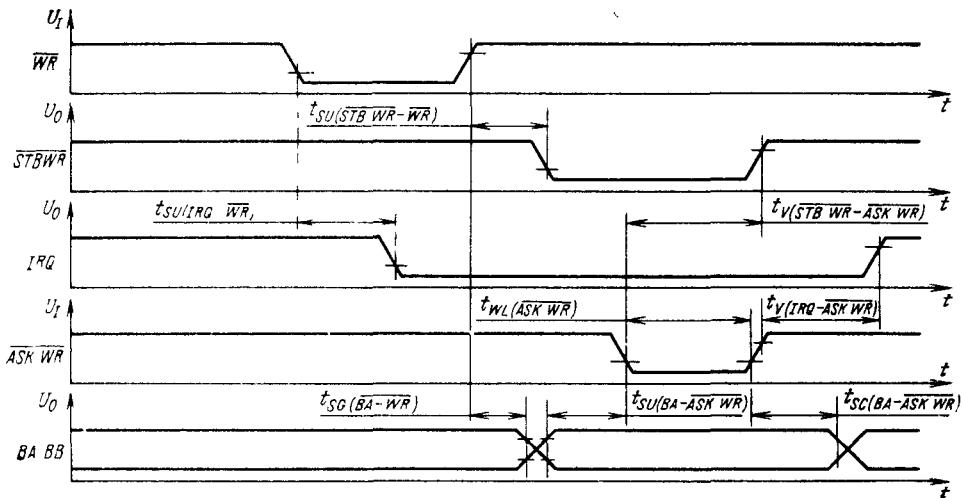


Рис. 3.27 Временные диаграммы работы KP580BV55Л в режиме 1 при выводе информации

Формат управляющего слова и функциональная схема ввода/вывода данных в режиме 2 показаны на рис. 3.28, временная диаграмма работы микросхемы в режиме 2 — на рис. 3.29

Функции сигналов управления, используемых при передаче информации в режиме 2, и временные соотношения между ними такие же, как и в режиме 1

В режиме 2 допускается любая последовательность передачи данных, при которой сигнал \overline{WR} появляется раньше сигнала $\overline{ASK WR BA}$, а сигнал $\overline{STB WR BA}$ — раньше сигнала \overline{RD}

Если микросхема запрограммирована для работы в режиме 1 или 2, то состояние каждого сигнала управления об установлении связи с периферийным устройством, принимаемого и выданного через выводы канала BC , фиксируется в регистре канала BC . Это позволяет программисту простым чтением содержимого регистра канала BC проверить состояние каждого периферийного устройства, подключенного к микросхеме, и в соответствии с состоянием внешнего устройства изменять процесс прохождения программы

Для чтения информации состояния используется обычная операция чтения канала BC . Форматы слова состояния для режимов 1 и 2 показаны на рис. 3.30

Основные параметры микросхемы в диапазоне рабочих температур от -10 до $+70^{\circ}\text{C}$ и напряжении питания $U_{CC} = 5,0 \text{ В} \pm 5\%$ приведены в табл. 3.22

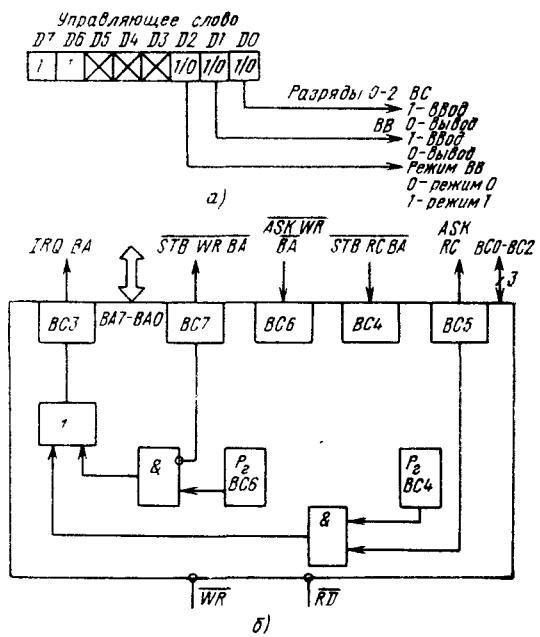


Рис. 3.28 Формат управляющего слова (а) и функциональная схема ввода/вывода данных (б) в режиме 2

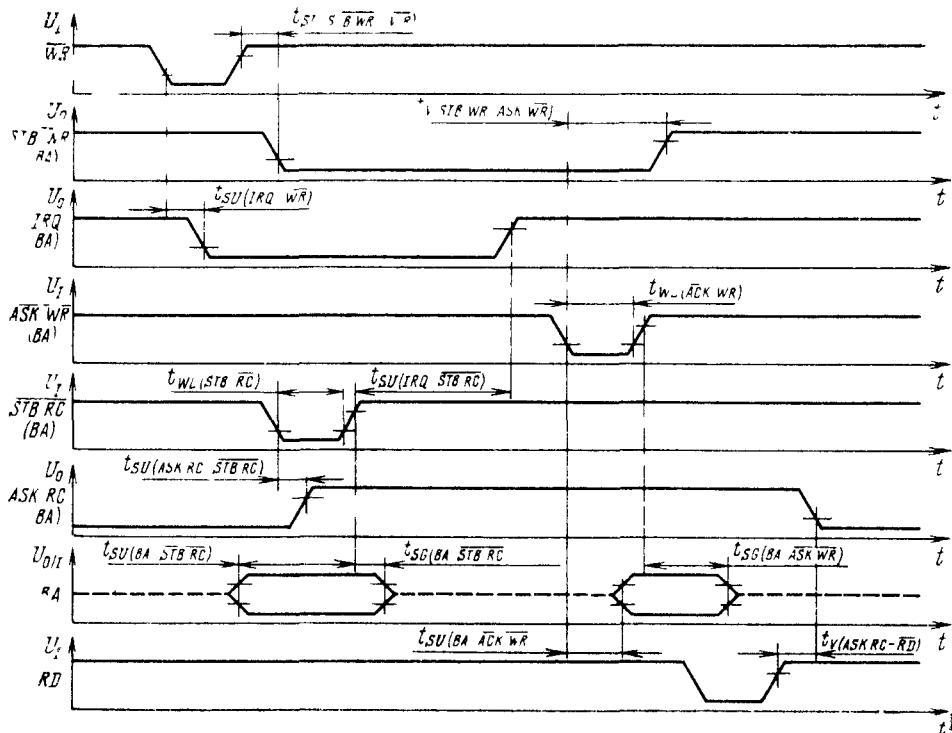


Рис 3.29 Временная диаграмма работы КР580ВВ55А в режиме 2

D7	D8	D9	D10	D11	D12	D13	D14
Ввод/вывод	Ввод/вывод	Подтверждение приема А	Разрешение выдача блокки запуска посредством А	Запрос прерывания А	Разрешение выдача блокки запуска посредством В	Подтверждение приема В	запрос прерывания В

Конспект

7

<i>Д1</i>	<i>Д6</i>	<i>Д5</i>	<i>Д4</i>	<i>Д3</i>	<i>Д2</i>	<i>Д1</i>	<i>Д0</i>
Строби ружащии сигнал записи <i>A</i>	Разреше- ние выра- ботки зап- роса пре- рывания <i>A</i>	Вход/Выход Вход/Выход	Вход/Выход	Запрос предъ- вания <i>A</i>	Разреше- ние выра- ботки зап- роса пре- рывания <i>B</i>	Строби ружащии сигнал записи <i>B</i>	Запрос предъ- вания <i>B</i>

24

6

<i>D</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
Прием и регистрация сигнала записи <i>A</i>	Подтверж- дение приема <i>A</i>	Газреще- ние доставки зап- роса предъ- вания по входу	Запрос прерыв- ания <i>A</i>				

Kauai 81

6

Рис. 3.30 Форматы слова состояния для режимов 1 и 2
 а) режим 1 (вывод информации) б) режим 2 (вывод информации) в) режим 2

Таблица 3.22

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Ток потребления, мА	I_{CC}	—	120
Длительность сигнала \overline{RD} , нс	$t_{WL}(\overline{RD})$	300	—
Время установления данных на канале BA (BB, BC) относительно сигнала \overline{RD} , нс	$t_{SU}(BA - \overline{RD})$	0	—
Время сохранения данных на канале BA (BB, BC) относительно сигнала \overline{RD} , нс	$t_{SG}(BA - \overline{RD})$	0	—
Время установления адреса $A1, A0$ и сигнала CS относительно сигнала \overline{RD} , нс	$t_{SU}(A - \overline{RD})$	0	—
Время сохранения адреса $A1, A0$ и сигнала CS относительно сигнала \overline{RD} , нс	$t_V(A - \overline{RD})$	0	—
Время установления данных $D7 - D0$ относительно сигнала \overline{RD} , нс	$t_{SU}(D - \overline{RD})$	—	250
Время сохранения данных $D7 - D0$ относительно сигнала \overline{RD} , нс	$t_{SG}(D - \overline{RD})$	10	150
Длительность сигнала \overline{WR} , нс	$t_{WL}(\overline{WR})$	400	—
Время установления данных $D7 - D0$ относительно сигнала \overline{WR} , нс	$t_{SU}(D - \overline{WR})$	100	—
Время сохранения данных $D7 - D0$ относительно сигнала \overline{WR} , нс	$t_{SG}(D - \overline{WR})$	30	—
Время установления адреса $A1, A0$ и сигнала CS относительно сигнала \overline{WR} , нс	$t_{SU}(A - \overline{WR})$	0	—
Время сохранения адреса $A1, A0$ и сигнала CS относительно сигнала \overline{WR} , нс	$t_V(A - \overline{WR})$	20	—
Время установления данных на канале BA (BB, BC) относительно сигнала \overline{WR} , нс	$t_{SG}(BA - \overline{WR})$	—	350
Длительность сигнала $STB\ RC$, нс	$t_{WL}(STB\ RC)$	500	—
Время установления сигнала $ASK\ RC$ относительно сигнала $STB\ RC$, нс	$t_{SU}(ASK\ RC - STB\ RC)$	—	300
Время установления сигнала IRQ относительно сигнала $STB\ RC$, нс	$t_{SU}(IRQ - STB\ RC)$	—	300
Время сохранения сигнала $ASK\ RC$ относительно сигнала \overline{RD} , нс	$t_V(ASK\ RC - \overline{RD})$	—	300
Время сохранения сигнала IRQ относительно сигнала \overline{RD} , нс	$t_V(IRQ - \overline{RD})$	—	400
Время установления данных на канале BA (BB) относительно сигнала $STB\ RC$, нс	$t_{SU}(BA - STB\ RC)$	100	—
Время сохранения данных на канале BA (BB) относительно сигнала $STB\ RC$, нс	$t_{SG}(BA - STB\ RC)$	180	—
Время установления сигнала $STB\ WR$ относительно сигнала \overline{WR} , нс	$t_{SU}(STB\ WR - \overline{WR})$	—	650
Время сохранения сигнала $STB\ WR$ относительно сигнала $ASK\ WR$, нс	$t_V(STB\ WR - ASK\ WR)$	—	350
Время установления сигнала IRQ относительно сигнала \overline{WR} , нс	$t_{SU}(IRQ - \overline{WR})$	—	850
Длительность сигнала $ASK\ WR$, нс	$t_{WL}(ASK\ WR)$	300	—
Время сохранения сигнала IRQ относительно сигнала $ASK\ WR$, нс	$t_V(IRQ - ASK\ WR)$	—	350
Время сохранения данных канала BA, BB относительно сигнала \overline{WR} , нс	$t_{SG}(BA - \overline{WR})$	—	350

Параметр	Обозначение	Значения параметров	
		мин	макс
Время установления данных канала BA относительно сигнала $ASK\ WR$, нс	$t_{SU}(BA - ASK\ WR)$	—	300
Время сохранения данных канала BA относительно сигнала $ASK\ WR$, нс	$t_{SG}(BA - ASK\ WR)$	20	250

Примечания 1. Длительность сигнала SR при включении или после подачи питания на микросхему должна составлять не менее 50 мс. В других случаях длительность сигналов SR должна быть не менее 500 нс.

2. Время между двумя последовательными сигналами RD и (или) WR должно быть не менее 850 нс.

3. Пояснения к условным обозначениям временных параметров приведены в примечаниях к табл. 3.8.

3.5. Микросхема KP580BT57

Микросхема KP580BT57 — четырехканальный программируемый контроллер прямого доступа к памяти (ПД), предназначенный для высокоскоростного обмена данными между памятью системы и периферийными устройствами путем генерации массива последовательных адресов памяти по требованию периферийного устройства.

Микросхема осуществляет двунаправленный обмен данными между памятью и периферийными устройствами путем формирования в адресном канале микропроцессорной системы параллельного обмена.

метров заданного массива адресов ячеек памяти и управляющих сигналов. Массив адресов, по которым происходит обмен данными между периферией и памятью, характеризуется начальным адресом, т. е. первым адресом начала обмена и числом циклов обращений к памяти. После предоставления системной шины со стороны процессора микросхема может

Таблица 3.23

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1	$RD\ JO$	Вход/выход	Чтение ввода/вывода
2	$WR\ JO$	Вход/выход	Запись ввода/вывода
3	RD	Выход	Чтение памяти
4	WR	Выход	Запись памяти
5	$M128$	Выход	Модуль 128
6	RDY	Вход	Сигнал «Готовность»
7	$HLDA$	Вход	Сигнал «Подтверждение захвата»
8	$STBA$	Выход	Стробирующий сигнал адреса
9	AE	Выход	Разрешение адреса
10	HRQ	Выход	Запрос захвата
11	CS	Вход	Выбор микросхемы
12	C	Вход	Тактовый сигнал
13	SR	Вход	Сигнал «Установка»
14	$DACK0-DACK3$	Выходы	Подтверждение прямого доступа к памяти каналов 0—3.
15	$DRQ0-DRQ3$	Входы	Запрос прямого доступа к памяти каналов 0—3
16	GND	—	Общий
17	$D0-D7$	Входы	Канал данных
18	TG	—	—
19	$D0$	Входы	Напряжение питания
20	$D1$	—	Канал адреса
21	$D2$	—	Конец счета
22	$D3$	—	Канал адреса
23	$D4$	—	—
24	$D5$	—	—
25	$D6$	—	—
26	$D7$	—	—
27	$M128$	—	—
28	U_{CC}	—	—
29	U_{WRD}	—	—
30	U_{WRD}	—	—
31	U_{CC}	—	—
32	36	Выходы	—
33	$37-40$	Выходы	Выход
34	TC	Выходы	Выход
35	$A4-A7$	Выходы	Выход

Рис. 3.31. Условное графическое обозначение KP580BT57

осуществить обмен массивом данных между памятью и периферийными устройствами без дальнейшего вмешательства процессора.

Каждый из четырех каналов микросхемы обеспечивает адресацию (путем инкрементирования выработанного адреса) внешней памяти массивами объемом до 16К байт с возможностью задания любого из 64К начальных адресов.

Условное графическое обозначение микросхемы приведено на рис. 3.31, назначение выводов — в табл. 3.23, структурная схема показана на рис. 3.32.

Каналы приема запросов ПД предназначены для приема и привязки несинхронных сигналов прямого доступа к памяти $DRQ0$ — $DRQ3$, маскирования входов и выдачи сигналов подтверждения запроса прямого доступа к памяти $DACK0$ — $DACK3$. Каждый канал принимает запрос через свой вход DRQ и выдает сигнал «Подтверждение запроса» ПД через соответствующий выход.

Устройство управления управляет последовательностью операций в течение всех циклов ПД путем генерации соответствующих управляющих сигналов. Устройство осуществляет переход микросхемы из состояния ожидания в состояние обслуживания по сигналу $HLDA$, поступившему из процессора, вырабатывает и передает внешние сигналы на следующие выводы:

выход HRQ (запрос захвата) запрашивает управление системной шиной. В системе с одной микросхемой этот выход должен быть подключен ко входу «Захват» микросхемы KP580BM80A;

вход $HLDA$ (подтверждение захвата) получает от KP580BM80A сигнал, который свидетельствует, что микросхема KP580BT57 может приступать к управлению системными шинами;

вход C (тактовый сигнал), на который по- даются тактовые импульсы $C2$ от тактового генератора микропроцессорной системы,

выход $STBA$ (стробирующий сигнал адреса) стробирует старший байт адреса памяти, передаваемый через шину данных;

выход AE (разрешение адреса) указывает системе, что происходят циклы ПД. Он может быть использован в системе для блокировки адресной шины в устройствах, не участвующих в ПД;

выход TC (конец счета) указывает выбранному в настоящий момент периферийному устройству, что текущий цикл ПД должен быть последним для этого массива данных. Если разряд разрешения «КС-стоп» в регистре режима ($РгР$) установлен в 1, то выбранный канал будет автоматически запрещен в конце этого цикла ПД, т. е. в конце передачи массива данных. Вывод активизируется (устанавливается в 1), когда содержимое 14-разрядного регистра циклов ($РгЦ$) в данном канале устанавливается в 0. 14 разрядов $РгЦ$ должны быть загружены числом $N-1$, где N — нужное число циклов ПД.

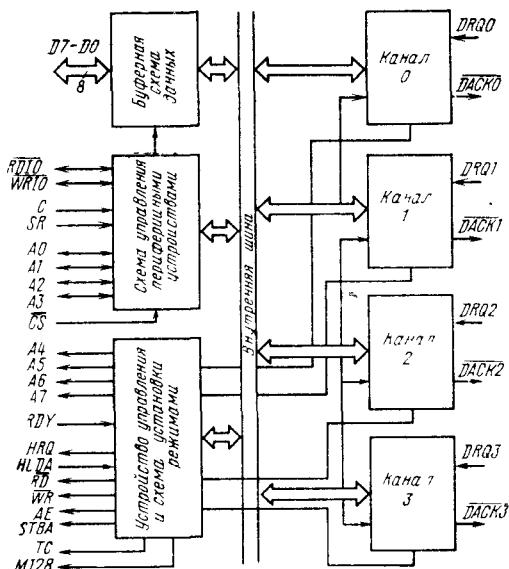


Таблица 3.24

Приоритет	Обслуженный канал			
	0	1	2	3
Наивысший ↓ Самый низкий	1 2 3 0	2 3 0 1	3 0 1 2	0 1 2 3

ферийного устройства может вызвать цикл ПД, что приведет к порче данных в памяти

Состояние 1 в разряде 4 РГР устанавливает режим циклического сдвига приоритетов. В этом режиме после каждого цикла ПД (но не каждого запроса ПД) приоритет каждого канала изменяется. Канал, который только что был обслужен, будет иметь самый низкий приоритет, а остальные каналы получат приоритет, следующий по уровню, как показано в табл. 3.24.

Если разряд 4 установлен в 0, каждый канал ПД имеет фиксированный приоритет. В режиме фиксированных приоритетов канал 0 имеет наивысший приоритет, а канал 3 — самый низкий.

Циклический сдвиг приоритетов предотвращает моноополизацию одного из каналов ПД, последовательность циклов ПД будет обслуживать различные каналы, если разрешено обслуживание более одного канала. Все операции ПД начинаются с первоначального присвоения каналу 0 наивысшего приоритета для первого цикла ПД.

Состояние 1 в разряде 5 РГР устанавливает режим удлиненной записи. В этом случае продолжительность сигналов \overline{WR} и $\overline{WR10}$ увеличивается путем более ранней их активизации в цикле ПД. Передача данных в микропроцессорной системе на основе БИС КР580ВМ80А реализуется асинхронно, чтобы можно было использовать различные типы памяти и устройств ввода/вывода с различным временем доступа к памяти. Если к устройству в указанный интервал времени доступ невозможен, то оно выдает в микросхему сигнал «Отсутствие готовности», тем самым заставляя ее войти в один или более тактов ожидания готовности.

Некоторые устройства отличаются достаточным быстродействием, чтобы получить к ним доступ без использования тактов ожидания готовности. Для этого такие устройства должны генерировать свой сигнал «Готовность одновременно с появлением фронта сигнала \overline{WR} или $\overline{WR10}$. Однако в процессе формирования сигнала «Готовность» он задерживается, что может заставить микросхему войти в такт ожидания готовности. Для вычислительных систем с этим типом устройств режим удлиненной записи обеспечивает другие временные соотношения для сигналов \overline{WR} и $\overline{WR10}$, которые дают возможность устройст-

вам раньше выдать сигнал «Готовность» и, следовательно, исключить такты ожидания для микросхемы, что увеличивает пропускную способность системы.

Состояние 1 в разряде 6 РГР устанавливает режим «КС-стоп», при котором после появления сигнала TC обслуженный канал ПД оказывается запрещенным. В результате автоматически прекращаются всякие операции ПД в данном канале. Разряд разрешения для данного канала должен быть перепрограммирован для продолжения или начала следующей операции ПД.

Если разряд 6 установлен в 0, то появление сигнала TC не запрещает дальнейшее использование канала. В этом случае сигнал информирует периферию об окончании операции ПД.

При наличии 1 в разряде 7 РГР устанавливается режим автозагрузки. Этот режим позволяет каналу 2 многократно передавать массив данных без программного вмешательства. Регистры канала 2 устанавливаются, как обычно, для одной передачи массива. Регистры канала 3 в это время хранят параметры массива для переустановки регистров канала 2 (начальный адрес ПД, число циклов и направление передачи). После первой передачи массива данных через канал 2 и появления сигнала TC параметры, хранимые в регистрах канала 3, автоматически загружаются в соответствующие регистры канала 2. Заметим, что возможности режима «КС-стоп» не воздействуют на канал 2, когда разряд 7 установлен в 1.

Если разряд 7 установлен в 1, то начальные параметры для канала 2 автоматически дублируются в регистрах канала 3 при программировании канала 2. Это обеспечивает многократную передачу массива программированием только одного канала. Операция многократной передачи массива может быть использована для регенерации изображения на электронно-лучевой трубке. Каналы 2 и 3 могут быть загружены также разными параметрами при условии, что канал 2 загружается раньше, чем канал 3. Следует заметить, что в режиме автозагрузки доступен для работы канал 3, если нет запроса ПД по каналу 2 и разряд разрешения канала 3 РГР установлен в 1, но использование этого канала будет изменять значения параметров, которые должны загрузиться в канал 2.

При использовании режима автозагрузки для операций по связыванию массивов данных (цепочка данных) надо перезагружать программно регистры канала 3 новыми параметрами для передачи следующего массива данных. Каждый раз, когда в микросхеме происходит поимена данных канала 2 содержимым канала 3 в регистре состояния (РГС) аппаратно устанавливается разряд 4 «Флаг обновления данных». При этом подмена происходит с сохранением информации в регистрах канала 3. Повторный запуск канала 2 происходит в начале следующего цикла ПД канала 2 после появления сигнала TC . Это первый цикл ПД нового массива данных для канала 2. Разряд

«Флаг обновления данных» в РГС сбрасывается аппаратно в конце этого цикла. Для операций по связыванию массивов данных разряд «Флаг обновления данных» в регистре состояния каналов может контролироваться микросхемой КР580ВМ80А, чтобы определить, когда параметры следующего массива данных могут быть гарантированно загружены в канал 3.

В разрядах 0—3 РГС аппаратно устанавливается «Флаг завершения обслуживания» по соответствующему каналу после выработки сигнала ТС «Флаг завершения обслуживания» может также контролироваться процессором, однако в результате считывания флаг сбрасывается «Флаг завершения обслуживания» и «Флаг обновления данных» в РГС могут быть сброшены также сигналом SR или отказом от режима автозагрузки путем перепрограммирования РГР.

Установка разрядов 0—3 регистра установки режимов разрешает работу каждого из каналов. Если разряд установлен в 0, то соответствующий канал блокируется.

Схема управления периферийными устройствами осуществляет прием, формирование и выдачу сигналов, обеспечивающих обмен информацией между процессором и микросхемой КР580ВТ57, между памятью и периферийными устройствами. Если процессор загружает или читает один из регистров микросхемы КР580ВТ57 (последний является периферийным устройством на системнойшине), то микросхема получает сигнал RD 10 или WR 10 при CS=0, декодирует младшие адресные разряды A0—A3 и либо записывает содержимое шины данных на адресуемый разрядами A0—A3 регистр микросхемы (WR 10=0), либо выдает содержимое этого регистра на шину данных при RD 10=0.

В состоянии обслуживания, когда микросхема управляет системными шинами, схема генерирует сигналы RD 10 и WR (цикл записи ПД) или WR 10 и RD (цикл чтения ПД), которые управляют каналом данных, связанным с периферийным устройством. Если микросхема является периферийным устройством по отношению к процессору, то сигнал RD 10=0, поступивший на вход RD 10=0, разрешает считывание с 8-разрядного регистра состояния каналов или старшего (младшего) байта 16-разрядного регистра адреса, или регистра числа циклов.

Если микросхема находится в состоянии программирования, то вывод WR 10 является входом, а сигнал WR 10=0 позволяет сформировать шину данных загрузить в 8-разрядный регистр установки режима или старший (младший) байт в 16-разрядный регистр адреса или регистр числа циклов.

Четыре младшие адресные шины A0—A3 двунаправленные. В режиме программирования они являются входами, которые выбирают один из регистров микросхемы для считывания или записи информации. В режиме обслу-

живания они являются выходами, на которых устанавливаются младшие четыре разряда 16-разрядного адреса памяти, генерируемого микросхемой.

Буферная схема данных (БД) представляет собой 8-разрядную двунаправленную шину с тремя состояниями, соединяющую микросхему с системной шиной данных.

Двунаправленная шина данных D0—D7 с тремя состояниями. При программировании в режиме записи восемь бит данных для регистра адреса, регистра числа циклов или регистра установки режима передаются через шину данных из процессора. При чтении процессором содержимого регистра адреса, регистра числа циклов или регистра состояния каналов данные передаются в процессор также через шину данных. В течение циклов ПД (когда микросхема управляет системнойшиной) она выдает старшие восемь разрядов адреса памяти (из одного из регистров адреса ЗУ). Эти разряды адреса выдаются в начале каждого цикла ПД. Затем шина данных освобождается для обмена данными между памятью и периферией в течение оставшейся части цикла ПД.

Необходимым условием для обслуживания канала прямого доступа к памяти является поступление на микросхему из периферии сигнала запроса DRQ, в результате чего микросхема вырабатывает сигнал «Запрос захвата» HRQ для передачи его на процессор. По получении от микропроцессора сигнала «Подтверждение захвата» HLDA микросхема осуществляет:

управление системной шиной,
подтверждение запроса периферийного устройства, которое подключено к каналу с наивысшим приоритетом,

выдачу младших восьми разрядов адреса памяти на системные адресные шины A0—A7, а старших восьми разрядов адреса на шину данных D0—D7;

генерацию соответствующих сигналов управления RD или WR 10, RD 10, WR, которые побуждают периферийное устройство по лучить байт данных из ячейки или передать его в ячейку памяти. За один цикл работы микросхема передает один байт данных, причем в первом цикле вырабатывается адрес ячейки, равный начальному адресу, а в каждом последующем адрес увеличивается на 1 до тех пор, пока число циклов обращений к памяти не станет равным заданному.

Микросхема управляет системной шиной и повторяет последовательность передач до тех пор, пока периферийное устройство сохраняет свой запрос. Так микросхема может передать массив данных в быстродействующее периферийное устройство или выбрать его из этого устройства в один прием. Когда указанное количество байт передано, микросхема выдает сигнал «Конец счета» TC, информируя о завершении передачи данных.

В процессе выполнения циклов ПД (системные шины находятся под управлением микросхемы) имеются три различных режима работы:

режим чтения ПД — обеспечивает передачу данных из памяти в периферию;

режим записи ПД — обеспечивает передачу данных из периферии в память;

режим проверки ПД — не включает передачу данных.

Канал ПД в режиме проверки не генерирует сигналы управления \overline{RD} , \overline{WR} , $\overline{RD\ 10}$, $\overline{WR\ 10}$, что предотвращает передачу данных. Однако в каждом цикле ПД микросхема осуществляет управление системной шиной и подтверждает запросы периферии. Периферия может использовать сигналы подтверждения для разрешения внутреннего доступа к каждому байту в массиве данных для того, чтобы выполнить некоторые операции проверки. Например, массив циклов проверки ПД может следовать за массивом циклов чтения ПД (из памяти в периферию) для того, чтобы разрешить периферийному устройству проверить вновь поступившие данные.

После окончания запрограммированного числа циклов ПД, характеризующегося выработкой сигнала \overline{TC} , возможны следующие виды работы

дальнейшее наращивание адреса путем прибавления 1 в каждом последующем цикле ПД, блокировка канала ПД (режим «KC-стоп»); повторение ранее выработанного массива адресов (режим автозагрузки).

При наличии двух и более запросов будет обслуживаться периферия с наивысшим приоритетом. Вид приоритета устанавливается в процессе программирования

Имеются два вида установки приоритета фиксированный, когда канал 0 имеет наивысший приоритет, а канал 3 — самый низкий; циклический сдвиг приоритета, когда после каждого цикла ПД приоритет каждого канала изменяется.

В процессе функционирования микросхемы путем программирования PrP можно заблокировать (замаскировать) запрос любого канала

В процессе функционирования в составе микропроцессорной системы микросхема может находиться в одном из следующих состояний исходное, программирование; ожидание, обслуживание.

В исходное состояние микросхема устанавливается после включения путем подачи на ее вход SR сигнала «Установка». В этом состоянии маскируются запросы всех каналов ПД, а трехстабильные буферные схемы системной шины $A0-A3$ переводятся в состояние приема информации

В состоянии программирования микросхемы микропроцессор по системным шинам данных $D0-D7$ осуществляет запись в соответствующие регистры микросхемы исходных данных (начальные адреса и число циклов) и инструкции, определяющей режим работы микросхемы при циклах ПД. При этом адресат приема информации микросхемой определяется кодом на системных шинах $A0-A3$.

В состоянии ожидания микросхема находится от момента окончания программирования

до получения сигнала «Подтверждение запроса захвата» $HLDA$ или в промежутках между массивами циклов ПД в отсутствие запросов ПД. В состоянии ожидания осуществляется прием сигналов DRQ и вырабатывается для микропроцессора сигнал «Запрос захвата» HRQ . В этом состоянии системные шины находятся под управлением микропроцессора

После получения от микропроцессора сигнала $HLDA$ при наличии сигнала запроса DRQ микросхема вырабатывает сигнал $DACK$ и переходит в состояние обслуживания. В этом состоянии системные шины находятся под управлением микросхемы, которая осуществляет один из запрограммированных режимов ПД и генерирует набор управляющих сигналов, необходимых для осуществления обмена данными между памятью и периферией

Регистры микросхемы загружаются или с них считывается информация, если процессор выполняет команду записи или чтения путем обращения к микросхеме КР580ВТ57 и к соответствующим регистрам внутри микросхемы. Для этого процессору необходимо выдать со ответствующие сигналы записи или чтения $\overline{WR\ 10}$, $\overline{RD\ 10}$ и на системные адресные шины выдать адрес регистра микросхемы. В это время на шину данных подается необходимая информация для записи в регистры или же через шину данных читается информация из микросхемы

Для установки состояния программируемого необходимо также на микросхему подать сигнал $\overline{CS}=0$, получаемый обычно путем декодирования всех или некоторых старших 12 разрядов адреса $A4-A15$ (в зависимости от системной организации памяти и устройств ввода/вывода). Вход $\overline{WR\ 10}$ (или \overline{WR} при общем поле памяти и УВВ) указывает на запись в регистры микросхемы, а вход $\overline{RD\ 10}$ (или \overline{RD}) — на чтение из регистров

Разряд $A3$ позволяет различить регистры каналов при $A3=0$, а при $A3=1$ — регистр установки режима (работает только на запись), и регистр состояния каналов (работает только на чтение)

Три младших разряда $A0-A2$ указывают конкретный регистр канала. Если адресуется регистр установки режима или регистр состояния каналов, то разряды $A0-A2$ должны быть установлены в 0. Когда адресуется регистр канала, разряд $A0$ позволяет различить регистры адреса ПД (при $A=0$) и числа циклов (при $A=1$). Разряды $A1, A2$ позволяют определить номер канала. Коды выборки регистров приведены в табл. 3.25

В связи с тем, что регистры канала являются 16-разрядными, для их загрузки или чтения необходимо два программных командных цикла. В микросхеме имеется триггер, который автоматически переключает цепи во время выполнения операции чтения или записи. Этот триггер определяет доступ к старшему или младшему байту регистра. Сбрасывается триггер путем подачи сигнала на вход SR , а также

Таблица 3.25

Регистр	Байт	Адресные входы				Двунаправленная шина данных								
		A3	A2	A1	A0	7	6	5	4	3	2	1	0	
Адрес ПД в канале 0	Младший Старший	0 0	0 0	0 0	0 A15	A7 A14	A6 A13	A5 A12	A4 A11	A3 A10	A2 A10	A1 A9	A0 A8	
Число циклов ПД в канале 0	Младший Старший	0 0	0 0	0 1	C7 ЧТ	C6 ЗП	C5 C13	C4 C12	C3 C11	C2 C10	C1 C9	C0 C8		
Адрес ПД в канале 1	Младший Старший	0 0	0 1	1 0										То же, что и для канала 0
Число циклов ПДП в канале 1	Младший Старший	0 0	0 1	1 1										
Адрес ПД в канале 2	Младший Старший	0 0	1 1	0 0										То же, что и для канала 0
Число циклов ПД в канале 2	Младший Старший	0 0	1 1	0 1										
Адрес ПД в канале 3	Младший Старший	0 0	1 1	1 0										То же, что и для канала 0
Число циклов ПД в канале 3	Младший Старший	0 0	1 1	1 1										
Установка режима (только программируется)	-	1	0	0	0	A3	КС-стоп	УЗ	ЦСП	РК3	РК2	РК1	РК0	
Состояние (только читается)	-	1	0	0	0	0	0	0	ФОД	TC3	TC2	TC1	TC0	

Примечание АЗ - автозагрузка, УЗ - удлиненная запись, ЦСП -- циклический сдвиг приоритетов, РК - разрешение канала, ФОД - флаг обновления данных; A0 - A15 -- начальный адрес, C0-C13 - число циклов, ЧТ - чтение ПД, ЗП - запись ПД.

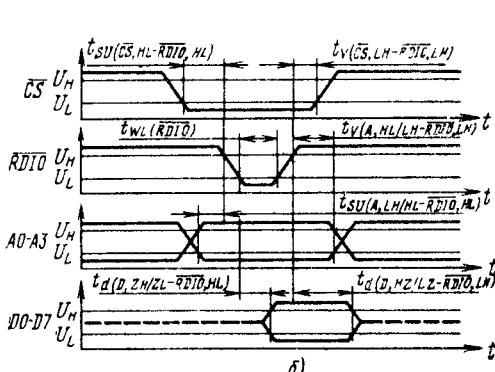
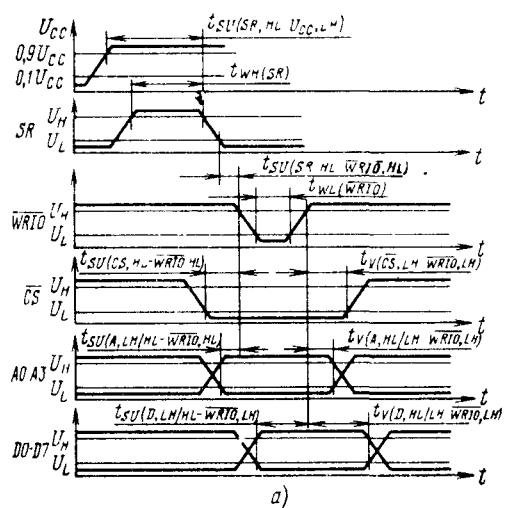


Рис. 3.33. Временные диаграммы работы КР580ВТ57 в режиме программирования при записи (а) и чтении (б):
 $U_H = 2,6$ В; $U_L = 0,8$ В

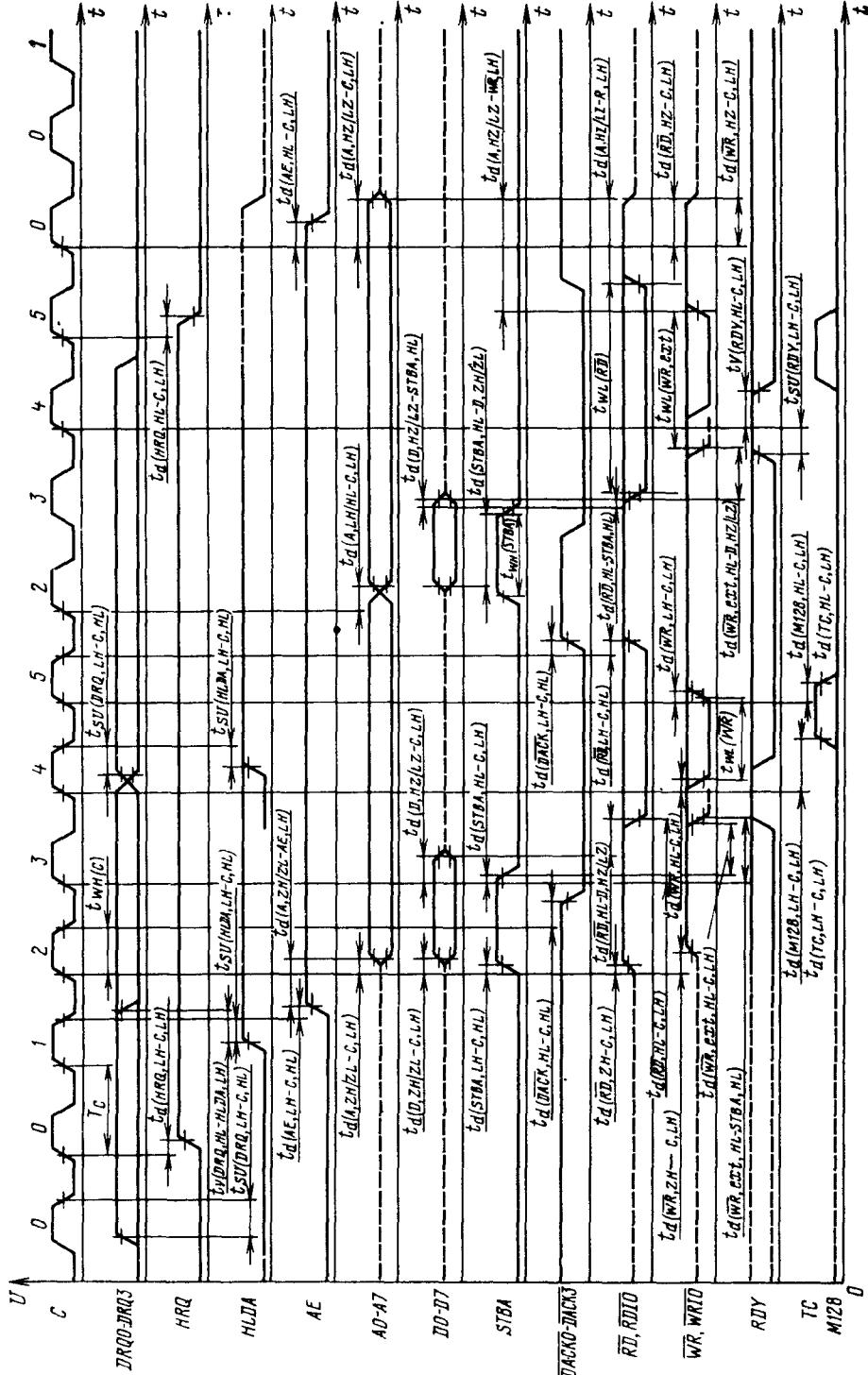


Рис. 3.34. Временная диаграмма работы КР580ВТ57 в режиме прямого доступа. Цифры 0—5 соответствуют внутренним состояниям микросхемы

Таблица 3.26

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение высокого уровня сигнала HRQ , В	$U_{OH, HRQ}$	3,3	5,25
Ток потребления, мА	I_{CC}	—	120
Период следования импульсов тактового сигнала, мкс	T_C	0,32	4
Длительность импульса тактового сигнала, нс	$t_{WH}(C)$	120	0,8
Время установления сигнала DRQ относительно сигнала C , ис	$t_{SU}(DRQ, HL/LH-C, LH)$	120	—
Время сохранения сигнала DRQ относительно сигнала $HLDA$, ис	$t_V(DRQ, HL-HLDA, LH)$	0	—
Время установления сигнала $HLDA$ относительно сигнала C , ис	$t_{SU}(HLDA, HL-C, HL)$	100	—
Время установления сигнала RDY относительно сигнала C , ис	$t_{SU}(RDY, LH-C, LH)$	30	—
Время сохранения сигнала RDY относительно сигнала C , ис	$t_V(RDY, HL-C, LH)$	20	—
Время задержки сигнала HRQ относительно сигнала C , ис	$t_d(HRQ, LH/HL-C, LH)$	—	180
Время задержки сигнала AE относительно сигнала C , ис	$t_d(AE, LH-C, LH)$	—	300
Время задержки сигнала A относительно сигнала AE , ис	$t_d(A, ZH/ZL-AE, LH)$	20	—
Время задержки сигнала A относительно сигнала C , ис	$t_d(A, ZH/ZL-C, LH)$	—	270
Время задержки сигнала A относительно сигнала \overline{RD} , ис	$t_d(A, HZ/LZ-\overline{RD}, LH)$	60	—
Время задержки сигнала A относительно сигнала \overline{WR} , ис	$t_d(A, HZ/LZ-\overline{WR}, LH)$	300	—
Время задержки сигнала D относительно сигнала C , ис	$t_d(D, ZH/ZL-C, LH)$	—	300
Время задержки сигнала D относительно сигнала D , ис	$t_d(D, HZ/LZ-C, LH)$	—	250
Время задержки сигнала $STBA$ относительно сигнала D , ис	$t_d(STBA, HL-D, ZH/ZL)$	100	—
Время задержки сигнала D относительно сигнала $STBA$, ис	$t_d(D, HZ/LZ-STBA, HL)$	20	—
Время задержки сигнала $STBA$ относительно сигнала C , ис	$t_d(STBA, LH-C, HL)$	—	160
Длительность сигнала высокого уровня $STBA$, ис	$t_{WH}(STBA)$	$T_C - 100$	—
Время задержки сигнала \overline{RD} относительно сигнала $STBA$, ис	$t_d(\overline{RD}, HL-STBA, HL)$	70	—
Время задержки сигнала \overline{RD} относительно сигнала D , ис	$t_d(\overline{RD}, HL-D, HZ/LZ)$	20	—
Время задержки сигнала $\overline{WR} (ext)$ относительно сигнала $STBA$, ис	$t_d(\overline{WR} (ext), HL-STBA, HL)$	70	—
Время задержки сигнала $\overline{WR} (ext)$ относительно сигнала D , ис	$t_d(\overline{WR} (ext), HL-D, HZ/LZ)$	20	—
Время задержки сигнала $DACK$ относительно сигнала C , ис	$t_d(DACK, HL/LH-C, HL)$	—	270
Время задержки сигнала TC относительно сигнала C , ис	$t_d(TC, LH/HL-C, LH)$	—	270
Время задержки сигнала $M128$ относительно сигнала C , ис	$t_d(M128, LH/HL-C, LH)$	—	270

Продолжение табл. 3.26

Параметр	Обозначение	Значения параметров	
		мин	макс.
Время задержки сигнала \overline{RD} относительно сигнала C , нс	$t_d(\overline{RD}, HL-C, LH)$, $t_d(\overline{RD}, LH-C, HL)$, $t_d(\overline{RD}, ZH-C, LH)$, $t_d(\overline{RD}, HZ-C, LH)$	— — — —	250 200 300 170
Длительность сигнала \overline{RD} низкого уровня, нс	$t_{WL}(\overline{RD})$	$2T_C + t_{WH(C)} - 50$	—
Длительность сигнала \overline{WR} низкого уровня, нс	$t_{WL}(\overline{WR})$	$T_C - 50$	—
Длительность сигнала \overline{WR} (ext) низкого уровня, нс	$t_{WL}(\overline{WR}, ext)$	$2T_C - 50$	—
Время задержки сигнала \overline{WR} относительно сигнала C , нс	$t_d(\overline{WR}, HL-C, LH)$, $t_d(\overline{WR}, LH-C, LH)$, $t_d(\overline{WR}, ZH-C, LH)$, $t_d(\overline{WR}, HZ-C, LH)$	— — — —	250 200 300 170
Время задержки сигнала \overline{WR} (ext) относительно сигнала C , нс	$t_d(\overline{WR}(ext), HL-C, LH)$	—	250
Время установления сигнала $A0-A3$ относительно сигнала $\overline{RD\ IO}$, нс	$t_{SU}(A, LH/HL - \overline{RD\ IO}, LH)$	0	—
Время сохранения сигнала $A0-A3$ относительно сигнала $\overline{RD\ IO}$, нс	$t_V(A, HL/LH - \overline{RD\ IO}, LH)$	0	—
Время установления сигнала \overline{CS} относительно сигнала $\overline{RD\ IO}$, нс	$t_{SU}(CS, HL - \overline{RD\ IO}, LH)$	0	—
Время сохранения сигнала \overline{CS} относительно сигнала $\overline{RD\ IO}$, нс	$t_V(CS, LH - \overline{RD\ IO}, LH)$	0	—
Время задержки сигнала $D0-D7$ относительно сигнала $\overline{RD\ IO}$, нс	$t_d(D, ZH/ZL - \overline{RD\ IO}, LH)$, $t_d(D, HZ/LZ - \overline{RD\ IO}, LH)$	0 20	300 150
Длительность сигнала $\overline{RD\ IO}$ низкого уровня, нс	$t_{WL}(\overline{RD\ IO})$	250	—
Длительность сигнала $\overline{WR\ IO}$ низкого уровня, нс	$t_{WL}(\overline{WR\ IO})$	175	—
Время установления сигнала $A0-A3$ относительно сигнала $\overline{WR\ IO}$, нс	$t_{SU}(A, LH/HL - \overline{WR\ IO}, LH)$	35	—
Время сохранения сигнала $A0-A3$ относительно сигнала $\overline{WR\ IO}$, нс	$t_V(A, HL/LH - \overline{WR\ IO}, LH)$	35	—
Время установления сигнала $D0-D7$ относительно сигнала $\overline{WR\ IO}$, нс	$t_{SU}(D, LH/HL - \overline{WR\ IO}, LH)$	200	—
Время сохранения сигнала $D0-D7$ относительно сигнала $\overline{WR\ IO}$, нс	$t_V(D, HL/LH - \overline{WR\ IO}, LH)$	30	—
Длительность высокого уровня сигнала SR , нс	$t_{WH}(SR)$	300	—
Время установления сигнала SR от U_{CC} , мкс	$t_{SU}(SR, HL - U_{CC}, LH)$	500	—

Параметр	Обозначение	Значения параметров	
		мин	макс.
Время установления сигнала SR относительно первого сигнала $WR IO$, нс	$t_{SU}(SR, HL - WR IO, HL)$	$2T_C$	—
Время установления сигнала \overline{CS} относительно сигнала $WR IO$, нс	$t_{SU}(\overline{CS}, HL - \overline{WR IO}, HL)$	35	—
Время сохранения сигнала \overline{CS} относительно сигнала $WR IO$, нс	$t_V(\overline{CS}, LH - \overline{WR IO}, LH)$	35	—

всякий раз при загрузке регистра установки режима. Для обеспечения соответствующей синхронизации при обращениях к регистрам канала все команды, поступающие от процессора, должны появляться парами, причем всегда младший байт регистра должен получить доступ к памяти первым. Нельзя подавать сигнал \overline{CS} до тех пор, пока сигнал $RD IO$ или $WR IO$ не станет активным, так как это может привести к ошибочному состоянию триггера. В системах, использующих прерывания, запросы прерывания должны быть запрещены в процессе программирования регистров канала, чтобы не было разделения парных команд записи или чтения регистров.

Временная диаграмма работы микросхемы при программировании в режиме записи показана на рис. 3.33, а, а в режиме чтения — на рис. 3.33, б.

Внутренние операции микросхемы по переходу из состояния ожидания в состояние обслуживания могут быть выполнены в течение семи тактов. Продолжительность тактов определяется тактовой частотой микросхемы. Если микросхема не выполняет цикла ПД, то она находится в холостом такте $S0$ до прихода сигнала запроса ПД. С приходом сигнала DRQ последний обрабатывается согласно установленному приоритету (фиксированному или циклическому) и вырабатывается сигнал HRQ . По этому сигналу микросхема переходит к такту $S1$. Это положение будет сохраняться до прихода с процессора сигнала «Подтверждение захвата» $HLDA$. Таким образом, состояние ожидания характеризуется пребыванием микросхемы в тактах $S0, S1$.

При получении сигнала $HLDA$ возбуждается шина $DACK$ канала, имеющего запрос с наиболее высоким приоритетом. Таким образом осуществляется выборка канала и соответствующего периферийного устройства для цикла ПД, и микросхема переходит к такту $S2$. Заметим, что сигнал $HLDA$ должен оставаться с высоким уровнем напряжения до тех пор, пока не появится сигнал $DACK$ при одном цикле ПД или оба сигнала $DACK$ и T_C при передаче массива. Если микросхема потеряет управление системными шинами, т. е. если

сигнал $HLDA$ станет равным 0, то сигнал $DACK$ будет сохраняться до окончания текущего цикла ПД. После этого циклы ПД прекращаются до тех пор, пока микросхема снова не получит управление системными шинами.

Каждый цикл ПД (состояние обслуживания) содержит не менее четырех тактов: $S2, S3, S4, S5$. Если время доступа к памяти и УВВ, включенных в систему, недостаточно для передачи байта в указанное число тактов, то между тактами $S4$ и $S5$ вводится один и более тактов ожидания Swi . Использование удлиненной запинки может в некоторых случаях исключить такты ожидания. Если в циклах ПД осуществляется режим проверки, то сигнал RDY не требуется.

Временная диаграмма работы микросхемы ПД показана на рис. 3.34.

Основные параметры микросхемы в диапазоне рабочих температур от -10 до $+70^{\circ}\text{C}$ и напряжении питания $5,0 \text{ В} \pm 5\%$ приведены в табл. 3.26.

3.6. Микросхема KP580BH59

Микросхема KP580BH59 — программируемый контроллер прерываний (ПКП), обслуживающий до восьми запросов на прерывание микропроцессора, поступающих от внешних устройств.

Микросхема позволяет сократить средства программного обеспечения и реальные затраты времени при выполнении прерываний в системах с приоритетами многих уровней. Алгоритм задания приоритета устанавливается программным путем. Приоритеты, закрепленные за внешними устройствами, могут быть изменены в процессе выполнения программ.

В микросхеме предусмотрена возможность расширения числа обслуживаемых запросов до 64 путем каскадного соединения микросхем ПКП.

Условное графическое обозначение микросхемы приведено на рис. 3.35, назначение выводов — в табл. 3.27, структурная схема показана на рис. 3.36.

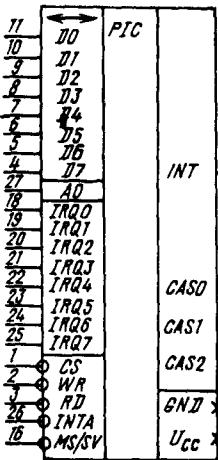


Рис 3.35 Условное графическое обозначение KP580BH59

Таблица 3.27

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<u>CS</u>	Вход	Выбор микросхемы
2	<u>WR</u>	Вход	Запись информации
3	<u>RD</u>	Вход	Чтение информации
4-11	<u>D7-D0</u>	Входы/выходы	Канал данных
12, 13, 15	<u>CAS2-CAS0</u>	Входы/выходы	Шина каскадирования
13	<u>GND</u>	—	Общий
14	<u>MS/SV</u>	Вход	Выбор ведомой микросхемы
15	<u>INT</u>	Выход	Прерывание
16	<u>INTA</u>	Вход	Запрос прерывания
17	<u>IRQ7-IRQ0</u>	Вход	Подтверждение прерывания
18-25	<u>A0</u>	Вход	Адрес 0 го разряда
26	<u>Ucc</u>	—	Напряжение питания
27			
28			

Регистр запросов прерывания (РЗПР) предназначен для записи и хранения запросов прерываний (*IRQ*)

Запись в соответствующий разряд РЗПР происходит при изменении на соответствующем входе микросхемы напряжения от низкого уровня до высокого. *IRQ7-IRQ0* — индивидуальные асинхронные входы. Напряжение высокого уровня должно удерживаться до получения первого импульса *INTA*. Разряд РЗПР, соответствующий обслуживаемому запросу, при поступлении второго импульса *INTA* возвращается в исходное состояние. Содержимое РЗПР может быть считано на шину данных.

Регистр обслуженных запросов (РОЗПР) предназначен для хранения сигналов, поступа-

ющих с выходов схемы маскирования запросов прерывания соответствующего сигнала за проса, обслуживаемого в данный момент. Соответствующий разряд РОЗПР устанавливается в 1 после поступления второго импульса *INTA* (одновременно соответствующий разряд РЗПР устанавливается в исходное состояние). Этот разряд сохраняет свое состояние до получения команды «Конец прерывания» микросхемой ПКП. Содержимое РОЗПР может быть считано на шину данных.

Схема маскирования запросов прерывания и анализа их по приоритету (МЗПР) связана с РЗПР, РОЗПР. Схема маскирования разрешает или запрещает прохождение сигналов с выхода РЗПР на входы схемы анализа по уровню приоритета. Код маски записывается в микросхему с помощью команды СКО1 и хранится там до записи нового кода либо до установки микросхемы в исходное состояние.

Сигналы, прошедшие через схему маскирования, анализируются по уровню приоритета. Запросы с более высоким приоритетом, занесенные в РОЗПР по мере их обслуживания, запрещают прохождение через МЗПР равных или низших по уровню приоритета запросов. Для разрешения прохождения этих запросов необходимо подать на микросхему команду «Конец прерывания» либо команду специального маскирования (СКО3).

На вход логической схемы чтения (записи) ЛЧТ/ЗП подаются сигналы *A0*, *WR* и *RD*. Сочетания этих сигналов позволяют записывать команды в различные регистры микросхемы, а также считывать содержимое регистров ПКП на шину данных.

Напряжение низкого уровня на входе *WR* микросхемы позволяет записывать управляющие слова команд инициализации (СКИ) и слова команд операций (СКО) в микросхему ПКП.

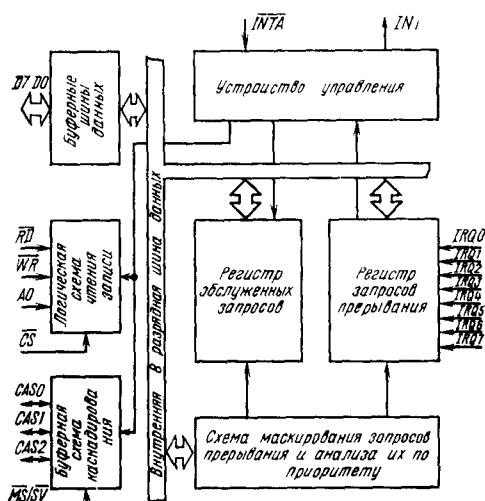


Рис 3.36 Структурная схема KP580BH59

Напряжение низкого уровня на входе RD микросхемы ПКП позволяет считать содержимое РЗПР, РОЗПР либо двоично-десятичный код запроса прерывания на шину данных.

Устройство управления (УУ) предназначено для выдачи сигнала INT после поступления одного или нескольких запросов на выходы IRQ7—IRQ0. Оно выдает также управляющие сигналы для формирования команды CALL, причем характер работы УУ в процессе выработки команды CALL различен при различных включениях микросхемы ПКП. Так, если микросхема ПКП только одна, УУ выдает управляющие сигналы, разрешающие выдачу всех трех байтов команды CALL. При использовании нескольких микросхем ПКП эта команда формируется следующим образом. Первый байт команды CALL (т. е. код команды) вырабатывается ведущим ПКП. Второй и третий байты формируются той микросхемой, сигнал IRQ которой вызывает прерывание.

В ПКП предусмотрена возможность расширения числа входов обслуживаемых запросов до 64 путем каскадного соединения нескольких микросхем ПКП в системе (рис. 3.37) с помощью буферной схемы каскадирования. В этом случае один ПКП включается как ведущая микросхема (на входе MS/SV напряжение высокого уровня), а остальные — как ведомые (на входе MS/SV напряжение низкого уровня), причем каждой ведомой микросхеме присваивается номер, который устанавливается программным путем перед началом работы.

Двоично-десятичный код номера ведомой микросхемы выдается ведущей микросхемой на шину CAS2—CAS0 по нарастанию первого импульса INTA и хранится до появления нарастания третьего импульса INTA.

Буферная схема шины данных (БД) — 8-разрядная двунаправленная с тремя состояниями, соединяет микросхему с системнойшиной данных посредством выводов D7—D0. При программировании ПКП через БД в микросхему записываются управляющие слова, а на системную шину данных считывается содержимое РЗПР, РОЗПР и двоично-десятичный код запроса, выработавшего сигнал INT.

В режиме прерывания по запросу в процессе подтверждения (поступления трех импульсов INTA) через БД в системную шину данных выдается трехбайтовая команда CALL. В остальное время выход БД находится в выключенном состоянии.

При осуществлении передачи данных с прерыванием программы обычно реализуется такая последовательность действий:

периферийное устройство запрашивает прерывание;

по завершении выполнения текущей команды процессором последний выдает сигнал подтверждения прерывания;

запоминается содержимое счетчика команд и осуществляется переход по адресу подпрограммы обслуживания прерывания;

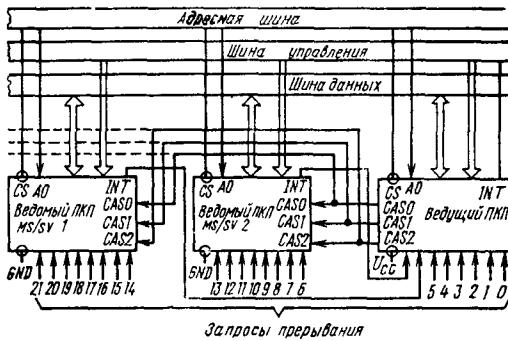


Рис. 3.37. Схема каскадного соединения микросхем KP580BH59

запоминается при необходимости содержимое внутренних регистров (рабочих и регистров состояния) и выполняется передача данных под управлением специальной программы (подпрограммы);

после выполнения подпрограммы осуществляется возврат к продолжению выполнения прерванной программы.

В микропроцессорной системе могут использоваться два метода реализации приведенной последовательности действий: прерывание с опросом и прерывание по вектору. В первом случае осуществляется опрос каждого периферийного устройства, пока не обнаружится то, которое запрашивает прерывание. Далее осуществляется переход на соответствующую подпрограмму обслуживания прерывания, которая и выполняет обмен данными. При этом методе приоритет устройства определяется его местом в последовательности опроса. В отличие от данного метода в случае прерывания по вектору при получении запроса от устройства управление передается непосредственно на соответствующую программу обслуживания, т. е. устройство распознается сразу же после поступления сигнала подтверждения прерывания.

Микросхема ПКП KP580BH59 реализует оба метода прерывания программ путем программной установки в соответствующий режим работы, причем режим работы, соответствующий методу прерывания с опросом, называется обслуживанием по результатам опроса, а методу прерывания по вектору — обслуживанием по запросу.

В режиме обслуживания по запросу ПКП, получая запросы от периферийного устройства, запоминает их, выделяет запрос с высшим уровнем приоритета, сравнивает его по уровню приоритета с обслуженными запросами, зарегистрированными в РОЗПР, и, если уровень приоритета выделенного запроса оказывается выше, чем у зарегистрированных, выдает сигнал INT для микропроцессора. После получения со стороны микропроцессора сигнала подтверждения прерывания INTA ПКП вырабатывает вектор прерывания, т. е. начальный адрес подпрограммы обслуживания того устройства, которое вызвало выдачу INT. Это осу-

Таблица 3.28

Вход микросхемы	Статусы уровней приоритета							
<i>IRQ0</i>	7	6	5	4	3	2	1	0
<i>IRQ1</i>	0	7	6	5	4	3	2	1
<i>IRQ2</i>	1	0	7	6	5	4	3	2
<i>IRQ3</i>	2	1	0	7	6	5	4	3
<i>IRQ4</i>	3	2	1	0	7	6	5	4
<i>IRQ5</i>	4	3	2	1	0	7	6	5
<i>IRQ6</i>	5	4	3	2	1	0	7	6
<i>IRQ7</i>	6	5	4	3	2	1	0	7

Примечание 7 — дио приоритетного кольца

ществляется путем посылки в микропроцессор трехбайтовой команды *CALL*. Происходит это следующим образом. При получении сигнала *INTA* КР580ВН59 посыпает кодовую комбинацию 11001101 (т.е. код команды *CALL* в микропроцессорном комплекте серии КР580) на 8-разрядную шину данных. Этот код команды *CALL* инициирует еще два сигнала *INTA*, которые должны поступить на ПКП со стороны процессора. Последние два сигнала *INTA* позволяют микросхеме КР580ВН59 послать сформированный адрес подпрограммы на шину данных: сначала младшие восемь разрядов адреса, а затем старшие восемь разрядов адреса. Так завершается выдача трехбайтовой команды *CALL* на шину данных системы.

Путем соединения аналогичных микросхем с помощью специальной шины *CAS2—CAS0* (см. рис. 3.37) можно увеличить число обслуживаемых запросов до 64. При этом в зависимости от подачи соответствующих сигналов на выводы *MS/SV* микросхема одна из них выступает в качестве ведущей, а остальные — в качестве ведомых. Предварительно каждой ведомой микросхеме присваивается ее номер (путем записи в нее соответствующего командного слова), который должен быть равен номеру входа *IRQ* ведущей микросхемы, с которым соединен вывод *INT* ведомой микросхемы.

Если сигнал *INT*, поступивший на процессор, выработан сигналом *IRQ*, поступившим на вход ведущей микросхемы, то формирование трехбайтовой команды *CALL* осуществляется этой же микросхемой. Если же прерывание процессора происходит от сигнала *IRQ*, поступившего на вход ведомой микросхемы, то формирование команды *CALL* происходит следующим образом. При поступлении первого сигнала *INTA* ведущая микросхема выдает на шину данных код команды *CALL*, а на шину *CAS2—CAS0* — код номера ведомой микросхемы. Поэтому с приходом остальных сигналов *INTA* код адреса подпрограммы обслу-

живания вырабатывается на шину данных той ведомой микросхемой, запрограммированный номер которой совпал с кодом на шине *CAS2—CAS0*. Получая запросы от периферийных устройств, ПКП определяет, какое из них обладает наивысшим приоритетом. При этом уровни приоритетов входов *IRQ7—IRQ0* микросхемы заранее заданы и находятся всегда в строго определенном соотношении друг с другом. Наивысшим уровнем приоритета обладает вход *IRQ0* приоритетного кольца, с самым низким вход *IRQ7*, называемый дном приоритетного кольца. Таким образом, задавая положение дна, можно однозначно определить уровень приоритета каждого входа микросхемы. Все возможные варианты статусов приведены в табл. 3.28. Микросхема имеет несколько программных способов задания дна кольца, применяемых в зависимости от системных требований.

После выработки сигнала *INT* и получения последовательности сигналов *INTA* блокируется обслуживание всех запросов, имеющих одинаковый или более низкий по сравнению с обслуженным уровень приоритета. Запретить обслуживание запросов можно применением маскирования, что позволяет заблокировать любой из входов микросхемы, на который поступает сигнал *IRQ*. С другой стороны, устранить блокирующее влияние обслуженного запроса на обслуживание остальных запросов можно, используя специальное маскирование. Это достигается также путем записи в микросхему ПКП слова команды конца прерывания.

При обслуживании прерываний по опросу микропроцессор блокирует свой вход *INT*, так как инициатором обслуживания является он сам. В этом случае по каждому сигналу *RD*, поступающему после подачи команды «Обслуживание по результатам опроса», при наличии запросов считывается код номера запроса, имеющий наивысший в данный момент уровень приоритета.

Установка микросхемы в исходное состояние и установка алгоритма обслуживания прерываний осуществляется с помощью двух типов слов команд, записываемых в ПКП: СКИ и СКО.

Микросхема может выполнять следующий набор операций.

1 Операция маскирования. индивидуальное маскирование запросов, специальное маскирование.

2 Операции установки статуса уровней приоритета: по установке исходного состояния, по обслужившемуся запросу, по указанию.

3 Операции конца прерываний: обычный конец прерывания, специальный конец прерывания.

4 Операция чтения чтение регистра запросов, чтение регистра обслуженных запросов, чтение регистра маски.

В процессе работы микросхем можно выделить следующие основные режимы.

программирование (запись слов команд, чтение информации в регистрах),

обслуживание по запросу,
обслуживание по результатам опроса.

В режим записи слов команд микросхема переходит при $\overline{CS}=0$ и $\overline{WR}=0$, а в режим чтения информации — при $\overline{CS}=0$ и $\overline{RD}=0$.

Микросхема может находиться в одном из следующих состояний: программирование; обслуживание по запросу, обслуживание по результатам опроса.

Программирование. В процессе работы ПКП можно изменять алгоритмы обслуживания прерываний. Это осуществляется с помощью системы команд, перечень которых приведен в табл. 3.29. Прежде всего микросхема должна быть установлена в исходное состояние. Для этого используется последовательность двух или трех команд СКИ1, СКИ2 и СКИ3. По команде СКИ1 (признак $A0=0$, $D4=1$) микросхема выполняет следующие действия:

устанавливает в исходное состояние схему, чувствительную к перепаду уровня напряжения с низкого на высокий по входам запросов;

очищает регистр маскирования запросов, присваивает запросу на входе $IRQ7$ низший уровень приоритета;

сбрасывает триггер специализированного, а триггер выбора РЗПР РОЗПР для последующего считывания устанавливает в состояние выбора РЗПР. Команда СКИ1 имеет четыре модификации (СКИ1а—СКИ1г), что связано с указанием в ней признака E (разряд $D1$) числа ПКП в системе и признака формата адреса Φ (разряд $D2$). Если $E=1$, то ПКП в системе единственный, если $E=0$ — в системе несколько ПКП. При $\Phi=1$ формат равен четырем, т. е. начальные адреса программ обслуживания смежных запросов отстоят друг от друга на четыре адреса, при $\Phi=0$ — на восемь. В разрядах $D7-D5$ команды СКИ1 указываются разряды адреса $A7-A5$ младшего байта начального адреса подпрограммы обслуживания запросов при формате 4. При формате 8 в разрядах $D7-D6$ указываются разряды адреса $A7-A6$. Возможные варианты адресов младшего байта в зависимости от номера запроса и формата показаны в табл. 3.30.

Следующая команда после СКИ1 (признак $A0=1$) воспринимается как команда СКИ2, в которой указываются старшие разряды ($A15-A8$) 16-разрядного адреса подпрограммы обслуживания. Формат СКИ1 и СКИ2 приведен на рис. 3.38, а, б.

Если в СКИ1 $E=0$, то следующая за СКИ2 команда (при $A0=1$) воспринимается микросхемой как СКИ3 и имеет две модификации: СКИ3а и СКИ3б (рис. 3.39). Команду СКИ3а подают на ведущую микросхему, а СКИ3б — на ведомые. Если в некотором разряде $D7-D0$ команды СКИ3а устанавливается единичное состояние, это означает, что к соответствующему входу IRQ ведущей микросхемы подключен вывод ведомой микросхемы. Нулевое состояние означает, что на соответствующий вход IRQ подается запрос от периферийного устройства либо он не используется. В разрядах $D2-D0$ команды СКИ3б указыва-

Таблица 3.29

Слова команды	$A0$	$?$	6	5	4	3	2	1	0
СКИ1	а	0	$A7$	$A6$	$A5$	1	—	1	1
	б	0	$A7$	$A6$	$A5$	1	—	1	0
	в	0	$A7$	$A6$	—	1	—	0	1
	г	0	$A7$	$A6$	—	1	—	0	0
СКИ2	—	1	$A15$	$A14$	$A13$	$A12$	$A11$	$A10$	$A9$
СКИ3	а	1	$U7$	$U6$	$U5$	$U4$	$U3$	$U2$	$U1$
	б	1	—	—	—	—	$U2$	$U1$	$U0$
СКО1	—	1	$M7$	$M6$	$M5$	$M4$	$M3$	$M2$	$M1$
СКО2	а	0	0	0	1	0	0	—	—
	б	0	0	1	1	0	0	$B2$	$B1$
	в	0	1	0	1	0	0	—	—
	г	0	1	1	1	0	0	$B2$	$B1$
	д	0	1	1	0	0	0	$B2$	$B1$
СКО3	а	0	—	0	0	0	1	1	0
	б	0	—	0	0	0	1	0	1
	в	0	—	0	0	0	1	0	0
	г	0	—	1	1	0	1	0	0
	д	0	—	1	0	0	1	0	0

ется двоичный код номера ведомой микросхемы, который должен быть равен номеру входа IRQ ведущей микросхемы, к которому подключена эта ведомая микросхема. Так, если выход INT ведомой микросхемы подключен ко входу $IRQ6$ ведущей микросхемы, то в разрядах команды СКИ3б, выдаваемой на эту микросхему, указывается код 110.

Таблица 3.30

Формат	Номер запроса	$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
1	$IRQ7$	$A7$	$A6$	$A5$	1	1	1	0	0
	$IRQ6$	$A7$	$A6$	$A5$	1	1	0	0	0
	$IRQ5$	$A7$	$A6$	$A5$	1	0	1	0	0
	$IRQ4$	$A7$	$A6$	$A5$	1	0	0	0	0
	$IRQ3$	$A7$	$A6$	$A5$	0	1	1	0	0
	$IRQ2$	$A7$	$A6$	$A5$	0	1	0	0	0
	$IRQ1$	$A7$	$A6$	$A5$	0	0	1	0	0
	$IRQ0$	$A7$	$A6$	$A5$	0	0	0	0	0
0	$IRQ7$	$A7$	$A6$	1	1	1	0	0	0
	$IRQ6$	$A7$	$A6$	1	1	0	0	0	0
	$IRQ5$	$A7$	$A6$	1	0	1	0	0	0
	$IRQ4$	$A7$	$A6$	1	0	0	0	0	0
	$IRQ3$	$A7$	$A6$	0	1	1	0	0	0
	$IRQ2$	$A7$	$A6$	0	1	0	0	0	0
	$IRQ1$	$A7$	$A6$	0	0	1	0	0	0
	$IRQ0$	$A7$	$A6$	0	0	0	0	0	0

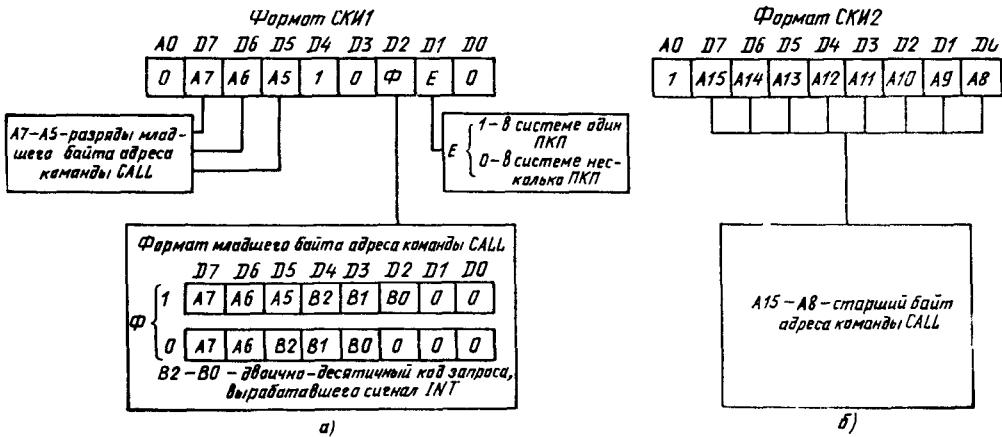


Рис. 3.38. Формат команд СКИ1 (а) и СКИ2 (б)

Таким образом, перед обслуживанием запросов на микросхему обязательно должна быть выдана последовательность команд СКИ, как показано на рис. 3.40.

Выбор или изменение в процессе работы алгоритма обслуживания запросов осуществляется с помощью слов команд обслуживания (см. табл. 3.29).

Установка признака $M_1=1$ в команде СКО1 (признак $A0=1$) указывает на блокировку обслуживания соответствующего сигнала IRQ . Содержимое регистра маскирования выдается на шину $D7-D0$ при подаче сигналов $CS=0$, $RD=0$, $A0=1$.

Команда СКО2 (признак $A0=0$, $D4=0$, $D3=0$) имеет пять модификаций (СКО2а—СКО2д). Группа команд СКО2 указывает вид конца обслуживания прерывания, а также вид установки дна и дио приоритетного кольца.

Команда СКО2а (обычный конец прерывания) устанавливает в нулевое состояние разряд РОЗПР, соответствующий последнему (до подачи команды СКО2а) обслуженному запросу.

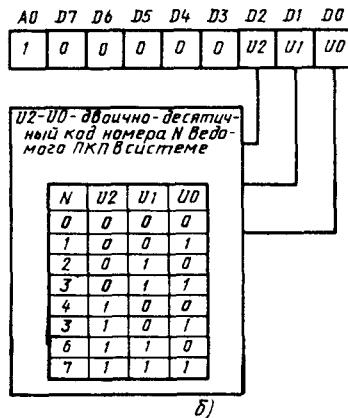
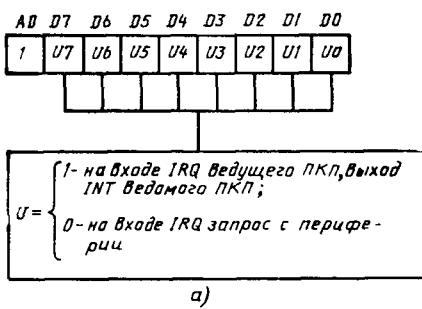


Рис. 3.39. Модификации команды СКИ3
а — для ведущего ПКП, б — для ведомого ПКП

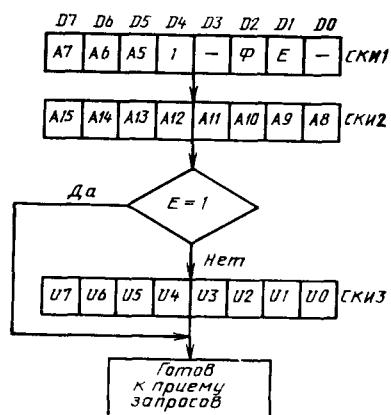


Рис. 3.40. Последовательность подачи команд СКИ

Команда СКО2б (специальный конец прерывания) устанавливает в нулевое состояние тот разряд РОЗПР, номер которого указан двоично-десятичным кодом ($B2-B0$) в разрядах $D2-D0$ этой команды.

Команда СКО2в вводит вид установки статуса приоритетов по последнему обслуживанию запросу. По этой команде устанавливается в нулевое состояние разряд РОЗПР, соответствующий последнему обслуженному запросу, и этому же номеру запроса присваивается наивысший уровень приоритета (дно приоритетного кольца).

Команда СКО2г вводит вид установки статуса приоритетов по указанию с выполнением операции обычного конца прерывания. По этой команде присваивается дно тому входу IRQ , номер которого в виде двоично-десятичного кода ($B2-B0$) указан в разрядах этой команды, при этом устанавливается в нулевое состояние соответствующий разряд РОЗПР.

Команда СКО2д вводит вид установки статуса приоритетов по указанию без выполнения операции конца прерывания. Двоично-десятичный код в разрядах $D2-D0$ этой команды указывает только дно приоритетного кольца.

Статус уровня приоритета устанавливается мной одной из команд СКО2в, СКО2г, СКО2д сохраняется до подачи команды, которая может его изменить. Группа команд типа СКО3 (признак $A0=0$, $D3=1$, $D4=0$) использует ся в режиме чтения и установки специального маскирования.

Команда СКО3а устанавливает режим обслуживания по результатам опроса.

После подачи сигнала $RD=0$ действие команды СКО3а прекращается. При подаче команд СКО3б, СКО3в (при $RD=0$) обеспечивается чтение соответственно регистров РЗПР, РОЗПР. После подачи сигналов $RD=0$ действии команд СКО3б, СКО3в сохраняется.

Команда СКО3г обеспечивает специальное маскирование путем блокировки действия тех разрядов РОЗПР, которые замаскированы командой СКО1 на соответствующих позициях РЗПР.

Команда СКО3г используется совместно с командой СКО1 в том случае, если необходимо обслужить запрос, который блокируется старшим или равным по уровню приоритета обслуженным запросом, хранящимся в РОЗПР, не сбрасывая последний.

Команда СКО3д прекращает действие команды СКО3г. Таким образом, приведенная система команд позволяет устанавливать различные алгоритмы и закреплять приоритеты за внешними устройствами как статически, так и динамически, т. е. в любое время работы основной программы.

Прерывание по запросу возможно после установки исходного состояния микросхемы. При прерывании по запросу для обслуживания поступивших запросов на вход микросхемы должна быть подана последовательность сигналов $INTA$ в ответ на выходной сигнал микросхемы INT . Все запросы, поступившие

$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
INT	—	—	—	—	$W2$	$W1$	$W0$

Рис 3.41 Код на шине данных в режиме прерывания по результату опроса

на вход микросхемы, записываются в соответствующие разряды РЗПР. Наличие запроса воспринимается микросхемой при переходе сигнала IRQ от низкого уровня к высокому, причем этот уровень должен удерживаться по крайней мере до прихода первого сигнала $INTA$.

Схема МЗПР анализирует поступившие за запросы по уровню приоритета и выдает разрешения устройству управления микросхемы на выдачу сигнала INT .

Запрос с наивысшим уровнем приоритета, прошедший через схему МЗПР, записывается в регистр РОЗПР. Запросы, поступающие с выхода РЗПР, могут быть маскированы. В регистре маски команды СКО1 устанавливается в 1 разряд тех цепей прерывания, которые следует маскировать. Маскированные запросы поступают на схему анализа по уровню приоритета и не влияют на запросы прерываний более низкого уровня.

РЗПР используется для хранения всех за запросов на прерывание, поступивших на микросхему, а РОЗПР — тех запросов на прерывание, которые обслуживались или обслуживаются в данный момент.

Запись запросов со схемы МЗПР в соответствующие разряды РОЗПР осуществляется по окончании сигнала $INTA$, после чего соответствующий разряд РЗПР устанавливается в 0. Если запрос, поступивший на микросхему, получил подтверждение (сформирована по следовательность сигналов $INTA$), то он (соответствующий разряд РОЗПР) блокирует запросы с равным или более низким уровнем приоритета даже в том случае, если он после получения сигналов был замаскирован.

Для того чтобы запросы с более низким уровнем приоритета получили возможность обслуживания, нужно либо подать на микросхему одну из команд СКО2 и установить в 0 соответствующий бит РОЗПР, либо выдать на микросхему команду установки специального маскирования (СКО3г) и снять действие этого запроса (бита РОЗПР) на запросы с более низким уровнем приоритета, не устанавливая его в 0.

Последовательность сигналов $INTA$, которые выдаются на микросхему в ответ на сигнал INT , вызывают выдачу на шину данных трехбайтовой команды $CALL$, в которой указан адрес подпрограммы обслуживания запроса, выработавшего сигнал INT , причем младший байт адреса состоит из трех частей:

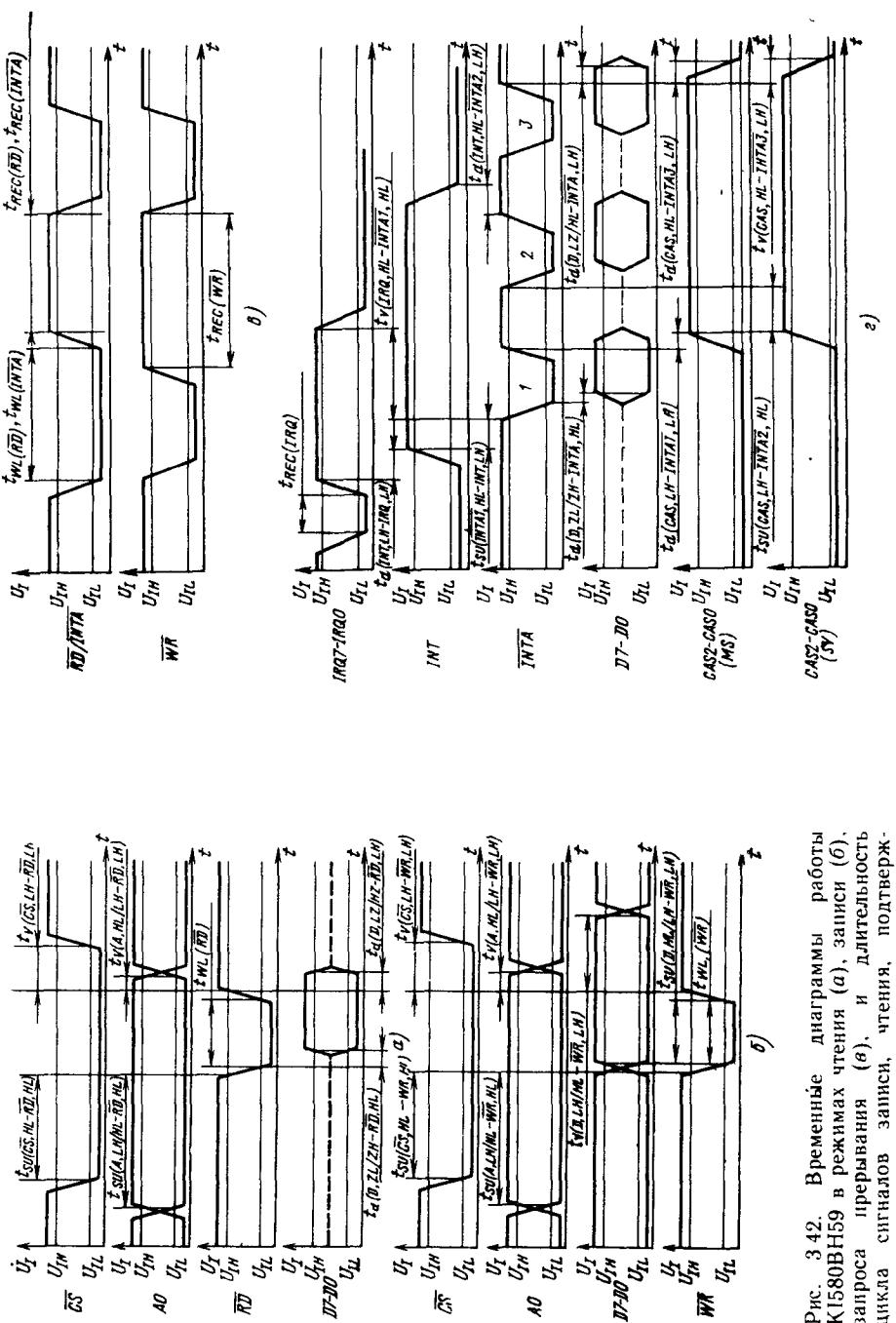


Рис. 3.42. Временные диаграммы работы K1580BH59 в режимах чтения (а), записи (б), запроса прерывания (в), и длительности цикла сигналов записи, чтения, подтверждения прерывания (г)

Таблица 3.31

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение высокого уровня сигнала INT , В	$U_{OH, INT}$	3,5	—
Ток потребления, мА	I_{CC}	—	100
Входной ток, мкА	I_I	—300	—
Время установления сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_{SU}(\overline{CS}, HL - \overline{RD}, HL)$	50	—
Время установления сигнала $A0$ относительно сигнала \overline{RD} , нс	$t_{SU}(A, LH/HL - \overline{RD}, HL)$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_V(\overline{CS}, LH - \overline{RD}, LH)$	5	—
Время сохранения сигнала $A0$ относительно сигнала \overline{RD} , нс	$t_V(A, HL/LH - \overline{RD}, LH)$	5	—
Длительность сигнала \overline{RD} , нс	$t_{WL}(\overline{RD})$	420	—
Время задержки сигнала $D7-D0$ относительно сигнала \overline{RD} , нс	$t_d(D, ZL/ZH - \overline{RD}, HL)$	—	360
	$t_d(D, LZ/HZ - \overline{RD}, LH)$	20	200
Время установления сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_{SU}(CS, HL - \overline{WR}, HL)$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_V(\overline{CS}, LH - \overline{WR}, LH)$	150	—
Время установления сигнала $A0$ относительно сигнала \overline{WR} , нс	$t_{SU}(A, LH/HL - \overline{WR}, HL)$	50	—
Время сохранения сигнала $A0$ относительно сигнала \overline{WR} , нс	$t_V(A, HL/LH - \overline{WR}, LH)$	150	—
Время установления сигнала $D7-D0$ относительно сигнала \overline{WR} , нс	$t_{SU}(D, HL/LH - \overline{WR}, LH)$	300	—
Время сохранения сигнала $D7-D0$ относительно сигнала \overline{WR} , нс	$t_V(D, LH/\overline{HL} - \overline{WR}, LH)$	40	—
Длительность сигнала \overline{WR} , нс	$t_{WL}(\overline{WR})$	420	—
Время восстановления сигнала \overline{RD} , нс	$t_{REC}(\overline{RD})$	400	—
Время восстановления сигнала \overline{INTA} , нс	$t_{REC}(\overline{INTA})$	400	—
Время восстановления сигнала \overline{WR} , нс	$t_{REC}(\overline{WR})$	400	—
Время восстановления сигнала $IRQ7-IRQ0$, нс	$t_{REC}(IRQ)$	100	—
Время установления сигнала $\overline{INTA1}$ относительно сигнала INT , нс	$t_{SU}(\overline{INTA1}, HL - INT, LH)$	100	—
Время задержки сигнала INT относительно сигнала IRQ , нс	$t_d(INT, LH - IRQ, LH)$	—	400
Время задержки сигнала INT относительно сигнала $\overline{INTA2}$, нс	$t_d(INT, HL - \overline{INTA2}, LH)$	—	950
Длительность сигнала \overline{INTA} , нс	$t_{WL}(\overline{INTA})$	420	—
Время сохранения сигнала IRQ относительно сигнала $\overline{INTA1}$, нс	$t_V(IRQ, HL - \overline{INTA1}, HL)$	400	—

Параметр	Обозначение	Значения параметров	
		мин	макс
Время задержки сигнала $D7-D0$ относительно сигнала $INTA$, нс	$t_d (D_7/ZL/ZH - INTA, HL)$	—	360
	$t_d (D_7/ZL/ZH - INTA, LH)$	20	200
Время установления сигнала $CAS2-CAS0$ относительно сигнала $INTA2$, нс	$t_{SU} (CAS, LH - INTA2, HL)$	0	—
Время сохранения сигнала $CAS2-CAS0$ относительно сигнала $INTA3$, нс	$t_V (CAS, HL - INTA3, LH)$	0	—
Время задержки сигнала $CAS2-CAS0$ относительно сигнала $INTA1$, нс	$t_d (CAS, LH - INTA1, LH)$	—	400
Время задержки сигнала $CAS2-CAS0$ относительно сигнала $INTA3$, нс	$t_d (CAS, HL - INTA3, LH)$	—	400

разрядов $A7, A6$ или $A7, A6, A5$ (в зависимости от запрограммированного формата), заранее записанных в микросхему СКИ1;

разрядов $A5, A4, A3$ или $A4, A3, A2$ (в зависимости от запрограммированного формата), автоматически выдаваемых микросхемой и соответствующих двоично-десятичному коду номера входа IRQ , получившего подтверждение;

разрядов $A2, A1, A0$ или $A1, A0$ (в зависимости от запрограммированного формата), установленных аппаратно в иульевое состояние.

Код старшего байта, записанного в микросхему заранее, выдается из регистра СКИ2.

В МПК серии KP580 по команде $CALL$ основная программа прерывается и начинается выполнение подпрограммы обслуживания данного запроса. После выполнения подпрограммы обслуживания запроса необходимо произвести возврат к прерванной программе. Подпрограмма обслуживания данного запроса может быть оформлена примерно так

DI — запрет прерывания (если это необходимо);

программа обслуживания,

OUT — выдача на микросхему команды СКО2;

POP, PSW — восстановление содержимого регистров прерванной программы;

EI — разрешение прерывания;

RET — возврат к прерванной программе.

Команды $DI, OUT, POP, PSW, EI, RET$ взяты из системы команд микропроцессора KP580BM80A.

Прерывание по результату опроса осуществляется по инициативе программы микропроцессорной системы путем подачи на микросхему команды СКО3а и последующей подачи на микросхему сигнала чтения $RD=0$. При этом код, выдаваемый на шину данных, будет иметь вид, показанный на рис. 3.41, где $INT=1$ соответствует наличию прерывания, $W2-W0$ — двоично-десятичный код запроса с

наивысшим уровнем приоритета, запрашивающее обслуживание и вызвавший появление 1 в $D7$. Если сигнал INT на выходе микросхемы не выработался, то бит INT будет равен 0, а код $W2-W0$ будет равен 7, т. е. 111.

Следует отметить, что последовательность сигналов $INTA$ на микросхему не должна повторяться и каждое новое обслуживание внешних устройств, запрашивающих прерывание, осуществляется по инициативе программы микропроцессорной системы путем записи команды СКО3а в микросхему с последующей подачей сигнала чтения.

Прием запросов, маскирование и анализ их по приоритету производится так же, как и при прерывании по запросу, причем напряжение высокого уровня на входах $IRQ7-IRQ0$ должно удерживаться по крайней мере до прихода сигнала $RD=0$ (после подачи команды СКО3а), по которому осуществляется запись в регистр РОЗПР запроса с высшим уровнем приоритета.

Как и при прерывании по запросу, после обслуживания данного запроса на микросхему обычно выдается одна из команд СКО2, которая устанавливает соответствующий разряд РОЗПР в нульевое состояние, а также, если это необходимо, устанавливает вид задания статуса приоритета и дно приоритетного кольца.

Основные параметры микросхемы в диапазоне рабочих температур от -10 до $+70^{\circ}\text{C}$ и напряжении питания $5,0 \text{ В} \pm 5\%$ приведены в табл. 3.31.

Временные диаграммы микросхемы показаны на рис. 3.42, а—г

3.7. Микросхема KP580BB79

Микросхема KP580BB79 — программируемое интерфейсное устройство, предназначено для ввода и вывода информации в системах,

выполненных на основе 8- и 16-разрядных микропроцессоров KP580BM80A и KM1810BM86. Кроме того, микрочема может применяться и как самостоятельное устройство при выполнении требований, предъявляемых к электрическим и временным параметрам.

Микросхема состоит из двух функционально автономных частей: клавиатурой и дисплейной.

Клавиатурная часть обеспечивает ввод информации в микросхему через «линию возврата» RET7—RET0 с клавиатуры (клавиатурная матрица объемом 8 слов \times 8 разрядов с возможностью расширения до 4×8 слов \times 8 разрядов) и матрицы датчиков (8 слов \times 8 разрядов), а также ввод по стробирующему сигналу (8 слов \times 8 разрядов). Для хранения вводимой информации в микросхеме предусмотрен обратный магазин — оперативное запоминающее устройство (ОМ—ОЗУ) емкостью 8 байт. Последний работает по принципу «первый вошел — первый вышел».

При наличии информации в ОМ—ОЗУ микросхема вырабатывает сигнал «Запрос прерывания» INT, а в случае ввода или чтения более восьми символов — сигналы (флаги) переполнения или переопустошения.

В клавиатурной части микросхемы предусмотрен специальный режим обнаружения ошибок при замыкании двух и более клавиш, а также введена схема устранения дребезга при замыкании — размыкании клавиши.

Клавиатурная часть может сопрягаться с любой клавиатурой типа клавиатуры пишущей машинки, произвольным набором переключателей и др.

Дисплейная часть микросхемы обеспечивает вывод информации по двум 4-разрядным каналам DSPA3—DSPAO и DSPB3—DSPB0 в виде двоичного кода на 8- и 16-разрядные цифровые или алфавитно-цифровые дисплеи.

Для хранения информации, подлежащей отображению в микросхеме, имеется оперативное запоминающее устройство отображения объемом 16 слов \times 8 разрядов, которое также можно использовать как два устройства объемом по 16 слов \times 4 разряда, одно устройство объемом 16 слов \times 4 разряда или одно устройство объемом 8 слов \times 8 разрядов.

Информация на дисплей может выводиться двумя способами: слева направо без свиго или справа налево со свилем.

Микросхема позволяет отображать информацию на всех известных в настоящее время типах дисплеев (дисплеи накаливания, со светодиодами и др.).

Программирование режимов работы, запись информации в ОЗУ отображения, чтение информации из ОМ—ОЗУ отображения, а также чтение внутреннего состояния микросхемы осуществляются через 8-разрядный двунаправленный канал данных D7—D0 при подаче соответствующих управляющих сигналов.

Микросхема обеспечивает также формирование кодированных или дешифрованных интерфейсных сигналов сканирования S3—S0 клавиатуры и дисплея, а также сигнала для

межразрядного гашения \overline{BD} информации на дисплее.

Наличие выходной линии запроса прерывания INT и режима чтения внутреннего состояния позволяют использовать данную микросхему в системах с прерыванием и последовательным опросом внешних устройств. Микросхема допускает одновременное выполнение функций ввода/вывода и рассчитана по выводу INT на прямое подключение к шинам микропроцессоров KP580BM80A и KM1810BM86.

Применение микрочемы KP580BB79 в системах позволяет полностью освободить микропроцессор от операций сканирования клавиатуры и регенерации отображения на дисплее.

Условное графическое обозначение микросхемы приведено на рис. 3.43, назначение выводов — в табл. 3.32, структурная схема показана на рис. 3.44.

Схема управления вводом/выводом вырабатывает сигналы, которые управляют обменом информации с микропроцессором (табл. 3.33), а также внутренними пересылками данных и команд к различным регистрам и буферным схемам микросхемы.

На временной диаграмме рис. 3.45 показано соотношение сигналов во времени при записи команд и данных. Команды или данные записываются в микросхему после перехода сигнала \overline{WR} из состояния низкого в состояние высокого уровня (п. 1.2 табл. 3.33).

На временной диаграмме рис. 3.46 показано соотношение сигналов во времени при чтении данных или содержимого регистра слова состояния микросхемы.

Источником данных при чтении состояния микросхемы служит 8-разрядный регистр слова состояния (рис. 3.47), в котором содержится информация о состоянии ОМ—ОЗУ, ошибках и запрещении доступа к ОЗУ отображения. Регистр слова состояния переходит в 0 при поступлении команды «Сброс» (разряд D1 или D0), а также с помощью аппаратного сброса.

Буферные схемы канала данных D7—D0 предназначены для обмена информацией между микросхемой KP580BB79 и микропроцессором KP580BM80A. При подаче сигналов \overline{WR} и \overline{CS} осуществляется ввод информации в микросхему, а при подаче сигналов \overline{RD} и \overline{CS} — вывод информации из микросхемы. Если сигнал \overline{CS} находится в состоянии высокого уровня, то через буферные схемы D7—D0 обмен информацией между микросхемой и микропроцессором не происходит.

Схема управления и синхронизации кроме основных своих функций вырабатывает также выходной сигнал \overline{BD} длительностью не менее 150 мкс, который используется для гашения отображения на дисплее во время смены цифр (букв) или при поступлении команды «Гашение отображения». Если в команде «Гашение отображения» разряды D1 и D0 равны нулю,

Таблица 3.32

	IOP	INT	4	
1	C	D0	12	
2	SR	D1	13	
3		D2	14	
4		D3	15	
5		D4	16	1, 2, 5-8, 38, 39
6		D5	17	RET0, RET1
7		D6	18	
8		D7	19	3
9		BD	20	C
10		DSPA1	21	INT
11		DSPA2	22	SR
12		DSPA1	23	RD
13		DSPA2	24	WR
14		DSPA3	25	D0-D7
15		DSPA4	26	GND
16		DSPA5	27	INS/D
17		DSPA6	28	CS
18		DSPA7	29	BD
19		DSPB1	30	DSPA3-DSPA0
20		DSPB2	31	DSPB3-DSPB0
21		DSPB3	32-35	S0-S3
22		DSPB4	36	SH
23		DSPB5	37	CO/STB
24		DSPB6	38	Ucc
25		DSPB7	39	
26			40	
27				
28				
29				
30				
31				
32				
33				
34				
35				
36				
37				
38				
39				
40				

Рис. 3.43. Условное графическое обозначение KP580BB79

то сигнал \overline{BD} равен нулю в период всего времени действия команды. Если один из разрядов $D1, D0$ команды «Гашение отображения» равен нулю, то сигнал \overline{BD} равен нулю в течение не менее 150 мкс.

Счетчик сканирования вырабатывает сигналы сканирования клавиатуры, матрицы датчиков и дисплея и работает в двух режимах. В режиме кодированного сканирования он обе-

спечивает выдачу на выходы сканирования $S3-S0$ двоичного кода последних четырех разрядов счетчика синхронизации, который должен дешифроваться внешним дешифратом для получения сигналов сканирования клавиатуры и дисплея. В режиме дешифрованного сканирования счетчик сканирования дешифрирует внутри микросхемы два младших разряда счетчика сканирования и обеспечивает

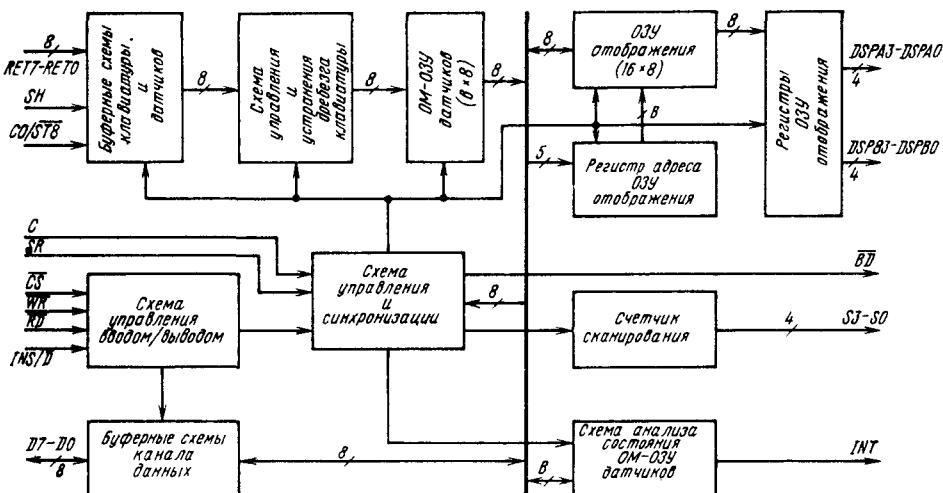


Рис. 3.44 Структурная схема KP580BB79

Таблица 3.33

№	Сигналы на входах				Направление и вид информации
	INS/D	D	RD	WR	
1	1	1	0	0	Канал данных — микросхема KP580BB79 (команда)
2	0	1	0	0	Канал данных — микросхема KP580BB79 (данные)
3	1	0	1	0	Микросхема KP580BB79 — канал данных (слово состояния)
4	0	0	1	0	Микросхема KP580BB79 — канал данных (данные)
5	X	X	X	1	Микросхема KP580BB79 в высокомом состоянии

Примечание. X — состояние входа безразлично.

ет выдачу дешифрированных сигналов на выводы S3—S0.

Если запрограммирован режим дешифрированного сканирования клавиатуры, то в таком же режиме будет работать и дисплей. Это означает, что в данном режиме будут воспроизводиться только первые четыре символа ОЗУ отображения. Счетчик сканирования сбрасывается в исходное состояние аппаратным или программным сбросом.

Оперативное запоминающее устройство отображения объемом 16 слов \times 8 разрядов можно организовать в сдвоенное ОЗУ объемом 16 слов \times 4 разряда. ОЗУ отображения можно сбрасывать в 1,0 или шестнадцатеричное число 20 командой «Сброс».

Регистр адреса ОЗУ отображения предназначен для хранения адреса данных, которые в данный момент записываются иличитываются микропроцессором. Адрес в регистр адреса отображения записывается с помощью команды «Запись в ОЗУ отображения» или «Чтение ОЗУ отображения». Разряд D4 в этих командах может устанавливаться как с автонумерированием, так и без него. Регистр адреса отображения сбрасывается на инициальную строку сканирования аппаратным и программным сбросом, записью режима работы, а также разрядом D4=1 в команде «Сброс», когда дисплей устанавливается в 0,1 или шестнадцатеричное число 20.

Регистры ОЗУ отображения хранят данные, которые в момент сканирования сигнализами S3—S0 отображаются на выходах DSPA3—DSPA0 и DSPB3—DSPB0. В соответствии с запрограммированной командой «Гашение — запрет записи отображения» выходы DSPA3—DSPA0, DSPB3—DSPB0 можно устанавливать одновременно или раздельно в код, который программируется командой «Сброс».

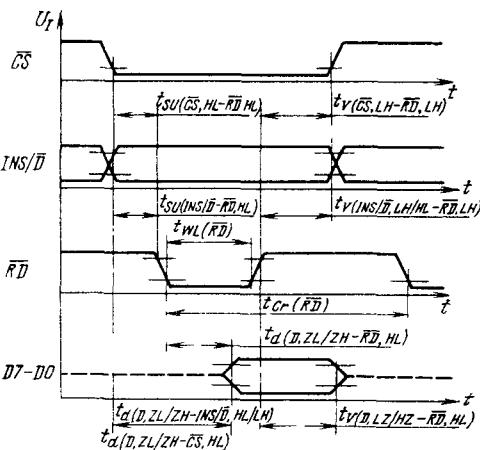


Рис. 3.45. Временная диаграмма работы KP580BB79 при записи команд и данных

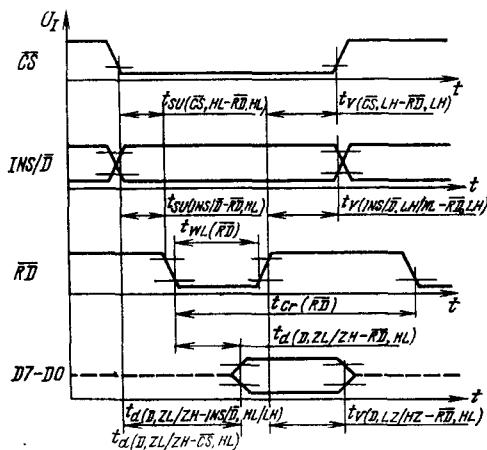


Рис. 3.46. Временная диаграмма KP580BB79 при чтении данных или содержимого регистра слова состояния микросхемы

Входная информация D7—D0, записываемая в буферные схемы канала данных, соответствует информации на выходах DSPA3—DSPA0, DSPB3—DSPB0:

D7	D6	D5	D4	D3	D2	D1	D0
DSPA3	DSPA2	DSPA1	DSPA0	DSPB3	DSPB2	DSPB1	DSPB0

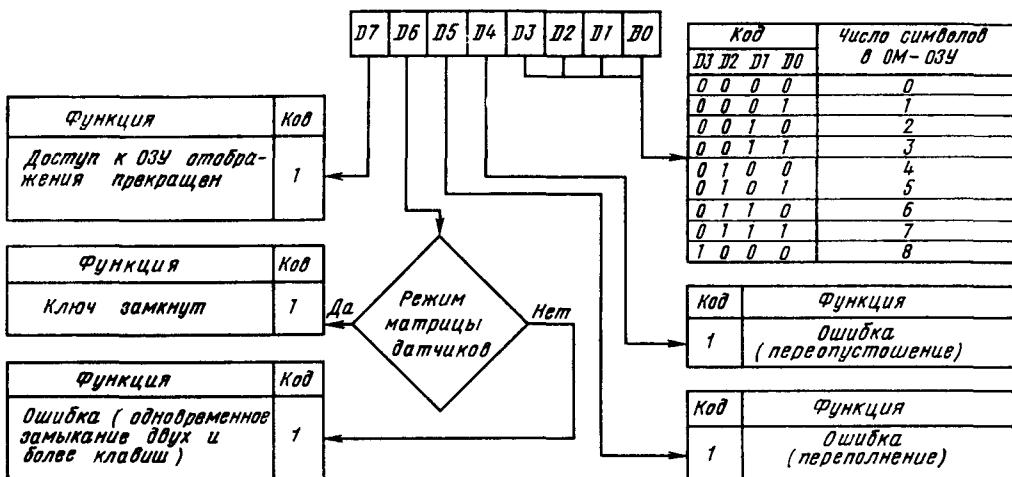


Рис. 3.47. Содержимое регистра слова состояния ОМ—ОЗУ датчиков

Ввод слева соответствует простейшему формату отображения, в котором каждой позиции дисплея соответствует определенная строка в ОЗУ отображения. Адресу 0 в этом ОЗУ соответствует крайний слева символ дисплея, а адресу 15 в 16-разрядом дисплее или адресу 7 в 8-разрядном — крайний справа символ дисплея. Ввод символов, начиная с нулевой позиции, вызывает заполнение дисплея слева направо. Символ 17 или 9 будет в этом случае вводиться снова в крайнюю слева позицию дисплея и т. д.

Ввод в произвольную ячейку при установке режима ввода слева не приводит к нежелательным побочным эффектам, и результат при этом предсказуем. В данном режиме используется как автоникрекментирование, так и ввод слева без автоникрекментирования.

Ввод справа со сдвигом принят в большинстве электронных калькуляторов. Первый ввод помещается в крайнюю справа позицию дисплея. Следующий ввод помещается также в крайнюю справа позицию, но после того, как все отображение сдвигается на один символ влево. Крайний слева символ при этом сдвигается за край дисплея и теряется. В режиме ввода справа со сдвигом нет прямого соответствия между позицией дисплея и адресом строки ОЗУ отображения. Следовательно, ввод какого-либо символа в некоторую произвольную позицию и установка режима автоникрекментирования могут привести к непредвиденным результатам.

Буферные схемы клавиатуры и датчиков хранят входную информацию в режимах сканирования клавиатуры, сканирования матрицы датчиков и ввода по стробирующему сигналу. В режиме сканирования клавиатуры информация, вводимая в ОМ—ОЗУ, соответствует

позиции ключа в клавиатуре и состоянию входных сигналов *SH* и *CO/STB*.

<i>CO/STB</i>	<i>SH</i>	Номер строки	Номер столбца				
<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>

Состояние входного сигнала *CO/STB* соответствует старшему разряду этого формата, а состояние входного сигнала *SH* — следующему по меньшинству разряду. Значения следующих трех разрядов соответствуют трем младшим разрядам счетчика сканирования и номеру строки, в которой нажата клавиша. Значения трех последующих разрядов соответствуют значениям трех разрядов, которые предшествуют трем младшим разрядам *S2-S0* счетчика сканирования и номеру столбца, в котором нажата клавиша. В качестве клавиатуры, подключаемой к микросхеме, может использоваться любая клавиатура, подобная клавиатуре пишущей машинки с 64-контактной матрицей клавиш, которая может быть расширена до 256-контактной матрицы.

В режиме матрицы датчиков данные, поступающие с входов *RET7-RET0*, вводятся непосредственно в ту строку ОЗУ датчиков, которая соответствует сканируемой в данный момент строке матрицы. Следовательно, каждая позиция ключа в матрице соответствует определенной позиции ОЗУ датчиков. Входы *SH* и *CO/STB* при работе в режиме матрицы датчиков не используются. К буферным схемам клавиатуры и датчиков в этом режиме можно подключать не только клавиши Любая

логическая схема, которой можно управлять с помощью выходов сканирования $S3-S0$, вводит данные на входы $RET7-RET0$. Например, к входам $RET7-RET0$ можно подключать восемь мультиплексированных каналов ввода и сканировать их с помощью микросхемы KP580BB79. Информация, считанная с ОЗУ датчиков, будет инверсной.

В режиме ввода по стробирующему сигналу содержимое входов $RET7-RET0$ записывается в буферные схемы клавиатуры и датчиков строб импульсом CO/STB . Вход SH в этом режиме не используется. Длительность строб-импульса должна быть не менее одного периода T_c .

Схема управления и устранения дребезга клавиатуры предназначена для управления сканированием клавиатуры в режимах 2- и N клавишных сцеплений, N -клавишных сцеплений с обнаружением ошибок, а также в режимах сканирования матрицы датчиков и ввода по стробирующему сигналу. Кроме того, она устраняет влияние дребезга клавиатуры.

В режиме сканирования клавиатуры с обнаружением 2 клавишных сцеплений ввод осуществляется по одной клавише, а при нажатии двух и более клавиш код ни одной из них не будет введен в ОМ—ОЗУ датчиков.

В режиме сканирования клавиатуры с обнаружением N клавишных сцеплений при на жатии нескольких клавиш все они опознаются и вводятся в ОМ—ОЗУ датчиков в соответствии с порядком сканирования.

В режиме сканирования клавиатуры с обнаружением N клавишных сцеплений при программировании команды «Сброс прерывания — установка обнаружения ошибок» ввод осуществляется только по однотой клавише. При одновременном нажатии двух и более клавиш код ни одной из них не вводится в ОМ—ОЗУ датчиков, но при этом в слове состояния устанавливается флаг ошибки $D6$.

Обратный магазин — ОЗУ датчиков предназначено для хранения с последующим считыванием кода позиции клавиш, состояния ключей в матрице датчика, а также информации, вводимой по стробирующему сигналу ОМ—ОЗУ датчиков. Представляет собой ОЗУ с организацией 8×8 , которое может выполнять две функции. В режимах сканирования клавиатуры или ввода по стробирующему сигналу оно работает как ОМ—ОЗУ (обратный магазин, работающий по принципу «первым вошел — первым вышел»). Каждое вновь вводимое значение данных в этом случае записывается в последние ячейки ОЗУ и каждое из них впоследствии считывается в том же порядке, в каком оно вводилось. В режиме сканирования матрицы датчиков данное ОЗУ работает как ОЗУ датчиков. Каждая строка ОЗУ датчиков загружается состоянием соответствующей строки датчиков в матрице датчиков. В этом режиме на выходе INT устанавливается напряжение высокого уровня только в том случае, если обнаружено изменение состояния датчиков.

Схема анализа состояния ОМ—ОЗУ датчиков предназначена для отображения состояния ОМ—ОЗУ датчиков, т. е. следует за числом символов, содержащихся в ОМ—ОЗУ датчиков, и за тем, является ли он полным или пустым. Слишком большое число операций считывания из ОМ—ОЗУ или записи в ОМ—ОЗУ распознается как ошибка. Схема анализа состояния ОМ—ОЗУ датчиков формирует также сигнал прерывания INT , если ОМ—ОЗУ содержит информацию. В режиме сканирования матрицы датчиков схема анализа состояния ОМ—ОЗУ датчиков следит только за числом символов в нем (их может быть не более семи).

Описанные ниже команды программируют режим работы микросхемы KP580BB79. Перед программированием режима работы необходимо установить микросхему в исходное состояние. На вход SP следует подать напряжение высокого уровня длительностью не менее $6T_c$. ОМ—ОЗУ датчиков и ОЗУ отображения в нулевое состояние сигналом SR не устанавливаются.

Команда «Установка режимов работы клавиатуры дисплея» предназначена для задания режима работы микросхеме KP580BB79. На рис. 3.48 показано детальное раскодирование данной команды. Разряды $D4$ и $D3$ определяют код режима работы дисплейной части, а разряды $D2-D0$ — код режима работы клавиатурной части микросхемы.

Программируемый интерфейс клавиатуры-дисплея микросхемы допускает одновременное выполнение в микрокомпьютерных системах операций с клавиатурой и дисплеем. Переход микросхемы из одного режима в другой осуществляется соответствующим кодом команды и не требует предварительного аппаратного или программного сброса.

Команда «Программирование синхронизации» предназначена для обеспечения требуемой скорости сканирования клавиатуры дисплея, а также согласования цикла синхронизации микропроцессора с внутренним циклом синхронизации микросхемы. Формат команды

$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
0	0	1					$K = 2 - 31$

$D7-D5$ — код команды «Программирование синхронизации», $D4-D0$ — код программируемого коэффициента деления (K).

Команда «Чтение ОМ—ОЗУ датчиков» используется для чтения данных из ОМ—ОЗУ датчиков. Формат команды

$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
0	1	0	A	X			Адрес

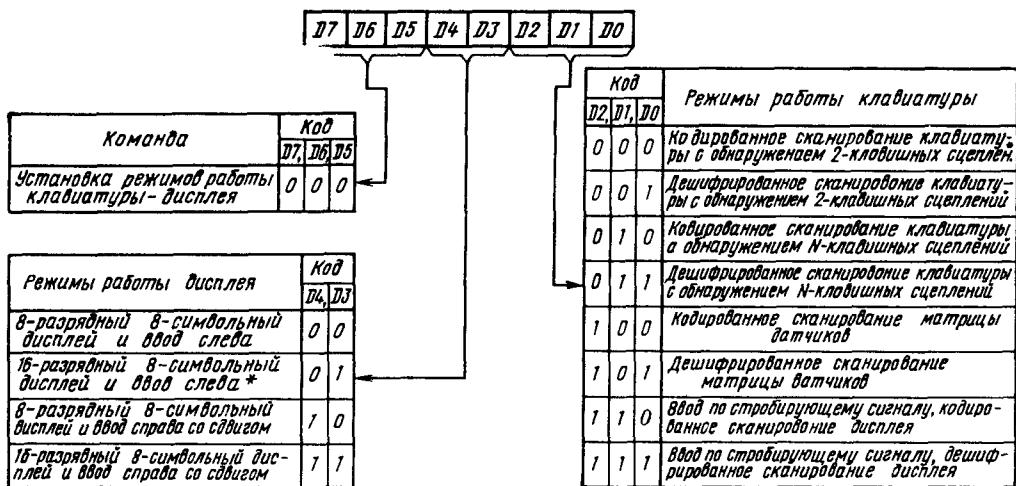


Рис. 348. Формат команды «Установка режимов работы клавиатуры/дисплея». Режимы, отмеченные звездочкой, выбираются автоматически после установки микросхемы в исходное состояние сигналом SR

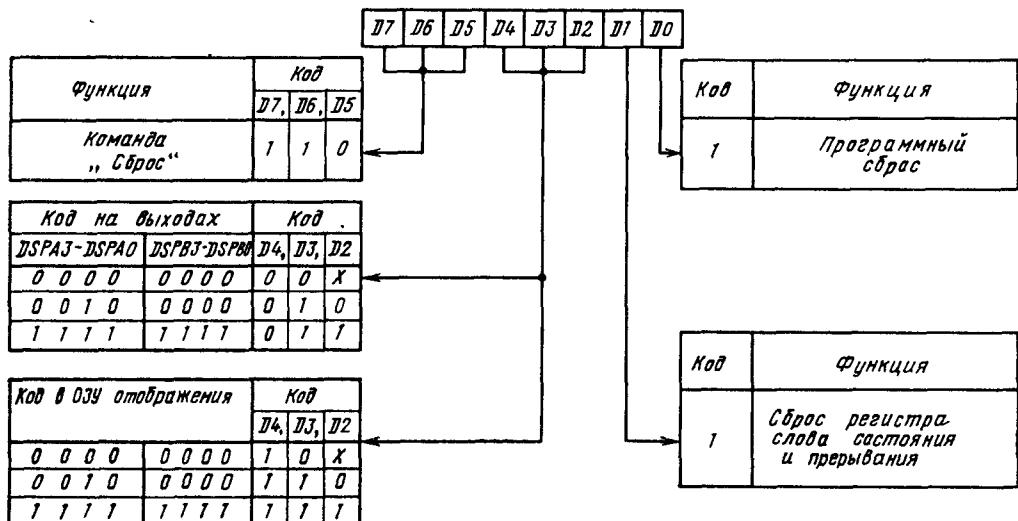


Рис. 349. Формат команды «Сброс».
X — безразличное состояние

где D7—D5 — код команды «Чтение ОМ—ОЗУ датчиков»; D4 — флаг автонакрепментирования, D3 — разряд не используется; D2—D0 — адрес строки, читаемой микропроцессором.

В режиме сканирования матрицы датчиков используется флаг автонакрепментирования D4 и разряды адреса D2—D0. В клавиатуриом режиме и режиме ввода по стробирующему сигналу для чтения ОМ—ОЗУ датчиков достаточно подать только код команды.

Команда «Чтение ОЗУ отображения» используется для чтения данных из ОЗУ отображения. Формат команды.

D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	A				Адрес

Таблица 3.34

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Входное напряжение высокого уровня на линиях возврата $RET7-RET0$, В	$U_{IH, RET}$	2,2	5,25
Входное напряжение низкого уровня на линиях возврата $RET7-RET0$, В	$U_{IL, RET}$	—	1,4
Выходное напряжение высокого уровня на выходе «Запрос прерывания» INT , В	$U_{OH, INT}$	3,5	—
Ток потребления, мА	I_{CC}	—	120
Ток утечки по линиям возврата $RET7-RET0$, сдвига SH и управления CO/STB , мкА	I_{LL}	—	—100
Период синхронизации, нс	T_C	500	—
Длительность сигнала C высокого уровня, нс	$t_{WH(C)}$	230	—
Время установления сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_{SU(\overline{CS}, HL-\overline{WR}, HL)}$	50	—
Время установления сигнала INS/\overline{D} относительно сигнала \overline{WR} , нс	$t_{SU(INS/\overline{D}, HL/LH-\overline{WR}, HL)}$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{WR} , нс	$t_V(\overline{CS}, LH-\overline{WR}, LH)$	20	—
Время сохранения сигнала INS/\overline{D} относительно сигнала \overline{WR} , ис	$t_V(INS/\overline{D}, LH/HL-\overline{WR}, LH)$	20	—
Время установления сигналов $D7-D0$ относительно сигнала \overline{WR} , ис	$t_{SU(D, HL/LH-\overline{WR}, LH)}$	300	—
Время сохранения сигналов $D7-D0$ относительно сигнала \overline{WR} , ис	$t_V(D, LH/HL-\overline{WR}, LH)$	40	—
Длительность цикла записи, ис	$t_{Cr(\overline{WR})}$	1000	—
Длительность сигнала \overline{WR} , нс	$t_{WL(\overline{WR})}$	400	—
Время установления сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_{SU(\overline{CS}, HL-\overline{RD}, HL)}$	50	—
Время установления сигнала INS/\overline{D} относительно сигнала \overline{RD} , ис	$t_{SU(INS/\overline{D}, HL/LH-\overline{RD}, HL)}$	50	—
Время сохранения сигнала \overline{CS} относительно сигнала \overline{RD} , нс	$t_V(\overline{CS}, LH-\overline{RD}, LH)$	5	—
Время сохранения сигнала INS/\overline{D} относительно сигнала \overline{RD} , ис	$t_V(INS/\overline{D}, LH/HL-\overline{RD}, LH)$	5	—
Длительность цикла чтения, ис	$t_{Cr(\overline{RD})}$	1000	—
Длительность сигнала \overline{RD} , нс	$t_{WL(\overline{RD})}$	420	—
Время задержки сигналов $D7-D0$ относительно сигнала \overline{RD} , ис	$t_d(D, ZL/ZH-\overline{RD}, HL)$	—	300
Время задержки сигналов $D7-D0$ относительно сигнала \overline{RD} , ис	$t_V(D, LZ/HZ-\overline{RD}, LH)$	10	100
Время задержки сигналов $D7-D0$ относительно сигнала \overline{CS} , ис	$t_d(D, ZL/ZH-\overline{CS}, HL)$	—	450
Время задержки сигналов $D7-D0$ относительно сигнала INS/\overline{D} , ис	$t_d(D, ZL/ZF-INS/\overline{D}, HL/LH)$	—	450
Длительность сигнала \overline{BD} в состоянии низкого уровня, мкс	$t_{WL(\overline{BD})}$	150	—
Длительность сигнала \overline{BD} в состоянии высокого уровня, мкс	$t_{WH(\overline{BD})}$	490	—

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления сигнала \overline{BD} относительно сигнала S , мкс	$t_{SU}(\overline{BD}, HL-S, HL)$	80	—
Время установления сигналов DSP относительно сигнала S , мкс	$t_{SU}(DSP, HL/LH-S, HL)$	80	—
Время сохранения сигнала \overline{BD} относительно сигнала S , мкс	$t_V(\overline{BD}, LH-S, HL)$	70	—
Время сохранения сигналов DSP относительно сигнала S , мкс	$t_H(DSP, LH/LH-S, HL)$	70	—
Длительность цикла внутренней синхронизации, мкс	$t_{Cr}(C)$	10	—
Время сканирования одной клавиши, мкс	t_{SK}	80	—
Время сканирования дисплея, мс	t_{SDSP}	10,24	—
Время устранения дребезга клавиатуры, мс	t_{WAIT}	10,24	—
Время сканирования клавиатуры, мс	t_{SKA}	5,12	—

Примечание. Пояснения к условным обозначениям временных параметров приведены в примечаниях к табл. 3.8.

где $D7-D5$ код команды «Чтение ОЗУ отображения»; $D4$ — флаг автоникрементирования; $D3-D0$ — адрес строки, читаемой микропроцессором.

Так как для чтения данных из ОЗУ отображения и их записи в ОЗУ отображения используется один и тот же счетчик адреса, то эта команда одновременно устанавливает также адрес следующей строки записи данных и режим автоникрементирования при записи. Если флаг автоникрементирования $D4$ установлен в 1, то адрес символа после каждой операции чтения (записи) будет увеличиваться на 1 и следующее чтение (запись) будет происходить из следующей строки (в следующую строку).

Команда «Запись в ОЗУ отображения» используется для записи информации в ОЗУ отображения. Формат команды:

$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
1	0	0	A	Адрес			

где $D7-D5$ — код команды «Запись в ОЗУ отображения»; $D4$ — флаг автоникрементирования; $D3-D0$ — адрес строки, в которую записывается информация.

Адресация и автоникрементирование при записи в ОЗУ отображения аналогичны адресации и автоникрементированию при чтении из ОЗУ отображения. Различие состоит в том, что команда «Запись в ОЗУ отображения» не влияет на выбор источника информации при чтении, т. е. микропроцессор будет производить

чтение из того ОЗУ (ОЗУ отображения или ОМ—ОЗУ датчиков), которое было указано последним.

Команда «Гашение — запрет записи отображения» используется для гашения отображения на выходах $DSPA3-DSPA0$ и $DSPB3-DSPB0$ (в нули, единицы и шестиадцатеричное число 20), а также для запрещения записи в одну из половины ОЗУ отображения или обе половины одновременно. Формат команды:

$D7$	$D6$	$D5$	$D4$	$D3$	$D2$	$D1$	$D0$
1	0	1	X	A	B	A	B

где $D7-D5$ — код команды «Гашение — запрет записи отображения»; $D4$ разряд не используется; $D3$ — запрет записи в ОЗУ отображения по входам $D7-D4$ для канала A ; $D2$ — запрет записи в ОЗУ отображения по входам $D3-D0$ для канала B , $D1$ — гашение выходов $DSPA3-DSPA0$ для канала A ; $D0$ — гашение выходов $DSPB3-DSPB0$ для канала B .

Гашение отображения или запрет записи информации в ОЗУ отображения осуществляется при записи 1 в соответствующий разряд команды «Гашение — запрет записи отображения». После аппаратного сброса выходы $DSPA3-DSPA0$, $DSPB3-DSPB0$ и \overline{BD} автоматически устанавливаются в состояние низкого уровня.

Команда «Сброс» предназначена для осуществления программного сброса микросхемы, сброса слова состояния и прерывания сигнала

INT, а также сброса ОЗУ отображения и выходов *DSPA3—DSPA0*, *DSPB3—DSPB0* в код, который определяется разрядами *D3*, *D2* (рис. 3.49).

Команда «Сброс прерывания — установка режима обнаружения ошибок» предназначена для сброса сигнала *INT* в режиме матрицы датчиков и установки специального режима обнаружения ошибок в клавиатурном режиме с *N*-клавишным сцеплением. Формат команды:

<i>D7</i>	<i>D6</i>	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
1	1	1	1	<i>X</i>	<i>X</i>	<i>X</i>	<i>X</i>

где *D7—D5* — код команды «Сброс прерывания — установка режима обнаружения ошибок», *D4* — код установки режима обнаружения ошибок; *D3—D0* — безразличное состояние.

Основные параметры микросхемы в диапазоне рабочих температур от -10 до $+70^{\circ}\text{C}$ и напряжении питания $U_{cc}=5,0 \text{ В} \pm 5\%$ приведены в табл. 3.34.

3.8. Микросхема KP580BA93

Микросхема KP580BA93 — программируемый приемопередатчик, предназначенный для использования в устройствах вычислительной техники и измерительной аппаратуре с цифровой обработкой информации.

Микросхема включает в себя:

девять магистральных усилителей с повышенной емкостной нагрузочной способностью, выходы которых могут программируться на работу в качестве выхода с тремя состояниями или с открытым коллектором (стоком);

девять приемников с линии с триггером Шмидта на входе, обеспечивающим гистерезис не менее 0,4 В;

десифратор, позволяющий реализовать четыре варианта приемопередатчика.

Условное графическое обозначение микросхемы приведено на рис. 3.50, назначение выводов — в табл. 3.35.

Структурная схема KP580BA93 изменяется в зависимости от режима работы с помощью подачи напряжений соответствующих уровней на выводы 26 и 27 (рис. 3.51, *a—g*). Назначение выводов в зависимости от режима работы приведено в табл. 3.36.

Режим 0. *OPTA* (27) — 0 В, *OPTB* (26) — 0 В (прием/передача управляющих сигналов), направление передачи каналов *G101*, *G102*, *EO1* и *NRFD*, *NDAC* определяется уровнем напряжения на выводах *T/R101*, *T/R102*, *T/R2*, *T/R1* соответственно. При высоком уровне напряжения на управляющих выводах линии *G101*, *G102*, *EO1* передают информацию из канала микропроцессора (МП) в канал общего пользования (КОП), а линии *NDAC*, *NRFD* — в направлении КОП — МП (рис. 3.51, *a*).

При низком уровне напряжения на управляющих выводах направление передачи изменяется на противоположное; при этом линии *IFC*, *REN*, *ATN* работают только в направлении КОП — МП, а линия *SRQ* — в направлении МП — КОП.

Таблица 3.35

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>T/R1</i>	Вход	Управление передачей/приемом I
2	<i>T/R2</i>	Вход	Управление передачей/приемом II
3	<i>EO1</i>	Вход/выход	Конец передачи или идентификация
4	<i>ATN</i>	Вход/выход	Управление
5—11	<i>DATA1—DATA7</i>	Входы/выходы	Шина данных
12, 13	<i>BUS1</i> , <i>BUS2</i>	Входы/выходы	Канал общего пользования
14, 20	<i>GND</i>	—	Общий
15—19, 21, 22 23—25	<i>BUS3—BUS9</i>	Входы/выходы	Канал общего пользования
	<i>DATA8—DATA10</i>	Входы/выходы	Шина данных
26	<i>OPTB</i>	Вход	Выбор режима работы
27	<i>OPTA</i>	Вход	Выбор режима работы
28	<i>U_{cc}</i>	—	Напряжение питания +5 В

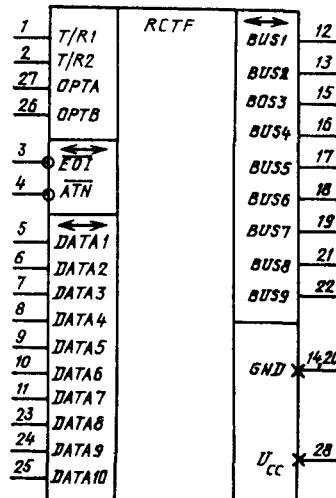


Рис. 3.50. Условное графическое обозначение KP580BA93

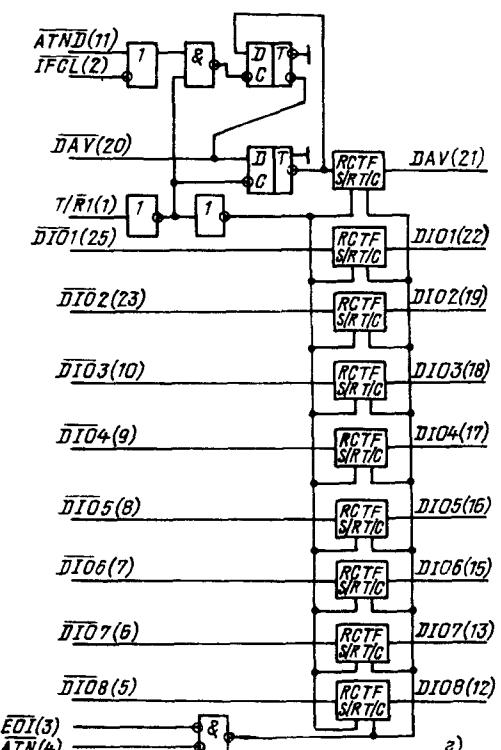
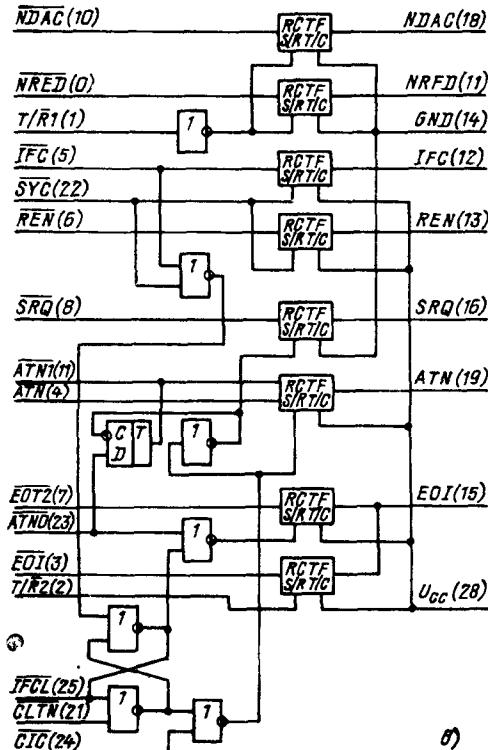
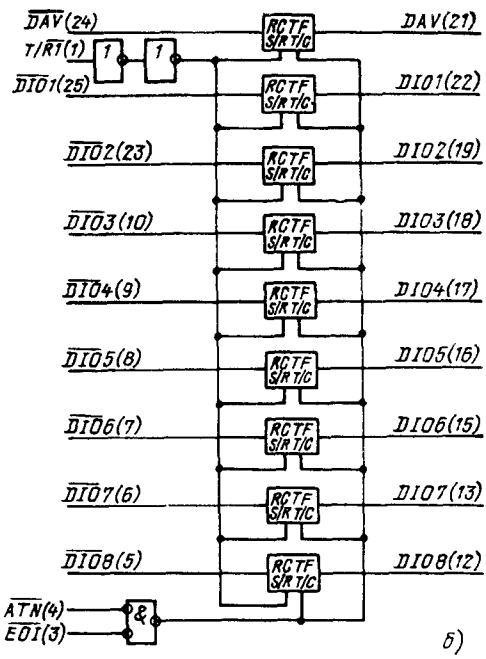
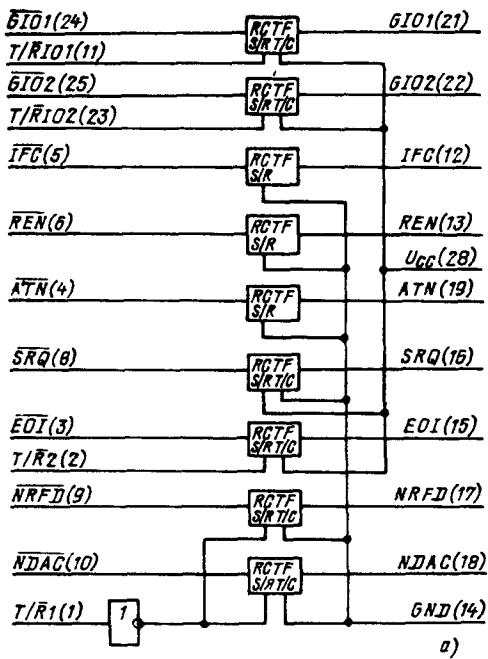


Рис 3.51 Структурная схема KP580BA93 в режиме 0 (а), в режиме 1 (б), в режиме 2 (в), в режиме 3 (г)

Таблица 3.36

Вывод	Обозна- чение	Режим 0 (OPTA=0 В, OPTB=0 В)		Режим 1 (OPTA=5 В, OPTB=0 В)		Режим 2 (OPTA=0 В, OPTB=5 В)		Режим 3 (OPTA=5 В, OPTB=5 В)	
		Тип вывода	Назначение вывода	Тип вывода	Назначение вывода	Тип вывода	Назначение вывода	Тип вывода	Назначение вывода
5	DATA1	Выход	IFC—очистка интерфейса	Вход/ выход	DIO8—линия шины данных МП	Вход/ выход	IFC—очистка интерфейса	Вход/ выход	DIO8—линия шины данных МП
6	DATA2	Выход	PEN — разрешение дистанционного управления	Вход/ выход	DIO7—линия шины данных МП	Вход/ выход	REN — разрешение дистанционного управления	Вход/ выход	DIO7—линия шины данных МП
7	DATA3	—	Не используется	Вход / выход	DIO7—линия шины данных МП	Вход / выход	E02—конец передачи (идентификация 2)	Вход / выход	DIO6—линия шины данных МП
8	DATA4	Вход	SRQ—запрос на обслуживание	Вход / выход	DIO5—линия шины данных МП	Вход / выход	SRQ—запрос на обслуживание	Вход / выход	DIO5—линия шины данных МП
9	DATA5	Вход / выход	NRFD — не готов к приему данных	Вход / выход	DIO4—линия шины данных МП	Вход / выход	NRFD—не готов к приему данных	Вход / выход	DIO4—линия шины данных МП
10	DATA6	Вход / выход	NDAC — данные не приняты	Вход / выход	DIO3—линия шины данных МП	Вход / выход	NDAC—данные не приняты	Вход / выход	DIO3—линия шины данных МП
11	DATA7	Вход	T/RIO1 — прием/передача	—	Не используетя	Выход	ATN1 — внимание, ATN — вход	Вход	ATNO — внимание, ATN — выход
23	DATA8	Вход	T/RIO2 — прием/передача	Вход / выход	DIO2 — линия шины данных МП	Вход	ATNO — внимание, ATN — выход	Вход / выход	DIO2—линия шины данных МП
24	DATA9	Вход / выход	GIO1 — резервная линия 1	Вход / выход	DAV—данные достоверны	Вход	CIC — контроллер взял управление	Вход / выход	DAV—данные достоверны
25	DATA10	Вход / выход	GIO2 — резервная линия 2	Вход / выход	DIO1—линия шины данных МП	Выход	IFC1—очистка интерфейса	Вход / выход	DIO1—линия шины данных МП
12	BUS1	Вход	IFC—очистка интерфейса	Вход / выход	DIO8—линия шины КОП	Вход / выход	IFC—очистка интерфейса	Вход / выход	DIO8—линия шины КОП
13	BUS2	Вход	REN — разрешение дистанционного управления	Вход / выход	DIO7—линия шины данных КОП	Вход / выход	REN — разрешение дистанционного управления	Вход / выход	DIO7—линия шины данных КОП
15	BUS3	Вход / выход	EO1 — конец передачи/идентификация	Вход / выход	DIO6—линия шины данных КОП	Вход / выход	EO1—конец передачи/идентификация	Вход / выход	DIO6—линия шины данных КОП
16	BUS4	Выход	SRQ—запрос на обслуживание	Вход / выход	DIO5—линия шины данных КОП	Вход / выход	SRQ—запрос на обслуживание	Вход / выход	DIO5—линия шины данных КОП
17	BUS5	Вход / выход	NRFD — не готов к приему данных	Вход / выход	DIO4—линия шины данных КОП	Вход / выход	NRFD—не готов к приему данных	Вход / выход	DIO4—линия шины данных КОП
18	BUS6	Вход / выход	NDAC — данные не приняты	Вход / выход	DIO3—линия шины данных КОП	Вход / выход	NDAC—данные не приняты	Вход / выход	DIO3—линия шины данных КОП
19	BUS7	Вход	ATN — управление	Вход / выход	DIO2—линия шины данных КОП	Вход / выход	ATN — управление	Вход / выход	DIO2—линия шины данных КОП
21	BUS8	Вход / выход	GIO1 — резервная линия 1	Вход / выход	DAV—данные достоверны	Вход	CLTH—очистка буфера	Вход / выход	DAV—данные достоверны
22	BS 9	Вход / выход	GIO2 — резервная линия 2	Вход / выход	DIO1—линия шины данных КОП	Вход	SVC—системный контроллер	Вход / выход	DIO1—линия шины данных КОП
1	T/R1	Вход	T/R1—прием/передача 1	Вход	T/R1—прием/передача 1	Вход	T/R1—прием/передача 1	Вход	T/R1—прием/передача 1
2	T/R2	Вход	T/R2—прием/передача 2	—	Не используется	Вход	T/R2—прием/передача 2	Вход	/FCL — подтверждение очистки интерфейса
3	EO1	Вход / выход	EO1 — конец передачи/идентификация	Вход	EO1—конец передачи/идентификация	Вход / выход	EO1—конец передачи/идентификация	Вход	EO1—конец передачи/идентификация
4	ATN	Выход	ATN — управление	Вход	ATN—управление	Выход	ATN — идентификация	Вход	ATN — управление

Таблица 3.37

Параметр, режим измерения	Обозначение	Вывод	Значения параметров	
			мин	макс.
Входное напряжение низкого уровня, В	U_{IL1}	12, 13, 15–19, 21, 22	—	0,8
Входное напряжение высокого уровня, В	U_{IH3}	Остальные выводы	2,0	5,25
Выходное напряжение низкого уровня, В: при $U_{CC} = 4,75$ В, $U_{IH} = 2,0$ В, $U_{IL} = 0,8$ В, $I_o = 48$ мА	U_{OL1}	12, 13, 15–19, 21, 22	—	0,5
при $U_{CC} = 4,75$ В, $U_{IH} = 2,0$ В, $U_{IL} = 0,8$ В, $I_o = 16$ мА	U_{OL2}	3–11, 23–25	—	0,5
Выходное напряжение высокого уровня, В: при $U_{CC} = 4,75$ В, $U_{IH} = 2,4$ В, $U_{IL} = 0,8$ В, $I_o = -5,2$ мА	U_{OH1}	12, 13, 15–19, 21, 22	2,4	—
при $U_{CC} = 4,75$ В, $U_{IH} = 2,4$ В, $U_{IL} = 0,8$ В, $I_o = -0,8$ мА	U_{OH2}	3–11, 23–25	2,4	—
Ток утечки, мкА: при $U_{CC} = 5,25$ В, $U_{ИСВ} = 0,45$ В	I_{LOL1}	12, 13, 15–19, 21, 22	—	40
при $U_{CC} = 5,25$ В, $U_{ИСВ} = 2,7$ В	I_{LOL2}	Остальные выводы	—	10
	I_{LOH1}	12, 13, 15–19, 21, 22	—	40
Ток потребления при $U_{CC} = 5,25$ В, мА	I_{CC}	—	—	175
Емкость входа/выхода при $U_{CC} = 5,25$ В, пФ	$C_{II/O1}$	12, 13, 15–19, 21, 22	—	80
	$C_{I/O2}$	1,2	—	10
	$C_{I/O3}$	Остальные входы	—	50
Время установления сигнала, мс	t_{SU}	—	—	10
Направление МП — КОП:				
Время задержки распространения сигнала при включении (для всех каналов), нс:	t_{PHL1}	—	—	30
Время задержки распространения сигнала при выключении (для всех каналов), нс:	t_{PLH1}	—	—	30
Направление КОП — МП:				
Время задержки распространения сигнала при включении, нс:				
каналов EOI , ATN и каналов синхронизации DAV , NRF , $NDAC$	t_{PHL2}	—	—	50
остальных каналов	t_{PHL3}	—	—	60
Время задержки распространения сигналов при выключении, нс:				
каналов EOI , ATN и каналов синхронизации DAV , NRF , $NDAC$	t_{PLH2}	—	—	50
остальных каналов	t_{PLH3}	—	—	60
Время задержки перехода вывода из состояния высокого уровня в З-е состояние для выводов, подключаемых к КОП, нс	t_{PHZ1}	—	—	40

Окончание табл. 3.37

Параметр, режим измерения	Обозначение	Вывод	Значения параметров	
			мин	макс
Время задержки перехода вывода из 3-го состояния в состояние высокого уровня для выводов, подключаемых к КОП, ис	t_{PZH1}	—	—	40
Время задержки перехода из состояния низкого уровня в 3-е состояние для выводов, подключаемых к КОП, ис	t_{PLZ1}	—	—	40
Время задержки перехода вывода из 3-го состояния в состояние низкого уровня для выводов, подключаемых к КОП, ис	t_{PZL1}	—	—	40
Время задержки перехода вывода из состояния высокого уровня в 3-е состояние для выводов шины МП, ис	t_{PHZ2}	—	—	40
Время задержки перехода вывода из 3-го состояния в состояние высокого уровня для выводов шины МП, ис	t_{PZH2}	—	—	40
Время задержки перехода вывода из состояния низкого уровня в 3-е состояние для выводов шины МП, ис	t_{PLZ2}	—	—	40
Время задержки перехода вывода из 3-го состояния в состояние низкого уровня для выводов шины МП, ис	t_{PZL2}	—	—	40

При работе в направлении МП — КОП выводы $GIO1$, $GIO2$, $EO1$ являются выходами с тремя состояниями, а выводы SRQ , $NRFD$, $NDAC$ — выходами с открытым коллектором.

Режим 1. $OPTA (27) = 5$ В, $OPTB (26) = 0$ В (прием/передача данных), направление передачи всех каналов определяется уровнем напряжения на выводе $T/R1$. При высоком уровне напряжения информация передается в направлении МП — КОП, а при низком уровне — в направлении КОП — МП.

При работе в направлении МП — КОП все выводы являются выходами с открытым коллектором при наличии входного напряжения низкого уровня одновременно на выводах ATN , $EO1$ и выходами с тремя состояниями — при других комбинациях входных напряжений на этих выводах.

Режим 2. $OPTA (27) = 0$ В, $OPTB (26) = 5$ В (прием/передача управляющих сигналов с функциями контроллера), линии $NDAC$, $NRFD$, SRQ при работе в направлении МП — КОП являются выходами с открытым коллектором, а линии IFC , REN , ATN , $EO1$ — выходами с тремя состояниями.

Направление передачи информации по линиям $NDAC$, $NRFD$ определяется уровнем напряжения на выводе $T/R1$. Высокий уровень напряжения на этом выводе разрешает передачу сигналов из МП в КОП, а низкий уровень — из КОП в МП.

Направление передачи информации по линиям $EO1$, IFC и REN определяется уровнем напряжения на выводах $T/R2$ и SYC . Высокий уровень напряжения на соответствующем вы-

воде разрешает передачу сигналов из МП в КОП, а низкий уровень — из КОП в МП.

Направление передачи по линиям SRQ , ATN , $EO12$ зависит от комбинации сигналов $ATNO$, IFC , SYC , $IFCL$, $CLTH$, CIC в соответствии с логической схемой, приведенной на рис. 3.51, в.

Режим 3. $OPTA (27) = 5$ В, $OPTB (26) = 5$ В (прием/передача данных с функциями контроллера), направление передачи всех каналов определяется уровнем напряжения на выводе $T/R1$. При высоком уровне входного напряжения разрешается передача информации из МП в КОП, а при низком — из КОП в МП. Кроме того, для линии DAV сформирована дополнительная логическая схема разрешения или запрещения приема в зависимости от комбинации сигналов $ATNO$, $IFCL$.

Состояние выходов КОП задается, как в режиме 1.

Во всех режимах работы при передаче информации в направлении КОП — МП выводы, подключаемые в КОП, являются входами триггеров Шмидта.

Основные электрические параметры микросхемы КР580ВА93 при температуре окружающей среды $25 \pm 10^\circ\text{C}$ приведены в таблице 3.37

Предельно-допустимый режим эксплуатации

Напряжение питания, U_{cc} , не более	5,25 В
Входное напряжение высокого уровня, U_{IV} , не более	5,25 В

Входное напряжение низкого уровня, U_{IL} , не более 0,8 В

Примечание. Напряжения измеряются относительно вывода GND .

Микросхема KP580BA93 может быть использована как универсальный элемент в радиоэлектронных устройствах с цифровой обработкой информации. Типовая схема реализации интерфейса приведена на рис. 3.65.

3.9. Микросхема KP580BG75

Микросхема KP580BG75 — однокристальный контроллер ЭЛТ, предназначенный для алфавитно-цифровых дисплеев, а также для применения в видеотерминалах микро-ЭВМ.

Основное назначение микросхемы — вывод информации из памяти микро-ЭВМ на экран ЭЛТ, промежуточное хранение информации, управление синхронизацией, параметрами развертки и изображения, выполнение вспомогательных функций (редактирование текста, управление курсором, генерирование графических символов, выбор цвета и т. п.).

Условное графическое обозначение микросхемы приведено на рис. 3.52, назначение выводов — в табл. 3.38, структурная схема показана на рис. 3.53.

В состав микросхемы входят: буферная схема шины данных, логическая схема чтения/записи ПДП,

записи/ПДП, внутренняя шина данных, входная буферная схема-контроллер, два буферных ЗУ на один знакоряд и сопряженные с ними стеки, выходная буферная схема-контроллер, схема растровой синхронизации и управления видеосигналом, счетчики знаков, строк, знакорядов, регистры светового пера.

Буферная схема шины данных — двунаправленная с тремя состояниями, 8-разрядная буферная схема для сопряжения внутренней шины данных микросхемы с шиной данных системы. Работой буферной схемы шины данных управляет логическая схема чтения/записи/ПДП.

Логическая схема чтения/записи/ПДП управляет процессом двунаправленного обмена информацией микросхемы с внешними устройствами, а также переводом выводов шины данных микросхемы в 3-е состояние. Логическая схема чтения/записи/ПДП, декодируя внешние управляющие сигналы, адресует записываемую информацию в соответствующие регистры микросхемы, буферные ЗУ или стеки $FIFO$, а считываемую выводят из регистров состояния или регистров светового пера. Кроме того, она вырабатывает сигналы ПДП и прерываний, подаваемые на центральный процессор и контроллер ПДП.

Внутренняя шина данных, состоящая из восьми коммутируемых линий связи, осуществляет обмен информацией внутри микросхемы.

Таблица 3.38

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
50	$CCLK$		
	<i>CRT</i>		
5	DRQ	Выход	Номер строки
31	IRQ	Выход	Запрос ПДП
23	$CC0$	Выход	Подтверждение ПДП
24	$CC1$	Выход	Обратный ход строчной развертки
25	$CC2$	Выход	Обратный ход кадровой развертки
26	$CC3$	Выход	Чтение
27	$CC4$	Выход	Запись
28	$CC5$	Выход	Световое перо
29	$CC6$	Выход	Шина данных
4	$LC0$	Выход	Общий
3	$LC1$	Выход	Адрес порта
2	$LC2$	Выход	Выбор микросхемы
1	$LC3$	Выход	Код знака
7	$HRTC$	Выход	Синхросигнал знака
8	$VRTC$	Выход	Запрос прерывания
10	WR	Вход	Подсветка
11	$LPEN$	Вход	Универсальные атрибутивные коды
12—19	$DB0—DB7$	Вход	Появление видеосигнала
7	$HRTC$	Вход	Негативное изображение
8	$VRTC$	Вход	Разрешение засветки экрана
37	$LTEM$	Выход	Код графических символов
35	VSP	Выход	Напряжение питания +5 В
36	RVV	Выход	
32	$HLGT$	Выход	
20	$LA0$	Выход	
39	$CC0—CC6$	Выход	
21	$A0$	Выход	
22	CS	Выход	
23—29	$CC0—CC6$	Выход	
38	$CCLK$	Выход	
30	IRQ	Выход	
31	$HLGT$	Выход	
32	$GPA0$	Выход	
33	$GPA1$	Выход	
34	$GPA1$	Выход	
35	VSP	Выход	
36	RVV	Выход	
37	$LTEM$	Выход	
38, 39	$LA1, LA0$	Выход	
40	U_{CC}	—	

Рис. 3.52. Условное графическое обозначение KP580BG75

Входная буферная схема-контроллер управляет взаимодействием микросхемы КР580ВГ75 с центральным процессором видеотерминала. Она содержит регистры команд и параметров, куда по внутренней шине данных логическая схема записи адресует команды от центрального процессора и числовые данные (параметры), входящие в состав некоторых команд (см. «Программирование микросхемы»). Сведения о правильности приема и выполнения команды заносятся в регистр состояния, откуда центральный процессор может их считать и контролировать.

Входная буферная схема-контроллер «просматривает» информацию, загружаемую в буферные ЗУ, и при обнаружении в ее составе вспомогательных команд выполняет их (например, при команде «Конец кадра — прекращение ПДП» прекращает дальнейший запрос ПДП).

Выходная буферная схема-контроллер управляет отображением информации. При обнаружении в ее составе атрибутивных кодов знака или поля дешифрирует их и производит соответствующее действие (например, при атрибутивном коде поля «Подсветка» включает выход *HLGT* микросхемы).

Буферные ЗУ на один знакоряд — два ЗУ емкостью по 8-битовых знаков каждого для промежуточного хранения выводимой на экран ЭЛТ информации, заполняются в ходе цикла ПДП из страничной памяти видеотерминала. Если содержимое одного из этих ЗУ выводится на экран, то второе заполняется информацией для следующего знакоряда.

В микросхеме есть два стека обратного магазинного типа емкостью 16 знаков по 7 бит каждый. Стеки попарно сопряжены с буферными ЗУ и служат для увеличения их емкости в «прозрачном» режиме.

Выходная буферная схема — односторонний 7-разрядный буферный регистр для синхронного вывода информации из буферного ЗУ или стека *FIFO* на знакогенератор.

Растровая синхронизация и управление видеосигналом обеспечивают синхронизацию и управление выводами *LA0*, *LA1*, *HLGT*, *RVV*, *LLEN*, *VSP*, *GPA0*, *GPA1* микросхемы.

Счетчик знаков — программируемый счетчик для поочередного подсчета числа знаков в знакоряду и длительности обратного хода горизонтальной развертки, требуемые значения которых записаны в регистре параметров. Управляется со входом *CCLK*. Во время подсчета длительности обратного хода горизонтальной развертки на выходе *HRTC* напряжение высокого уровня.

Счетчик строк — программируемый счетчик для подсчета числа строк раstra в знакоряду, требуемое число которых записано в регистре параметров. Выход этого счетчика в 4-разрядном параллельном коде задает ПЗУ внешнего знакогенератора номер строки раstra в знакоряду, отображаемой на экране ЭЛТ.

Счетчик знакорядов — программируемый счетчик для поочередного подсчета числа знакорядов в кадре и длительности обратного

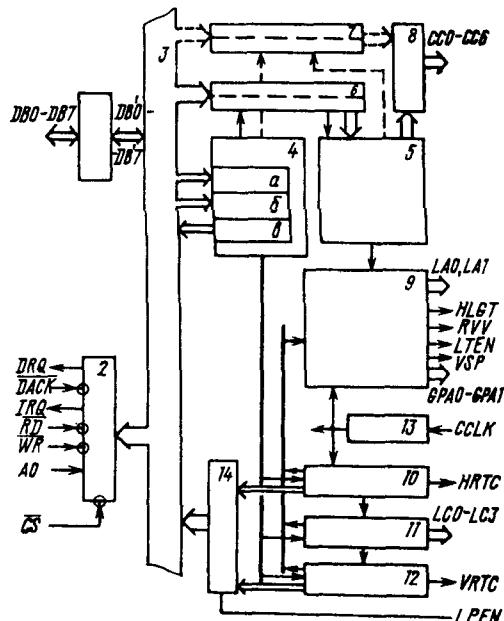


Рис. 3.53. Структурная схема KP580VG75

хода вертикальной развертки, требуемые значения которых записаны в регистре параметров входной буферной схемы-контроллера. Во время подсчета длительности обратного хода вертикальной развертки на выходе *VRTC* напряжение высокого уровня.

Регистры светового пера — два регистра, один из которых включен параллельно счетчику знаков, второй — счетчику знакорядов. В момент поступления сигнала от светового пера текущее состояние обоих счетчиков заносится в регистры светового пера, в которых хранится, и по команде может считываться центральным процессором. Следует учитывать, что в регистры заносятся координаты знака с запаздыванием на два-три знакоместа относительно фактического расположения на экране, что требует аппаратной или программной коррекции.

Выходы микросхемы выполняют следующие функции.

Номер строки. Выход счетчика строк, задающий знакогенератору номер строки раstra в знакоряду, отображаемой в данный момент на экране ЭЛТ.

Запрос ПДП. Выходной сигнал к контроллеру ПДП (KP580BT57), требующий цикла прямого доступа к памяти для загрузки информации в буферное ЗУ на один знакоряд.

Подтверждение ПДП. Входной сигнал от контроллера ПДП, указывающий, что будет проводиться запрашиваемый цикл ПДП.

Обратный ход строчной развертки. Выходной сигнал, возникающий во время обратного хода горизонтальной развертки, длительность которого программируется. Во время его действия на выходе *VSP* напряжение высокого уровня.

Обратный ход кадровой развертки. Выходной сигнал, возникающий во время обратного хода вертикальной развертки, длительность которого программируется. Во время его действия на выходе *VSP* напряжение высокого уровня, на выходе *LTEM* — напряжение низкого уровня.

Чтение. Управляющий сигнал для чтения внутренних регистров микросхемы.

Запись. Управляющий сигнал для записи команд в регистры команд, записи информации в буферные ЗУ микросхемы во время цикла ПДП.

Световое перо. Входной сигнал, возникающий в момент обнаружения световым пером засветки в данной точке экрана ЭЛТ.

Шина данных. Двунаправленные линии связи с тремя состояниями. Во время чтения регистров светового пера или регистра состояния они являются выходами.

Адрес порта. Определяет адрес регистра (порта) при чтении или записи. Если на *A0* напряжение высокого уровня, то запись информации производится в регистр (порт) команд (чтение — из регистра состояния). При напряжении низкого уровня на *A0* запись производится в регистр (порт) параметров (чтение — из регистров светового пера, после подачи комманды «Чтение регистров светового пера»).

Выбор микросхемы. Входной сигнал, разрешающий действие стробирующего сигнала чтения или записи.

Код знака. Выходы, через которые отображаемая на экране ЭЛТ информация из буферного ЗУ на один знакоряд или стека *FIFO* в 7-битовом параллельном коде синхронно выводится на знакогенератор.

Синхросигнал знака. Внешний сигнал от логической схемы синхронизации точек раstra. Синхронизирует процесс вывода кода знаков и все процессы, связанные с отображением информации (управление разверткой, видеосигналом и т. п.).

Запрос прерывания. Запрос прерывания к центральному процессору.

Подсветка. Выходной сигнал, используемый для включения повышенной яркости определенных участков изображения или отдельных символов на экране. Задается посредством атрибутивных кодов поля или символа.

Универсальные атрибутивные коды. Выходы, управляемые с помощью атрибутивных кодов поля. Используются по усмотрению разработчика (например, для выбора цвета).

Подавление видеосигнала. Выходной сигнал для гашения изображения на экране ЭЛТ. Действует в следующих случаях:

во время обратного хода горизонтальной или вертикальной развертки;

во время прямого хода верхней и нижней строк раstra в знакоряду, если в качестве строки подчеркивания для знакоряда запрограммирована строка раstra с номером 8 и выше;

при обнаружении вспомогательных команд окончания знакоряда или кадра;

при недогрузке буферного ЗУ на один знакоряд из-за сбоев в цикле ПДП;

в периодических интервалах (1/16 частоты кадров для курсора, 1/32 частоты кадров для атрибутов символа и поля) с целью получения мерцания изображения, заданного при программирования курсора (маркера), атрибутов символа или поля.

Негативное изображение. Выходной сигнал, задающий схеме управления ЭЛТ инвертирование видеосигнала. Этот выход включается на участках изображения, заданных с помощью соответствующих атрибутивных кодов поля, и при отображении места нахождения курсора, если курсор (маркер) запрограммирован в виде негативного видеоблока.

Разрешение засветки экрана. Выходной сигнал, разрешающий подачу видеосигнала на ЭЛТ. Этот выход действует при отображении места нахождения курсора, запрограммированного как подчеркивание, и при генерации графических символов в соответствии с их кодами.

Код графических символов. Сигналы на этих выходах, декодированные внешней логической схемой синхронизации растровых точек, дают комбинации вертикальных и горизонтальных линий для получения графических изображений, задаваемых атрибутивными кодами символов (знаков).

Микросхема КР580ВГ75 обеспечивает большой выбор задаваемых программно форматов изображения. Она осуществляет синхронизацию раstra, промежуточное хранение отображаемого знакоряда, декодирование атрибутивных кодов, управление курсором (маркером), работу со световым пером.

Микросхема разработана для сопряжения контроллера ПДП типа КР580ВТ57 с генератором стандартных знаков — ПЗУ, декодирующими точечную матрицу. Синхронизация на уровне растровых точек должна обеспечиваться внешней схемой.

Схема применения КР580ВГ75 в видеотерминале приведена на рис. 3.54. Микросхема КР580ВГ75 через контроллер ПДП получает «окно» в память микро-ЭВМ. Отображаемые символы выводятся из памяти и последовательно, ряд за рядом, отображаются. В КР580ВГ75 есть два буферных ЗУ на один знакоряд. Когда одно буферное ЗУ используется для отображения, второе заполняется знаками следующего знакоряда. Число знаков в ряду и число знакорядов на экране задаются с помощью программного обеспечения, что обеспечивает сопряжение с большинством типов электрических индикаторов.

Для заполнения буферного ЗУ, не используемого в данный момент для отображения, запрашивается цикл ПДП.

Микросхему КР580ВГ75 можно запрограммировать для получения от 1 до 80 знаков в знакоряду и от 1 до 64 знакорядов в кадре. Микросхему можно запрограммировать также на бланкирование (гашение) чередующихся рядов. В этом режиме первый знакоряд отображается, второй бланкируется, третий отображается и т. д. Для бланкированных рядов ПДП не запрашивается.

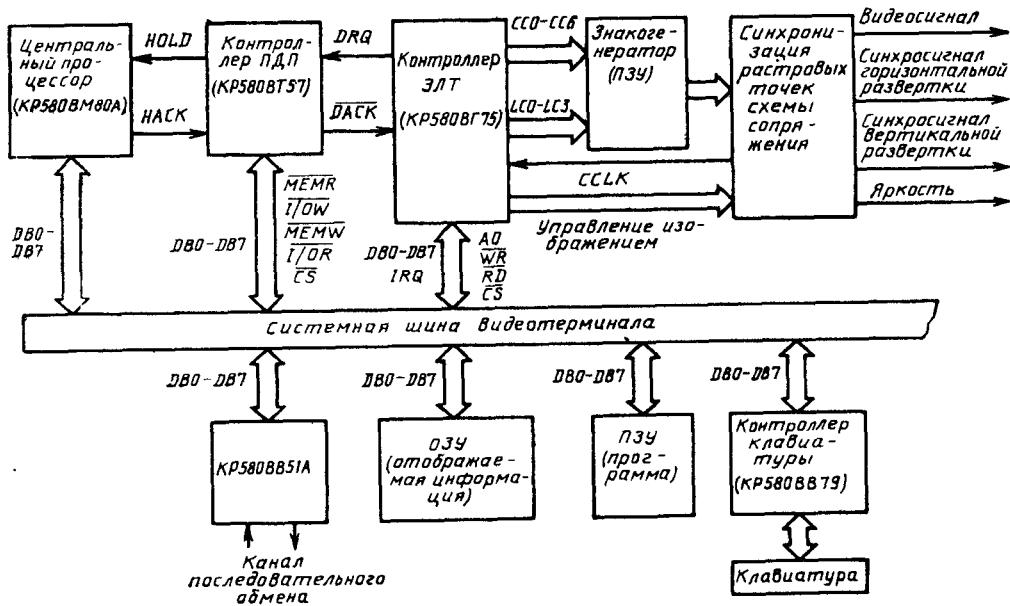


Рис. 3.54. Схема применения KP580BГ75 в видеотерминале

Микросхема разработана по принципу построчного отображения знакоряда, при котором на каждом прямом ходе горизонтальной развертки выводятся коды всех знаков знакоряда, а номер строки раstra при их выводе поддерживается постоянным. Номер строки раstra увеличивается на 1 во время обратного хода горизонтальной развертки, и коды всех знаков знакоряда снова выводятся на знакогенератор при следующем прямом ходе строчной развертки. Это продолжается, пока не будет отображен весь знакоряд. Число строк раstra (линий горизонтальной развертки) в знакоряду можно программировать от 1 до 16.

Выход счетчика строк можно запрограммировать для работы в одном из двух режимов. В режиме 0 код на выходе счетчика строк соответствует номеру строки раstra в знакоряду. В режиме 1 счетчик строк сдвинут на 1 относительно номера строки раstra в знакоряду, т. е. если отображается первая строка раstra (строка 0), то в режиме 1 на выходе счетчика строк будет номер последней строки знакоряда (рис. 3.55).

Режим 0 используется для знакогенераторов, которые бланкируют нулевой адрес и запускаются с адреса 1. Режим 1 используется для знакогенераторов, запускающихся с нулевого адреса.

Программируется также местоположение строки подчеркивания (на строках раstra от 0 до 15). Это независимый режим счетчика строк. Если номер строки подчеркивания больше 7 (старший бит в коде номера равен 1), то верхняя и нижняя строки раstra в знакоряду будут гаситься, если меньше или равен 7 (т. е. старший бит в коде номера равен 0), то верхняя и

нижняя строки раstra в знакоряду гаситься не будут. Если номер строки подчеркивания превышает число строк раstra в знакоряду, то подчеркивание не возникает.

Гашение (бланкирование) строк раstra осуществляется сигналом *VSP* («Подавление видеосигнала»), подчеркивание — сигналом *LTE* («Разрешение засветки экрана»).

Ширина растровой точки и ширина знака зависят от внешних схем синхронизации и управления. Схема синхронизации на уровне растровых точек необходима для приема информации в параллельном коде с выхода знакогене-

Номер строки раstra	Выход счетчика строк																Режим 0	Режим 1
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
0	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	0000 1011	
1	□	□	□	□	■	□	□	□	□	□	□	□	□	□	□	□	0001 0000	
2	□	□	□	■	□	■	□	□	□	□	□	□	□	□	□	□	0010 0001	
3	□	□	■	□	□	□	■	□	□	□	□	□	□	□	□	□	0011 0010	
4	□	■	□	□	□	□	□	□	■	□	□	□	□	□	□	□	0100 0011	
5	□	■	□	□	□	□	□	□	■	□	□	□	□	□	□	□	0101 0100	
6	□	■	■	■	■	■	■	■	■	□	□	□	□	□	□	□	0110 0101	
7	□	■	□	□	□	□	□	□	■	□	□	□	□	□	□	□	0111 0110	
8	□	■	□	□	□	□	□	□	■	□	□	□	□	□	□	□	1000 0111	
9	□	■	□	□	□	□	□	□	■	□	□	□	□	□	□	□	1001 1000	
10	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	1010 1001	
11	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	1011 1010	

Верхняя и нижняя строки бланкируются

Рис. 3.55. Отображение знакоряда в микросхеме KP580BГ75

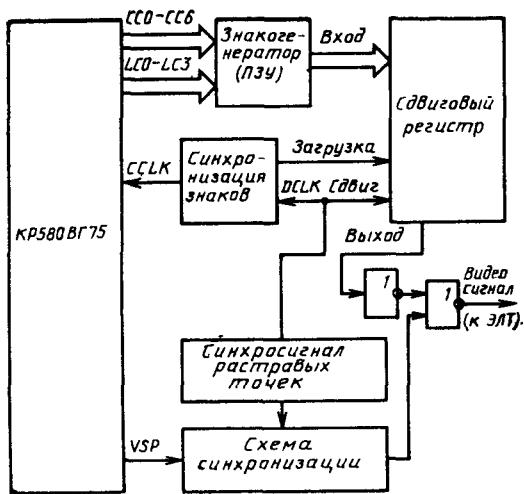


Рис. 3.56. Схема синхронизации с видеосигналом на микросхеме KP580BГ75

ратора и выдачи ее в последовательном коде со скоростью, достаточной для отображения на экране ЭЛТ (рис. 3.56). Длительность точки зависит от частоты синхросигнала растровых точек, длительность знака — от периода знакогенератора.

Горизонтальный размер знака определяется разрядностью сдвигового регистра.

Синхросигналы и управление видеосигналом должны быть синхронизированы с видеосигналом с учетом времени выборки знакогенератора (рис. 3.57).

Счетчик знаков управляет со входа *CCLK* синхросигналами знаков. Он подсчитывает число отображаемых знаков (программируется от 1 до 80 в знакоряду). После достижения запрограммированного числа знаков он вызывает приращение счетчика строк на 1 и начинает подсчет длительности обратного хода строчной развертки, программируемой от 2 до 32 синхросигналов знака с дискретностью 2. Этот цикл постоянно повторяется.

Счетчик строк управляет счетчиком знаков. Он используется для выработки необходимого знакогенератору номера строки раstra (выходы *LCO* — *LC3*). После подсчета всех строк в знакоряду (программируется от 1 до 16) он вызывает приращение счетчика знакорядов на 1 и запускается сначала.

Синхронизация кадра осуществляется внутренним счетчиком знакорядов, управляемым счетчиком строк. Кроме того, счетчик знакорядов управляет работой буферных ЗУ на один знакоряд. Когда счетчик знакорядов подсчитывает все знакоряды в кадре (программируются от 1 до 64), он начинает подсчет длительности обратного хода кадровой развертки (программируется от 1 до 4 знакорядов).

Во время обратного хода строчной и кадровой разверток активен выход *VSP* «Подавление видеосигнала».

Схема синхронизации на уровне растровых точек должна обеспечивать синхронизацию сигналов *VSP*, *HRTC*, *VRTC* с видеосигналом на ЭЛТ видеотерминала.

Микросхему KP580BГ75 можно запрограммировать для запросов ПДП пакетными посылками от одного до восьми знаков в пакете. Интервал между пакетами также программируется (от 0 до 55 ± 1 периодов синхросигнала знака). Это позволяет разработчи-

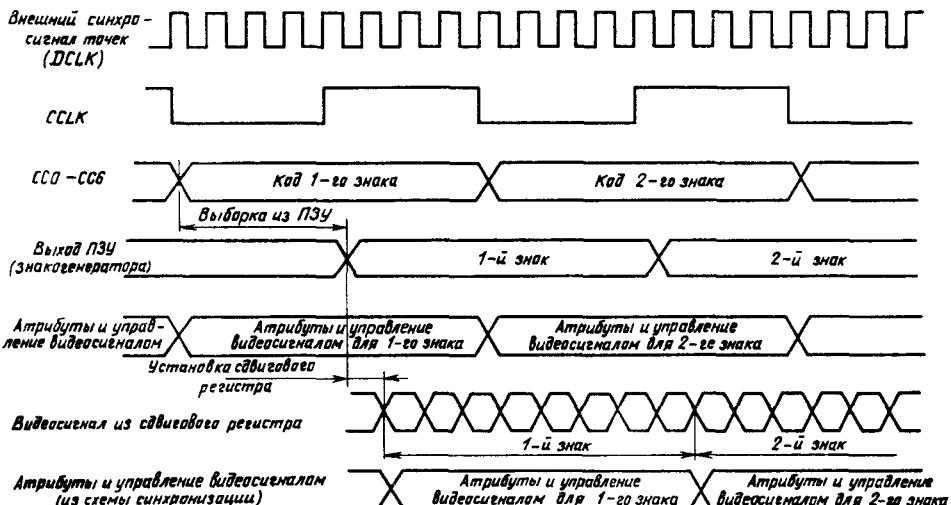


Рис. 3.57. Временная диаграмма режима синхронизации с видеосигналом на микросхеме KP580BГ75. Сигнал *CCLK* кратен синхросигналу точек (*DCLK*) и поступает на вход *CCLK* KP580BГ75

ку приспособливать цикл ПДП к любым требованиям своей системы.

Первый запрос ПДП для знакоряда возникает на первом синхросигнале знака предыдущего знакоряда. Если же используется пакетный режим, то первый запрос ПДП возникает только после некоторого числа синхроимпульсов знака, равного запрограммированной величине пакета.

Запрос ПДП для первого знакоряда кадра возникает за один знакоряд до окончания обратного хода кадровой развертки. Запросы ПДП продолжаются в соответствии с запрограммированными параметрами посылок до заполнения буферного ЗУ на один знакоряд. Если заполнение буфера первого ЗУ необходимым для знакоряда числом знаков закончилось в середине пакета запросов, то микросхема автоматически ограничивает пакет и сбрасывает счетчик пакета. Запросы ПДП не могут возобновляться ранее начала следующего ряда. С момента начала следующего знакоряда запросы ПДП возобновляются в соответствии с запрограммированными параметрами до заполнения второго буферного ЗУ.

Если по каким-либо причинам буферное ЗУ в процессе ПДП было недогружено, то в регистре состояния будет установлен соответствующий флаг.

Инициализацию контроллера ПДП (KP580BT57) для следующего кадра центральный процессор видеотерминала обычно осуществляет в конце текущего кадра.

Микросхему KP580BT75 можно запрограммировать для генерации запроса прерывания в конце каждого кадра. Это можно использовать для реинициализации контроллера ПДП (KP580BT57). Если в KP580BT75 установлен флаг разрешения прерывания, то в начале последнего отображаемого в кадре знакоряда будет возникать запрос прерывания.

После чтения регистра состояния *IRQ* переходит в пассивное состояние. Перевести выход *IRQ* в это состояние можно также командой «Сброс» (см. «Программирование микросхемы»), но в обычном режиме это не рекомендуется.

Если в видеотерминале применяется другой метод реинициализации контроллера ПДП, при котором контроллер ПДП сам дает прерывание в конце счета, то флаг разрешения прерывания в KP580BT75 не устанавливают.

Знаки, обрабатываемые микросхемой, являются 8-битовыми. На знакогенератор через выходы «Код знака» выводятся семь битов. Старший бит байта (*MSB*) является специальным и используется для обозначения обычных отображаемых знаков (*MSB=0*) или атрибутов изображения и вспомогательных команд (*MSB=1*). По этому признаку выходной буфер-контроллер анализирует выведимую из буферного ЗУ на один знакоряд информацию и направляет ее на выходы «Код знака» (*MSB=0*) или же исполняет как

вспомогательную команду или атрибут изображения (*MSB=1*).

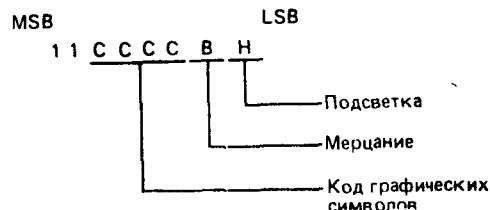
Существуют два типа атрибутивных кодов изображения: коды знака (символа) и коды поля.

Атрибутивные коды знака — коды, используемые для получения графических символов без применения знакогенератора. Это осуществляется путем выборочного включения выходов *LA0*, *LA1*, *VSP* и *LLEN*. Схема синхронизации на уровне растровых точек в сочетании с несложной логической схемой может использовать сигналы на этих выходах для образования нужных графических символов (рис. 3.58).

Графические символы можно индивидуально программировать на мерцание или подсветку. Мерцание осуществляется посредством выхода *VSP*. Частота мерцания равна 1/32 частоты кадров.

Подсветка экрана ЭЛТ осуществляется установлением напряжения высокого уровня на выходе *HLGT*.

Атрибутивные коды знака имеют следующую структуру:



Если *B=1*, то осуществляется мерцание, если *H=1* — подсветка (повышенная яркость) графического символа.

Графические символы, получаемые с помощью кода *CCCC*, приведены в табл. 3.39.

Атрибуты поля — это управляющие коды, влияющие на визуальные характеристики поля знаков. Действие атрибутов поля начинается со знака, следующего за атрибутивным кодом поля, и продолжается до следующего атрибутивного кода поля или до конца кадра. Атрибуты поля сбрасываются во время обратного хода кадровой развертки.

Существуют шесть разновидностей атрибутов поля:

«Мерцание» — знаки, следующие за кодом этого атрибута, начинают мерцать с частотой 1/32 кадровой частоты. Это достигается периодическим включением выхода *VSP*;

«Подсветка» — знаки, следующие за этим кодом, отображаются с повышенной яркостью (включается выход *HLGT*);

«Негативное изображение» — знаки, следующие за кодом этого атрибута, даются в негативном изображении, что достигается включением выхода *RVV* (во внешней схеме сигнала с этого вывода используется для изменения полярности видеосигнала);

Таблица 3.39

Код графического символа CCCC	Состояния выводов				Графический символ	Описание графического символа
	LAI	LAO	VSP	LTEN		
0000	Выше линии подчеркивания	0	0	1	0	Левый верхний угол
	Линия подчеркивания	1	0	0	0	
	Ниже линии подчеркивания	0	1	0	0	
0001	Выше линии подчеркивания	0	0	1	0	Правый верхний угол
	Линия подчеркивания	1	1	0	0	
	Ниже линии подчеркивания	0	1	0	0	
0010	Выше линии подчеркивания	0	1	0	0	Левый нижний угол
	Линия подчеркивания	1	0	0	0	
	Ниже линии подчеркивания	0	0	1	0	
0011	Выше линии подчеркивания	0	1	0	0	Правый нижний угол
	Линия подчеркивания	1	1	0	0	
	Ниже линии подчеркивания	0	0	1	0	
0100	Выше линии подчеркивания	0	0	1	0	Верхнее пересечение
	Линия подчеркивания	0	0	0	1	
	Ниже линии подчеркивания	0	1	0	0	
0101	Выше линии подчеркивания	0	1	0	0	Правое пересечение
	Линия подчеркивания	1	1	0	0	
	Ниже линии подчеркивания	0	1	0	0	
0110	Выше линии подчеркивания	0	1	0	0	Левое пересечение
	Линия подчеркивания	1	0	0	0	
	Ниже линии подчеркивания	0	1	0	0	
0111	Выше линии подчеркивания	0	1	0	0	Нижнее пересечение
	Линия подчеркивания	0	0	0	1	
	Ниже линии подчеркивания	0	0	1	0	
1000	Выше линии подчеркивания	0	0	1	0	Горизонтальная линия
	Линия подчеркивания	0	0	0	1	
	Ниже линии подчеркивания	0	0	1	0	
1001	Выше линии подчеркивания	0	1	0	0	Вертикальная линия
	Линия подчеркивания	0	1	0	0	
	Ниже линии подчеркивания	0	1	0	0	
1010	Выше линии подчеркивания	0	1	0	0	Пересекающиеся линии
	Линия подчеркивания	0	0	0	1	
	Ниже линии подчеркивания	0	1	0	0	
1011	Выше линии подчеркивания	0	0	0	с	Не рекомендуется (см. прим. 1)
	Линия подчеркивания	0	0	0	0	
	Ниже линии подчеркивания	0	0	0	0	
1100	Выше линии подчеркивания	0	0	1	0	Пробел
	Линия подчеркивания	0	0	1	0	
	Ниже линии подчеркивания	0	0	1	0	

П р и м е ч а н и я 1. Код 1011 обычно не рекомендуется, так как в этом случае не действует ни один из атрибутивных выходов и незаблокированный знакогенератор будет генерировать произвольные знако-
2. Коды 1101, 1110, 1111 запрещены.

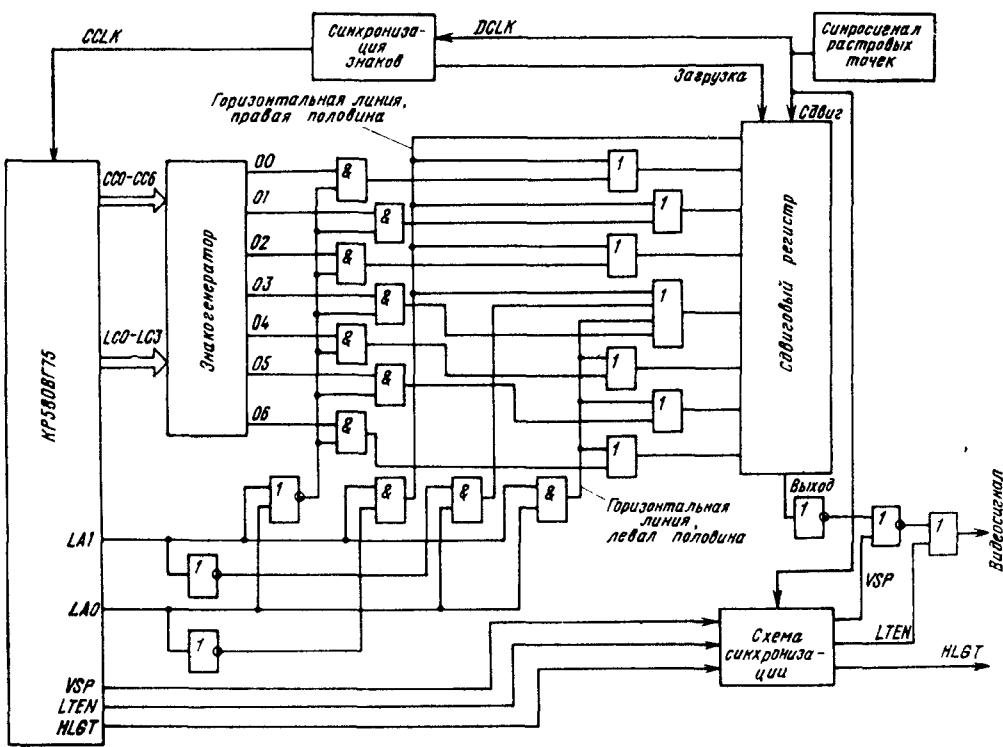
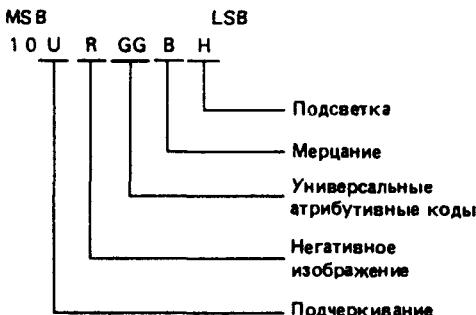


Рис. 3.58. Схема синхронизации на уровне раcтровых точек микросхемы KP580BГ75

«Подчеркивание» — знаки, следующие за этим кодом, подчеркиваются светящейся строкой раstra посредством включения вывода *LΤΕΝ*.

«Универсальные атрибутивные коды» — два дополнительных выхода KP580BГ75 (*GPA0*, *GPA1*), которые действуют как независимо программируемые атрибуты поля и используются по усмотрению разработчика (например, для выбора цвета). Активным состоянием выходов *GPA0*, *GPA1* является напряжение высокого уровня.

Атрибутивные коды поля имеют следующий вид.



Назначение битов: *H*=1 — для подсветки; *B*=1 — для мерцания; *R*=1 — для негативного изображения; *U*=1 — для подчеркивания; *GG*=*GPA1*, *GPA0*.

Одновременно можно задавать и более одного атрибута. Если одновременно заданы мерцание и негативное изображение, то будет мерцать только светлая часть знакоместа, что обусловлено периодическим включением выхода *VSP*, гасящего засветку экрана.

Если микросхема запрограммирована на видимый режим, то на экране включения в текст атрибутивных кодов поля будут видны как пустые знакоместа, погашенные сигналом *VSP*. Действие соответствующего атрибута будет начинаться после погашенного знакоместа.

Если KP580BГ75 запрограммировать для «прозрачного» (невидимого) режима атрибутов поля, то места включения в текст атрибутивных кодов на экране будут невидимы. Это достигается за счет стеков *FIFO*. Каждое ЗУ на один знакоряд имеет сопряженный с ним стек *FIFO* емкостью 16 знаков по 7 бит.

В «прозрачном» режиме входной буфер-контроллер при заполнении буферного ЗУ во время проведения ПДП «просматривает» загружаемые знаки и при обнаружении кода атрибута поля следующий за ним знак помещает в стек *FIFO*. Когда знакоряд пересключается

на отображение, выходной буфер-контроллер анализирует выводимую информацию и, обнаружив атрибутивный код поля, принимает его для исполнения, а на выходы кода $CC0-CC6$ подает знак из стека $FIFO$, устранивая таким образом пробельное знакоместо на экране.

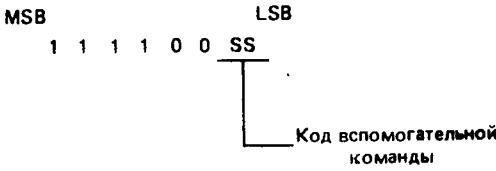
Поскольку емкость стека равна 16 знакам, в данном режиме можно использовать не более 16 атрибутов поля на знакоряду. Если превысить емкость стека, то первые знаки будут «вытолкнуты» и потеряны. В этом случае в регистре состояния установится флаг переполнения стека, который будет считан и обработан центральным процессором видеотерминала.

Так как стек *FIFO* 7-разрядный, старший бит помещаемых в него знаков отбрасывается. Поэтому нельзя непосредственно за атрибутивным кодом поля размещать атрибутивный код или вспомогательную команду; они будут записаны в стек с потерей старшего бита и отображены как обычный знак.

Следует отметить, что «прозрачный» режим достаточно сложен при разработке системы, так как требует переменной длины знакоряда в страничном ЗУ видеотерминала, в связи с чем он мало распространен.

Графические символы, находящиеся в зоне действия атрибута поля, подчиняются действию атрибутов поля *RVV* и *GPA0*, *GPA1*. Атрибуты поля «Подчеркивание», «Мерцание» и «Подсветка» на них не действуют, так как они для графических символов программируются индивидуально.

Имеются четыре вспомогательных команды (специальные коды), упрощающих обслуживание страничной памяти, программное обеспечение, ПДП. Эти специальные коды имеют следующий вид:



В зависимости от содержания кода SS реализуются следующие функции:

«Конец знакоряда — прекращение ПДП» VSP и поддерживает его до конца строки раstra знакоряда.

«Конец знакоряда — прекращение ПДП» (код 01) — при записи в буферное ЗУ приводит логику управления ПДП к прекращению ПДП для остатка знакоряда. При отображении данного знакоряда он действует как же-
как код 00 «Конец знакоряда». Это позволяет не заполнять неполный знакоряд кодами пробелов до его конца, а поставить после окончания текста один из этих кодов.

«Конец кадра» (код 10) — включает VSP и поддерживает его до конца кадра.

«Конец кадра — прекращение ПДП» (код 11) при записи в буферное ЗУ приводит то-

гику управления ПДП к прекращению ПДП для остатка кадра. При отображении данного кадра он действует так же, как код 10 «Конец кадра».

Если использовать коды, не требующие прекращения ПДП, т. е. 00 и 10, то загрузка буферных ЗУ будет произведена полностью, но при отображении все знаки, стоящие в знакоряду после кода «Конец знакоряда», будут игнорироваться, кроме кода «Конец кадра», который будет выполнен в обычном порядке.

После кода «Конец кадра» не будет отображен или исполнен ни один код из буферного ЗУ на один знакоряд.

Если код «Прекращение ПДП» не является последним знаком в пакете запросов или в знакоряду, то ПДП не прекратится, пока не будет считан следующий знак. В этом случае в память после кода «Прекращение ПДП» нужно поместить условный знак (например, пробел).

Местоположение курсора (маркера) определяется регистром знакоряда курсора и регистром знакоместа, которые загружаются по команде «Загрузка курсора» (см. «Программирование микросхемы»). Можно запрограммировать следующие типы курсора: мерцающее подчеркивание; мерцающий негативный видеоблок; немерцающее подчеркивание; немерцающий негативный видеоблок.

Частота мерцания курсора равна 1/16 частоты кадров.

Если ненемрающий негативный курсор попадает на негативное поле экрана, то он будет отображен как обычный видеоблок.

Если курсор «нemerцающее подчеркивание» попадает в поле **нemerцающего подчеркивания**, то курсор станет невидимым.

Световое перо состоит из микровыключателя и миниатюрного светового датчика. Когда световое перо прижато к экрану ЭЛТ, микровыключатель включает световой датчик. В момент прохождения под световым пером раstralная развертка дает срабатывание светового датчика.

Если подключить выход светового пера к входу *LPEN* микросхемы КР580ВГ75, то в момент срабатывания светового датчика координаты знакоряда и знакоместа, соответствующие знаку, на котором поставлено световое перо, будут зафиксированы в двух регистрах светового пера. В регистре состояния выставится флаг, указывающий, что сигнал светового пера принят и центральный процессор видеотерминала может по команде считать содержимое регистров светового пера, используя полученные координаты для необходимых операций с данным знаком.

В момент срабатывания светового датчика сигнала на входе *LPEN* должен переходить от низкого уровня к высокому.

Из-за внешних и внутренних задержек координаты знака, записываемые в регистры светового непра, будут сдвинуты по крайней мере на три знакоместа. Это необходимо скорректировать в программном обеспечении

Программирование микросхемы

Управление работой микросхемы осуществляется путем записи в микросхему управляющей информации от центрального процессора видеотерминала по шине данных и чтения

Таблица 3.40

Сигналы на входах				Выполняемые операции
10	RD	WR	CS	
1	1	0	0	Запись команды в регистр команд
0	1	0	0	Запись числовых данных команды (параметров) в регистр параметров
1	0	1	0	Чтение регистра состояния микросхемы Чтение регистров светового пера (после подачи команды «Чтение регистров светового пера»)
0	0	1	0	Перевод шины данных микросхемы в состояние «выключено»
X	1	1	0	Перевод шины данных микросхемы в состояние «включен»
X	X	X	1	Перевод шины данных микросхемы в состояние «выключено»

Примечания 1. Для большей наглядности указаны фактически действующие на входах логические сигналы без их условного инвертирования и инверсных входах

2. Знаком X обозначены состояния входов, не влияющих на данную функцию.

3. При наличии низкого уровня на входе *DACK* записываемая информация независимо от состояния адреса регистра A0 будет занесена в буферное ЗУ на один знакоряд и воспринята как информация для отображения

4. В обычном режиме работы перевод микросхемы в состояние «выключено» осуществляется подачей сигнала высокого уровня на вход CS

ния по шине данных справочной информации о состоянии микросхемы.

В микросхеме имеется четыре типа программно доступных регистров: для записи —

регистр команд и регистры параметров; для чтения — регистр состояния и регистры светового пера. Доступ к ним осуществляется с помощью логической схемы чтения/записи. Для этого используются следующие комбинации управляющих сигналов, приведенные в табл. 3.40.

Микросхема рассчитана на прием 1 байта команды и последовательности числовых данных (параметров) для этой команды от 0 до 4 байт (в зависимости от команды). Если до поступления следующей команды не было получено необходимое для предыдущей команды число байтов параметров, то в регистре состояния выставится флаг «Неправильная команда».

Набор команд микросхемы состоит из восьми команд: «Сброс», «Начало воспроизведения», «Прекращение воспроизведения», «Чтение регистров светового пера», «Загрузка курсора», «Разрешение прерывания», «Запрос прерывания», «Начальная установка счетчиков». Структуры команд приведены в табл. 3.41 и 3.42.

1. Команда «Сброс». Запись команды производится в приведении в табл. 3.41 порядке.

Ход выполнения. После записи команды прекращаются запросы ПДП, микросхеме запрещается выработка запросов прерывания, выход VSP используется для гашения экрана. Действие выходов VRTC и HRTC осуществляется произвольно, с синхронизацией от помех.

После записи всех параметров компоновка кадра будет определена полностью.

Параметры команды «Сброс» определяют перечисленные ниже характеристики изображения.

Параметр S: S=0 — нормальные знакоряды; S=1 — чередующиеся знакоряды.

Параметр HHHHHHHH — число знаков в знакоряду (от 1 до 80).

Параметр VV — длительность обратного хода кадровой развертки (от 1 до 4 знакорядов).

Параметр RRRRRR — число знакорядов в кадре (от 1 до 64).

Параметр UUUU — номер строки подчеркивания в знакоряду (от 1 до 16).

Таблица 3.41

Вид данных	Значение адреса A0	Содержание байта	Шина данных
Команда	1	Команда «Сброс»	0 0 0 0 0 0 0 0
	0	Компоновка кадра (Байт 1)	S H H H H H H H
	0	Компоновка кадра (Байт 2)	V V R R R R R R
Параметры	0	Компоновка кадра (Байт 3)	U U U U L L L L
	0	Компоновка кадра (Байт 4)	M F C C Z Z Z Z

Примечание. Младший разряд шины данных расположен справа

Таблица 3.42

Вид данных	Операция	Значение адреса A_0	Содержание байта	Шина данных
Команда	Запись	1	Команда «Начало воспроизведения»	0 0 1 S S S B B
Команда	Запись	1	Команда «Прекращение воспроизведения»	0 1 0 0 0 0 0 0
Команда	Запись	1	Команда «Чтение регистров светового пера»	0 1 1 0 0 0 0 0
Параметры	Чтение Чтение	0 0	Номер знака Номер знакоряда	Место знака в знакоряду Номер знакоряда
Команда	Запись	1	Команда «Загрузка курсора»	1 0 0 0 0 0 0 0
Параметры	Запись Запись	0 0	Номер знакоряда Номер знака	Место знака в знакоряду Номер знакоряда
Команда	Запись	1	Команда «Разрешение прерывания»	1 0 1 0 0 0 0 0
Команда	Запись	1	Команда «Запрет прерывания»	1 1 0 0 0 0 0 0
Команда	Запись	1	Команда «Предустановка счетчиков»	1 1 1 0 0 0 0 0
Команда	Чтение	1	Слово состояния	0 IE IR LP IC VE DU FO

Примечание Младший разряд шины данных расположен справа.

Старший бит в коде $UUUU$ определяет гашение верхней и нижней строк раstra в знакоряду. Если номер строки подчеркивания больше или равен 7 ($MSB=1$), то строки гасятся, если $MSB=0$, то нет.

Параметр $LLLL$ — число строк раstra в знакоряду (от 1 до 16).

Параметр M — режим счетчика строк:

$M=0$ — режим 0 (не сдвинуто); $M=1$ — режим 1 (смещено на 1 счет).

Параметр F — режим атрибутов поля: $F=0$ — «непрозрачный»; $F=1$ — «прозрачный».

Параметр CC — тип курсора: мерцающий негативный видеоблок (00); мерцающее подчеркивание (01); немерцающий негативный видеоблок (10); немерцающее подчеркивание (11).

Параметр $ZZZZ$ — число знаков при обратном ходе строчной развертки (2, 4, 6, ..., 32).

2. Команда «Начало воспроизведения».

Ход выполнения. Микросхеме KP580ВГ75 разрешается генерация прерываний, начинаются запросы ПДП, устанавливаются флаги

состояния «Разрешено прерывание» и «Разрешено изображение».

Код SSS — интервал между пакетами.

Число синхроимпульсов знака между пакетными запросами ПДП равно:

0 при $SSS=000$;	31 при $SSS=100$;
7 при $SSS=001$;	39 при $SSS=101$;
15 при $SSS=010$;	47 при $SSS=110$;
23 при $SSS=011$;	55 при $SSS=111$.

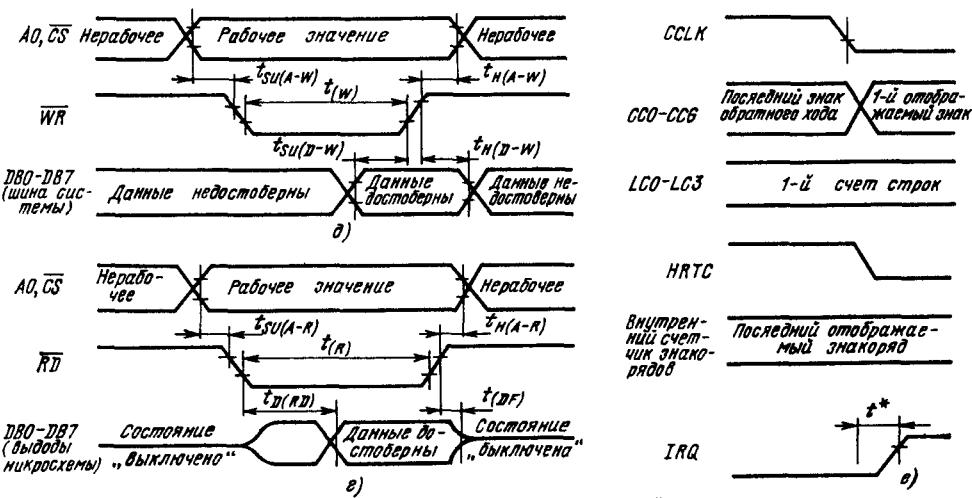
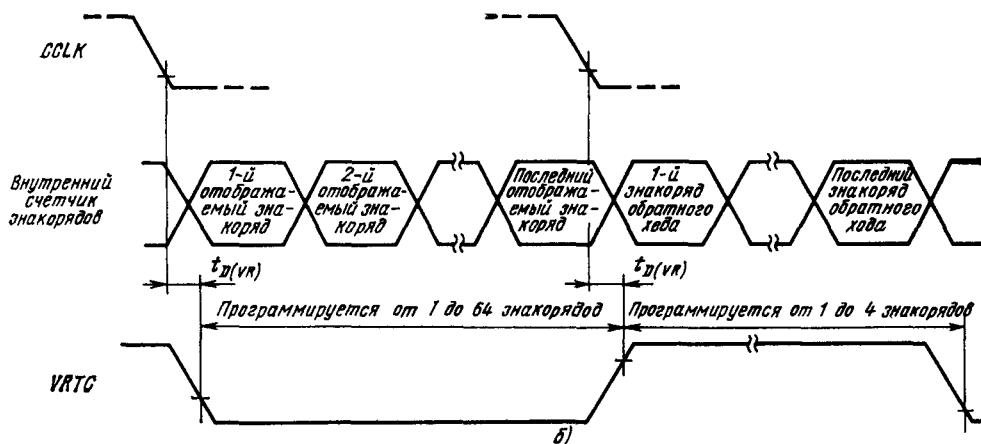
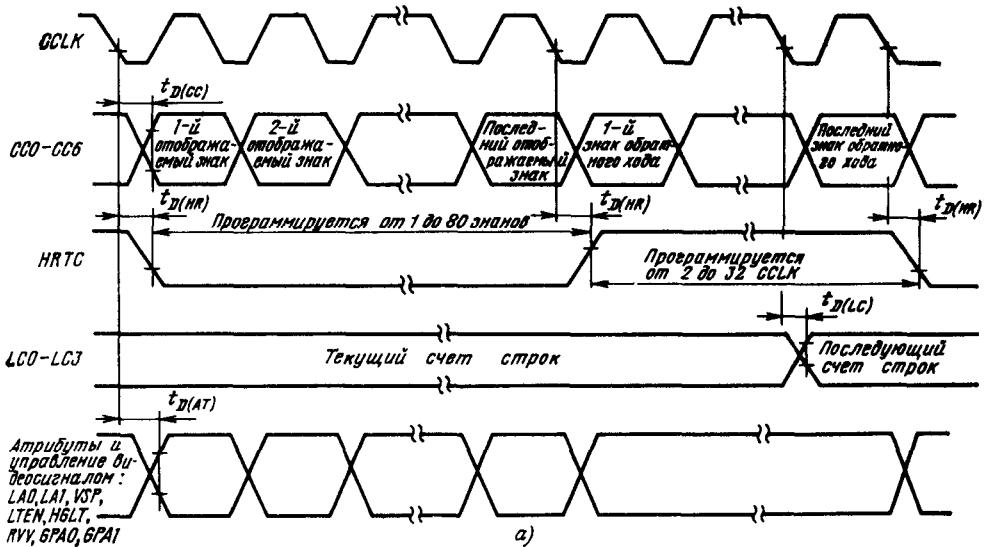
Код BB — число запросов в пакете.

Число запросов ПДП в пакете равно:

1 при $BB=00$;	4 при $BB=10$;
2 при $BB=01$;	8 при $BB=11$.

3. Команда «Прекращение воспроизведения».

Ход выполнения. Запрещается изображение, прерывания остаются разрешенными, продолжается $HRTC$ и $VRTC$, сбрасывается флаг состояния «Разрешено изображение». Для возобновления воспроизведения необходимо подать команду «Начало воспроизведения».



* Не регламентируется

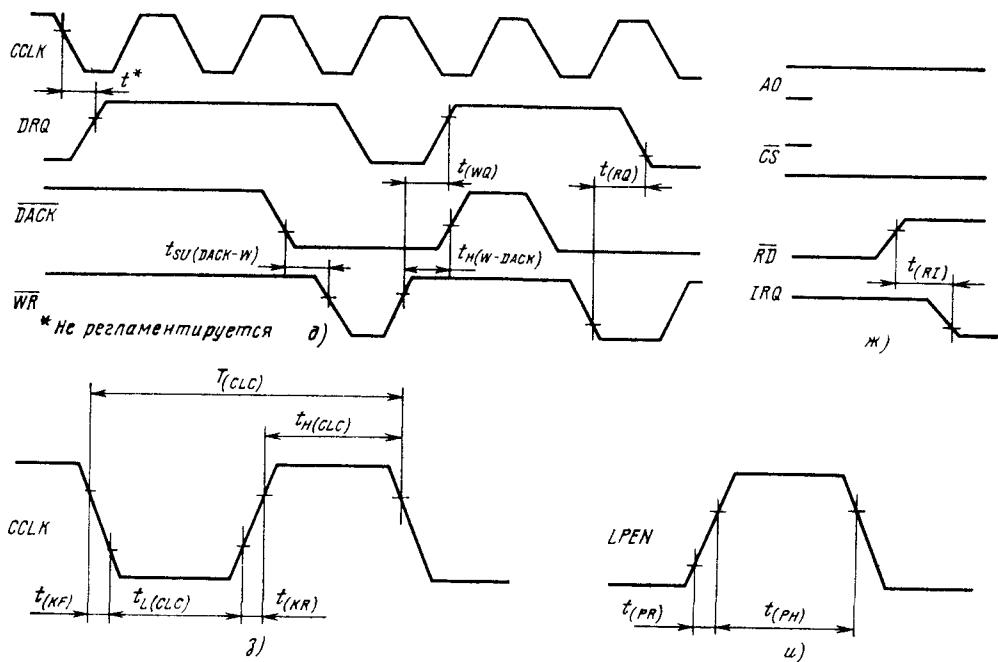


Рис. 3.59. Временные диаграммы работы KP580VG75 для различных сигналов:
 а — синхронизация раstra и управление видеосигналом; б — синхронизация кадра; в — цикл записи; г — цикл чтения; д — цикл ПДП; е — начало запроса прерывания; ж — конец запроса прерывания; з — временные параметры синхросигнала знака; и — временные параметры сигнала светового пера

4. Команда «Чтение регистров светового пера».

Ход выполнения. Микросхема KP580VG75 обеспечивает в двух последующих циклах считывания выдачу содержимого регистров светового пера. На флаги состояния эта команда не влияет.

Требуется программная (или аппаратная) коррекция положения светового пера.

5. Команда «Загрузка курсора».

Ход выполнения. Микросхема KP580VG75 обеспечивает помещение двух последующих байтов параметров в регистры, определяющие положение курсора (маркера) на экране. На флаги состояния эта команда не влияет.

6. Команда «Разрешение прерывания».

Ход выполнения. Устанавливается флаг состояния «Разрешено прерывание» и разрешаются прерывания.

7. Команда «Запрет прерывания».

Ход выполнения. Прерывания запрещаются и сбрасывается флаг состояния «Разрешено прерывание».

8. Команда «Начальная установка счетчиков».

Ход выполнения. Внутренние счетчики синхронизации устанавливаются в начальное положение, соответствующее левому верхнему углу экрана. Для этой операции необходимы два импульса синхросигнала знака. Счетчики

остаются в этом положении до тех пор, пока не будет подана любая другая команда. Эта команда используется для отладки системы и синхронизации группы дисплеев, подключенных к одному центральному процессору.

Флаги состояния:

IE — «Разрешено прерывание». Устанавливается или сбрасывается по соответствующей команде. Разрешает прерывание во время обратного хода вертикальной развертки. Автоматически устанавливается командой «Начало воспроизведения» и сбрасывается командой «Сброс»;

IR — «Запрос прерывания». Устанавливается в начале отображения последнего знакоряда в кадре, если установлен флаг «Разрешено прерывание». Сбрасывается после операции чтения состояния;

LP — «Световое перо». Устанавливается, если на вход светового пера *LPEN* поступает запускающий импульс и регистры светового пера загружены. Флаг автоматически сбрасывается после чтения состояния;

IC — «Неправильная команда». Устанавливается, если последовательность параметров команды слишком длинная или слишком короткая. Автоматически сбрасывается после чтения состояния;

VE — «Разрешено изображение». Указывает, что разрешено изображение на экране ЭЛТ. Устанавливается по команде «Начало

Таблица 3.43

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс	
Напряжение на выводах микросхемы относительно общей шины, В	U	-0,5	$U_{CC} + 0,5$	
Максимальное входное напряжение низкого уровня, В	$U_{IL\ max}$	—	0,8	
Минимальное входное напряжение высокого уровня, В	$U_{IH\ min}$	2,0	—	
Входное напряжение низкого уровня, В	U_{IL}	-0,5	0,45	
Входное напряжение высокого уровня, В	U_{IH}	2,4	$U_{CC} + 0,5$	
Выходное напряжение низкого уровня, В	U_{OL}	—	0,45	$I_{OL} = 2,2 \text{ mA}$
Выходное напряжение высокого уровня, В	U_{OH}	2,4	—	$I_{OH} = -0,4 \text{ mA}$
Ток утечки на входе, мА	I_{LI}	—	± 10	$U_I = U_{CC} \div 0 \text{ В}$
Выходной ток в состоянии «выключено», мкм	I_{OZ}	—	± 10	$U_O = U_{CC} \div 0 \text{ В}$
Ток потребления, мА	I_{CC}	—	160	
Рассеиваемая мощность, Вт	P_C	—	1	
Время установления сигнала адреса относительно сигнала \overline{RD} , нс	$t_{SU(A-R)}$	0	—	
Время сохранения сигнала адреса относительно сигнала \overline{RD} , нс	$t_{H(A-R)}$	0	—	
Длительность сигнала \overline{RD} , нс	$t_{(R)}$	250	—	
Время задержки данных относительно сигнала \overline{RD} , нс	$t_{D(RD)}$	200	—	$C_L = 150 \text{ пФ}$
Время перехода шины данных в состояние «выключено», нс	t_{DF}	20	100	$C_{L\ min} = 20 \text{ пФ}$, $C_{L\ max} = 100 \text{ пФ}$
Время установления сигнала адреса от носительного сигнала \overline{WR} , нс	$t_{SU(A-W)}$	0	—	
Время сохранения сигнала адреса относительно сигнала \overline{WR} , нс	$t_{H(A-W)}$	0	—	
Длительность сигнала \overline{WR} , нс	$t_{(W)}$	250	—	
Время установления данных относительно сигнала \overline{WR} , нс	$t_{SU(D-W)}$	150	—	
Время сохранения данных относительно сигнала \overline{WR} , нс	$t_{H(D-W)}$	0	—	
Время установления сигнала \overline{DACK} относительно сигнала \overline{WR} , нс	$t_{SU(DACK-W)}$	0	—	
Время сохранения сигнала \overline{WR} относительно сигнала $DACK$, нс	$t_{H(W-DACK)}$	0	—	
Период следования импульсов тактовых сигналов, нс	$T_{(CLC)}$	480	—	
Длительность тактовых сигналов высокого уровня, нс	$t_{H(CL)}$	240	—	
Длительность тактовых сигналов низкого уровня, нс	$t_{L(CL)}$	160	—	

Параметр	Обозначение	Значения параметров		Режим измерения
		мин	макс.	
Длительность фронта тактовых сигналов, нс	$t_{(KR)}$	5	30	
Длительность среза тактовых сигналов, нс	$t_{(KF)}$	5	30	
Время задержки кода знака, нс	$t_{D(CC)}$	—	150	$C_L \geq 50 \text{ пФ}$
Время задержки горизонтальной развертки, нс	$t_{D(HR)}$	—	200	$C_L \geq 50 \text{ пФ}$
Время задержки номера строки, нс	$t_{D(LC)}$	—	400	$C_L \geq 50 \text{ пФ}$
Время задержки управления, атрибутов, нс	$t_{D(AT)}$	—	275	$C \leq 50 \text{ пФ}$
Время задержки вертикальной развертки, нс	$t_{D(VR)}$	—	275	$C_L \leq 50 \text{ пФ}$
Время от \overline{RD}_{LH} до IRQ_{HL} , нс	$t_{(RI)}$	—	250	$C_L < 50 \text{ пФ}$
Время от \overline{WR}_{LH} до DRQ_{HL} , нс	$t_{(WQ)}$	—	250	$C_L \leq 50 \text{ пФ}$
Время от \overline{WR}_{HL} до DRQ_{HL} , нс	$t_{(RQ)}$	—	200	$C_L \leq 50 \text{ пФ}$
Длительность фронта сигнала $LPEN$, нс	$t_{(PR)}$	—	50	
Длительность сигнала $LPEN$ высокого уровня, нс	$t_{(PH)}$	100	—	

Приложения. 1. Параметры входных сигналов, имеющие размерность времени, измеряются при следующих условиях: входное напряжение высокого уровня 2,4 В, входное напряжение низкого уровня 0,45 В.

2. Параметры выходных сигналов, имеющие размерность времени, измеряются непосредственно на выводах микросхемы при емкостной нагрузке. Емкость нагрузки с учетом емкости монтажа и входной емкости измерителя не должна превышать 150 пФ для шины данных и 50 пФ для остальных выводов. Измерения производятся по уровням 2,0 В и 0,8 В для напряжений высокого и низкого уровней соответственно.

воспроизведения» и сбрасывается командой «Прекращение воспроизведения» или «Сброс»;

DU — «Недогрузка ПДП». Устанавливается всякий раз, когда возникает недогрузка данных при пересылке в цикле ПДП. При обнаружении DU действие ПДП останавливается, экран бланкируется вплоть до окончания обратного хода кадровой развертки. Флаг сбрасывается после чтения состояния;

FO — «Переполнение FIFO». Сбрасывается после чтения состояния.

Основные параметры микросхемы при напряжении питания $5 \pm 5\%$ и в диапазоне температур от -10 до $+70^\circ\text{C}$ приведены в табл. 3.43.

Временные диаграммы работы микросхемы для различных сигналов приведены на рис. 3.59, а—и.

3.10. Микросхема KP580BK91A

Микросхема KP580BK91A — микропроцессорно управляемое устройство, предназначено для сопряжения микропроцессоров и однокристальных микро-ЭВМ с линией коллективного пользования информационно-измери-

тельной системы типа 2 — ЛКП ИИС-2 (стандарт СЭВ СТ СЭВ 2740—80).

Микросхема осуществляет связь между ЛКП и устройствами, управляемыми микропроцессором. В ее функции входит передача данных, протокол синхронизации обмена, процедуры адресации приемников/передатчиков, очистка и запуск устройств, запрос обслуживания, последовательный и параллельный опросы, а также все остальные функции интерфейса, за исключением функций контроллера.

Условное графическое обозначение микросхемы приведено на рис. 3.60, назначение выводов — в табл. 3.44.

Структурная схема KP580BK91A показана на рис. 3.61. Она состоит из буферной схемы шины данных микропроцессора; логической схемы чтения/записи/ПДП, прерываний, восьми регистров записи; восьми регистров чтения; схемы формирования задержек; дешифратора сообщений; логической схемы, реализующей интерфейсные функции; буферной схемы шины данных ЛКП; внутренней шины данных.

Буферная схема шины данных микропроцессора представляет собой двунаправленный 8-разрядный регистр с тремя состояниями вы-

водов и служит для сопряжения внутренней шины данных микросхемы с микропроцессорной шиной данных системы. Ее работой управляет логическая схема чтения/записи/ПДП.

Логическая схема чтения/записи/ПДП и прерываний управляет процессом двунаправленного обмена информацией между микросхемой и центральным процессором. Декодируя внешние управляющие сигналы, она адресует информацию от процессора в соответствующие регистры записи микросхемы, а ин-

формацию из регистров чтения микросхемы — на шину данных процессоров. Эта же схема управляет режимом ПДП, переводит шину данных микропроцессора в состояние «выведено» и вырабатывает сигналы прерывания (рис. 3.62).

Восемь регистров записи (DW_0-DW_7) позволяют разработчику посредством записи в них определенных кодов реализовать режим микропрограммирования микросхемы KP580BK91A. Содержимое этих регистров определяет режим работы как собственно микросхемы KP580BK91A, так и всего интерфейса в целом.

Восемь регистров чтения (DR_0-DR_7) обеспечивают разработчику возможность посредством их считывания микропроцессором осуществлять контроль за состоянием ЛКП, режимом работы устройства и состоянием шин.

Схема формирования задержек формирует необходимую задержку T_1 , определяемую стандартом, для установления истинных данных на ЛКП (шина DIO_1-DIO_8).

Дешифратор сообщений декодирует команды и сообщения, поступившие с ЛКП, и в соответствии со стандартом переводит микросхему в требуемый режим работы. Одновременно с этим дешифратор сообщений управляет функциями интерфейса, вырабатывает управляющие сигналы для логики ПДП.

Таблица 3.44

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
12—19	$D0-D7$	Выходы/входы	Шина данных микропроцессора
21—23	$RS0-RS2$	Входы	Адрес регистра
8	\overline{CS}	Вход	Выбор микросхемы
9	\overline{RD}	Вход	Чтение
10	\overline{WR}	Вход	Запись
11	$INT (\overline{INT})$	Выход	Запрос прерывания
6	$DREQ$	Выход	Запрос ПДП
7	\overline{DACK}	Вход	Подтверждение ПДП
5	$TRIG$	Выход	Запуск
3	$CLOCK$	Вход	Синхросигнал
4	$RESET$	Вход	Сброс
28—35	DIO_1-DIO_8	Входы/выходы	Шина данных
39	EOI	Вход/выход	Конец передачи/идентификация
36	DAV	Вход/выход	Сопровождение данных
37	$NRFD$	Вход/выход	Не готов к приему данных
38	$NDAC$	Вход/выход	Данные не приняты
26	ATN	Вход	Управление
24	IFC	Вход	Очистка интерфейса
27	SRQ	Выход	Запрос на обслуживание
25	REN	Вход	Разрешение дистанционного управления
1, 2	$T/R1, T/R2$	Выходы	Управление приемоизлучательной схемой
40	U_{CC}	—	Напряжение питания +5 В
20	GND	—	Общий

Примечание. Все сигналы на выводах микросхемы KP580BK91A определены в положительной логике. Однако стандарт определен в отрицательной логике на 16 сигнальных линиях. Поэтому входные данные инвертируются от $D0-D7$ к DIO_1-DIO_8 , что позволяет применять неинвертирующие шинные драйверы.

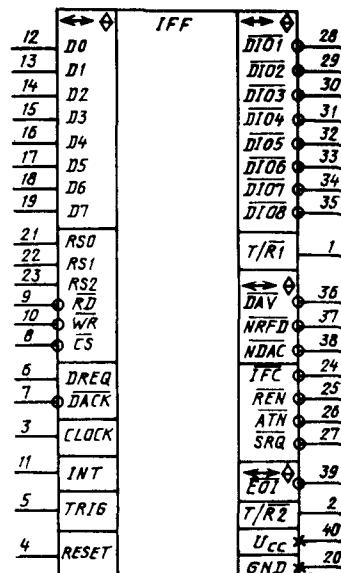


Рис. 3.60. Условное графическое обозначение KP580BK91A

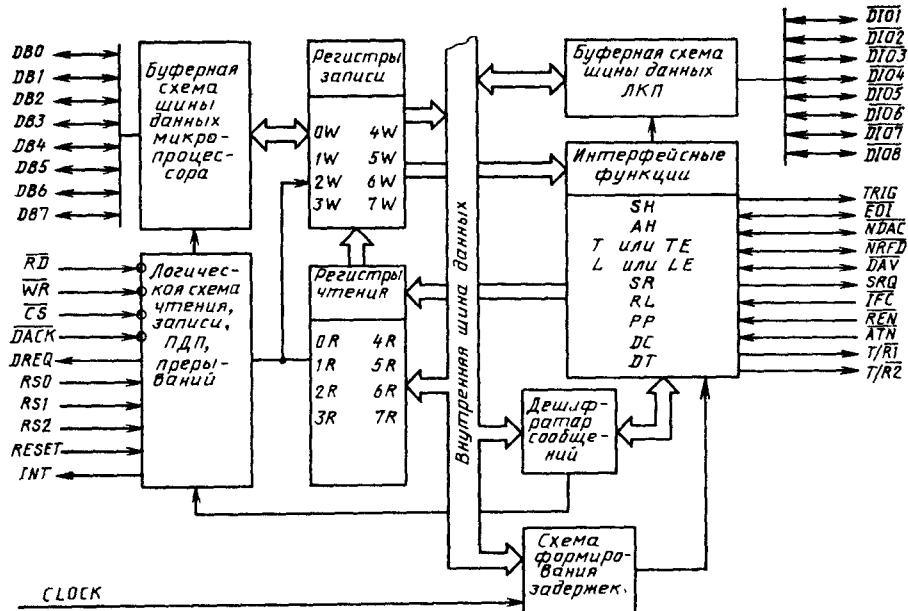


Рис. 3.61. Структурная схема KP580BK91A

Логическая схема, реализующая интерфейсные функции SH , AH , T , TE , L , LE , SRQ , RL , DT , DC в соответствии с заложенной в регистриях $0W$ – $7W$ информацией, обеспечивает выполнение алгоритма работы интерфейса.

Буферная схема шины данных ЛКП представляет собой двунаправленный 8-разрядный регистр с тремя состояниями выводов и служит для сопряжения внутренней шины данных микросхемы с драйверами. Работой этой схемы можно управлять со стороны микропроцессора посредством записи определенных кодов в регистры записи или воздействием команд управления с ЛКП.

Внутренняя шина данных микросхемы обеспечивает передачу информации от регистров записи к логическим схемам интерфейсных функций и на ЛКП, передачу данных от ЛКП к микропроцессору.

Интерфейс информационно-измерительной системы ИИС-2. На рис. 3.63 показана структурная схема линий коллективного пользования ИИС-2 с подключенными устройствами, в табл. 3.45 приведены состояния функций интерфейса, в табл. 3.46 — принимаемые и посылаемые сообщения ИИС-2.

Модифицированные диаграммы состояний KP580BK91A приведены в конце гл. 3.

Выходы микросхемы выполняют следующие функции:

Шина данных микропроцессора — выводы порта, подключаемые к шине данных микропроцессора.

Адрес регистра — входы выбора регистра. Подключаются к трем иемультиплексированным линиям адресной шины микропроцессора. Выбирают, какой из восьми внутренних регистров чтения (записи) будет считан (записан) при исполнении RD (WR).

Выбор микросхемы — при низком уровне разрешает чтение или запись в регистр, выбраный посредством $RS0$ — $RS2$.

Чтение — стробирующий сигнал, по низкому уровню которого содержимое выбранного регистра считывается центральным процес-

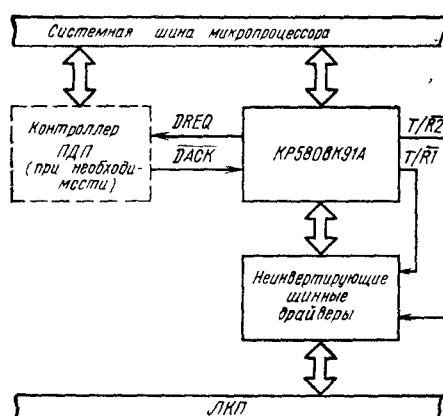


Рис. 3.62. Вариант использования микросхемы KP580BK91A

Таблица 3.45

Продолжение табл. 3.45

Состояние функций интерфейса	Содержание состояний	Состояние функций интерфейса	Содержание состояний
ACDS	Прием данных	SIIS	Управление системой «Холостой ход очистки интерфейса»
ACRS	Акцептор готов	SINS	Управление системой «Очистка интерфейса неактивна»
AIDS	Холостой ход акцептора	SIWS	Холостой ход источника в ожидании
ANRS	Акцептор не готов	SNAS	Управление системой неактивно
APRS	Положительная реакция на опрос	SPAS	Последовательный опрос активен
AWNS	Ожидание нового цикла акцептора	SPIS	Холостой ход последовательного опроса
CACS	Контроллер активен ¹	SPMS	Режим последовательного опроса
CADS	Контроллер адресован ¹	SRAS	Управление системой «Отпирание дистанционного управления активно»
CAWS	Контроллер в активном ожидании ¹	SRIS	Управление системой «Холостой ход отпирания дистанционного управления»
CIDS	Холостой ход контроллера ¹	SRNS	Управление системой «Отпирание дистанционного управления неактивно»
CPPS	Контроллер в параллельном опросе ¹	SRQS	Запрос на обслуживание
CPWS	Контроллер ожидает параллельный опрос ¹	STRS	Передача источника
CSBS	Контроллер в резерве ¹	SWNS	Ожидание нового цикла источника
CSNS	Обслуживание контроллера не запрашивается ¹	TACS	Передатчик активен
CSRS	Запрашивается обслуживание контроллера ¹	TADS	Передатчик адресован
CSWS	Контроллер в ожидании синхронизации ¹	TIDS	Холостой ход передатчика
CTRS	Переход контроллера ¹	TPAS	Передатчик первичной адресации
DCAS	Функция «Очистить устройство» активна	TPIS	Холостой ход первичного передатчика
DCIS	Холостой ход функции «Очистить устройство»		
DTAS	Функция «Запуск устройства» активна		
DTIS	Холостой ход функции «Запуск устройства»		
LACS	Приемник активен		
LADS	Приемник адресован		
LIDS	Холостой ход приемника		
LOCS	Местное		
LPAS	Первичный адресованный приемник		
LPIS	Холостой ход первичного приемника		
LWLS	Местное с запиранием		
NPRS	Отрицательная реакция на опрос		
PACS	Параллельный опрос адресован на конфигурацию		
PPAS	Параллельный опрос активен		
PPIS	Холостой ход параллельного опроса		
PPSS	Ожидание параллельного опроса		
PUCS	Параллельный опрос не адресован на конфигурацию		
REMS	Дистанционное		
RWLS	Дистанционное с запиранием		
SACS	Управление системой активно		
SDYS	Задержка источника		
SGNS	Генерация источника		
SIAS	Управление системой «Очистка интерфейса активна»		
SIDS	Холостой ход источника		

¹ Функции реализуются микросхемой-контроллером.

сопром, если на \overline{CS} или \overline{DACK} низкий уровень.

Запись — стробирующий сигнал, по низкому уровню которого данные записываются в выбранный регистр, если на \overline{CS} или \overline{DACK} низкий уровень.

Запрос прерывания — запрос прерывания к микропроцессору. Для запроса устанавливается высокий уровень и очищается при считывании центральным процессором соответствующего регистра прерывания (посредством программирования может подаваться активный сигнал низкого уровня).

Запрос ПДП — обычно низкого уровня, переходит на высокий уровень для индикации вывода байта или его ввода в режиме ПДП.

Подтверждение ПДП — при низком уровне сбрасывает DRQ и выбирает регистр ввода/вывода данных для передачи данных в цикле ПДП (фактическая передача осуществляется стробирующим сигналом RD (WR)); должен находиться на высоком уровне, если ПДП не используется.

Запуск — обычно низкого уровня, генерирует запускающий импульс длительностью не менее 1 мкс при подаче команды GET или вспомогательной команды «Запуск».

Таблица 3.46

Продолжение табл. 3.46

Сообщение интерфейса	Содержание сообщений	Функция интерфейса	Сообщение интерфейса	Содержание сообщений	Функция интерфейса
Принимаемые местные сообщения					
<i>gts*</i> <i>ist</i>	Переход на ожидание Индивидуальное состояние	<i>C</i> <i>PP</i>	<i>OSA</i>	Другой вторичный адрес	<i>TE</i>
<i>lon</i> <i>lpe</i>	Только принимать Отпирание местного опроса	<i>L, LE</i> <i>PP</i>	<i>OTA</i>	Другой адрес на передачу	<i>T, TE</i>
<i>nba</i> <i>pon</i>	Имеется новый байт Питание включено	<i>SH</i> <i>SH, AH, T,</i> <i>TE, L, LE</i> <i>SR, RL,</i> <i>PP, C</i> <i>AH</i>	<i>PCG</i>	Группа первичных команд	<i>TE, LE, PP</i>
<i>rdy</i>	Готов для приема следующего сообщения		<i>PPC**</i>	Конфигурация параллельного опроса	<i>PP</i>
<i>rpp*</i>	Запрос параллельного опроса	<i>C</i>	<i>[PPD]**</i>	Запирание параллельного опроса	<i>PP</i>
<i>rsc*</i>	Запрос управления системой	<i>C</i>	<i>[PPE]**</i>	Отпирание параллельного опроса	<i>PP</i>
<i>rsu</i>	Запрос на обслуживание	<i>SR</i>	<i>PPR_N</i>	Реакция на параллельный опрос	Посредством <i>C</i>
<i>rtl</i> <i>sic*</i>	Возврат на местное Послать «Очистить интерфейс»	<i>RL</i> <i>C</i>	<i>PPU**</i>	Деконфигурация параллельного опроса	<i>PP</i>
<i>sre*</i>	Послать «Отпирание дистанционного управления»	<i>C</i>	<i>REN</i>	Отпирание дистанционного	<i>RL</i>
<i>tca*</i>	Взять управление асинхронно	<i>C</i>	<i>RFD</i>	Готов для данных	<i>SH</i>
<i>tcs*</i>	Взять управление синхронно	<i>AH, C</i>	<i>RQS</i>	Запрос на обслуживание, обслуживание	Посредством <i>L, LE</i>
<i>ton</i>	Только передавать	<i>T, TE</i>	<i>[SDC]</i>	запрашивается	
Принимаемые дистанционные сообщения					
<i>ATN</i>	Управление	<i>SH, AH, T,</i> <i>TE, L, LE</i> <i>PP, C</i>	<i>SPD</i>	Очистить выбранное устройство	<i>DC</i>
<i>DAB</i>	Байт данных	Посредством <i>L, LE</i>	<i>SPE</i>	Запирание последовательного опроса	<i>T, TE</i>
<i>DAC</i> <i>DAV</i>	Данные приняты Сопровождение данных	<i>SH</i> <i>AH</i>	<i>SQR*</i>	Отпирание последовательного опроса	<i>T, TE</i>
<i>DCL</i> <i>END</i>	Очистить устройство Конец	<i>DC</i> Посредством <i>L, LE</i>	<i>STB</i>	Запрос на обслуживание Байт состояния	Посредством <i>C</i>
<i>GET</i>	Запуск группы	<i>DT</i>	<i>TCT</i> или <i>[TCT]*</i>	Передать управление	Посредством <i>L, LE</i>
<i>GTL</i>	Переход на местное	<i>RL</i>	<i>UNL</i>	Не принимай	<i>C</i>
<i>IDY</i>	Идентификация	<i>L, LE, PP</i>	Посылаемые дистанционные сообщения		
<i>IFC</i>	Очистить интерфейс	<i>T, TE, L,</i> <i>LE, C</i>	<i>ATN</i>	Управление	<i>C</i>
<i>LLO</i> <i>MLA</i>	Запирание местного Мой адрес на прием	<i>RL</i> <i>L, LE, RL,</i> <i>T, TE</i>	<i>DAB</i>	Байт данных	Посредством <i>T, TE</i>
<i>MSA</i> <i>MTA</i>	Мой вторичный адрес Мой адрес на передачу	<i>TE, LE, RL</i> <i>T, TE, L,</i> <i>LE</i>	<i>DAC</i>	Данные приняты	<i>AH</i>
			<i>DAV</i>	Сопровождение данных	<i>SH</i>
			<i>DCL</i>	Очистить устройство	Посредством <i>C</i>
			<i>END</i>	Конец	Посредством <i>T</i>
			<i>GET</i>	Запуск группы	Посредством <i>C</i>
			<i>GTL</i>	Переход на местное	Посредством <i>C</i>
			<i>IDY</i>	Идентификация	Посредством <i>C</i>
			<i>IFC</i>	Очистить интерфейс	<i>C</i>
			<i>LLO</i>	Запирание местного	Посредством <i>C</i>

* Этими сообщениями занимается только микросхема-контроллер

** Неопределенные команды, которые должны пропускаться к микропроцессору

Продолжение табл. 3.46

Сообщение интерфейса	Содержание сообщений	Функция интерфейса
<i>MLA</i> или [<i>MLA</i>]	Мой адрес на прием	Посредством <i>C</i>
<i>MSA</i> или [<i>MSA</i>]	Мой вторичный адрес	Посредством <i>C</i>
<i>MTA</i> или [<i>MTA</i>]	Мой адрес на передачу	Посредством <i>C</i>
<i>OSA</i>	Другой вторичный адрес	Посредством <i>C</i>
<i>OTA</i>	Другой адрес на передачу	Посредством <i>C</i>
<i>PCG</i>	Группа первичных команд	Посредством <i>C</i>
<i>PPC</i>	Конфигурация параллельного опроса	Посредством <i>C</i>
[<i>PPD</i>]	Запирание параллельного опроса	Посредством <i>C</i>
[<i>PPE</i>]	Отпирание параллельного опроса	Посредством <i>C</i>
<i>PPR_N</i>	Реакция на параллельный опрос	Посредством <i>C</i>
<i>PPU</i>	Деконфигурация параллельного опроса	Посредством <i>C</i>
<i>REN</i>	Отпирание дистанционного	Посредством <i>C</i>
<i>RFD</i>	Готов для данных	АН
<i>RQS</i>	Запрос на обслуживание, обслуживание запрещается	Т., ТЕ
[<i>SDC</i>]	Очистить выбранное устройство	Посредством <i>C</i>
<i>SPD</i>	Запирание последовательного опроса	Посредством <i>C</i>
<i>SPE</i>	Отпирание последовательного опроса	Посредством <i>C</i>
<i>SRQ</i>	Запрос на обслуживание	SR
<i>STB</i>	Байт состояния	Посредством <i>T, TE</i>
<i>TCT</i>	Передать управление	Посредством <i>C</i>
<i>UNL</i>	Не принимай	Посредством <i>C</i>

Приимечания. 1. Все сообщения функций «Контроллер» должны посыпаться посредством микросхемы-контроллера.

2. Обозначения сообщений даны в алфавитном порядке.

Синхросигнал — внешний синхросигнал, используется только для схемы формирования задержки T_1 и может иметь частоту в пределах 1—8 МГц.

Сброс — сигнал высокого уровня на этом выводе переводит микросхему в исходное состояние (режим инициализации), в котором она будет находиться до разблокировки микропроцессором путем подачи местного сообщения «Немедленное исполнение *роп*».

Шина данных — используется для двунаправленной побайтовой передачи данных между микросхемой КР580ВК91А и ЛКП через неинвертирующие внешние шинные драйверы (приемно-возбудительные схемы).

Конец передачи/идентификация — линия управления ЛКП. Указывает окончание последовательности передачи байтов или совместно с сигналом *ATN* адресует устройство в ходе проведения опроса.

Сопровождение данных — линия синхронизации ЛКП. Указывает на готовность и достоверность информации на линиях *DIO8* и *EOI*.

Не готов к приему данных — линия синхронизации ЛКП. Указывает на состояние готовности устройств (устройства), подключенных к шине, для приема данных.

Данные не приняты — линия синхронизации ЛКП. Указывает на состояние приема данных устройствами (устройством), подключенными к шине.

Управление — линия управления ЛКП. Определяет, как должны интерпретироваться данные на линиях *DIO*.

Очистка интерфейса — линия управления ЛКП. Переводит интерфейсные функции в определенное состояние покоя.

Запрос на обслуживание — линия управления ЛКП. Указывает на необходимость вни-

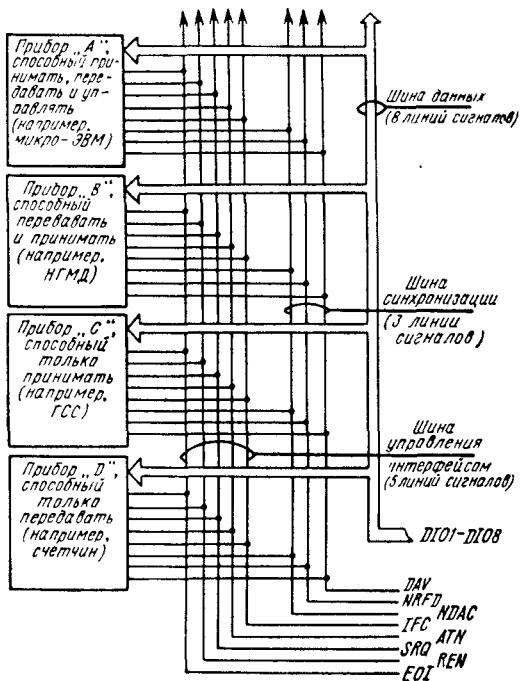


Рис. 3.63. Структурная схема линии коллективного пользования ИИС-2

мания и запрашивает прерывание текущей последовательности событий на ЛКП.

Разрешение дистанционного управления — линия управления ЛКП. Выбирает (в соответствии с другими сообщениями) дистанционный или местный способ управления устройством.

Управление приемно-возбудительной схемой (T/R1) — устанавливается на высокий уровень для индикации вывода данных, сигналов на линиях $DIO1-DIO8$ и DAV , входных сигналов на линиях NPF и $NDAC$ (активна синхронизация источника); устанавливается на низкий уровень для индикации вывода данных, сигналов на линиях $DIO1-DIO8$, DAV и входных сигналов на линиях NPF , $NDAC$ (активна синхронизация акцептора).

Управление приемно-возбудительной схемой (T/R2) — устанавливается на высокий уровень для индикации выходных сигналов на линии EOI и на низкий уровень для индикации ожидаемого входного сигнала на линии EOI во время параллельного опроса.

Адресация ЛКП. Каждое устройство, соединенное с ЛКП, должно иметь хотя бы один адрес, по которому устройство-контроллер, осуществляющее управление шиной, может включать его в конфигурацию для приема, передачи или выдачи состояния. Реализация ЛКП на микросхеме KP580BK91A предлагает три режима адресации, при помощи которых устройство можно инициализировать в каждом конкретном применении. Первый из этих

режимов позволяет устройству иметь два независимых первичных адреса, второй позволяет пользователю реализовать единое устройство приема/передачи с адресом из двух байтов (первичный адрес плюс вторичный адрес), третий также позволяет применение двух различных адресов; в этом случае каждый из них будет десятибитовым (пять младших битов в каждом из двух байтов). Однако этот режим требует, чтобы вторичные адреса проходили на микропроцессор для сверки.

Эти типы адресации более детально описываются при рассмотрении регистров адреса.

Регистры KP580BK91A. Побитовая схема 16 регистров KP580BK91A представлена на рис. 3.64. Более детальное описание каждого из этих регистров и их функций дано ниже. Выбор этих регистров микропроцессором производится путем использования выводов CS , RD , WR и $RS0-RS2$ по следующей схеме:

	CS	RD	WR	$RS0-RS2$
Все регистры чтения	0	0	1	CCC
Все регистры записи	0	1	0	CCC
Состояние «выключено»	.	.	.	X X XXX

Регистры данных. К ним относятся регистры «Ввод данных» и «Выход данных».

Регистр «Ввод данных» используется для пересылки данных от ЛКП к микропроцессору или в память, когда микросхема

Регистры чтения Ввод данных (OR)								Регистры записи Выход данных (OW)							
Состояние прерывания 1 (1R)								Разрешение прерывания 1 (1W)							
CPT	APT	GET	END	DEC	ERR	BO	BI	INT	DOB	$DO5$	$DO4$	$DO3$	$DO2$	$DO1$	$DO0$
Состояние прерывания 2 (2R)								Разрешение прерывания 2 (2W)							
INT	$SPAS$	LLO	REM	SPC	$LLOC$	$REMC$	$ADSC$	0	0	$DMA0$	$DMA1$	SPC	$LLOC$	$PEMC$	$ADSC$
Состояние последовательного опроса (JR)								Режим последовательного опроса (JW)							
$S8$	$SPAS$	$S6$	$S5$	$S4$	$S3$	$S2$	$S1$	$S8$	rsv	$S6$	$S5$	$S4$	$S3$	$S2$	$S1$
Состояние адресации (4R)								Режим адресации (4W)							
tan	lon	EOI	$LPAS$	$TPAS$	LA	TA	$MJMN$	TO	LO	0	0	0	0	$ADM1$	$ADM0$
Пропускаемая команда (5R)								Вспомогательный режим (5W)							
$CPT7$	$CPT6$	$CPT5$	$CPT4$	$CPT3$	$CPT2$	$CPT1$	$CPT0$	$CNT2$	$CNT1$	$CNT0$	$COM4$	$COM3$	$COM2$	$COM1$	$COM0$
Адрес 0 (6R)								Адрес 0/1 (6W)							
INT	DTO	DLO	$AD5-0$	$AD4-0$	$AD3-0$	$AD2-0$	$ADM-0$	ARS	DT	DL	$AD5$	$AD4$	$AD3$	$AD2$	$AD1$
Адрес 1 (7R)								EOS (7W)							
X	$DT1$	$DL1$	$AD5-1$	$AD4-1$	$AD3-1$	$AD2-1$	$ADM-1$	$EC7$	$EC6$	$EC5$	$EC4$	$EC3$	$EC2$	$EC1$	$EC0$

Рис. 3.64. Карты регистров микросхемы KP580BK91A

KP580BK91A адресована на прием. Входная информация избирательно фиксируется в этом регистре, и его содержимое не уничтожается при записи в регистр «Вывод данных». Сообщение *RFD* «Готов для данных» поддерживается ложным до тех пор, пока байт не будет считан из регистра «Вывод данных» либо микропроцессором, либо в цикле ПДП. Затем KP580BK91A автоматически заканчивает цикл синхронизации.

В режиме удержания *RFD* (см. «Вспомогательный регистр *A*») цикл синхронизации не заканчивается до тех пор, пока микросхеме KP580BK91A не будет послано командное сообщение о разблокировке удержания. Так можно некоторое время считывать один и тот же байт или действующий передатчик может удерживаться до тех пор, пока не будут обработаны все подготовленные данные.

Если KP580BK91A адресована на передачу, то регистр «Вывод данных» используется для пересылки данных на ЛКП. После того, как принято прерывание *BO* и в этот регистр записан байт, KP580BK91A инициирует и завершает цикл синхронизации, посыпая этот байт на ЛКП. В режиме запрещения прерывания *BO* пользователь перед записью в этот регистр будет ждать, пока *BO* станет активным (в режиме ПДП это будет происходить автоматически). Считывание регистра «Вывод данных» не уничтожает информацию в регистре «Вывод данных».

Регистры прерывания. К ним относятся регистры «Состояние прерывания 1», «Разрешение прерывания 1», «Состояние прерывания 2», «Разрешение прерывания 2» и частично «Адрес 0».

Микросхема KP580BK91A может быть за-программирована на генерацию прерывания микропроцессора при возникновении любого из 12 состояний или событий на ЛКП. После приема прерывания микропроцессор должен считать регистры состояния прерывания, чтобы определить, какое событие возникло, а затем исполнить соответствующую программу обслуживания (если это необходимо). Каждому из 12 битов состояния прерывания соответствует бит разрешения в регистрах разрешения прерывания. Эти разрешающие биты используются для выбора тех событий, которые приведут к срабатыванию вывода *INT* микросхемы. Запись лог. 1 в любой из разрядов этих регистров разрешает соответствующим битам состояния прерывания генерировать прерывание.

Биты в регистрах состояния прерывания устанавливаются независимо от состояния битов разрешения. Затем, после считывания или по мере исполнения местного сообщения *rop* «Питание включено», регистры «Состояние прерывания» очищаются. Если событие происходит в момент считывания одного из регистров состояния прерывания, то оно обычно удерживается до очистки регистра, а затем помещается в соответствующий регистр.

Обозначение каждого бита в этих регистрах и краткое описание соответствующих

функций приведены в табл. 3.47. Эта таблица показывает также, каким образом устанавливается каждый из битов прерывания.

Бит *INT* в регистре «Адрес 0» дублирует бит *INT* в регистре «Состояние прерывания 2». Он является только битом состояния, не генерирует прерывания, поэтому для него нет соответствующего разрешающего бита.

Прерывания *BO* и *BI* разрешают разработчику выполнение циклов передачи данных. *BO* указывает, что байт данных может быть записан в регистр «Вывод данных». Он устанавливается при *TACS* \wedge (*SWNS* \vee *SGNS*) \wedge *RFD* и сбрасывается, когда байт данных записан или подано *ATN*, или KP580BK91A выходит из *TACS*.

Данные не могут быть записаны в регистр «Вывод данных», прежде чем установлен *BO*.

Аналогично устанавливается *BI*, когда входной байт принят в KP580BK91A, и сбрасывается, когда микропроцессор считывает регистр «Вывод данных». *BO* и *BI* сбрасываются также при местном сообщении *rop* «Питание включено» и при считывании регистра «Состояние прерывания 1». Однако в случае необходимости циклы передачи данных можно выполнить без считывания регистра «Состояние прерывания 1», если все прерывания, кроме *BO* и *BI*, запрещены; *BO* и *BI* будут автоматически сбрасываться после передачи каждого байта.

Если KP580BK91A используется в режиме прерываний, то выводы *INT* и *DREQ* можно предизначить для прерываний ввода и вывода данных, при разрешении *BI* и *DMAO* соответственно в том случае, если не разрешены другие прерывания. Это устраняет необходимость считывания регистров состояния прерывания, когда принимается или передается байт.

Бит *ERR* устанавливается для индикации состояния ошибки шины, когда KP580BK91A является активным передатчиком и пытается пересыпать байт на ЛКП, но активные приемники отсутствуют (например, все устройства на ЛКП находятся в состоянии *AIDS*). Логический эквивалент выражения *nba* \wedge *TACS* \wedge *DAC* \wedge *RFD* будет устанавливать этот бит.

Бит *DEC* устанавливается всякий раз при возникновении состояния *DCAS*. Исходное состояние, в которое возвращаются функции прибора при *DCAS*, определяет разработчик. Обычно это состояние будет «Питание включено», однако в общем случае состояние приборных функций в *DCAS* задается по усмотрению разработчика.

Следует отметить, что на *DCAS* не оказывают влияния интерфейсные функции, которые возвращаются в исходное состояние при действии сообщения *IFC* «Очистить интерфейс» или местного сообщения *rop*.

Бит прерывания *END* может использоваться микропроцессором для обнаружения окончания многобайтовой передачи. Этот бит будет устанавливаться, когда микросхема KP580BK91A является активным прием-

Таблица 3.47

Содержание битов прерывания	Бит прерывания	Примечание
Индикация неопределенных команд Устанавливается при $(TPAS \vee LPAS) \wedge SCG \wedge ACDS \wedge \text{«Режим 3»}$ Устанавливается при $DTAS$ Устанавливается при $(EOS \vee EOI) \wedge LACS$ Устанавливается при $DCAS$	CPT APT GET END DEC	Принята неопределенная команда Вторичный адрес должен быть пропущен к микропроцессору для опознавания Возник запуск группы Было принято сообщение EOS или EOI Возникло активное состояние «Очистить устройство»
Устанавливается при: $TACS \wedge nba \wedge DAC \wedge RFD$ $TACS \wedge (SWNS \vee SGNS)$ Устанавливается при $LACS \wedge ACDS$ Показывает состояние вывода INT	ERR BO BI INT	Возникла интерфейсная ошибка; нет активных акцепторов Байт можно выводить Введен байт
Устройству разрешен последовательный опрос	$SPAS$	Эти биты только индицируют состояние; они не будут генерировать прерывания, поэтому для них нет соответствующих битов разрешения
Устройство в состоянии «Запирание местного» ($LWLS \vee RWLS$) Устройство в состоянии «Отпирание дистанционного» ($REMS \vee RWLS$) $SPAS \rightarrow SPAS$, если $APRS, STRS$ или $SPAS$ истинно $LLO \Rightarrow HE LLO$	LLO REM SPC $LLOC$	Прерывание «Последовательный опрос завершен» Прерывание по изменению запирания местного Прерывание по изменению дистанционного/местного Прерывание по изменению состояния адресации ¹
Дистанционное \neq Местное	$REMS$	
Адресован \neq Не адресован	$ADSC$	

¹ В ton (только передавать) и lon (только принимать) прерывание $ADSC$ не генерируется.

ником ($LACS$) и принято EOS (в том случае, если во «Вспомогательном регистре A» разрешено свойство « END по приему EOS ») или EOI . EOS будет генерировать прерывание, когда байт в регистре «Ввод данных» совпадает с байтом в регистре EOS . Во втором случае прерывание будет генерироваться, когда на входе EOI будет обнаружен истинный сигнал.

Бит прерывания GET используется для обнаружения микропроцессором возникновения $DTAS$. Он устанавливается микросхемой KP580BK91A, адресованной на прием, когда принимается сообщение GET . При приеме сообщения GET срабатывает также вывод $TRIG$ микросхемы. Таким образом, основные операции по запуску устройства могут начинаться без вмешательства программного обеспечения микропроцессора.

Бит прерывания APT указывает процессору, что в регистре CPT находится вторичный адрес для уточнения достоверности. Это прерывание возникает только при действии «Режима 3» адресации (см. «Регистры адреса»). В «Режиме 2» вторичные адреса будут

автоматически опознаваться микросхемой KP580BK91A, а в «Режиме 1» они будут игнорироваться.

Бит прерывания CPT отмечает появление неопределенной команды и всех вторичных команд, следующих за неопределенной.

Битом B_0 вспомогательного регистра B разрешается свойство «Пропускаемая команда».

Любое сообщение, не расшифрованное микросхемой (не включенное в диаграммы состояния, см. приложение), становится неопределенной командой. Отметим, что любая адресная команда автоматически игнорируется, если микросхема KP580BK91A не адресована.

Неопределенные команды считаются микропроцессором из регистра «Пропускаемая команда» микросхемы. Этот регистр во время чтения передает логические уровни, представленные на шине данных. Пока этот регистр не считан, KP580BK91A будет поддерживать синхронизацию, если разрешено CPT .

Полезным свойством микросхемы KP580BK91A является ее способность генерировать прерывания при переходах состоя-

ний интерфейсных функций. В частности, три младших бита регистра «Состояние прерывания 2» (если они разрешены соответствующими битами разрешения) вызовут прерывание при изменениях следующих состояний, определенных стандартом:

бит 0 *ADSC* — изменение в *LIDS* или *TIDS*, или *MJMN*;

бит 1 *REMC* — изменение в *LOCS* или *REMS*;

бит 2 *LLOC* — изменение в *LWLS* или *RWLS*.

Четыре старших бита регистра «Состояние прерывания 2» доступны для микропроцессора как биты состояния. Таким образом, если один из битов 0—2 генерирует прерывание, указывая, что имело место изменение состояния, то соответствующий бит состояния (биты 3—5) может быть считан для определения, какое новое состояние возникло. Для определения характера изменения состояния адреса (бит 0) доступен для считывания регистр «Состояние адресации».

Прерывание *SPC* (бит 3 в регистре «Состояние прерывания 2») устанавливается при выходе из *SPAS*, если возникло *APRS* или *STRS*, или *SPAS*, и показывает, что контроллер ЛКП считывает байт состояния последовательного опроса шины после запроса микросхемой КР580ВК91А обслуживания (был подан *SRQ*). Прерывание *SPC* возникает один раз после считывания контроллером байта состояния, если было запрошено обслуживание. Контроллер может считать байт состояния позже и байт будет содержать последнее состояние, записанное центральным процессором в регистр «Режим последовательного опроса», но бит *SRQS* не будет установлен и не будет генерироваться прерывание.

И, наконец, бит 7 контролирует состояние вывода *INT* микросхемы. Он представляет собой логическое ИЛИ всех разрешенных битов состояния прерывания. Следует отметить, что биты 3—6 регистра «Состояние прерывания 2» не генерируют прерываний, они используются микропроцессором только для чтения в качестве битов состояния.

Бит 7 регистра «Состояние прерывания 2» дублируется в регистре «Адрес 0», и этот последний может быть использован при регистрации прерываний, чтобы избежать потери одного из прерываний в регистре «Состояние прерывания 2».

Биты 4 и 5 (*DMAI*, *DMAO*) регистра «Разрешение прерывания 2» применяются для разрешения прямой передачи данных между памятью и ЛКП: *DMAI* (ПДП, ввод) разрешает вывод *DREQ* «Запрос ПДП» микросхемы при возникновении *BI*. Аналогично *DMAO* (ПДП, вывод) разрешает включение вывода *DREQ* при возникновении *BO*. Следует отметить, что вывод *DREQ* может быть использован как второй выход прерывания, управляемый *BI* и (или) *BO* и разрешаемый посредством *DMAI* и *DMAO*.

Следует также отметить, что считывание регистра «Состояние прерывания 1» не влияет на вывод *DREQ*. Он сбрасывается всякий раз по мере записи байта в регистр «Вывод данных» или считывания из регистра «Ввод данных».

Для гарантии, что бит состояния прерывания не будет сброшен без считывания и не будет оставлен несброшенным после считывания, в микросхеме КР580ВК91А введены специальные процедуры обработки прерываний. Когда в одном из регистров «Состояние прерывания» устанавливается любой разрешенный бит прерывания, вход регистров блокируется до тех пор, пока установленный бит не будет считан и сброшен микропроцессором. Здесь возникает потенциальная проблема изменения состояния прерывания в момент блокировки регистра. Однако микросхема хранит все новые прерывания в регистре временного хранения и передает их в соответствующий регистр «Состояние прерывания» после того, как будет сброшено предыдущее прерывание. Эта передача будет иметь место, если соответствующие биты были считаны как нулевые.

Регистры последовательного опроса. К ним относятся регистры «Состояние последовательного опроса» (*3R*) и «Режим последовательного опроса» (*3W*).

Регистр «Режим последовательного опроса» определяет байт состояния, который микросхема пересыпает на шину данных ЛКП при приеме сообщения *SPE* «Открытие последовательного опроса». Бит 6 этого регистра резервирован для местного сообщения *rsv* «Запрос на обслуживание». Установка этого бита в 1 вызывает включение линии *SRQ*, указывая на необходимость внимания от контроллера, взявшего управление на ЛКП. Остальные биты этого регистра применяются для пересылки информации о состоянии на ЛКП. После того, как микропроцессор инициализирует запрос на обслуживание установкой бита 6, контроллер ЛКП пересыпает сообщение *SPE* и затем адресует микросхему КР580ВК91А на передачу. В этот момент микросхема отдает один байт состояния через регистр «Режим последовательного опроса».

После того, как байт состояния считан контроллером, микросхема КР580ВК91А автоматически очистит *rsv* и выработает прерывание *SPC*. Центральный процессор может снова запросить обслуживание путем записи соответствующего байта в регистр «Режим последовательного опроса» с установкой бита *rsv*.

Если контроллер выполняет последовательный опрос, когда бит *rsv* очищен, то будет считан байт состояния, записанный последним, но линия *SRQ* не будет включена микросхемой КР580ВК91А и в байте состояния бит *SRQS* будет очищен.

Регистр «Состояние последовательного опроса» доступен для чтения байта состояния в

регистре «Режим последовательного опроса». Процессор может проверять состояние запроса на обслуживание, опрашивая бит 6 этого регистра, который соответствует состоянию *SRQS* «Запрос на обслуживание». Когда проводится последовательный опрос и управляющий контроллер считывает байт состояния, бит *SRQS* очищается. Линия *SRQ* и бит *rsv* связаны друг с другом.

Регистры адреса. К ним относятся регистры «Состояние адресации» (*4R*), «Режим адресации» (*4W*), «Адрес 0» (*6R*), «Адрес 0/1» (*6W*), «Адрес 1» (*7R*).

Регистр «Режим адресации» используется для выбора одного из пяти режимов адресации, имеющихся в KP580BK91A. Он определяет способ, которым микросхема использует информацию регистров «Адрес 0» и «Адрес 1».

В «Режиме 1» содержимое регистра «Адрес 0» составляет старший адрес приемника/передатчика, а регистр «Адрес 1» содержит младший адрес приемника/передатчика. В тех случаях, когда требуется только один адрес, применяется старший приемник/передатчик, а младший приемник/передатчик должен быть запрещен.

Загрузка адреса в регистры «Адрес .0» и «Адрес 1» посредством регистра «Адрес 0/1» разрешает функционирование соответственно старшего и младшего приемника/передатчика.

В «Режиме 2» микросхема KP580BK91A опознает два последовательных адресных байта: первичный и следующий за ним вторичный. Чтобы разрешить прибору передачу или прием, должны быть приняты оба адресных байта. Аналогично «Режим 2» адресации разрешает расширенные функции передатчика и приемника, определенные стандартом.

Для использования «Режима 2» адресации первичный адрес должен загружаться в регистр «Адрес 0», а вторичный — в регистр «Адрес 1». Когда оба адреса (первичный и вторичный) размещены в микросхеме KP580BK91A, она может обрабатывать все адресные последовательности без вмешательства процессора.

В «Режиме 3» микросхема KP580BK91A обрабатывает адресацию точно так же, как и в «Режиме 1», за исключением того, что за каждым старшим или младшим первичным адресом должен следовать вторичный. Все вторичные адреса при использовании «Режима 3» должны проверяться микропроцессором. Когда KP580BK91A находится в состоянии *TPAS* или *LPAS* «Первичный адресованый передатчик/приемник» и не опознает байт нашине *D/I/O*, то генерируется прерывание *APT* (см. «Регистры прерывания») и байт поступает в регистр *CPT* «Пропускаемая команда». В программу обслуживания данного прерывания должно входить считывание микропроцессором регистра «Пропускаемая команда» и запись одной из следующих реакций в регистр «Вспомогательный режим»: *07H*

при вводе недостоверного вторичного адреса; *OFH* при вводе достоверного вторичного адреса.

Установка бита *TO* генерирует местное сообщение *ton* «Только передавать» и устанавливает микросхему в режим только передачи. Этот режим позволяет устройству работать в качестве передатчика в интерфейсной системе без контроллера.

Установка бита *LO* генерирует местное сообщение *lon* «Только принимать» и устанавливает микросхему в режим только приема. Этот режим позволяет устройству работать в качестве приемника в интерфейсной системе без контроллера.

Указанные биты могут также использоваться при действующем контроллере для изоляции от дистанционных команд или обмена данными.

Режим адресации, реализуемый при помощи микросхемы KP580BK91A, можно выбрать записью одного из следующих байтов в регистр «Режим адресации».

Содержимое регистра адресации	Режим
10000000	Разрешение режима <i>ton</i> «Только передавать»
01000000	Разрешение режима <i>lon</i> «Только принимать»
11000000	KP580BK91A может передавать только на себя
00000001	«Режим 1» (первичный — первичный)
00000010	«Режим 2» (первичный — вторичный)
00000011	«Режим 3» (первичный/ <i>APT</i> — первичный/ <i>APT</i>)

Регистр «Состояние адресации» содержит информацию, используемую микропроцессором для обработки собственной адресации. Эта информация состоит из битов состояния, которые контролируют состояние адресации каждого приемника/передатчика, флагов *ton* и *lon*, указывающих на состояние только передачи и только приема, и бита *EOI*, установка которого означает, что с последним информационным байтом пришло сообщение *END*. Биты *LPAS* и *TPAS* указывают, что был принят первичный адрес приемника или передатчика. Микропроцессор может использовать эти биты, когда к нему пропускается вторичный адрес, чтобы определить, адресуется KP580BK91A на прием или на передачу.

Бит *LA* «Приемник адресован» будет установлен, когда микросхема находится в состоянии *LACS* «Приемник активен» или в состоянии *LADS* «Приемник адресован». Аналогично бит *TA* «Передатчик адресован» будет установлен для индикации состояния *TACS* или *TADS*, а также для индикации *SPAS* «Последовательный опрос активен».

Бит *MJMN* используется для определения, относится информация других битов к «старшему» или «младшему» приемнику/передатчику. Он устанавливается в 1, если адресо-

Таблица 3.48

Операция	\overline{CS}	\overline{RD}	\overline{WR}	Данные	$RS2 - RS0$
Выбор «Режима 1» адресации	0	1	0	00000001	100
Загрузка старшего адреса в регистр «Адрес 0» с запрещением функции приемника	0	1	0	001AAAAA	110
Загрузка младшего адреса в регистр «Адрес 1» с запрещением функции передатчика	0	1	0	110BBBBB	110

ван «младший» приемник/передатчик. Следует отметить, что одновременно может быть активен только один передатчик/приемник. Таким образом, бит $MJMN$ будет указывать, какой из передатчиков/приемников либо адресован, либо активен.

Регистр «Адрес 0/1» используется для указания адресов устройства в соответствии с форматом, выбранным в регистре «Режим адресации». Пятибитовые адреса могут быть загружены в регистры «Адрес 0» и «Адрес 1» путем записи в регистр «Адрес 0/1».

Бит ARS используется для выбора, в какой из этих регистров будут загружены остальные семь битов. Биты DT и DL можно использовать для запрещения функций передатчика или приемника по адресу, указанному другими пятью битами байта. Если используется «Режим 1» адресации и требуется только один первичный адрес, то в младшем адресе должен быть запрещен как приемник, так и передатчик.

В качестве примера использования регистра «Адрес 0/1» рассмотрим случай, когда устройству необходимы два первичных адреса. Старший первичный адрес будет предназначен только для передачи, а младший — только для приема. Микропроцессор формирует эту конфигурацию КР580ВК91А при помощи последовательности записей (табл. 3.48).

В этом случае адреса AAAA и BBBB хранятся в регистрах «Адрес 0» и «Адрес 1» соответственно и могут быть считаны микропроцессором. Следовательно, нет необходимости хранить адресную информацию еще где-либо. При хранении информации в регистрах «Адрес 0» и «Адрес 1» контроллер опознает адресацию без вмешательства процессора. Вмешательство процессора в последовательность адресации необходимо только в «Режиме 3», когда к нему пропускаются вторичные адреса.

В регистре «Адрес 0» дублируется бит 7 (INT) регистра «Состояние прерывания 2». Это сделано для использования при регистрации прерываний. Для регистрации INT программным обеспечением нужно проверить, установлен ли бит 7 в регистре «Адрес 0». Если INT установлен, то нужно считать регистр состояния прерывания для определения, какое прерывание возникло.

Регистр «Вспомогательный режим». В этом регистре $CNT1 - CNT2$ — биты управления, $COM0 - COM4$ — биты команды.

Регистр «Вспомогательный режим» содержит 3-битовое поле управления и 5-битовое поле команд. В микросхеме КР580ВК91А он используется для следующих целей:

загрузки «скрытых» вспомогательных регистров микросхемы;

выдачи микропроцессором команд микросхеме КР580ВК91А;

предварительной установки внутреннего счетчика, используемого для выработки задержки T_1 в функции «Синхронизация источника», определяемой стандартом.

В табл. 3.49 обобщены задачи, выполняемые регистром «Вспомогательный режим».

Вспомогательные команды используются микросхемой, когда в регистр «Вспомогательный режим» записывается 0000CCCC, где CCCC является 4-битовым кодом команды:

0000 — Немедленное исполнение rop . Эта команда сбрасывает микросхему в состояние «Питание включено» (местное сообщение rop , определяемое стандартом).

Состоянию «Питание включено» соответствуют следующие режимы: запрещены все передатчики и все приемники; биты состояния прерывания не установлены.

Микросхема разработана с учетом включения питания в известных состояниях диаграмм состояния, определяемых стандартом. Таким образом, в состоянии «Питание включено» возможно действие следующих состояний: SIDS, AIDS, TIDS, LIDS, NPRS, LOCS, PPIS.

Команда 0000 является немедленно исполняемой командой (импульс rop). Она используется также для разблокировки состояния «Инициализация», генерируемого либо внешним импульсом сброса, либо командой «Сброс микросхемы».

0010 — Сброс микросхемы (инициализация). Эта команда производит то же действие, что и импульс, поданный на вход $RESET$ микросхемы (см. «Процедура сброса»).

0011 — Конец цикла синхронизации. Эта команда заканчивает цикл синхронизации, остановленный из-за удержания RFD (см. «Вспомогательный регистр А»).

0100 — Запуск. Этой командой включается «Запуск группы». Имеет то же действие, что и команда GET , выдаваемая контролле-

Таблица 349

Код команды		Команда
Бит управления	Бит команды	
000	0CCCC	Исполнить вспомогательную команду <i>CCCC</i>
001	0FFFF	Предустановка внутреннего счетчика для согласования с внешним синхросигналом частотой <i>FFFF</i> , МГц (<i>FFFF</i> —1—8 МГц в двоичном коде)
100	DDDDD	Записать <i>DDDDD</i> во вспомогательный регистр <i>A</i>
101	0DDDD	Записать <i>DDDD</i> во вспомогательный регистр <i>B</i>
011	USP ₃ P ₂ P ₁	Разрешение/запрет параллельного опроса в соответствии с дистанционными сообщениями (<i>PPE</i> или <i>PPD</i> , следующими за <i>PPC</i>) или с местным сообщением <i>Ipe</i> (разрешение при <i>U</i> =0, запрет при <i>U</i> =1)

Примечание Три бита управления определяют, каким образом будут интерпретированы пять битов команды

ром, взявшим управление ЛКП, но и вызывает прерывания *GET*.

0101/1101 — Очистка/установка *rtl*. Эта команда соответствует местному сообщению *rtl*, определенному в стандарте. Микросхема KP580BK91A будет переходить в местный режим при приеме вспомогательной команды «Установка *rtl*», если не действует «Запирание местного». Микросхема будет выходить из местного режима после приема вспомогательной команды «Очистка *rtl*», если KP580BK91A адресована на прием.

0110 — Посылка *EOI*. Эта команда включает линию *EOI* микросхемы. Сигнал на ней становится истинным при посылке следующего байта. Линия *EOI* очищается после окончания цикла синхронизации для этого байта.

0111/1111 — Недостоверный/достоверный вторичный адрес или команда (*VSCMD*). Эта команда сообщает микросхеме KP580BK91A, что вторичный адрес, принятый микропроцессором, был достоверным или недостоверным (0111 — недостоверный, 1111 — достоверный). Если используется «Режим 3» адресации, то микропроцессор должен возбуждаться каждым расширенным адресом и реагировать на него, иначе ЛКП будет во «взвешенном» состоянии.

Следует отметить, что флагом недостоверности/достоверности будет при *C0M3*.

Команда достоверности 1111 используется также для сообщения микросхеме KP580BK91A о продлении состояния пропускаемой команды или удержания *RFD* в *GET*, *SDC* или *DCL*.

1000 — *rop*. Эта команда приводит KP580BK91A в состояние *rop* «Питание включено» и удерживает в нем микросхему. Это подобно «Сбросу микросхемы», за исключением того, что не будут очищены регистры вспомогательного режима.

В этом состоянии KP580BK91A не может участвовать ни в какой деятельности шин интерфейса.

Команда «Немедленное исполнение *rop*» разблокирует микросхеме состояние *rop* и разрешает устройству снова участвовать в деятельности шин.

0001/1001 — Флаг параллельного опроса (местное сообщение *ist*). Эта команда устанавливает (1001) или сбрасывает (0001) флаг параллельного опроса. Лог. 1 посыпается по присвоенной (прибору) линии данных (*PPR*—реакция на параллельный опрос — истинно) только в том случае, если флаг параллельного опроса согласуется с битом полярности местного сообщения *Ipe* (или же косвенно от сообщения *PPE*).

Для более полного описания свойств и процедур параллельного опроса см. «Протокол параллельного опроса».

Внутренний счетчик определяет допустимое время задержки перед установкой данных на линиях *DIO*. Это время задержки, определенное в стандарте СТ СЭВ 2740—80 как *T₁*, находится в диаграмме состояний «Синхронизация источника» между состояниями *SDYS* и *STRS*. Таким образом, *DAV* подается через время *T₁* после установки данных нашине *DIO*. Поэтому *T₁* является основным фактором, определяющим скорость передачи данных микросхемой KP580BK91A по ЛКП (*T₁*=*TWRDV2*—*TWRD15*).

Если для подключения к ЛКП используется возбудители с открытым коллектором, то *T₁* по стандарту устанавливается равной 2 мкс. Счетчик предварительно устанавливается на частоту *f_{CLC}*, МГц, входа синхросигнала путем записи кода 0010FFFF в регистр «Вспомогательный режим», где *FFFF* — двоичное представление *N_F* ($1 \leq N_F \leq 8$, $N_F = (FFFF)_2$).

Если $N_F = f_{CLC}$, МГц, то перед каждым подаваемым сигналом *DAV* будет вырабатываться задержка *T₁* длительностью 2 мкс:

$$T_1 = 2N_F/f_{CLC} + t_{SYNC}; \quad 1 \leq N_F \leq 8,$$

где t_{SYNC} — ошибка синхронизации, которая больше нуля и меньше большей длительности высокого (низкого) уровня синхросигнала (для синхросигнала с коэффициентом заполнения 50% t_{SYNC} будет меньше половины периода синхросигнала).

Если необходимо, чтобы T_1 отличалось от 2 мкс, может быть установлено любое значение N_F , отличающееся от f_{CLC} .

Таким способом можно программировать скорость передачи данных, необходимую для имеющейся системы. В малых системах, где требуется скорость передачи данных, превышающая принятую для ЛКП, можно установить $N_F < f_{CLC}$ и уменьшить T_1 .

Если применяются возбудители с тремя состояниями, то стандарт допускает повышение скорости передачи (уменьшение T_1). Применение таких возбудителей с микросхемой KP580BK91A разрешается путем установки B_2 во вспомогательном регистре B . В этом случае установка $N_F = f_{CLC}$ вызывает выработку задержки T_1 в 2 мкс только для первого передаваемого байта. Все последующие байты будут иметь задержку 500 нс.

Для высокой скорости передачи T_1 , мкс, вычисляется по формуле

$$T_{1B.C} = \frac{N_F}{2f_{CLC}} + t_{SYNC}.$$

Таким образом, минимальная задержка T_1 , достигается при установке $N_F = 1$ и использовании синхросигнала частотой 8 МГц с коэффициентом заполнения 50% ($t_{SYNC} < 63$ нс):

$$T_{1B.C} = \frac{1}{2.8} + 0.063 \leqslant 125 \text{ нс.}$$

Вспомогательный регистр А — «скрытый» 5-битовый регистр, используемый для разрешения некоторых свойств KP580BK91A. Как только в регистр «Вспомогательный режим» записывается байт $100A_4A_3A_2A_1A_0$, регистр А загружается данными $A_4A_3A_2A_1A_0$. Установка соответствующих битов в 1 разрешает следующие свойства:

A_0 — удержание RFD по всем данным. Если микросхема KP580BK91A является приемником, то не будет послано истинного RFD, пока микропроцессором не будет выдана вспомогательная команда «Конец цикла синхронизации». Удержание будет действовать для каждого байта данных.

A_1 — удержание RFD по END. Это свойство разрешает удержание по EOI или EOS (если они разрешены). Для всех прочих байтов удержание не действует.

A_2 — END по приему EOS. Всякий раз, когда байт в регистре «Ввод данных» совпадает с байтом в регистре EOS, в регистре «Состояние прерывания 1» будет установлен бит прерывания END.

A_3 — вывод EOI при посылке EOS. Любое появление в регистре «Вывод данных» информации, совпадающей с регистром EOS, вызовет вместе с посылкой данных посылку

истинного значения на выводе \overline{EOI} микросхемы.

A_4 — двоичное сравнение EOS. Установка этого бита вызовет функционирование регистра EOS как полного 8-битового слова. Если он не установлен, регистр EOS представляет собой 7-битовое слово (для знаков в коде ASCII).

Если $A_0 = A_1 = 1$, то разрешается специальный режим «Непрерывный цикл АН». Этот режим должен использоваться только в конфигурациях системы с контроллером, когда вместе с KP580BK91A используется микросхема-контроллер. Этот режим обеспечивает непрерывные циклы прохождения по диаграмме состояний «Синхронизация акцептора», не требуя местных сообщений от микропроцессора; местное сообщение rdy автоматически генерируется в ANRS.

Синхронизация акцептора KP580BK91A как таковая служит синхронизацией акцептора контроллера. Следовательно, включение циклов контроллера во время синхронизации акцептора не приводит к задержке передачи данных. При исполнении местного сообщения tcs микросхема следует вывести из режима «Непрерывный цикл АН», ЛКП «зависает» в состоянии ANRS и генерируется прерывание BI , указывающее, что можно взять управление. Упрощенную процедуру можно использовать при выполнении tcs по окончании блока передаваемых байтов; при этом KP580BK91A может оставаться в непрерывном цикле АН. В конце блока (принято EOI или EOS) генерируется удержание, ЛКП «зависает» в ANRS, и может быть взято управление.

Вспомогательный регистр B — «скрытый» 4-битовый регистр, используемый для разрешения некоторых свойств микросхемы KP580BK91A. Как только в регистр «Вспомогательный режим» записывается байт $1010B_3B_2B_1B_0$, регистр B загружается данными $B_3B_2B_1B_0$.

Установкой соответствующих битов в 1 разрешаются следующие свойства:

B_0 — разрешение неопределенной пропускаемой команды. Это свойство разрешает любым командам, не опознанным микросхемой KP580BK91A, обрабатываться с помощью программного обеспечения. При разрешении этого свойства происходит удержание микросхемой синхронизации при приеме неопределенной команды. Затем микропроцессор должен считать эту команду из регистра «Пропускаемая команда» и послать вспомогательную команду VSCMD. Удержание синхронизации будет действовать до тех пор, пока не будет послана команда VSCMD.

B_1 — посылка EOI при SPAS. Этот бит разрешает посылку EOI с байтом состояния; EOI посыпается истинным при активном состоянии последовательного опроса (SPAS). В других случаях при SPAS EOI посыпается ложным.

B_2 — разрешение высокой скорости передачи данных. Это свойство может разре-

шаться при использовании внешних возбудителей с тремя состояниями. Скорость передачи данных лимитируется временем задержки (генерируемой в функции «Синхронизация источника»), которая задается в зависимости от типа используемых возбудителей. При разрешении свойства «Высокая скорость» $T_1=2$ мкс генерируется для первого байта, передаваемого первым после каждого перехода ATN из истинного значения в ложное. Для всех последующих байтов $T_1=500$ ис. Зависимости длительности T_1 от B_2 и частоты синхросигнала f_{SCL} рассмотрены в подпараграфе «Внутренний счетчик».

B_3 — инвертирование сигнала прерывания. Установка этого бита вызывает изменение полярности сигнала на выводе INT микросхемы на противоположную, т. е. активным состоянием прерывания будет низкий уровень (для обеспечения совместимости с однокристальной микро-ЭВМ).

На регистры прерывания бит $B3$ влияние не оказывает.

Протокол параллельного опроса. Запись в регистр «Вспомогательный режим» кода $011USP_3P_2P_1$ будет разрешать ($U=0$) или запрещать ($U=1$) микросхему КР580ВК91А для параллельного опроса. Если $U=0$, то эта команда является местным сообщением Ipe (отпирание местного опроса), определяемым в стандарте СТ СЭВ 2740—80.

Бит S является значением, по которому разрешается действие микросхемы КР580ВК91А: реакция параллельного опроса PPR_N посыпается истинной только при условии совпадения флага параллельного опроса (местное сообщение ist) с этим битом (отклик равен $S \vee ist$). Биты P_3 , P_2 , P_1 определяют, по какой из восьми линий данных DIO будет посыпаться PPR_N . Таким образом, как только микросхема КР580ВК91А образовала конфигурацию для параллельного опроса, она автоматически (если посланы истинные значения EOI и ATN) будет сравнивать флаг PP с битом S и в зависимости от результата сравнения посыпать истинное или ложное значение PPR_N .

Если требуется применение $PP2$, то единственным и необходимым условием является наличие местных сообщений Ipe и ist . Обычно разработчик предусматривает образование конфигурации микросхемы КР580ВК91А для параллельного опроса сразу после инициализации. В процессе работы микропроцессор устанавливает или сбрасывает флаг параллельного опроса ist в соответствии с потребностью устройства в обслуживании. Вследствие этого микросхема КР580ВК91А будет установлена для выдачи соответствующей реакции на $IDY \wedge (EOI \wedge ATN)$ без непосредственного участия микропроцессора.

Если требуется применение $PP1$, то должны использоваться имеющиеся у микросхемы КР570ВК91А свойства неопределенной команды. При $PP1$ микросхема переводится в конфигурацию для параллельного опроса

косвенным путем при наличии активного контроллера на ЛКП.

Последовательность обращений для образования дистанционно разрешаемой или запрещаемой микросхемы КР580ВК91А следующая.

1. Сообщение PPC принимается и загружается в регистр «Пропускаемая команда» как неопределенная команда. Микропроцессору посыпается прерывание CPT , автоматически удерживается синхронизация.

2. Микропроцессор считывает регистр «Пропускаемая команда» и посыпает микросхеме КР570ВК91А команду $VSCMD$, разблокируя синхронизацию.

3. Приняв неопределенную первичную команду, микросхема КР580ВК91А устанавливается для приема неопределенной вторичной команды (сообщение PPE или PPD). Это сообщение принимается также регистром «Пропускаемая команда»; при этом удерживается синхронизация и генерируется прерывание CPT .

4. Микропроцессор считывает сообщение PPE или PPD и записывает соответствующую команду в регистр «Вспомогательный режим» (сначала должен быть очищен бит 7).

После обработки неопределенной вторичной команды микропроцессор посыпает $VSCMD$ и синхронизация разблокируется.

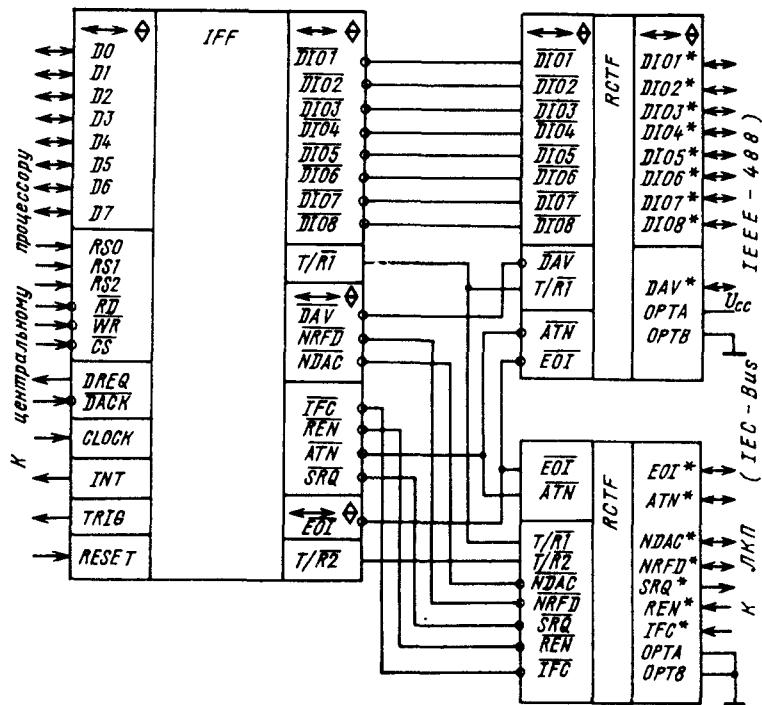
Регистр «Пропускаемая команда» используется для передачи кодов неопределенного 8-битового дистанционного сообщения с ЛКП к микропроцессору. Когда микросхеме разрешено свойство CPT (бит B_0 во вспомогательном регистре B), любое сообщение, не декодированное микросхемой КР580ВК91А, становится неопределенной командой. При использовании «Режима 3» адресации вторичные адреса также пропускаются через регистр CPT . Микросхема КР580ВК91А в любом случае будет удерживать синхронизацию, пока микропроцессор не считает этот регистр и не выдаст вспомогательную команду $VSCMD$.

Наличие в регистре «Пропускаемая команда» неопределенных команд или вторичных адресов сигнализируется прерыванием CPT или APT . Более подробно эти прерывания рассматриваются в подпараграфе «Регистры прерывания».

Дополнительным свойством микросхемы КР580ВК91А является ее способность обрабатывать неопределенные вторичные команды, следующие за неопределенными первичными. Таким образом, число применяемых команд для будущих версий стандарта увеличивается; может быть обработана последовательность из 32 вторичных команд, следующих за одной неопределенной первичной командой. Хотя стандарт и не разрешает разработчику применять собственные команды, возможна модернизация стандарта.

Рекомендуемое применение свойства неопределенной команды — параллельный опрос в структуре с контроллером. Сообщение PPC является неопределенной первичной коман-

Рис. 3.65. Пример реализации интерфейса на микросхемах KP580BK91A, KP580BA93



дой, а обычно следующее за ним сообщение *PPE* — неопределенной вторичной командой. Подробно эта процедура описана в подпараметре «Протокол параллельного опроса».

Регистр «Конец последовательности» (EOS). Свойства регистра *EOS* позволяют применять его вместо вспомогательной команды «Посылка *EOI*». В этот регистр можно

Таблица 3.50

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Входное напряжение низкого уровня, В	U_{IL}	-0,5	0,8	
Входное напряжение высокого уровня, В	U_{IH}	2,0	$U_{CC} + 0,5$	
Выходное напряжение низкого уровня, В	U_{OL}	—	0,45	$I_{OL} = 2 \text{ мА}$ (для вывода $T \cdot \bar{R}1$) $I_{OL} = 4 \text{ мА}$
Выходное напряжение высокого уровня, В	U_{OH}	2,4	—	$I_{OH} = -0,4 \text{ мА}$ (для вывода \bar{SRQ}) $I_{OH} = -0,15 \text{ мА}$
Выходное напряжение высокого уровня для прерывания, В	U_{OH-INT}	2,4 3,5	—	$I_{OH} = -0,4 \text{ мА}$ $I_{OH} = -0,05 \text{ мА}$
Ток утечки на входе, мкА	I_{IL}	—	± 10	U_I от 0 В до U_{CC}
Выходной ток в состоянии «выключено», мкА	I_{OZ}	—	± 10	$U_O = 0,45 \text{ В}$ $U_O = U_{CC}$
Ток потребления, мА	I_{CC}	—	120	

поместить 7- или 8-битовый байт (в коде ASCII или двоичном коде соответственно) для индикации конца блока или чтения. Тип этого байта выбирается битом A_4 во вспомогательном регистре A .

Если микросхема KP580BK91A является приемником и битом A_2 разрешается «END

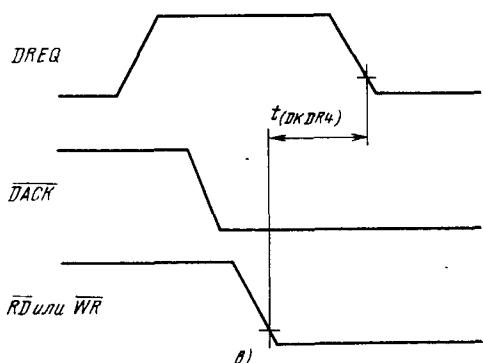
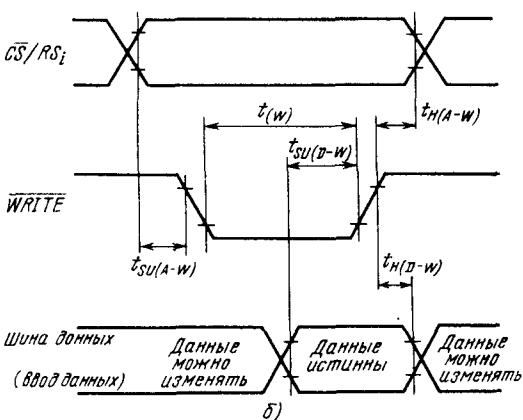
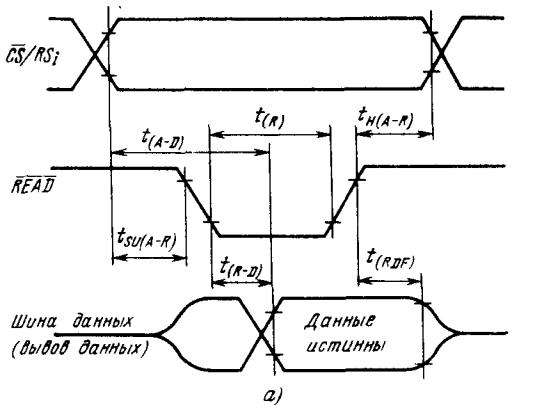


Рис. 3.66. Временные диаграммы работы KP580BK91A в режимах «Цикл чтения» (а), «Цикл записи» (б), «Цикл ПДП» (в)

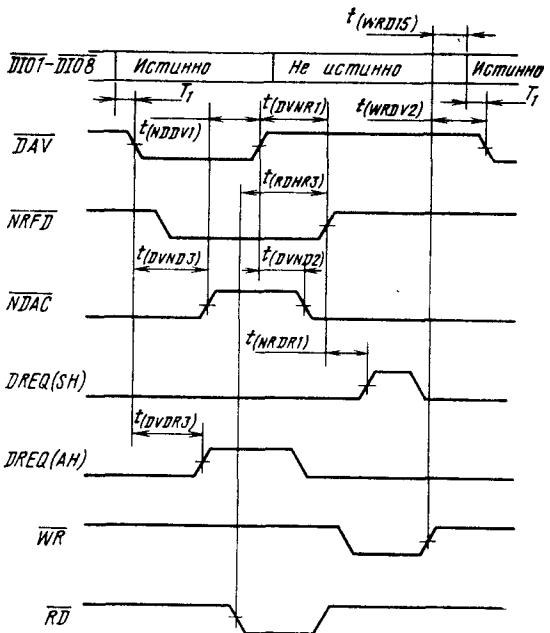


Рис. 3.67. Временная диаграмма процесса синхронизации информационного обмена для микросхемы KP580BK91A

по приему EOS , то всякий раз, когда байт в регистре «Вывод данных» совпадает с байтом в регистре EOS , в регистре «Состояние прерывания 1» будет генерироваться прерывание END .

Если микросхема KP580BK91A — передатчик и битом A_3 разрешается «Вывод EOI » при посылке EOS , то на выводе EOI будет истинное значение при посылке следующего байта данных всякий раз, когда содержимое регистра «Вывод данных» совпадает с содержимым регистра EOS .

Процедура сброса. Микросхема KP580BK91A сбрасывается в состояние инициализации либо импульсом, поданным на вывод $RESET$ микросхемы, либо вспомогательной командой «Сброс микросхемы» (записью в регистр «Вспомогательный режим» кода 00000010). Импульс сброса (или местная команда сброса) вызывает следующие состояния:

местное сообщение rop , определяемое стандартом, удерживается истинным до разблокировки состояния инициализации;

очищаются регистры «Состояние прерывания» (но не регистры «Разрешение прерываний»);

очищаются вспомогательные регистры A и B ;

очищается регистр «Режим последовательного опроса»;

сбрасывается флаг параллельного опроса;

сбрасывается бит *EOI* в регистре «Состояние адресации»;

N_F во внутреннем счетчике устанавливается на 8 МГц. Эта установка вызывает генерирование в SH самой длительной задержки T_1 (16 мкс для частоты синхросигнала 1 МГц);

посыпается местное сообщение *rdy*

Состояние инициализации (разблокируется командой «Немедленное исполнение *роп*» (записью кода 00000000 в регистр «Вспомогательный режим»)).

Предлагаемая последовательность инициализации:

1. Подать импульс сброса или послать вспомогательную команду «Сброс микросхемы».

2. Установить требуемые начальные условия (режимы) путем записи в регистры «Разрешение прерывания», «Режим последовательного опроса», «Режим адресации», «Адрес 0/1», «EOS». Необходимо также инициализировать вспомогательные регистры *A* и *B* и внутренний счетчик.

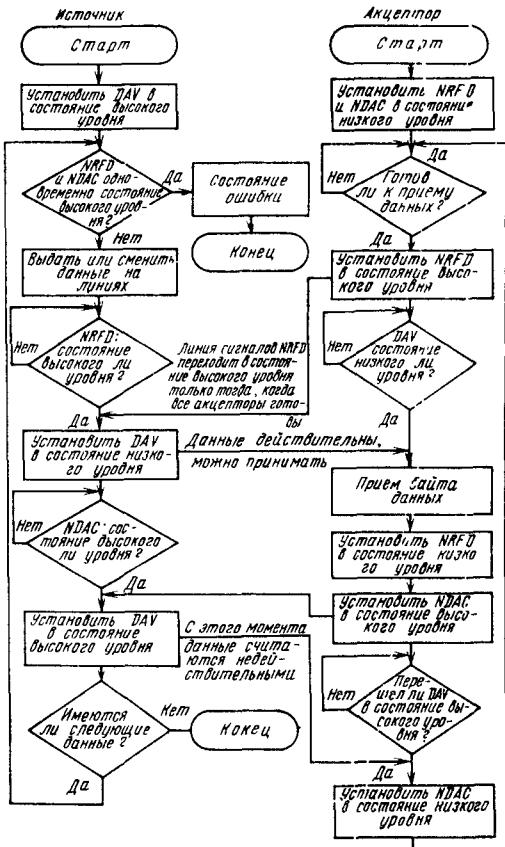


Таблица 3.51

Параметр	Обозначение	Значения параметров [мин. (макс.)]
Время установления сигнала RS_i , относительно сигнала \overline{RD}_i , нс	$t_{SU(A-R)}$	0
Время сохранения сигнала RS_i , после сигнала \overline{RD}_i , нс	$t_H(A-R)$	0
Длительность сигнала \overline{RD}_i , нс	$t_{(R)}$	140
Время от сигнала RS_i , до установления истинных данных, нс	$t_{(A-D)}$	(250)
Время от сигнала \overline{RD}_{HL} до установления истинных данных, нс	$t_{(R--D)}$	(100)
Время от сигнала \overline{RD}_{LN} до снятия данных, нс	$t_{(RIF)}$	0(60)
Время от сигнала \overline{RD}_{HL} (или \overline{WR}_{HL}) до сигнала $DREQ_{HL}$, нс	$t_{(DKDR4)}$	(130)
Время от сигнала RD_{HL} до установления истинных данных на выводах $D0-D7$, нс	$t_{(DKD46)}$	(200)*
Время установления сигнала RS_i , относительно сигнала \overline{WR}_i , нс	$t_{SU(A-W)}$	0
Время сохранения сигнала RS_i , относительно сигнала \overline{WR}_i , нс	$t_H(A-W)$	0
Длительность сигнала \overline{WR}_i , нс	$t_{(W)}$	170
Время установления данных относительно сигнала \overline{WR}_i , нс	$t_{SU(D-W)}$	130
Время сохранения данных относительно сигнала \overline{WR}_i , нс	$t_H(D-W)$	0

* Время от сигнала $DACK_{HL}$ до сигнала RD_{HL} не более 50 нс.

3. Послать вспомогательную команду «Немедленное выполнение *rop*» для разблокировки состояния инициализации.

4. Если используется PP2 режима параллельного опроса, то может посылаться местное сообщение *Ipe*, разрешая микросхеме КР580ВК91А реакцию параллельного опроса на присвоенной линии (см. «Протокол параллельного опроса»).

Использование ПДП. Для работы с ПДП микросхема КР580ВК91А может объединять-

Таблица 3.52

Параметр	Обозначение	Максимальные значения параметров	Режим измерения
Время от сигнала \overline{EOI}_{HL} до $T/R1_{HL}$, нс	$t_{(EOT13)}$	135	PPSS, ATN = 0,45 В
Время от сигнала \overline{EOI}_{HL} до установления истинных данных на \overline{DIO} , нс	$t_{(EOD16)}$	155	PPSS, ATN = 0,45 В
Время от сигнала \overline{EOI}_{HL} до $T/R1_{HL}$, нс	$t_{(EOT12)}$	155	PPSS, ATN = 0,45 В
Время от сигнала \overline{ATN}_{HL} до \overline{NDAC}_{HL} , ис	$t_{(ATND4)}$	155	TACS, AIDS
Время от сигнала \overline{ATN}_{HL} до $T/R1_{HL}$, ис	$t_{(ATT14)}$	155	TACS, AIDS
Время от сигнала \overline{ATN}_{HL} до $T/R2_{HL}$, ис	$t_{(ATT24)}$	155	TACS, AIDS
Время от сигнала \overline{DAV}_{HL} до \overline{NDAC}_{HL} , ис	$t_{(DVND3C)}$	650	AH, CACS
Время от сигнала \overline{NDAC}_{HL} до \overline{DAV}_{HL} , ис	$t_{(NDVI)}$	350	SH, STRS
Время от сигнала \overline{NRFD}_{HL} до $DREQ_{HL}$, ис	$t_{(NRDR1)}$	400	SH
Время от сигнала \overline{DAV}_{HL} до $DREQ_{HL}$, ис	$t_{(DVDR3)}$	600	AH, LACS, ATN = 2,4 В
Время от сигнала \overline{DAV}_{HL} до \overline{NDAC}_{HL} , ис	$t_{(DVND2C)}$	350	AH, LACS
Время от сигнала \overline{DAV}_{HL} до \overline{NRFD}_{HL} , ис	$t_{(DVNRIC)}$	350	AH, LACS, rd़y—истинно
Время от сигнала \overline{RD}_{HL} до \overline{NRFD}_{HL} , ис	$t_{(RDNR3)}$	500	AH, LACS
Время от сигнала \overline{WR}_{HL} до установления истинных данных на выводах \overline{DIO} , ис	$t_{(WRD15)}$	280	SH, TACS, RS = 0,4 В
Время от сигнала \overline{WR}_{HL} до установления истинного \overline{EOI} , ис	$t_{(WREO5)}$	350	SH, TACS
Время от сигнала \overline{WR}_{HL} до \overline{DAV}_{HL} , ис	$t_{(WRDV2)}$	830 + t_{SYNC}	Разрешена высокоскоростная передача данных $N_F = f_{CLC}$, $t_{SYNC} = 1/2 \times f_{CLC}$

Примечания. 1. f_W — код частоты в регистре SW ; f_{CLC} — частота синхросигнала на входе CLOCK; $1 \text{ МГц} \leq f_{CLC} \leq 8 \text{ МГц}$.

2. Временные параметры измеряются непосредственно на выводах микросхемы, суммарная емкость нагрузки не более 150 пФ.

3. Контроль временных параметров ведется по напряжению высокого уровня 2,0 В и напряжению низкого уровня 0,8 В.

ся с контроллерами ПДП KP580BT57. Вывод $DREQ$ микросхемы KP580BK91A запрашивает у KP580BT57 передачу байта в цикле ПДП. Этот вывод устанавливается триггерами BO или BI , разрешаемыми битами $DMA0$ и $DMA1$ регистра «Разрешение прерывания 2»

(биты BO и BI после считывания регистра «Состояние прерывания 1» будут очищаться, но для $DREQ$ они сохраняются).

Вывод $DACK$ включается микросхемой контроллера ПДП по запросу ПДП. Когда

DACK истинно (низкий уровень), то устанавливается CS=RS0=RS1=RS2=0, чтобы сигналы RD и WR, посылаемые от контроллера ПДП к микросхеме KP580BK91A, относились к регистрам «Ввод данных» и «Выход данных».

Сигнал DREQ сбрасывается при DACK\ (RD \vee WR)

Последовательность ПДП при вводе данных.

1. Микросхемой KP580BK91A принимается байт данных с ЛКП.

2. Генерируется прерывание BI и устанавливается DREQ.

3. Контроллером ПДП подается DACK и RD, содержимое регистра «Ввод данных» передается на шину данных микропроцессора, и DREQ сбрасывается.

4. Микросхема KP580BK91A посылает на ЛКП истинное значение RFD и продолжает протокол AH.

Последовательность ПДП при выводе данных:

1. Генерируется прерывание BO, указывая, что можно выводить байт, и подается DREQ.

2. Контроллером ПДП подается DACK и WR, байт с шины данных микропроцессора подается в регистр «Выход данных» микросхемы, и DREQ сбрасывается.

3. Микросхема KP580BK91 посылает на ЛКП истинное значение DAV и продолжает протокол SH.

Следует отметить, что устройство в каждый момент времени адресовано (MTA \vee MLAV \vee ton \vee lon), поэтому необходимо считать регистр состояния адресации и инициализировать контроллер ПДП в соответствии с адресацией.

Микросхема KP580BK91A совместима с большинством типов 8- и 16-разрядных микропроцессоров и микро-ЭВМ. Три адресных вывода микросхемы (RS0, RS1, RS2) нужно подключить к немультиплексированным адресным шинам микропроцессора, например A8, A9, A10. Для KP580BM80A могут быть использованы любые линии адреса.

Если используются младшие разряды адреса (A0, A1, A2), то они должны быть сначала демультиплексированы.

Непосредственное сопряжение KP580BK91A с ЛКП осуществляется микросхемами KP580BA93. Микросхема KP580BK91A и две микросхемы KP580BA93 могут образовать конфигурацию приемник/передатчик (рис. 3.65), а с микросхемой-контроллером — приемник/передатчик/контроллер.

Для получения полной электрической схемы в соответствии со стандартом СТ СЭВ 2740—80 не нужны дополнительные активные или пассивные компоненты.

Статические параметры микросхемы приведены в табл. 3.50, динамические — в табл. 3.51, реализуемые микросхемой временные параметры ЛКП — в табл. 3.52, а соот-

Таблица 3.53

Обозначение времени	Обозначение функции	Описание действия	Значение времени
T_1	<u>SH</u>	Время установления для многоканальных сообщений	$\geq 2 \text{ мкс}^*$
t_2	<u>LC</u> , <u>IC</u> , <u>SH</u> , <u>AH</u> , <u>T</u> , <u>L</u>	Реакция на <u>ATN</u>	$\leq 200 \text{ нс}$
T_3	<u>AH</u>	Время приема интерфейсного сообщения**	> 0
t_4	<u>T</u> , <u>TE</u> , <u>L</u> , <u>LE</u> , <u>C</u> , <u>CE</u>	Реакция на <u>IFC</u> или ложное <u>REN</u>	$\leq 100 \text{ мкс}$
t_5	<u>PP</u>	Реакция на <u>ATN</u> \vee <u>EOI</u>	$\leq 200 \text{ нс}$
T_6	<u>C</u>	Время выполнения параллельного опроса	$\geq 2 \text{ мкс}$
T_7	<u>C</u>	Задержка контроллера, чтобы позволить действующему источнику воспринимать сообщение <u>ATN</u>	$\geq 500 \text{ нс}$
T_8	<u>C</u>	Длительность <u>IFC</u> или ложного <u>REN</u>	$> 100 \text{ мкс}$
T_9	<u>C</u>	Задержка для <u>EOI</u> ***	$> 1,5 \text{ мкс}$

П р и м е ч а н и я. 1. Символом T_n обозначают минимальное время, в течение которого функция должна находиться в заданном состоянии перед переходом в другое состояние.

2. Символом t_n обозначено максимальное время, необходимое для осуществления перехода из одного состояния функции интерфейса в другое.

* Если на линиях DIO, DAV и EOI используются драйверы с тремя состояниями, то T , может быть:

а) равным или более 1100 нс;

б) равным или более 700 нс, если известно, что в контроллере ATN запускается драйвером с тремя состояниями;

в) равным или более 500 нс для всех байтов, которые следуют за первым байтом, посыпаемым после каждого ложного перехода ATN (первый байт должен посыпаться в соответствии с пп. а) и б));

г) равным или более 350 нс для всех байтов, которые следуют за первым байтом, посыпаемым после каждого ложного перехода ATN, если требуется достичь большей скорости.

** Время, необходимое для функций интерфейса, чтобы принять, но не обязательно реагировать на интерфейсное сообщение; зависят от схемного исполнения.

*** Задержка, необходимая для синхронных линий EOI, NDAC и NRFD, чтобы они приняли их действительное состояние; равна или более 600 нс для возбудителей (драйверов) с тремя состояниями.

ветвствующие им временные диаграммы — на рис. 3.66.

На рис. 3.67 и 3.68 показаны временная диаграмма процесса синхронизации информационного обмена и алгоритм процесса синхронизации соответственно.

Значения времени функций интерфейса приведены в табл. 3.53.

ПРИЛОЖЕНИЕ

Модифицированные диаграммы состояний

На рисунках П1—П9 приведены диаграммы состояний интерфейсных функций. Они соответствуют диаграммам состояний стандарта со следующими изменениями:

1. Микросхема KP580BK91A реализует все функции интерфейса, исключая функцию контроллера. Сюда входят: *SH1, A1, T5, TE5, L3, LE3, SRI, RLI, PPI, DCI, DT1 и CO*.

2. Режимы адресации включены в диаграммы состояний функций *T* и *L*. Необходимо отметить, что в «Режиме 3» *MSA* и *OSA*

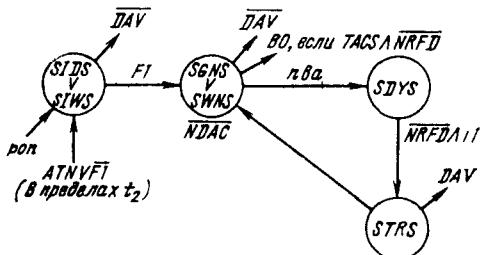


Рис. П.1. Диаграмма состояний функции «Синхронизация источника» (*SH*):
 $F1 = TACS \vee SPAS$

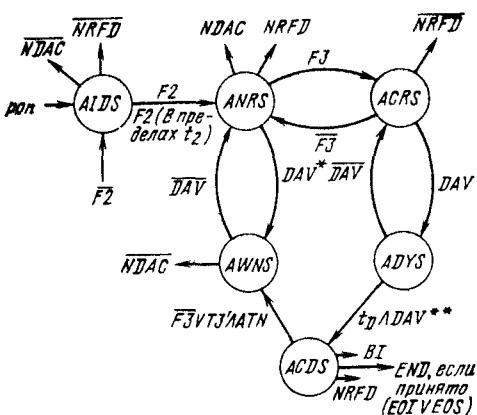


Рис. П.2. Диаграмма состояний функции «Синхронизация акцептора» (*AH*):
 $F2 = ATN \vee LACS \vee LADS;$
 $F3 = ATN \vee rdy;$
 $T3' = T3 \wedge \overline{CPT} \wedge \overline{APT}$.

* Переход не происходит при нормальной работе интерфейса, однако он может быть применен для упрощения реализации функции.

** Задержка t_D длительностью около 300 нс введена для устранения ложных срабатываний по *DAV*.

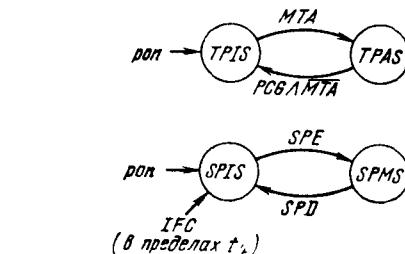
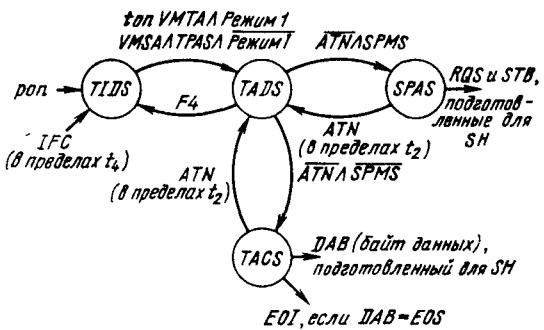


Рис. П.3. Диаграмма состояний функции «Расширенный передатчик» (*TE*):
 $F4 = OTA \vee (OSA \wedge TPAS) \vee MSA \wedge$

$\wedge LPAS) \wedge \text{Режим 1} \vee MLA \wedge \text{Режим 1}$

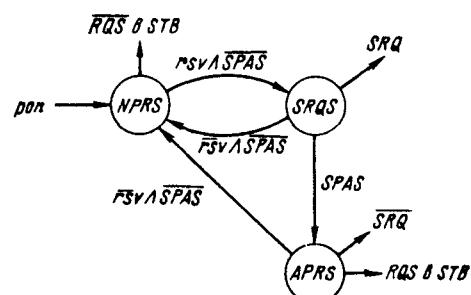


Рис. П.4. Диаграмма состояний функции «Запрос на обслуживание» (*SRQ*)

генерируются только после проверки микропроцессором достоверности вторичного адреса (прерывание *APT*). В этих модифицированных диаграммах состояния показаны в отрицательной логике (истинным является сигнал низкого уровня). Следовательно, сигнал *DAV* будет истинным, когда на выводе 36 микросхемы KP580BK91A будет напряжение низкого уровня.

3. Декодирование всех многоканальных дистанционных сообщений происходит в *ACDS*. Для упрощения диаграмм состояний мультиплексирование в *ACDS* не показано.

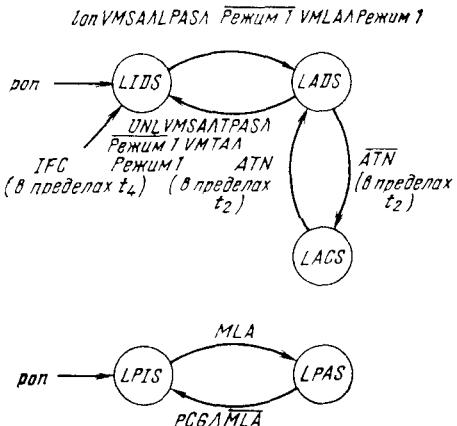


Рис. П.5. Диаграмма состояний функции «Расширенный приемник» (LE)

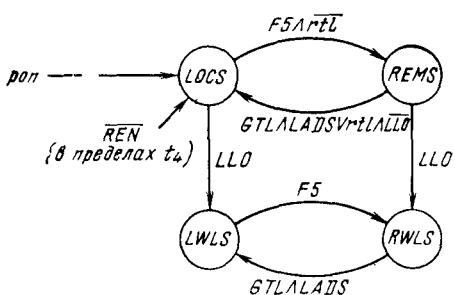


Рис. П.6. Диаграмма состояний функции «Дистанционное/местное» (RL):
 $F5 = (MLA \wedge \text{Режим 1}) \vee LPAS \wedge MSA \wedge \text{Режим 1}$

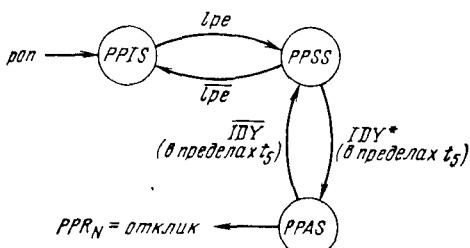


Рис. П.7. Диаграмма состояний функции «Параллельный опрос» (PP2):
 $IDY^* = ATN \wedge EOI$

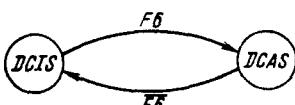


Рис. П.8. Диаграмма состояний функции «Очистить устройство» (DC):
 $F6 = DCL \vee SDC \wedge LADS$



Рис. П.9. Диаграмма состояний функций «Запуск устройства» (DT)

4. Символ $X \rightarrow S$ указывает:
если возникает событие X , то функция переходит в состояние S ;

\bar{X} отвергает любое другое условие перехода к данной функции. Это упрощает диаграмму и тем самым устраняет использование \bar{X} для всех переходов из S в другие состояния.

3.11. Микросхема KP580ГФ24

Микросхема KP580ГФ24 — генератор тактовых сигналов фаз $C1$, $C2$, предназначенный для синхронизации работы микропроцессора KP580ВМ80А.

Генератор формирует:

две фазы $C1$, $C2$ с положительными импульсами, сдвинутыми во времени, амплитудой 12 В и частотой 0,5–3,0 МГц;

тактовые сигналы опорной частоты амплитудой напряжения уровня ТТЛ;

стробирующий сигнал состояния STB длительностью не менее $(T_{\text{оп}}/9 - 15 \text{ нс})$, где $T_{\text{оп}}$ — период тактовых сигналов опорной частоты;

тактовые сигналы C , синхронные с фазой $C2$, амплитудой напряжения уровня ТТЛ.

Генератор синхронизирует сигналы $RDYIN$ и $RESIN$ с фазой $C2$.

Условное графическое обозначение микросхемы приведено на рис. 3.69, назначение выводов дано в табл. 3.54, структурная схема показана на рис. 3.70.

Генератор тактовых сигналов состоит из генератора опорной частоты, счетчика-делителя на 9, формирователя фаз $C1$, $C2$ и логических схем. Для стабилизации тактовых сигналов опорной частоты ко входам $XTAL1$, $XTAL2$ генератора подключают резонатор, частота которого должна быть в 9 раз больше частоты выходных сигналов $C1$, $C2$. При частоте резонатора более 10 000 кГц необходимо последовательно в цепи резонатора подсоединить конденсатор емкостью 3–10 нФ.

Вход $TANK$ предназначен для подключения колебательного контура, работающего на высших гармониках резонатора, для стабилизации тактовых сигналов опорной частоты.

Тактовые сигналы, синхронные с сигналами опорной частоты, с выхода OSC используют при необходимости в микропроцессорной системе или для одновременной синхронизации нескольких генераторов.

Таблица 3.54

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
2	<u>RESIN</u>	GN	4
3	<u>RDYIN</u>		1 SR
5	<u>SYN</u>		2 <u>RDYIN</u>
13	<u>TANK</u>		3 <u>C1</u>
14	<u>XTAL1</u>		4 <u>C2</u>
15	<u>XTAL2</u>		5 <u>SYN</u>
16	<u>U_{CC1}</u>		6 <u>C</u>
9	<u>U_{CC2}</u>		7 <u>STB</u>
8	<u>GND</u>		8 <u>GND</u>
			9 <u>U_{CC2}</u>
			10 <u>C2</u>
			11 <u>C1</u>
			12 <u>OSC</u>
			13 <u>TANK</u>
			14, 15 <u>XTAL1</u> , <u>XTAL2</u>
			16 <u>U_{CC1}</u>

Рис. 3.69. Условное графическое обозначение КР580ГФ24

Стробирующий сигнал состояния STB формируется при наличии на входе SYN напряжения высокого уровня, поступающего с выхода микропроцессора КР580ВМ80А в начале каждого машинного цикла. Сигнал STB используют для занесения информации состояния микропроцессора в микросхему КР580ВК28 или КР580ВК38 для формирования управляющих сигналов.

Для согласования работы микропроцессора КР580ВМ80А с другими устройствами сигнал RDYIN синхронизируется по фазе C2 на выходе RDY генератора.

Выходной сигнал SR используют для установки в исходное состояние микропроцессора и других микросхем в системе.

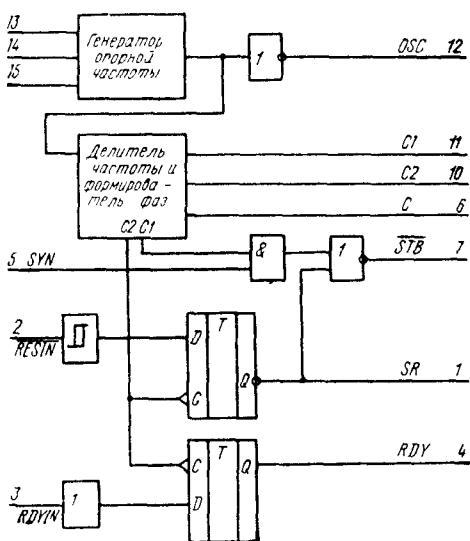


Рис. 3.70 Структурная схема КР580ГФ24

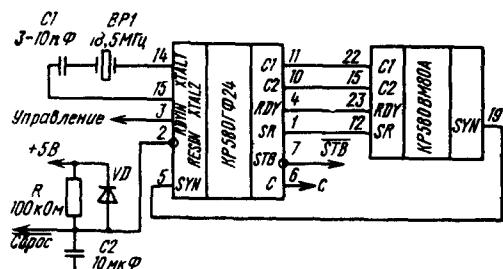


Рис. 3.71. Схема подключения КР580ГФ24 к микропроцессору КР580ВМ80А

Схема подключения микросхемы КР580ГФ24 к микропроцессору КР580ВМ80А показана на рис. 3.71. Для автоматической установки микропроцессора КР580ВМ80А в исходное состояние при подаче напряжений питания ко входу RESIN микросхемы КР580ГФ24 подключают цепь, состоящую из элементов R, VD, C2.

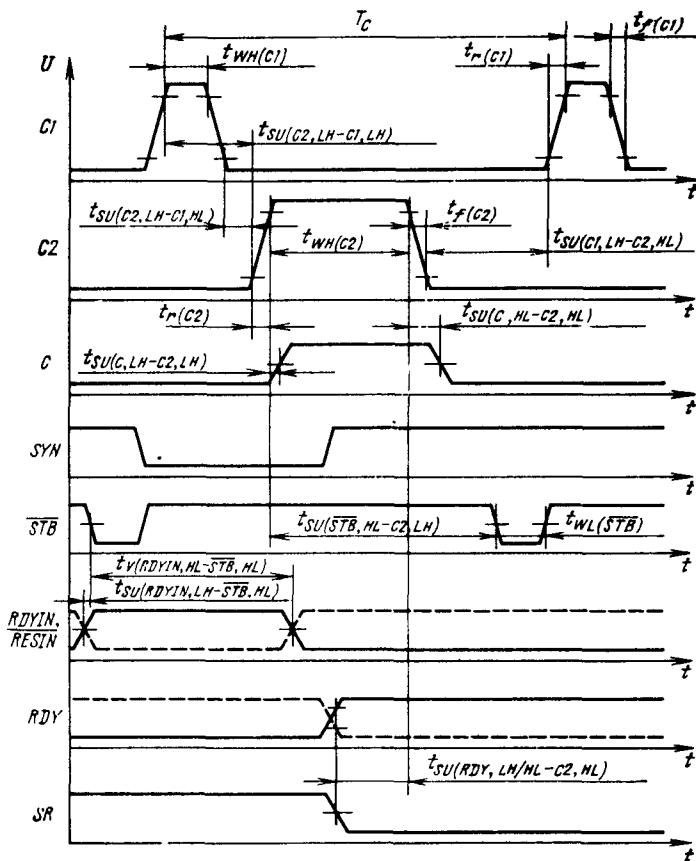
Временные соотношения сигналов микросхемы КР580ГФ24 показаны на рис. 3.72.

Таблица 3.55

Параметр	Обозначение	Значения параметров	
		мнн.	макс.
Входное напряжение высокого уровня сигнала \overline{RESIN} , В	U_{IH}	2,6	—
Выходное напряжение высокого уровня, В:	U_{OH}	—	—
для выходов $C1, C2$		9,4	—
для выходов RDY, SR		3,6	—
Выходной ток высокого уровня, мА:	I_{OH}	—	—
для выходов $C1, C2, SR, RDY$		—	-0,1
для остальных выходов		—	-1
Выходной ток низкого уровня, мА:	I_{OL}	—	2,5
для выходов $C1, C2, RDY, SR, STB$		—	15
для остальных выходов		—	115
Ток потребления, мА	I_{CC1}	—	12
	I_{CC2}	—	8
	C_I	—	27
	f_{ON}	—	—
Входная емкость, пФ		—	—
Максимальное значение опорной частоты, МГц		—	—
Длительность положительного импульса фазы $C1$, нс	$t_{WH(C1)}$	$\frac{2T}{9} - 20$ нс	—
Длительность положительного импульса фазы $C2$, нс	$t_{WH(C2)}$	$\frac{5T}{9} - 35$ нс	—
Период следования фаз $C1, C2$, мкс	T_C	$\frac{9}{f_{ON}}$	—
Время установления фазы $C2$ относительно спада фазы $C1$, нс	$t_{SU(C2, LH-C1, HL)}$	0	—
Время установления фазы $C2$ относительно нарастания фазы $C1$, нс	$t_{SU(C2, LH-C1, LH)}$	$\frac{2T}{9}$	$\frac{2T}{9} + 20$ нс
Время установления фазы $C1$ относительно фазы $C2$, нс	$t_{SU(C1, LH-C2, HL)}$	$\frac{2T}{9} - 14$ нс	—
Время нарастания и время спада импульса фаз $C1, C2$, нс	$t_{r(C1, C2)}, t_{f(C1, C2)}$	—	20
Время установления сигнала C относительно фазы $C2$, нс	$t_{SU(C, LH/HL-C2, LH/HL)}$	-5	15
Длительность импульса \overline{STB} , нс	$t_{WL(\overline{STB})}$	$\frac{T}{9} - 15$ нс	—
Время установления сигнала \overline{STB} относительно фазы $C2$, нс	$t_{SU(\overline{STB}, HL-C2, LH)}$	$\frac{6T}{9} - 30$ нс	$\frac{6T}{9}$
Время установления сигнала $RDYIN$ относительно сигнала \overline{STB} , нс	$t_{SU(RDYIN, LH-\overline{STB}, HL)}$	50 нс — $\frac{4T}{9}$	—
Время сохранения сигнала $RDYIN$ относительно сигнала \overline{STB} , нс	$t_{V(RDYIN, HL-\overline{STB}, HL)}$	$\frac{4T}{9}$	—
Время установления сигналов RDY и SR относительно фазы $C2$, нс	$t_{SU(RDY, LH-C2, HL)}$	$\frac{4T}{9} - 25$ нс	—

Примечание. Пояснения к буквенным обозначениям временных параметров приведены в примечаниях к табл. 3.8.

Рис. 3.72. Временная диаграмма работы KP580ГФ24



Основные параметры микросхемы в диапазоне рабочих температур от -10 до 70°C при напряжениях питания $U_{CC1}=+5 \text{ В} \pm 5\%$, $U_{CC2}=+12 \text{ В} \pm 5\%$ приведены в табл. 3.55.

3.12. Микросхемы KP580BK28 и KP580BK38

Микросхемы KP580BK28, KP580BK38 — системный контроллер и буферный регистр данных, применяются в микропроцессорных системах на базе микропроцессора KP580BM80A для формирования управляющих сигналов и как буферный регистр данных.

Условное графическое обозначение микросхем приведено на рис. 3.73, назначение выводов — в табл. 3.56, структурная схема показана на рис. 3.74, временные диаграммы — на рис. 3.75.

Микросхемы KP580BK38 и KP580BK28 отличаются лишь длительностью двух формируемых управляющих сигналов: \overline{WR} и \overline{WRIO} .

Системный контроллер формирует управляющие сигналы по сигналам состояния мик-

ропроцессора при обращении к ЗУ: \overline{RD} и \overline{WR} при обращении к УВБ: $RD\ IO$ и $WR\ IO$, $INTA$, а также обеспечивает прием и передачу 8-разрядной информации между каналом данных микропроцессора по выводам $D7-D0$ и системным каналом по выводам $DB7-DB0$.

Системный контроллер состоит из двунаправленной буферной схемы данных, регистра состояния и дешифратора управляющих сигналов.

Восьмиразрядная параллельная трехстадийная буферная схема данных принимает информацию с канала данных микропроцессора по выводам $D7-D0$ и передает в регистр состояния информацию состояния, на системный канал данных по выводам $DB7-DB0$ выдает данные в цикле записи по сигналу \overline{TR} . В цикле чтения по сигналу RC буферная схема принимает данные с системного канала по выводам $DB7$ и $DB0$ и передает по выводам $D7-D0$ на канал данных микропроцессору.

Регистр состояния по входному сигналу STB фиксирует информацию состояния мик-

Таблица 3.56

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<u>STB</u>	Вход	Стробирующий сигнал состояния
2	<u>HLDA</u>	Вход	Подтверждение захвата
3	<u>TR</u>	Вход	Выдача информации
4	<u>RC</u>	Вход	Прием информации
5, 7, 9, 11, 13, 16, 18, 20	<u>DB4, DB7,</u> <u>DB3, DB2,</u> <u>DB0, DB1,</u> <u>DB5, DB6</u>	Выход/ вход	Канал данных системы
6, 8, 10, 12, 15, 17, 19, 21	<u>D4, D7, D9,</u> <u>D2, D0, D1,</u> <u>D5, D6</u>	Вход / выход	Канал данных микропроцессора
14	<u>OND</u>	—	Общий
22	<u>BUSEN</u>	Вход	Управление передачей данных и выдачей сигналов
23	<u>INTA</u>	Выход	Подтверждение запроса прерывания
24	<u>RD</u>	Выход	Чтение из ЗУ
25	<u>RD IO</u>	Выход	Чтение из УВВ
26	<u>WR</u>	Выход	Запись в ЗУ
27	<u>WR IO</u>	Выход	Запись в УВВ
28	<u>U_{CC}</u>	Вход	Напряжение питания +5В

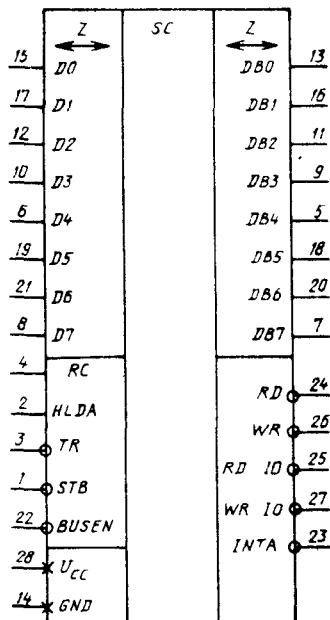


Рис. 3.73. Условное графическое обозначение KP580BK28, KP580BK38

ропроцессора в такте T_1 каждого машинного цикла микропроцессора.

Дешифратор управляющих сигналов формирует один из управляющих сигналов в каждом машинном цикле: при чтении ЗУ — RD , при записи в ЗУ — WR , при чтении из УВВ — $RD\ IO$, при записи в УВВ — $WR\ IO$, при подтверждении запроса прерывания — сигнал $INTA$.

Асинхронный сигнал $BUSEN$ управляет выдачей данных с буферной схемы и управляющими сигналами с дешифратора: при напряжении низкого уровня на входе $BUSEN$ буферная схема передает данные и формируется один из управляющих сигналов; при напряжении высокого уровня все выходы микросхемы переводятся в высокоомное состояние.

Напряжение высокого уровня на входе $HLDA$ переводит выходы RD , $RD\ IO$, $INTA$ в пассивное состояние (напряжение высокого уровня) и блокирует передачу информации через буферную схему данных.

Управляющие сигналы WR и $WR\ IO$ формируются в цикле записи в микросхеме KP580BK28 по сигналу TR , в микросхеме KP580BK38 — по сигналу STB .

При работе с микропроцессором KP580BM80A системный контроллер в цикле подтверждения запроса прерывания формирует

три сигнала $INTA$ для приема трех байтов команды $CALL$ от контроллера прерывания KP580BH59.

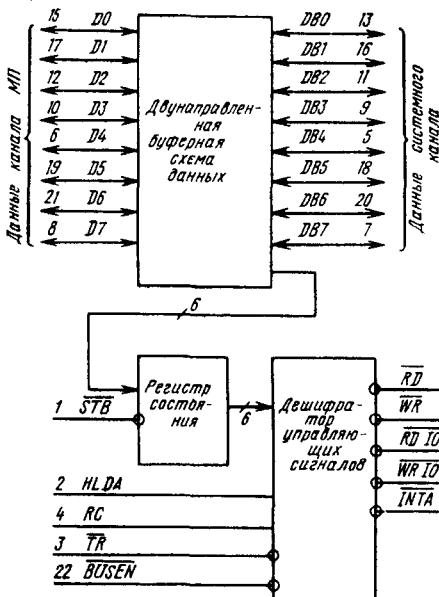


Рис. 3.74. Структурная схема KP580BK28, KP580BK38

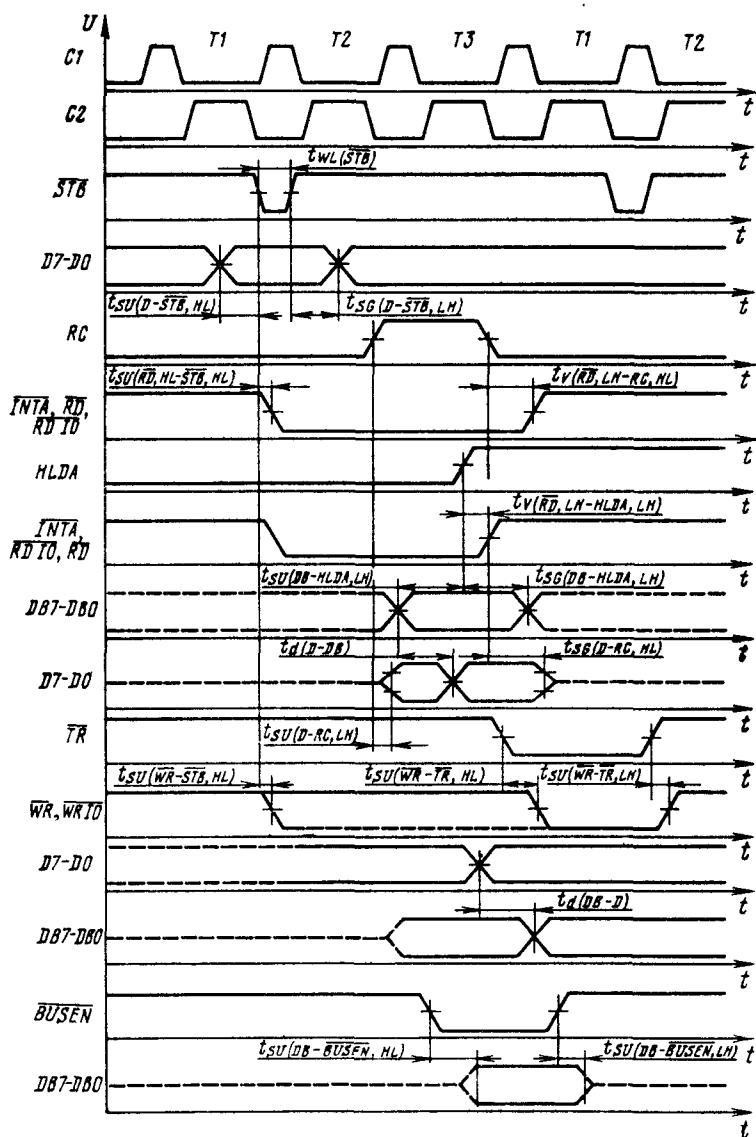
Таблица 3.57

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходной ток высокого уровня: для выходов D7—D0, мА для остальных выходов, мА	I_{IH}	—	—10 — —1
Выходное напряжение высокого уровня на выходах D7—D0, В	U_{OH}	3,6	—
Выходной ток низкого уровня, мА: для выходов D7—D0 для выхода INTA для остальных выходов	I_{OL}	— — —	2 5 10
Ток потребления, мА	I_{CC}	140	190
Входная емкость, пФ	C_I	—	12
Выходная емкость управляющих выходов DB7—DB0, пФ	C_O	—	100
Длительность сигнала STB, нс	$t_{WI(STB)}$	22	—
Время установления сигналов RD, RD IO, INTA относительно сигнала STB, нс	$t_{SU(RD, HI-STB, HL)}$	20	60
Время сохранения сигналов RD, RD IO, INTA относительно сигнала RC, нс	$t_{V(RD, LH-RC, HL)}$	—	30
Время установления входной информации относительно сигнала STB, нс	$t_{SU(D-STB, HL)}$	8	—
Время сохранения входной информации относительно сигнала STB, нс	$t_{SG(D-STB, LH)}$	5	—
Время сохранения сигналов RD, RD IO, INTA относительно сигнала HLDA, нс	$t_{V(RD, LH-HLDA, HI)}$	—	25
Время установления информации на выходах D7—D0 относительно сигнала RC в цикле чтения, нс	$t_{SU(D-RC, IH)}$	—	45
Время задержки информации на выходах D7—D0 относительно входной на выводах DB7—DB0 в цикле чтения, нс	$t_{d(D-DB)}$	—	30
Время сохранения информации на выводах DB7—DB0 относительно сигнала HLDA, нс	$t_{SG(DB-HLDA, LH)}$	20	—
Время сохранения информации на выводах D7—D0 относительно сигнала RC в цикле чтения, нс	$t_{SG(D-RC, HL)}$	—	45
Время установления и сохранения сигналов WR или WR IO относительно сигнала TR, нс	$t_{SU(WR-TR, HL/LH)}$	5	45
Время установления сигналов WR или WR IO относительно сигнала STB, нс	$t_{SU(WR-STB, HL)}*$	20	60
Время задержки информации на выводах DB7—DB0 относительно информации на входах D7—D0 в цикле записи, нс	$t_{d(DB-D)}$	5	40
Время установления информации на выводах DB7—DB0 относительно сигнала BUSEN, нс	$t_{SU(DB-BUSEN, HL/LH)}$	—	30
Время установления информации на выводах DB7—DB0 относительно сигнала HLDA в цикле чтения, нс	$t_{SU(DB-HLDA, LH)}$	10	—

Примечание Пояснения к буквенным обозначениям временных параметров приведены в примечаниях к табл. 3.8

* Только для микросхемы КР580ВК38

Рис. 3.75. Временные диаграммы работы KP580BK28, KP580BK38



В небольших микропроцессорных системах выход *INTA* микросхем KP580BK28/ KP580BK38 можно подсоединить к напряжению +12 В через резистор сопротивлением 1 кОм. Во время действия сигнала *RC* буферная схема данных микросхемы формирует код команды *RST7* и передает на канал данных микропроцессора. Таким образом, микросхема обеспечивает единственный вектор прерывания с номером 7 без дополнительных компонентов.

Основные параметры микросхемы в диапазоне рабочих температур от -10 до +70 °C при напряжении питания 5 В ± 5% приведены в табл. 3.57.

3.13. Микросхемы KP580ИР82 и KP580ИР83

Микросхемы KP580ИР82 и KP580ИР83 — 8-разрядные адресные регистры, предназначены для связи микропроцессора с системной шиной; обладают повышенной нагрузочной способностью. Микросхема KP580ИР82 — 8-разрядный *D*-регистр-«защелка» без инверсии и с тремя состояниями на выходе, KP580ИР83 — 8-разрядный *D*-регистр-«защелка» с инверсией и тремя состояниями на выходе.

Условное графическое обозначение микросхем приведено на рис. 3.76, назначение вы-

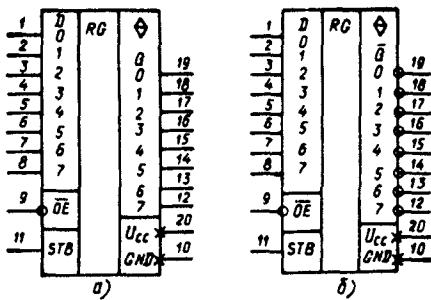


Рис. 3.76. Условное графическое обозначение КР580ИР82 (а) и КР580ИР83 (б)

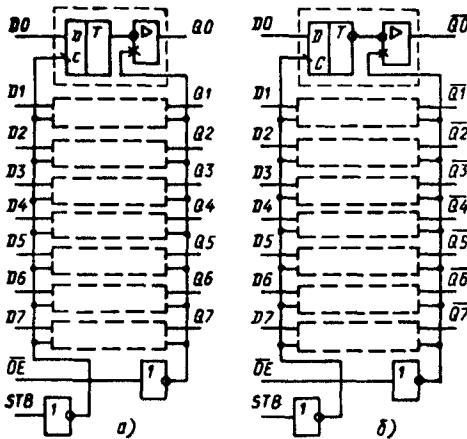


Рис. 3.77. Функциональная схема КР580ИР82 (а) и КР580ИР83 (б)

Таблица 3.58

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—8	D0—D7	Вход	Информационная шина
9	OE	Вход	Разрешение передачи (управление 3-м состоянием)
10 11	GND STB	—	Общий
12—19	Q7—Q0 (Q7—Q0) для КР580ИР83)	Выход	Стробирующий сигнал
20	Ucc	—	Информационная шина
			Напряжение питания +5 В ± 5 %

водов — в табл. 3.58, функциональная схема показана на рис. 3.77.

Каждая микросхема состоит из восьми одинаковых функциональных блоков и схемы управления. Блок содержит D-триггер «защелку» и мощный выходной вентиль без инверсии или с инверсией. При помощи схемы управления производится стробирование записываемой информации и управление третьим состоянием мощных выходных вентилей.

В зависимости от состояния стробирующего сигнала STB микросхемы могут работать в двух режимах: в режиме шинного формирования и в режиме хранения.

Работу микросхем поясняет временная диаграмма (рис. 3.78). При высоком уровне сиг-

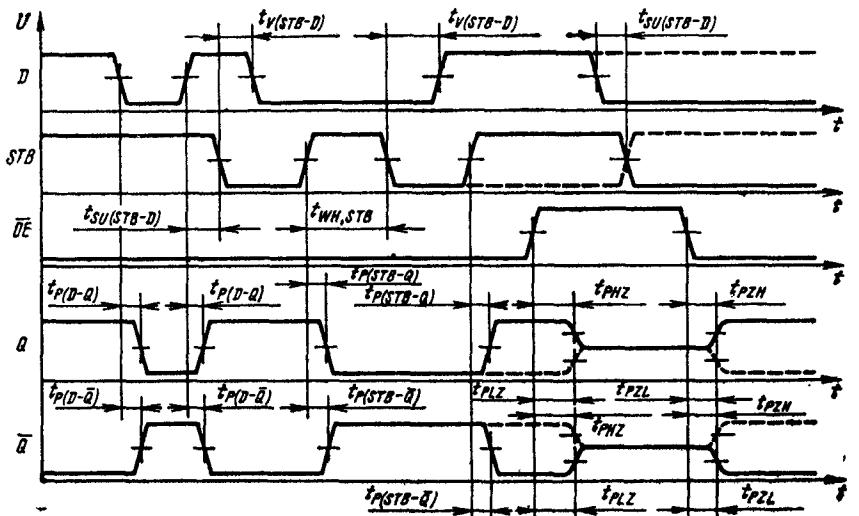


Рис. 3.78. Временная диаграмма работы КР580ИР82, КР580ИР83

Таблица 3.59

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Выходное напряжение низкого уровня, В	U_{OL}	—	0,45	$U_{CC} = 4,75$ В, $U_{IL} = 0,8$ В, $U_{IH} = 2,0$ В, $I_{OL} = 32$ мА
Выходное напряжение высокого уровня, В	U_{OH}	2,4	—	$U_{CC} = 4,75$ В, $U_{IL} = 0,8$ В, $U_{IH} = 2,0$ В, $I_{OH} = -5$ мА
Входной ток низкого уровня, мА	I_{IL}	—	-0,2	$U_{CC} = 5,25$ В, $U_{IL} = 0,45$ В,
Входной ток высокого уровня, мкА	I_{IH}	—	50	$U_{CC} = 5,25$ В, $U_{IH} = 5,25$ В,
Выходной ток в состоянии «выключено», мкА	I_{OZ}	—	±50	$U_{CC} = 5,25$ В, $U_O = 0,45-5,25$ В
Ток потребления, мА	I_{CC}	—	160	$U_{CC} = 5,25$ В
Время задержки распространения сигналов Q , \bar{Q} относительно сигнала D , нс:				
для КР580ИР82	$t_{P(D-Q)}$	—	30	$U_{CC} = 5,0$ В,
для КР580ИР83	$t_{P(D-\bar{Q})}$	—	22	$C_L = 300$ пФ
Время задержки распространения сигналов Q , \bar{Q} относительно сигнала STB , нс:				
для КР580ИР82	$t_{P(STB-Q)}$	—	45	$U_{CC} = 5,0$ В,
для КР580ИР83	$t_{P(STB-\bar{Q})}$	—	40	$C_L = 300$ пФ,
Время задержки распространения сигналов Q , \bar{Q} при переходе их из состояния высокого, низкого уровня в 3-е состояние, нс	t_{PHZ} , t_{PLZ}	—	18	$U_{CC} = 5,0$ В, $C_L = 300$ пФ
Время задержки распространения сигналов Q , \bar{Q} при переходе их из 3-го состояния в состояние высокого, низкого уровня, нс	t_{PZH} , t_{PZL}	—	30	$U_{CC} = 5,0$ В, $C_L = 300$ пФ,
Время перехода при выключении (включении), нс	t_{TLH} (t_{THL})	—	20 (12)	$U_{CC} = 5,0$ В, $C_L = 300$ пФ, уровни отсчета 0,8 и 2,0 В (2,0 и 0,8 В)
Входная емкость, пФ	C_I	—	12	$U_{CC} = 5,0$ В, $U_I = 2,5$ В, $f = 1$ МГц

Приложения. 1. Уровни отсчета при измерении временных параметров: при переходах LH , HL 1,5 В; при переходах ZL , ZL 0,55 В; при переходах HZ , ZH 2,3 В.

2. Максимальные значения временных параметров приведены при температуре $25 \pm 10^\circ\text{C}$. В диапазоне температур $-10...+70^\circ\text{C}$ эти значения увеличиваются в 1,5 раза.

Таблица 3.60

Параметр	Обозна- чение	Значения параметров	
		мин.	макс.
Время установления сигнала D относительно сигнала STB , нс	$t_{SU(STB-D)}$	0	—
Время сохранения сигнала D относительно сигнала STB , нс	$t_V(STB-D)$	25	—
Длительность сигнала STB высокого уровня, нс	$t_{WH, STB}$	15	—
Длительность фронта (спада) входных импульсов ¹ , нс	$t_{LH}(t_{HL})$	—	20(12)
Емкость нагрузки, пФ	C_L	—	300

¹ Уровни отсчета 0,8 и 2,0 В (2,0 и 0,8 В).

нала STB и низком сигнала \overline{OE} микросхемы работают в режиме шинного формирователя: информация на выходах Q или \overline{Q} повторяется или инвертируется по отношению к входной информации D . При переходе сигнала STB из состояния высокого уровня в состояние низкого уровня происходит «зашелкивание» передаваемой информации во внутреннем триггере, и она сохраняется до тех пор, пока на входе STB присутствует напряжение низкого уровня. В течение этого времени изменение информации на входах D не влияет на состояние выходов Q , \overline{Q} . При переходе сигнала STB вновь в состояние высокого уровня состояние выходов приводится в соответствие с информационными входами D .

При переходе сигнала \overline{OE} в состояние высокого уровня все выходы Q , \overline{Q} переходят в

3-е состояние независимо от входных сигналов STB и D . При возвращении сигнала \overline{OE} в состояние низкого уровня выходы Q , \overline{Q} переходят в состояние, соответствующее внутренним триггерам.

Примеры использования микросхем KP580ИР82, KP580ИР83 приведены на рис. 16.23—16.25.

При обращении к внешнему устройству микропроцессор в начальный период цикла выполнения микрокоманды выдает на местную шину адрес этого устройства, который передается на системную шину необходимым числом регистров KP580ИР82 или KP580ИР83.

В качестве стробирующего сигнала используется сигнал ALE контроллера шины KP1810ВГ88. Разрешение доступа к шине и отключение от нее (переход выходов в 3-е состояние) осуществляется с помощью сигнала AEN арбитра KP1810ВБ89.

Основные электрические параметры микросхем приведены в табл. 3.59, предельно допустимые и предельные электрические режимы эксплуатации — в табл. 3.60 и 3.64 соответственно.

3.14. Микросхемы KP580ВА86 и KP580ВА87

Микросхемы KP580ВА86 и KP580ВА87 — двунаправленные 8-разрядные шинные формирователи, предназначенные для обмена данными между микропроцессором и системной шиной; обладают повышенной нагрузочной способностью. Микросхема KP580ВА86 — формирователь без инверсии и с тремя состояниями на выходе, KP580ВА87 — формирователь с инверсией и тремя состояниями на выходе.

Условное графическое обозначение микросхем приведено на рис. 3.79, назначение выводов — в табл. 3.61, функциональная схема показана на рис. 3.80.

Таблица 3.61

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—8	$A0—A7$	Вход/выход	Информационная шина
9	\overline{OE}	Вход	Разрешение передачи (управление 3-м состоянием)
10	GND	—	Общий
11	T	Вход	Выбор направления передачи
12—19	$B7—B0$ ($\overline{B7}—\overline{B0}$ для KP580ВА87)	Выход/вход	Информационная шина
20	U_{CC}	—	Напряжение питания 5 В $\pm 5\%$

Рис. 3.79. Условное графическое обозначение KP580ВА86 (а) и KP580ВА87 (б)

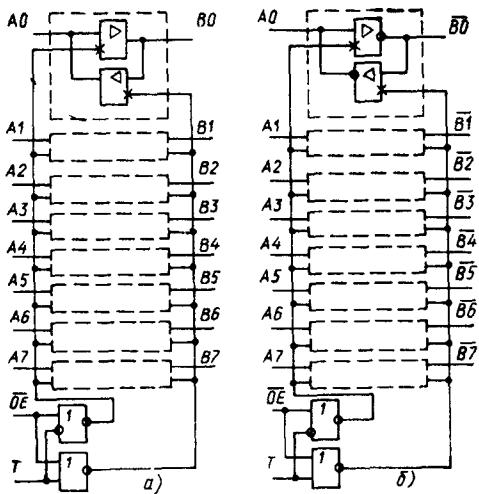


Рис. 3.80. Функциональные схемы KP580BA86 (а) и KP580BA87 (б)

Каждая микросхема состоит из восьми одинаковых функциональных блоков и схемы управления. Блок содержит два разнонаправленных усилителя-формирователя. При помощи схемы управления производится разрешение передачи (управление 3-м состоянием выходов) и выбор направления передачи информации.

В зависимости от состояния управляющих сигналов \bar{OE} и T микросхемы могут работать в режиме передачи $A \rightarrow \bar{B}, \bar{B} \rightarrow A$ или в режиме «выключено» (см. временнюю диаграмму на рис. 3.81):

при $\bar{OE} = 0, T = 1$ — направление передачи $A \rightarrow \bar{B}, \bar{B}$;

при $\bar{OE} = 0, T = 0$ — направление передачи $\bar{B} \rightarrow A$;

при $\bar{OE} = 1, T = X$ — на выводах A, \bar{B}, \bar{B} — 3-е состояние, где X — безразличное состояние.

Примеры использования микросхем KP580BA86 и KP580BA87 приведены на рис. 3.82, 16.23—16.25. При этом выводы A

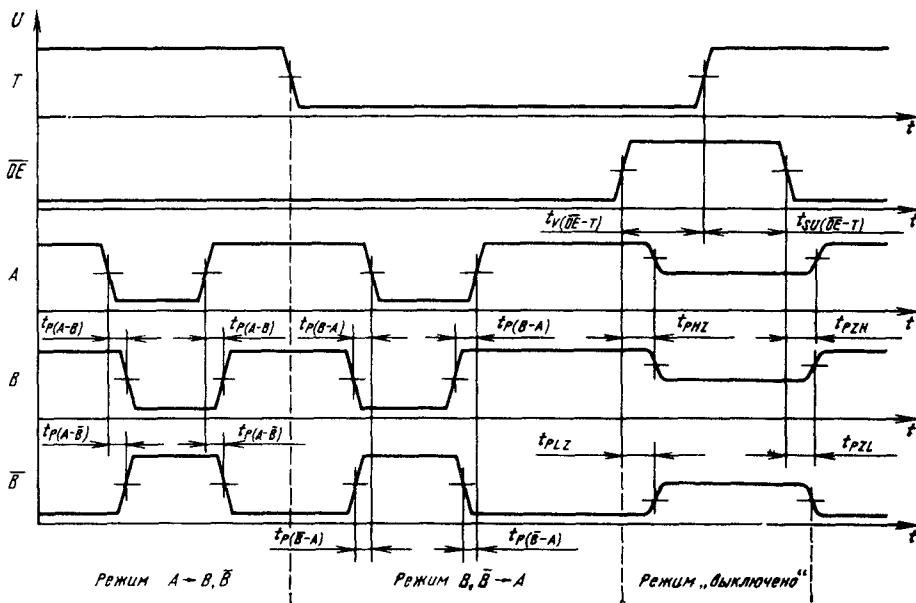


Рис. 3.81. Временная диаграмма работы KP580BA86, KP580BA87

подсоединяются к местной процессорной шине, а выводы B, \bar{B} , имеющие большую нагрузочную способность, — к системнойшине. Для 16-разрядной шины данных следует подключать две микросхемы KP580BA86 или KP580BA87.

Сигнал разрешения передачи \bar{OE} поступает с выхода DEN через инвертор, а сигнал

выбора направления передачи T — непосредственно с выхода DT/R контроллера шины KP1810VG88 (см. рис. 16.23—16.25).

Основные электрические параметры микросхем приведены в табл. 3.62, предельно допустимые и предельные электрические режимы эксплуатации — в табл. 3.63 и 3.64 соответственно.

Таблица 3.62

Параметр	Обозначение	Значения параметров [макс., (мин.)]	Режим измерения
Выходное напряжение низкого уровня, В	U_{OL}	0,45	$U_{CC} = 4,75$ В, $U_{IL} = 0,8$ В (0,9 В — для А-входов), $U_{IH} = 2,0$ В, $I_{OL} = 16$ мА (для В-выходов), $I_{OL} = 32$ мА (для А-выходов)
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC} = 4,75$ В, $U_{IL} = 0,8$ В (0,9 В для В-выводов), $U_{IH} = 2,0$ В, $I_{OH} = -1$ мА (для А-выходов), $I_{OH} = -5$ мА (для В-выходов)
Входной ток низкого уровня, мА	I_{IL}	-0,2	$U_{CC} = 5,25$ В, $U_{IL} = 0,45$ В
Входной ток высокого уровня, мкА	I_{IH}	50	$U_{CC} = 5,25$ В, $U_{IH} = 5,25$ В
Выходной ток низкого уровня в состоянии «выключено», мА	I_{OZL}	-0,2	$U_{CC} = 5,25$ В, $U_O = 0,45$ В
Выходной ток высокого уровня в состоянии «выключено», мкА	I_{OZH}	50	$U_{CC} = 5,25$ В, $U_O = 5,25$ В
Ток потребления, мА: для KP580BA86	I_{CC}	160	$U_{CC} = 5,25$ В
для KP580BA87		130	
Время задержки распространения выходного сигнала относительно входного информационного сигнала, нс:			$U_{CC} = 5,0$ В, $C_L = 100$ пФ (для А-выходов), $C_L = 300$ пФ (для В-выходов)
для KP580BA86	$t_{P(A-B)}, t_{P(B-A)}$	30	
для KP580BA87	$t_{P(A-\bar{B})}, t_{P(\bar{B}-A)}$	22	
Время задержки распространения сигналов A , B , \bar{B} при переходе из состояния высокого, низкого уровня в 3-е состояние, нс	t_{PHZ}, t_{PLZ}	18	$U_{CC} = 5,0$ В, $C_L = 100$ пФ (для А-выходов), $C_L = 300$ пФ (для В-выходов)
Время задержки распространения сигналов A , B , \bar{B} при переходе их из 3-го состояния в состояние высокого, низкого уровня, нс	t_{PZH}, t_{PZL}	30	$U_{CC} = 5,0$ В, $C_L = 100$ пФ (для А-выходов), $C_L = 300$ пФ (для В-выходов)
Время перехода при выключении/включении, нс	t_{TLH}/t_{THL}	20/12	$U_{CC} = 5,0$ В, $C_L = 100$ пФ (для А-выходов), $C_L = 300$ пФ (для В-выходов), уровни отсчета 0,8 и 2,0 В
Входная емкость, пФ	C_I	12	$U_{CC} = 5,0$ В, $U_I = 2,5$ В, $f = 1$ МГц

Примечания. 1. Уровни отсчета при измерении временных параметров: при переходах LH , HL 1,5 В; при переходах Z , ZL 0,55 В; при переходах HZ , ZH 2,3 В.

2. Максимальные значения временных параметров приведены при температуре $25 \pm 10^\circ\text{C}$. В диапазоне температур $-10...+70^\circ\text{C}$ эти значения увеличиваются в 1,5 раза.

Таблица 3.63

Параметр	Обозначение	Значения параметров [мин., макс.]
Время установления сигнала T относительно сигнала \overline{OE} , нс	$t_{SU(\overline{OE}-T)}$	(5)
Время сохранения сигнала T относительно сигнала \overline{OE} , нс	$t_{V(\overline{OE}-T)}$	(10)
Длительность фронта (спада) входных импульсов ¹ , нс	$t_{LH} (t_{HL})$	20/12
Емкость нагрузки, пФ: для A -выходов для B -выходов	C_L	100 300

¹ Уровни отсчета 0,8 и 2,0 В.

Таблица 3.64

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания на выводе U_{CC} (U_{CC_1} для KP580BM80A и KP580ГФ24), В	U_{CC}, U_{CC_1}	-0,5	7,0
Напряжение питания KP580ГФ24, KP580BM80A на выводе U_{CC_2} , В	U_{CC_2}	-0,5	13,5
Напряжение питания KP580BM80A на выводе U_{CC_3} , В	U_{CC_3}	-7,0	0
Входное напряжение, В	U_I	-0,5	7,0
Выходной ток высокого уровня, мА	I_{OH}	-	$1,5 \cdot I_{OH}$
Выходной ток низкого уровня, мА	I_{OL}	-	$1,5 \cdot I_{OL}$
Емкость нагрузки, пФ	C_L	-	500

Примечания. 1. Предельно допустимые значения токов I_{OH} , I_{OL} приведены в таблицах параметров на каждую микросхему.

2. Время воздействия приведенных значений не более 5 мс.

3.15. Рекомендации по применению

Типовая схема микропроцессорной системы на базе микросхем серии KP580 приведена на рис. 3.82. Число и состав микросхем в системе определяются требованиями, предъявляемыми потребителем.

Необходимыми микросхемами в любой системе являются: микропроцессор KP580BM80A, генератор KP580ГФ24, системный контроллер KP580BK28 (KP580BK38), буферная схема адреса, построенная на двух микросхемах KP580BA86 (KP580BA87) для обеспечения нагрузочной способности по шине адреса. Объем памяти ЗУ и использование одиои или нескольких периферийных микросхем KP580BB51A, KP580BI53, KP580BB55A, KP580BT57, KP580BH59, KP580BB79 или KP580BG75 определяет пользователь.

Микропроцессорная система имеет системную шину, образуемую из трех шин: адреса $A_{15}-A_0$, данных D_7-D_0 и управления. Системная шина позволяет строить микропроцессорную систему по модульному принципу: модуль центрального процессора, модуль ЗУ, модуль УВВ и т. д. Каждый модуль может содержать собственные буферные схемы адреса и данных.

Двунаправленные выводы данных периферийных микросхем рекомендуется подключать к системной шине через шинные формирователи (KP580BA86, KP580BA87 или KP589AP16, K589AP26).

Магистральная структура микропроцессорной системы позволяет подключать микросхемы ЗУ общей емкостью до 64К байт и микросхемы УВВ до 256 каналов ввода и до 256 каналов вывода.

Для помехоустойчивости системы низкочастотные помехи по цепи питания необходимо блокировать конденсатором суммарной емкостью из расчета 0,1 мкФ на каждую микросхему, включенным между шинами +5 В и GND непосредственно в начале шины +5 В.

Высокочастотные помехи необходимо блокировать конденсатором емкостью 0,015—0,022 мкФ, включенным между каждым выводом +5 В микросхемы и шиной GND в непосредственной близости от микросхем (не далее 5 мм).

Для увеличения быстродействия системы трехстабильные линии шины адреса и данных рекомендуется подключать к шинам +5 В через резисторы сопротивлением 2,2 кОм.

Предельные электрические режимы эксплуатации микросхем серии KP580 приведены в табл. 3.64.

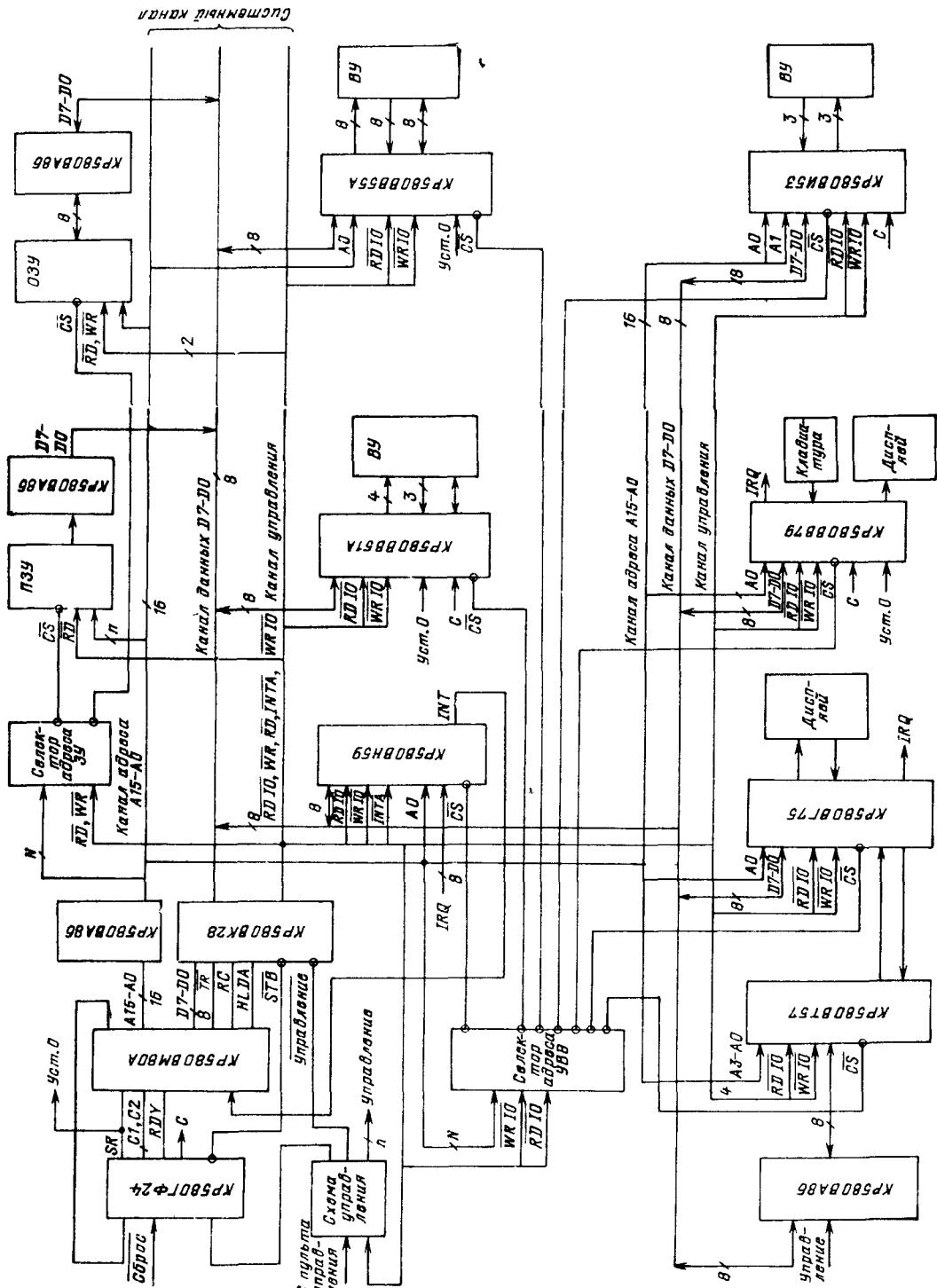


Рис. 3.82. Типовая схема микропроцессорной системы на базе МПК серии КР580

Глава 4

Микропроцессорный комплект серии КР581

Микропроцессорный комплект (МПК) серии КР581 предназначен для построения микро-ЭВМ типа «Электроника-60», программируемой с мини-ЭВМ семейства СМ ЭВМ.

Область применения: управление производством и технологическими процессами, сбор и обработка данных, решение научно-технических и экономико-статистических задач, проведение инженерно-конструкторских расчетов, моделирование и управление объектами в реальном масштабе времени.

Микропроцессорный комплект n -канальных МДП микросхем представляет собой 16-разрядный микропроцессор с микропрограммным управлением и включает в себя микросхемы шести типов (табл. 4.1):

Таблица 4.1

Тип микросхемы	Функциональное назначение	Тип корпуса
КР581ИК1*	Обработка информации	413.48-5
КР581ИК2*	Управление выполнением операций	413.48-5
КР581РУ1*	Микропрограммное запоминающее устройство для реализации стандартного набора системы команд	413.48-5
КР581РУ2*	Хранение микрокоманд управления выполнением операций	413.48-5
КР581РУ3	Микропрограммное запоминающее устройство для реализации операций с плавающей запятой	413.48-5
КР581ВЕ1	Микропроцессор с микропрограммным управлением	413.48-5

Примечание. Микросхемы, отмеченные звездочкой, составляют базовый МПК серии КР581. Микросхема КР581ВЕ1 по функциям аналогична базовому МПК серии КР581.

Микросхемы серии КР581 представляют собой функционально законченные узлы и блоки микропроцессора.

Общие характеристики МПК

Разрядность обрабатываемых данных	8,16 бит
Управление	Микропрограммный способ
Число типов команда, включая команды с плавающей запятой	72
Объем адресуемой памяти	64К байт
Число способов адресации	8
Число уровней прерывания	4
Шина адреса и данных	Совмещенная
Быстродействие	250 тыс. операций/с
Система команд	Типа «Электроника-60»

Для всех типов ИС МПК серии КР581 статические параметры приведены в табл. 4.2, динамические — в табл. 4.3.

Таблица 4.2

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания, В	U_{CC1}	4,75	5,25
	U_{CC2}	11,4	12,6
	U_{CC3}	-5,25	-4,75
Ток утечки входов, мкА	I_{LIO}	—	1,2*
Ток утечки тактовых входов, мкА	I_{LIC}	—	20*
Входное напряжение высокого уровня по тактовым входам, В	U_{IHC}	11,4	12,6
Входное напряжение низкого уровня по тактовым входам, В	U_{ILC}	-0,5	+0,5
Емкость тактовых входов, пФ	C_C	—	80*

* При $T = +25^\circ\text{C}$.

Таблица 4.3

Параметр	Обозначение	КР581		КР581-А		КР581ВЕ1	
		мин.	макс.	мин.	макс.	мин.	макс.
Длительность тактового цикла, нс	t_C	400	—	600	—	300	—
Длительность тактового сигнала, нс	τ_C	90	—	125	—	70	—
Время задержки между тактовыми сигналами, нс	t_D	20	—	20	—	5	—
Время перехода тактового сигнала при включении и выключении, нс	t_{THLC} , t_{TLHC}	10	50	10	50	—	20
Время перехода входных сигналов при включении и выключении, нс	t_{THL} , t_{TLH}	5	50	5	50	—	10

4.1. Микросхема КР581ИК1

Микросхема КР581ИК1 предназначена для выполнения логических и арифметических функций над системными данными.

Условное графическое обозначение КР581ИК1 приведено на рис. 4.1, структурная схема дана на рис. 4.2, функциональное назначение выводов — в табл. 4.4, временная диаграмма показана на рис. 4.3.

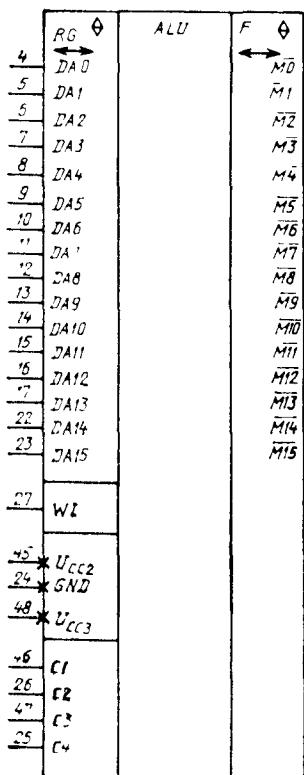


Таблица 4.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
4—17, 22, 23	DA0—DA15	Вход/выход	Шина адреса и данных. Используется мультиплексный режим работы информационных шин (передача адресных сигналов, команд и данных по одной шине)
28—34, 36—44	M15—M0	Вход/выход	Шина микрокоманд. Пошине микрокоманд организован обмен информацией между всеми микросхемами комплекта. Сигнал «Ожидание». При поступлении данного сигнала микросхема переходит в режим ожидания
27	WI	Вход	Тактовые сигналы от внешнего генератора
46, 26, 47, 25 45	C1—C4 Ucc2	Входы	Напряжение питания +12 В
48	Ucc3	—	Напряжение питания +5 В
24	GND	—	Напряжение питания -5 В
			Общий

Рис. 4.1. Условное графическое обозначение КР581ИК1

Примечание. Источник питания U_{CC1} не используется.

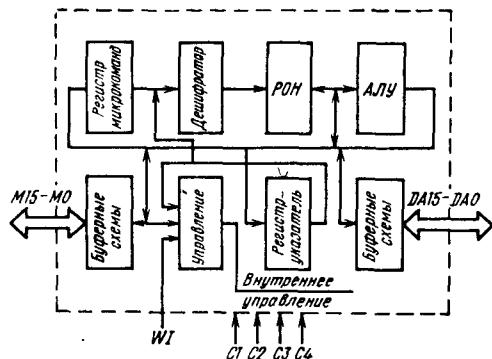


Рис. 4.2. Структурная схема КР581ИК1

Функционально микросхема включает в себя: арифметико-логическое устройство (АЛУ); регистры общего назначения (РОН); дешифратор; регистр микрокоманд и регистр-указатель для адресации к РОН; устройство местного управления, содержащее логическую матрицу дешифрирования кода микрокоманды; буферные схемы.

Выполнение всех операций осуществляется под управлением соответствующих микрокоманд (табл. 4.5). Система микрокоманд, реализуемая КР581ИК1, является важнейшей характеристикой МПК, достаточно универсальна и позволяет эмулировать произвольный набор системных команд. Для обеспечения возможности расширения системы команд или ее модификации и реализации всех преимуществ микропрограммного способа управления шина микрокоманд (ШМК) выполнена внешней по отношению к микросхемам МПК.

Набор микрокоманд (табл. 4.5), реализуемых микросхемой, состоит из следующих групп микрокоманд в соответствии с выполняемыми функциями: арифметические, логические, регистровые, сдвига, ввода, вывода, перехода, инкремента-декремента, управления.

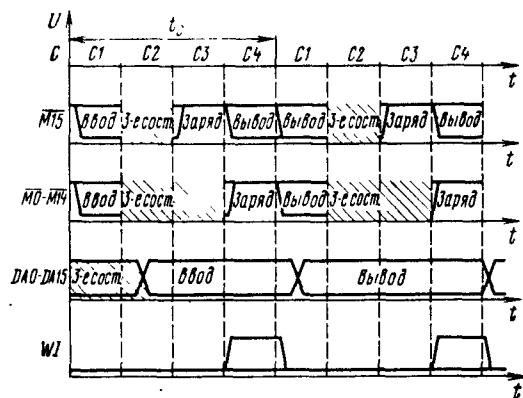


Рис. 4.3. Времениальная диаграмма работы КР581ИК1

Таблица 4.5

Группы микрокоманд	Операция	Число циклов для выполнения микрокоманды	Примечание	
			1	2
Арифметические	Сложение литералов	1	$R_a \leftarrow R_a + \text{ЛИТ}$	
	Сложение байтов	1	$R_a \leftarrow R_a + R_b$	
	Сложение слов	2	$R_a \leftarrow R_a + R_b$	
	Условное сложение байтов	1	$R_a \leftarrow \underline{R_a + R_b}$	
	Условное сложение слов	2	—	
	Сложение байтов с переиосом	1	$R_a \leftarrow R_a + R_b + C$	
	Сложение слов с переиосом	2	$R_a \leftarrow R_a + R_b + C$	
	Условное сложение слов	2	—	
	Условное сложение чисел	1	—	
	Вычитание байта	1	$R_a \leftarrow R_a - R_b$	
Логические	Вычитание слова	2	$R_a \leftarrow R_a - R_b$	
	Вычитание байтов с переиосом	1	$R_a \leftarrow R_a - R_b - C$	
	Вычитание слов с переиосом	2	$R_a \leftarrow R_a - R_b - C$	
	Логическое умножение литералов	1	$R_a \leftarrow R_a \wedge \text{ЛИТ}$	
	Логическое умножение байтов	1	$R_a \leftarrow R_a \wedge R_b$	
	Логическое умножение слов	2	$R_a \leftarrow R_a \wedge R_b$	
	Логическое сложение байтов	1	$R_a \leftarrow R_a \vee R_b$	
	Логическое сложение слов	2	$R_a \leftarrow R_a \vee R_b$	
	Исключающее ИЛИ байтов	1	$R_a \leftarrow R_a \vee R_b$	
	Исключающее ИЛИ слов	2	$R_a \leftarrow R_a \vee R_b$	
Регистровые	Логическое умножение прямого и инверсного байтов	1	$R_a \leftarrow R_a \wedge \overline{R_b}$	
	Логическое умножение прямого и инверсного слов	2	$R_a \leftarrow R_a \wedge \overline{R_b}$	
	Копирование «флагов»	1	—	
	Загрузка «флагов»	1	—	
	Загрузка регистра-указателя	1	—	
	Пересылка байта	1	$R_a \leftarrow R_b$	
	Пересылка слова	2	$R_a \leftarrow R_b$	
	Условная пересылка байта	1	—	
	Условная пересылка слова	2	—	
	Загрузка регистра команд	2	—	

Продолжение табл. 4.5

1	2	3	4
	Сравнение литерала	1	—
	Проверка литерала	1	—
	Дополнение байта прямое	1	—
	Дополнение слова прямое	2	—
	Дополнение байта инверсионное	1	—
	Дополнение слова инверсионное	2	—
	Сравнение байта	1	—
	Сравнение слова	2	—
	Проверка байта	1	—
	Проверка слова	2	—
	Вывод слова состояния	1	—
	Сдвиг байта влево с переносом	1	$R_a \leftarrow 2R_b + C$
Сдвиги	Сдвиг слова влево с переносом	2	$R_a \leftarrow 2R_b + C$
	Сдвиг байта влево	1	$R_a \leftarrow 2R_b$
	Сдвиг слова влево	2	$R_a \leftarrow 2R_b$
	Сдвиг байта вправо с переносом	1	—
	Сдвиг слова вправо с переносом	2	—
	Сдвиг байта вправо	1	—
	Сдвиг слова вправо	2	—
Переходы	Переход	2	5 типов
	Возврат к подпрограмме	2	8 типов
	Условный переход	2	5 типов
Ввода, вывoda	Ввод литерала	1	—
	Ввод байта	1	—
	Ввод слова	2	—
	Ввод байта состояния	1	—
	Ввод слова состояния	2	—
	Чтение и увеличение байта на 1	1	ШАД $\leftarrow R_b$, R_a
	Чтение и увеличение слова на 1	2	$R_a \leftarrow R_a + 1$
	Чтение и увеличение байта на 2	1	—
	Чтение и увеличение слова на 2	2	—
	Чтение (запись)	1	ШАД $\leftarrow R_b$, R_a
	Вывод байтов	1	ШАД $\leftarrow R_b$, R_a
	Вывод слов	1	ШАД $\leftarrow R_b$, R_a
Инкремента, декремента	Условное приращение байта	1	$R_a \leftarrow R_a + 1$
	Условное уменьшение байта	1	$R_a \leftarrow R_a - 1$

Окончание табл. 4.5

1	2	3	4
	Наращивание байта на 1	1	$R_a \leftarrow R_b + 1$
	Наращивание слова на 1	2	$R_a \leftarrow R_b + 1$
	Наращивание байта на 2	1	$R_a \leftarrow R_b + 2$
	Наращивание слова на 2	2	$R_a \leftarrow R_b + 2$
	Уменьшение байта на 1	1	$R_a \leftarrow R_b - 1$
	Уменьшение слова на 1	2	$R_a \leftarrow R_b - 1$
Управления	Сброс прерывания	1	—
	Установка прерывания	1	—
	Сброс регистра состояния	1	—
	Нет операции	1	—

Приложения 1 R_a — регистр с адресом поля a микрокоманды; R_b — регистр с адресом поля b микрокоманды; ЛИТ — литерал; ШАД — шина адреса и данных.

2 Общее число реализуемых микрокоманд 91.

Под временем цикла t_C на временных диаграммах понимается промежуток времени между началом действия тактового сигнала $C1$ первого цикла и началом действия тактового сигнала $C1$ второго цикла.

Обозначение выводов микросхем на диаграммах принято в соответствии с условными графическими обозначениями и табл. 4.4.

На рис. 4.3 приняты следующие обозначения:

Ввод — ввод информации по данному выводу или группе выводов во время действия соответствующих тактовых сигналов;

Вывод — вывод информации по данному выводу или группе выводов;

Заряд — установление на данном выводе или группе выводов напряжения высокого уровня;

3-е сост. — во время действия соответствующих тактовых сигналов на данном выводе (группе выводов) устанавливается режим 3-го состояния.

Эти обозначения приняты для выводов с совмещеными функциями ввода/вывода информации.

Для выводов, выполняющих функции только входов или только выходов, такие обозначения не приведены.

Функцию заряда разрядов ШМК в МПК выполняют микросхемы КР581РУ1—КР581РУ3.

Блок РОН имеет двухканальную (двухпортовую) структуру; при этом один из каналов (порт B) предназначен только для чтения, а второй (порт A) используется как для чтения, так и для записи информации. Порт A регистра блока связан сшиной адреса и данных ШАД, через эту шину осуществляется

ся передача данных, хранящихся в регистровом блоке, внешним схемам.

Информация, подлежащая обработке, поступает в АЛУ по шинам порта *A* и порта *B* блока РОН. АЛУ производит операцию и результат записывается в регистр по адресу порта *A*.

При обращении к регистровому блоку адрес регистров по порту *A* и порту *B* выбирается из адресного поля текущей микрокоманды. Поле микрокоманды разрядов 0—3 (поля *a*) служит адресом регистра порта *A* блока РОН, а поле микрокоманды разрядов 4—7 (поля *b*) служит адресом регистра порта *B* блока РОН для двухадресных микрокоманд. В случае одноадресной микрокоманды обращение осуществляется только по адресу поля *a* микрокоманды.

При микрокомандах перехода код операции содержится в разрядах 12—15 микрокоманды, в оставшихся разрядах 0—11 заключен адрес. В микрокомандах условного перехода код операции содержится в разрядах 12—15 микрокоманды, условие — в разрядах 8—11, а адрес в разрядах 0—7 микрокоманды.

Тактовые сигналы *C1*—*C4* представляют собой серию из четырех следующих друг за другом неперекрывающихся во времени импульсов напряжения (рис. 4.3).

Микрокоманда, подлежащая исполнению, поступает в блок управления, содержащий программируемую логическую матрицу расшифровки кода микрооперации. Блок управления вырабатывает управляющие сигналы, задающие АЛУ режим работы, соответствующий поданной микрокоманде. АЛУ параллельно обрабатывает два операнда. Обработка 16-разрядных слов осуществляется за два цикла под управлением двухцикловых микрокоманд. Обработка 8-разрядных слов требует одного цикла и реализуется одноцикловыми микрокомандами. При регистровых микрокомандах код операции, поступающий в блок управления, содержит поля *a* и *b* микрокоманды, содержащие адреса регистров общего назначения, содержимое которых подвергается обработке. Запись результата обработки производится в РОН по адресу поля *a* микрокоманды.

При лiteralьных микрокомандах в качестве одного из операндов в операциях АЛУ используется лiteralьная часть микрокоманды. Код операции содержится в разрядах 12—15 микрокоманды, второй операнд заключен в РОН с адресом поля *a*, а код лiteralа — в разрядах 4—11 микрокоманды. Результат обработки информации поступает в РОН, имеющий адрес поля *a* микрокоманды.

При микрокомандах условного перехода осуществляется проверка состояния «флага» условия, определяемого разрядами 8—11 микрокоманды. Результат проверки выдается в следующем цикле.

Во время двухцикловых микрокоманд во втором цикле регистр микрокоманд воспроиз-

водит поданную в первом цикле микрокоманду с инвертированными младшими разрядами полей *a* и *b* микрокоманды. Этим обеспечивается последовательная обработка 16-разрядных данных 8-разрядным АЛУ с помощью одной микрокоманды.

Выбор нужных РОН осуществляется адресным дешифратором.

Построение блока РОН обеспечивает параллельную выдачу АЛУ содержимого двух 8-разрядных РОН (двух операндов); вывод в ШАД и ШМК 16-разрядных слов.

Блок РОН состоит из 26 8-разрядных регистров: 10 регистров могут прямо адресоваться микрокомандами; 4 адресуются прямо и косвенно (эти регистры выполняют специальные функции процессора — счетчик команд, указатель стека); 12 регистров имеют только косвенную адресацию и используются в качестве регистров общего назначения.

В РОН с адресом поля *a* микрокоманды может записываться следующая информация: результат обработки информации АЛУ;

младший байт слова, поступающего в ШАД;

старший байт слова, поступающего в ШАД;

содержимое флагов условий,

литеральная часть микрокоманды.

В ШАД в режиме ввода информации поступают команды и данные, которые заносятся в нужные РОН и могут передаваться в ШМК. В режиме вывода информации в ШАД выводится 16-разрядное слово — содержимое РОН, адрес которых определяется полями *a* и *b* микрокоманды.

В ШМК может выводиться:

- информация, поданная в ШАД;
- результат проверки флагов условий;

16-разрядное слово — содержимое РОН, адрес которых определяется полями *a* и *b* микрокоманды.

Регистр-указатель для косвенной адресации представляет собой трехразрядный регистр, хранящий адрес пары РОН; он может загружаться либо из адресной части системной команды, либо из адресного поля регистра системной команды.

Регистры кодов условий обеспечивают хранение следующих условий: отрицательный результат; нулевой результат; 4-разрядный перенос; 8-разрядный перенос; переполнение.

Схема проверки состояния флагов условий обеспечивает выдачу результата проверки при подаче микрокоманд условного перехода.

При поступлении на вход *WI* сигнала «Ожидать» регистр микрокоманд воспроизводит поданную в данном цикле микрокоманду и микросхема переходит в режим ожидания. Режим ожидания используется в случае ожидания поступления информации в ШАД или при необходимости выдачи информации в течение нескольких циклов. После сигнала «Ожидание» микросхема заканчивает выполнение поданной микрокоманды; ее узлы и

Таблица 4.6

Параметр	Обозначение	Значения параметров		Примечание
		мин	макс.	
Ток потребления от источника U_{CC2} , мА	I_{CC2}	—	35	$U_{CC2} = 12,6$ В $T = +25^\circ C$
Ток потребления от источника U_{CC3} , мА	I_{CC3}	—	1,0	$U_{CC3} = -4,5$ В, $T = +25^\circ C$
Выходное напряжение высокого уровня ШАД, В	U_{OHDA}	2,3	—	$I_{OH} = 0,1$ мА
Выходное напряжение низкого уровня ШАД, В	U_{OLDA}	—	0,6	$I_{OL} = 0,8$ мА
Выходное напряжение низкого уровня ШМК, В	U_{OLM}	—	0,5	
Входное напряжение высокого уровня по ШАД, В	U_{IHDA}	3,4	—	
Входное напряжение низкого уровня по ШАД, В	U_{ILDA}	—	0,7	
Входное напряжение высокого уровня по ШМК, В	U_{IHM}	3,4	—	
Входное напряжение низкого уровня по ШМК, В	U_{ILM}	—	0,7	
Напряжение высокого уровня на входе WI , В	U_{IHWI}	3,4	—	
Напряжение низкого уровня на входе WI , В	U_{ILWI}	—	0,7	
Емкость входов, пФ	C_{IC}	—	14	$T = +25^\circ C$

блоки готовы к приему и выполнению следующей микрокоманды.

Статические параметры КР581ИК1 приведены в табл. 4.6.

4.2. Микросхема КР581ИК2

Микросхема КР581ИК2 предназначена для генерации адресов микропоследовательностей для микропрограммного постоянного запоминающего устройства и управляющих сигналов для внешних операций ввода/вывода

Условное графическое обозначение микросхемы приведено на рис. 4.4, назначение выводов — в табл. 4.7, структурная схема дана на рис. 4.5, временная диаграмма работы показана на рис. 4.6.

В состав микросхемы входят регистры системных команд и микрокоманд; программируемая матрица транзисторов (ПМТ); счетчик микрокоманд; регистры возврата и состояния; схемы управления.

При генерации адресов микропоследовательностей, реализующих конкретную системную команду, а также управляющих сигналов для внешних операций ввода/вывода в качестве исходной информации используются 16-разрядные системные команды и текущие микрокоманды.

Микросхема управляет 16-разрядными системными командами и 18-разрядными микрокомандами, поступающими по ШМК.

Для установки микросхемы в режим приема микрокоманд из микропрограммного постоянного запоминающего устройства на вход

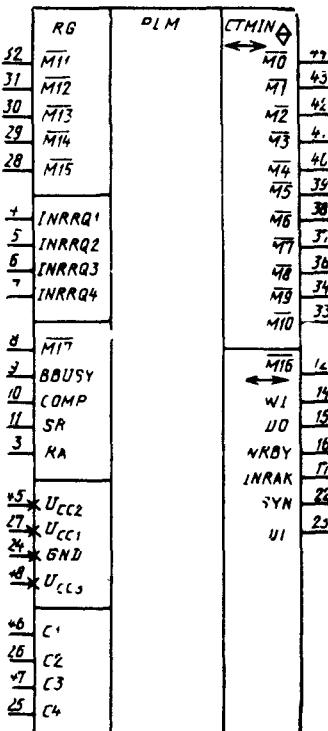


Рис. 4.4. Условное графическое обозначение КР581ИК2

Таблица 4.7

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
33, 34 36—44	$M10—M0$	Входы/выходы	Разряды 0—10 шины микрокоманд Обмен микрокомандами и адресами
28—32	$M15—M11$	Входы	Разряды 11—15 шины микрокоманд
12	$M16$	Вход/выход	Разряд 16 шины микрокоманд. Информация о числе циклов
8	$M17$	Вход	Разряд 17 шины микрокоманд
4	$INRRQ1$	Вход	Требование прерывания от внешнего устройства
5	$INRRQ2$	Вход	Требование прерывания по таймеру
6	$INRRQ3$	Вход	Требование прерывания по питанию
7	$INRRQ4$	Вход	Требование прерывания по регенерации ОЗУ
9	$BBUSY$	Вход	Сигнал «Канал занят». Поступает при занятости канала. МПК переходит в режим ожидания
10	$COMP$	Вход	Сигнал «Отладка». Используется при технологической отладке
11	SR	Вход	Сигнал «Сброс». Начальная установка адреса микропрограммы
13	RA	Вход	Сигнал «Готово». Означает, что данные установлены в канале или приняты
14	WI	Выход	Сигнал «Ожидать». Подается на вход WI микросхемы КР581ИК1 и переводит ее в режим ожидания
15	DO	Выход	Сигнал «Вывод данных». Формируется при операциях вывода данных
16	$WRBY$	Выход	Сигнал «Запись байта». Формируется при операциях вывода адреса или при выводе байта данных
17	$INRAK$	Выход	Сигнал «Подтверждение прерывания». Означает, что требование прерывания принято
22	SIN	Выход	Синхросигнал. Формируется при установке адреса в канале и сохраняется до конца цикла обращения к каналу
23	DI	Выход	Сигнал «Ввод данных». Формируется при операциях ввода данных
46, 26, 47, 25	$C1—C4$	Входы	Тактовые сигналы от внешнего генератора
27	U_{CC1}	—	Напряжение питания +5 В
45	U_{CC2}	—	Напряжение питания +12 В
48	U_{CC3}	—	Напряжение питания -5 В
24	GND	—	Общий

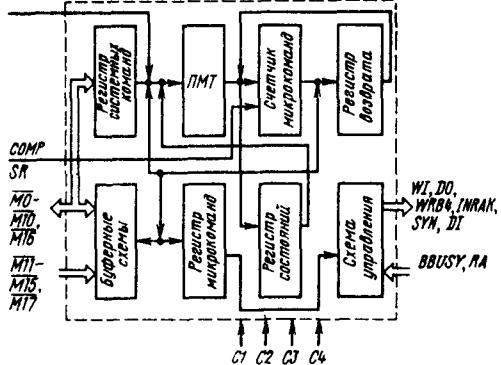


Рис. 4.5. Структурная схема KP581ИК2

SR подается соответствующий сигнал; при этом счетчик микрокоманд устанавливается в исходное состояние и в этом же цикле микросхема формирует и выдает в ШМК микрокоманду «Нет операции». В следующем тактовом цикле микросхема готова принять информацию из ШМК. Расшифровывая микрокоманды, микросхема выдает управляющие сигналы, отражающие режим работы МПК. Состояние программируемой матрицы трансляции запоминается в регистре состояний. На вход ПМТ поступают четыре сигнала преры

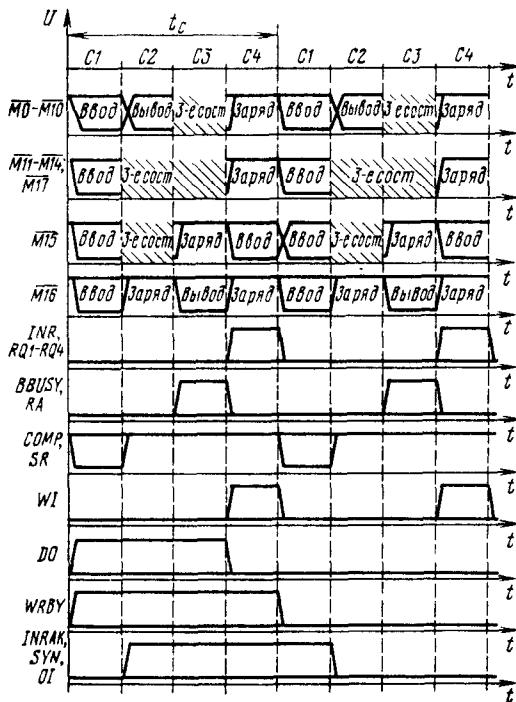


Рис. 4.6. Временная диаграмма работы KP581ИК2

Таблица 4.8

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Ток потребления от источника U_{CC1} , мА	I_{CC1}	—	8,0*
Ток потребления от источника U_{CC2} , мА	I_{CC2}	—	25,0*
Ток потребления от источника U_{CC3} , мА	I_{CC3}	—	1,0*
Выходное напряжение высокого уровня ШМК, В	U_{OHN}	3,4	—
Выходное напряжение низкого уровня ШМК, В	U_{OLN}	—	0,5
Выходное напряжение высокого уровня по управляющим выходам, В	U_{OH}	2,3**	—
Выходное напряжение низкого уровня по управляющим выходам, В	U_{OL}	—	0,6***
Входное напряжение высокого уровня по ШМК, В	U_{IHM}	3,4	—
Входное напряжение низкого уровня по ШМК, В	U_{ILM}	—	0,7
Входное напряжение высокого уровня по управляющим входам, В	U_{IH}	3,4	—
Входное напряжение низкого уровня по управляющим входам, В	U_{IL}	—	0,7
Емкость входов, пФ	C_{IC}	—	10*

* При $T = +25^{\circ}\text{C}$.** При $I_{OH} = 0,2 \text{ мА}$.*** При $I_{OL} = 1,6 \text{ мА}$.

вания. Логика ПМТ осуществляет арбитраж приоритетов прерываний. На вход ПМТ поступает также информация внутренних флагов состояний, которые устанавливаются и сбрасываются в процессе выполнения микропрограммы.

Счетчик микрокоманд увеличивает свое состояние на единицу после каждого обращения к микропрограммному постоянному запоминающему устройству, кроме случаев, когда он загружается микрокомандами перехода или выходной информацией ПМТ.

Выполнение одиуровневых подпрограмм обеспечивается регистром возврата, который

может хранить и восстанавливать содержимое счетчика микрокоманд. Расшифровку системной команды микросхема производит побайтно, причем вначале обрабатывается старший байт команды и формируется стартовый адрес микропоследовательности, реализующей данную системную команду.

В зависимости от кода операции микрокоманды обрабатываются микросхемой за одни или два тактовых цикла. При обработке двуциклической микрокоманды новый адрес запрашивается из микропрограммного постоянного запоминающего устройства в течение двух циклов. В режиме ожидания микросхема устанавливается в случае ожидания системной информации до тех пор, пока на вход RA не поступит соответствующий уровень управляющего сигнала. В режиме ожидания микросхема устанавливается также при занятости системного канала, при соответствующем сигнале на входе « $BBUSY$ ». Из режима ожидания микросхема выходит с приходом системной команды и сигнала «Готово» на вход RA .

Статические параметры КР581ИК2 приведены в табл. 4.8.

4.3. Микросхемы КР581РУ1, КР581РУ2 и КР581РУ3

Микросхемы микропрограммного постоянного запоминающего устройства (МПЗУ) КР581РУ1, КР581РУ2 и КР581РУ3 предназначены для хранения и оперативной выдачи микропрограмм для реализации основного набора команд микропроцессора и операций с плавающей запятой.

Таблица 4.9

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
33—42, 44	$M10—M0$	Входы/выходы	Разряды 0—10 шины микрокоманд. Обмен микрокомандами и адресами
9—12, 32, 15	$M15—M11, M17$	Выходы	Разряды 11—15, 17 шины микрокоманд
14	$M16$	Вход/выход	Разряд 16 шины микрокоманд. Информация о числе циклов
16, 17, 22, 23	$M18—M21$	Выходы	Разряды 18—21 микрокоманды
46, 26, 47, 25	$C1—C4$	Входы	Тактовые сигналы от внешнего генератора
27	U_{CC1}	—	Напряжение питания +5 В
45	U_{CC2}	—	Напряжение питания +12 В
48	U_{CC3}	—	Напряжение питания -5 В
25	GND	—	Общий

Условное графическое обозначение микросхем приведено на рис. 4.7, структурная схема показана на рис. 4.8, назначение выводов дано в табл. 4.9, временная диаграмма работы приведена на рис. 4.9.

Функционально каждая микросхема содержит: схему выбора конкретной микросхемы; дешифратор; матрицу ПЗУ микропрограмм.

Микросхемы КР581РУ1 и КР581РУ2 обеспечивают реализацию основного набора команд микропроцессора, а КР581РУ3 — реализацию операций с плавающей запятой.

Емкость матрицы ПЗУ микропрограмм каждой микросхемы 512 бит на 22 разряда.

Разряды 0—1 служат в качестве адресных входов дешифратора столбцов, разряды 2—8 — дешифратора строк. На разряды 9 и 10 поступает информация разрешения (запрета) данного кристалла для выбора нужной микросхемы МПЗУ.

Разряды 11—21 используются только для вывода информации из МПЗУ и используются для выполнения специальных функций системы.

Статические параметры микросхем КР581РУ1—КР581РУ3 приведены в табл. 4.10.

Схема соединения микросхем МПК серии КР581 приведена на рис. 4.10. Базовый МПК включает в себя микросхемы КР581ИК1, КР581ИК2, КР581РУ1 и КР581РУ2. Полный МПК содержит дополнительно КР581РУ3.

Обмен информацией микросхем между собой и с внешними схемами осуществляется

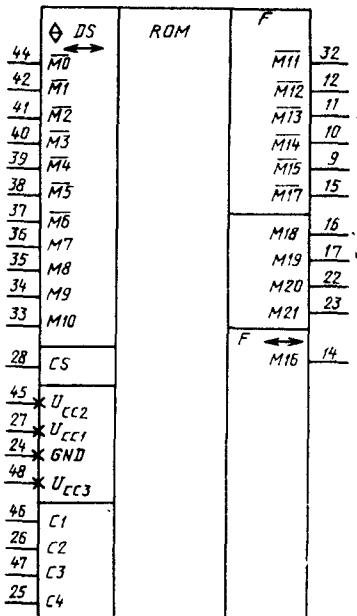


Рис. 4.7. Условное графическое обозначение КР581РУ1, КР581РУ2, КР581РУ3

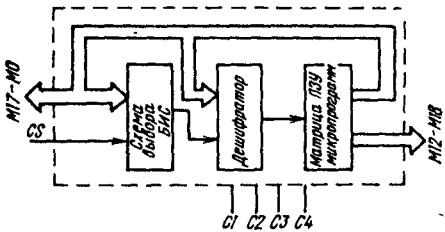


Рис. 4.8. Структурная схема КР581РУ1, КР581РУ2, КР581РУ3

через 16-разрядную совмещенную шину адреса и данных, шину микрокоманд и шину управления. Команда, подлежащая исполнению, поступает на ШАД, передается на ШМК и записывается в регистр системных команд. Начинается процесс вычисления адреса начала последовательности микрокоманд (микропрограммы), реализующей данную системную команду.

Микропроцессор работает в конвейерном режиме, при котором выполнение одной микрокоманды перекрывается во времени с вычислением адреса и выборкой очередной микрокоманды.

Используются три типа команд: безадресные; одноадресные; двухадресные.

МПК выполняет одно- и двухадресные команды как с 16-разрядными словами, так и с 8-разрядными байтами. Поэтому многие операции могут выполняться очень эффективно.

Выполнение команды начинается с операции по ее выборке, для чего в шину адреса и данных выводится адрес данной команды. После поступления команды и ее дешифрации выполняются операции по выборке operandов с использованием соответствующих методов адресации. Затем производится собственно операция по исполнению данной команды. При этом в зависимости от кода команды ре-

Таблица 4.10

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Ток потребления от источника U_{CC1} , мА	I_{CC1}	—	16,0*
Ток потребления от источника U_{CC2} , мА	I_{CC2}	—	10,8*
Ток потребления от источника U_{CC3} , мА	I_{CC3}	—	1,0*
Выходное напряжение высокого уровня ШМК ($M0-M17$), В	U_{OHM}	3,0	—
Выходное напряжение низкого уровня ШМК ($M0-M17$), В	U_{OLM}	—	0,5
Выходное напряжение высокого уровня ШМК ($M18-M21$), В	U_{OHM}	2,3**	—
Выходное напряжение низкого уровня ШМК ($M18-M21$), В	U_{OLM}	—	0,4***
Входное напряжение высокого уровня по ШМК, В	U_{IHM}	3,4	—
Входное напряжение низкого уровня по ШМК, В	U_{ILM}	—	0,7
Входное напряжение высокого уровня по входу CS , В	U_{IHCS}	3,4	—
Входное напряжение низкого уровня по входу CS , В	U_{ILCS}	—	0,7
Емкость входов, пФ	C_{IC}	—	8

* При $T = +25^{\circ}\text{C}$.

** При $I_{OH} = 0,2 \text{ мА}$

*** При $I_{OL} = 1,6 \text{ мА}$

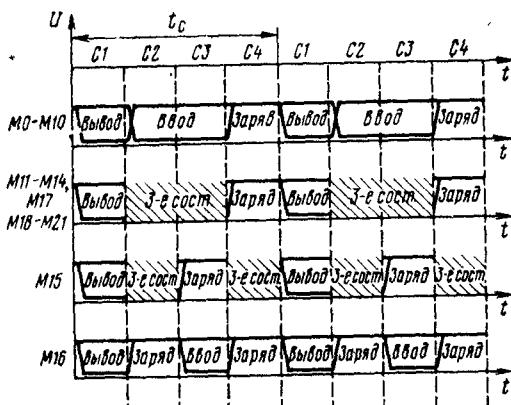


Рис. 4.9. Временная диаграмма работы КР581РУ1, КР581РУ2, КР581РУ3

зультат может как заноситься в соответствующий РОН, так и выводиться в шину адреса и данных.

В безадресных командах команда содержит только код операции.

В кодах одно- и двухадресных команд обычно содержится информация, которая определяет:

выполняемую функцию (код операции);
адрес регистров общего назначения, используемых при выборке operandов;
метод адресации (способ использования выбранного РОН).

Регистры общего назначения могут быть использованы:

как накопители (обрабатываемые данные хранятся в регистрах);

как указатели адреса (РОН содержит адрес операнда, а не сам операнд);

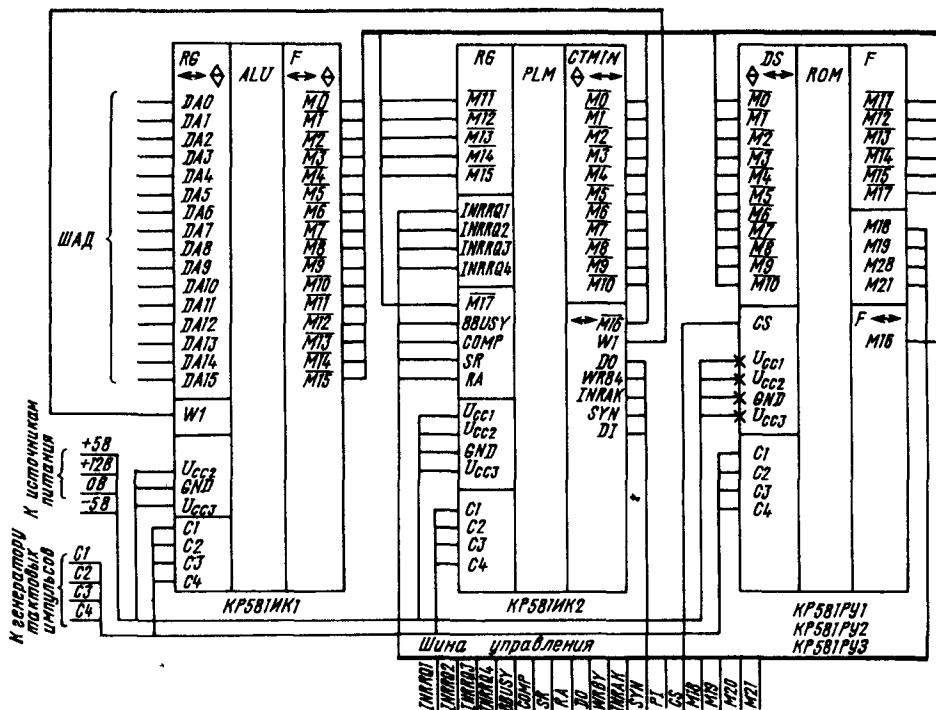


Рис. 4.10. Схема соединения микросхем МПК серии KP581

как указатели адреса, содержимое которых изменяется автоматически с заданным шагом, что позволяет обращаться к последовательно расположенным ячейкам памяти. При этом автоматическое увеличение содержимого указателя при обращении к последовательно расположенным ячейкам памяти именуется автоникрементной, а уменьшение — автодекрементной адресации;

как индексные регистры, содержимое которых прибавляется к индексному слову для вычисления адреса операнда.

Использование автоникрементного и автодекрементного методов адресации дает возможность организации стековой памяти. В качестве указателя стека может быть выбран любой программно доступный РОН.

Общее число команд, включая команды с плавающей запятой, 72.

4.4. Микросхема KP581BE1

Микросхема KP581BE1 представляет собой микропроцессор с микропрограммным управлением, в функциональном отношении аналогичный базовому МПК серии KP581, состоящему из микросхем KP581IK1, KP581IK2, KP581RU1, KP581RU2. Она обеспечивает реализацию системы команд базового МПК (типа «Электроника-60»).

Микросхема изготавливается по высокоточной л-канальной МДП-технологии с поликремниевыми затворами.

Область применения:
управление производством и технологическими процессами;
сбор и обработка данных;
решение научно-технических и экономико-статистических задач;
проведение инженерно-конструкторских расчетов;

моделирование и управление объектами в реальном масштабе времени.

Условное графическое обозначение KP581BE1 приведено на рис. 4.11, структурная схема дана на рис. 4.12, функциональное назначение выводов показано в табл. 4.11, временная диаграмма входных и выходных сигналов — на рис. 4.13.

Общие характеристики KP581BE1

Разрядность обрабатываемых данных	8,16 бит
Управление	Микропрограммное
Число типов команд	64
Объем адресуемой памяти	64К байт
Число способов адресации	8
Число уровней прерывания	4
Шина адреса и данных	Совмещенная
Быстродействие	330 тыс. операций/с
Система команд	Типа «Электроника-60»

Таблица 4.11

CPU	F	Φ	6	Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
43	INRRQ1			DA0			
44	INRRQ2			DA1	7		
42	INRRQ3			DA2	8		
41	INRRQ4			DA3	9		
37	RA			DA4	10		
38	SR			DA5	12		
39	COMP			DA6	13		
40	BBUSY			DA7	14		
1				DA8	15	26—29	M21—M18
11	U_{CC2}			DA9	16		
45	GND			DA10	17	43	INRRQ1
48	U_{CC3}			DA11	19		
47	C1			DA12	20	44	INRRQ2
25	C2			DA13	21	42	INRRQ3
46	C3			DA14	22		
24	C4			DA15	23	41	INRRQ4
		F		M18	29	37	RA
				M19	28		
				M20	27		
				M21	26	38	SR
		F		INRAK	32	39	COMP
				SYN	33		
				DI	34		BBUSY
				WRBY	35		
				DO	36		
					47, 25, 46, 24		C1—C4
					11		U_{CC1}
					1		U_{CC2}
					48		U_{CC3}
					45		GND

Рис. 4.11. Условное графическое обозначение KP581BE1

Условно в структурии схеме можно выделить три основных функциональных блока:

обработки информации, включающий в себя арифметико-логическое устройство, блок регистров общего назначения, дешифратор для адресации к РОН и схемы управления АЛУ;

управления выполнением операций, включающий в себя контроллер микропрограммной последовательности (КМП), регистры команд и микрокоманд, логику управления вводом и выводом информации и обработка прерываний;

микропрограммное постоянное запоминающее устройство (МПЗУ).

Обмен информацией между основными блоками микропроцессора осуществляется по внутренней шине микрокоманд.

Работа микропроцессора проходит следующим образом. Команда, подлежащая исполнению

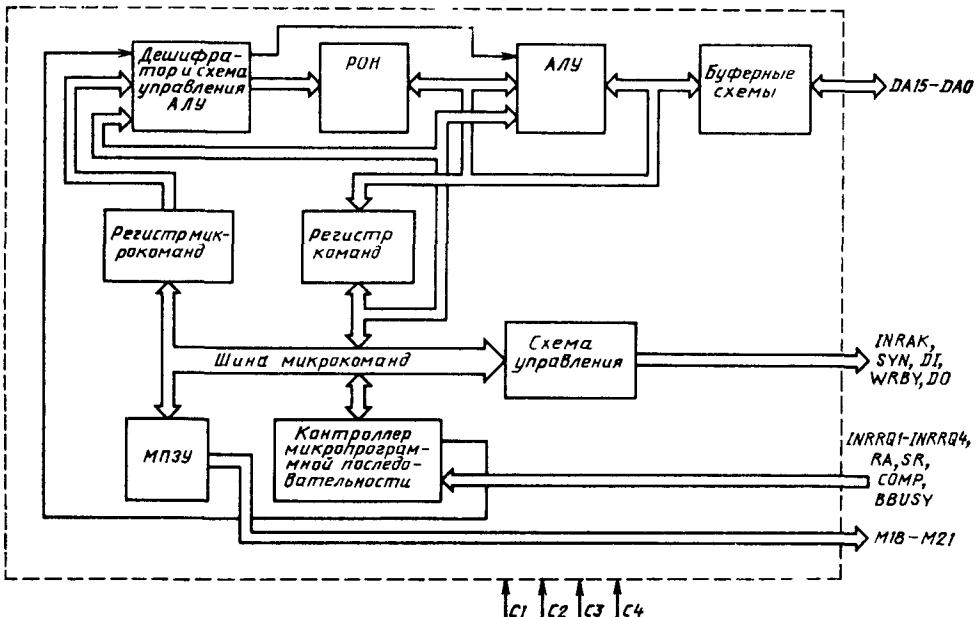


Рис. 4.12. Структурная схема КР581ВЕ1

нению, поступает на совмещенную шину адреса и данных ($DA15$, DAO на структурной схеме), заносится в регистр команд и поступает во внутреннюю шину микрокоманд. Начинается процесс вычисления адреса начала последовательности микрокоманд (микропрограммы), реализующей данную системную команду. Принятая команда по ШМК поступает далее на расшифровку на входы контроллера микропрограммной последовательности.

Выходная информация КМП является функцией предыдущей микрокоманды, системной команды, слова состояния и управляющей информации. Вычисленный адрес по ШМК поступает на входы ПЗУ микропрограмм (МПЗУ), которое формирует соответствующую данному адресу микрокоманду. Емкость матрицы МПЗУ-1К 22-разрядных микрокоманд.

Младшие 18 разрядов микрокоманды направляются в ШМК для ее исполнения, старшие 4 разряда поступают в шину управления для управления внешними устройствами ($M18-M21$).

Разряды 0—15 микрокоманды поступают в регистр микрокоманд, где хранятся весь период ее выполнения. С выхода регистра микрокоманд микрокоманда поступает снова на вход КМП для участия в вычислении адреса следующей микрокоманды. Адресная часть микрокоманды поступает на входы дешифратора для дешифрации содержимого блока регистров общего назначения, а код операции микрокоманды подается для расшифровки на логику управления ALU, которая вырабатывает

сигналы, управляющие режимом работы ALU. Информация с выхода дешифратора поступает на адресные входы блока РОН. Выбранные из блока регистров общего назначения данные поступают на обработку в ALU, которое параллельно обрабатывает два операanda.

В качестве одного из операндов может использоваться литеральная часть микрокоманды.

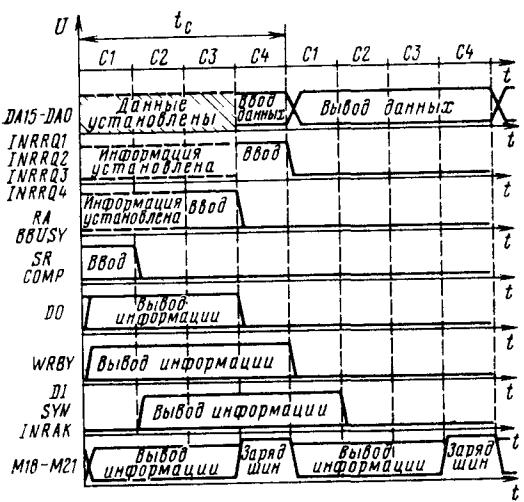


Рис. 4.13. Временная диаграмма входных и выходных сигналов КР581ВЕ1

Таблица 4.12

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Ток потребления от источника U_{CC1} , мА	I_{CC1}	—	8*
Ток потребления от источника U_{CC2} , мА	I_{CC2}	—	36*
Ток потребления от источника U_{CC3} , мА	I_{CC3}	—	0,8*
Входное напряжение тактовых сигналов высокого уровня, В	U_{IHC}	11,4	12,6
Входное напряжение тактовых сигналов низкого уровня, В	U_{ILC}	—0,5	0,5
Входное напряжение высокого уровня, В	U_{IH}	3,4	5,25
Входное напряжение низкого уровня, В	U_{IL}	—0,5	0,7
Выходное напряжение высокого уровня, В	U_{OH}	2,3**	—
Выходное напряжение низкого уровня, В	U_{OL}	—	0,6***
Емкость входов, пФ		—	15*

* При $T = +25^\circ\text{C}$.** При $I_{OH} = -80 \mu\text{A}$.*** При $I_{OL} = 0,8 \text{ мА}$.

операнды источника и назначения, информацию о текущем состоянии, а также выполняют специальные функции центрального процессора, например счетчик команд, указатель стека; 12 регистров имеют только косвенную адресацию и используются в качестве регистров общего назначения при выполнении команд.

Микропроцессор на микрокомандном уровне не работает в конвейерном режиме, при котором выполнение одной микрокоманды совмещается во времени с вычислением адреса и выборкой очередной микрокоманды. Выполнение операций над байтами осуществляется за один микрокомандный цикл.

В случае, если происходит операция над полным словом (16 разрядов), то она завершается за два цикла под управлением одной двухцикловой микрокоманды.

Система микрокоманд микросхемы КР581ВЕ1 полностью совпадает с системой микрокоманд МПК серии КР581.

Для управления работой микросхемы используется серия из четырех тактовых сигналов $C1-C4$. Под микрокомандным циклом t_c понимается период следования любого из тактовых сигналов. В случае, когда нет режима ввода или вывода информации, шины $DA15-DA0$ устанавливаются в 3-е (высокомоне) состояние.

На временной диаграмме (рис. 4.13) приняты следующие обозначения:

Данные установлены — на шинах $DA15-DA0$ установлены истинные данные;

Ввод данных — в данный промежуток времени осуществляется ввод данных в микропроцессор;

Вывод данных — вывод данных из микропроцессора;

Ввод — на данном входе БИС или группе входов в обозначенном промежутке времени происходит прием соответствующей информации;

Вывод информации — на данном выходе или группе выходов в обозначенный промежуток времени осуществляется вывод информации;

Заряд — на данной группе выходов в обозначенный промежуток времени осуществляется заряд шин до высокого уровня напряжения.

Статические параметры КР581ВЕ1 приведены в табл. 4.12.

Глава 5

Микропроцессорный комплект серии К583

Микропроцессорный комплект серии К583 предназначен для построения широкого класса вычислительных средств от микроконгломеров до высокопроизводительных систем обработки информации широкого назначения.

Комплект ориентирован на произвольную систему команд и позволяет создавать ЭВМ с магистрально-модульной организацией, эмулирующих любую систему команд.

Таблица 5.1

Тип микросхемы	Функциональное назначение	Тип корпуса	Тип микросхемы	Функциональное назначение	Тип корпуса
K583BC1	Центральный процессорный элемент (8-разрядный)	4134.48-2	K583BG1	Генератор синхросигналов	4119.28-1
K583IK1	Схема адресации ЗУ и генерации последовательности кодов	4134.48-2	K583BA1	Магистральный приемо-передатчик с памятью	405.24-2
K583KP1	Коммутационный микропроцессор	4134.48-2	K583BA2	Магистральный приемо-передатчик без памяти	4119.28-1
K583BM1	Логический микропроцессор	4134.48-2	K583BA3	Универсальный коммутатор магистралей	4134.48-2
K583XL1	Магистральный коммутатор байтовый	4134.48-2	K583BA4	Универсальный коммутатор байтовой информации	4134.48-2

Таблица 5.2

Параметр	K583BC1	K583IK1	K583KP1	K583BM1	K583XL1	K583BG1	K583BA1	K583BK2	K583BA3	K583BA4
Технология	I ² L	TTLS	TTLS	TTLS	TTLS	TTLS				
Разрядность	8	16	8	8	8	—	4	5	8	8
Нарашиваемость	+	—	+	—	+	—	—	—	+	+
Время цикла, ис	1000	1000	1000	1000	1000	—	—	—	200	200
Время задержки, нс	—	—	—	—	100	100	110	25	160	45
Ток потребления, мА	300	280	210	220	170	150	100	80	90	120
Напряжение питания, В	—	—	—	—	—	5,0	5,0	5,0	5,0	5,0

Микропроцессорный комплект характеризуется большой вычислительной мощностью, достаточно высоким быстродействием. По электрическим параметрам МПК серии K583 совместимы со стандартными ТТЛ-сериями, существует также полная совместимость серий K583 и K584. Состав МПК серии K583 приведен в табл. 5.1, а их статические параметры даны в табл. 5.2.

Все микросхемы комплекта обеспечивают стандартные ТТЛ-уровни входных и выходных сигналов и функционируют в отрицательной логике.

5.1. Микросхема K583BC1

Микросхема K583BC1 — универсальный 8-разрядный центральный процессорный элемент (ЦПЭ), выполненный по технологии I²L, предназначен для приема, хранения, арифметико-логической обработки и выдачи байтовых данных; может быть использована как составная часть процессора микро-ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 5.1, назначение вы-

водов — в табл. 5.3, структурная схема показана на рис. 5.2, формат микрокоманд — на рис. 5.3, временная диаграмма — на рис. 5.4, система микрокоманд — в табл. 5.4 и 5.5.

Микросхема работает с числами в дополнительном коде с фиксированной точкой перед старшим разрядом или кодами. Диапазон представления чисел $-1 \leq X \leq +1$.

Управление микросхемой осуществляется внешним кодом. Управляющий код имеет структуру, приведенную на рис. 5.5.

Внешние сигналы S1, S2, S3.1, S3.2 образуют систему синхронизации работы микросхемы

Прием микрокоманды осуществляется по фронту сигнала S1 за время срабатывания регистра микрокоманд (РМК). Все последующее время цикла содержимое магистрали микрокоманд МК (разряды 0—15) не влияет на работу микросхемы.

Синхросигнал S2 определяет работу блока обработки информации, выдачу исходных данных в блок обработки и запись результата в память микросхемы.

Синхросигналы S3.1, S3.2 предназначены для выдачи результата из микросхемы.

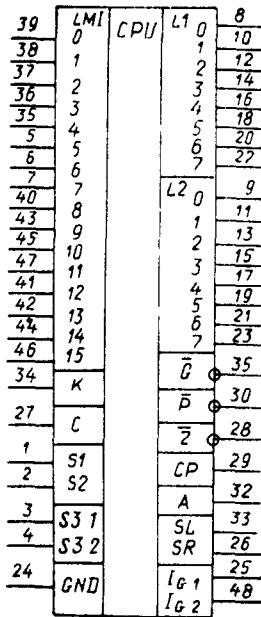


Таблица 5.3

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
35—39, 5—7, 40, 43, 45, 47, 41, 42	<i>LM10—LM115</i>	Вход	16-разрядная шина микрокоманд предназначена для приема микрокоманды
34	<i>K</i>	Вход	Признак позиции секции. Указывает на старшую или нестаршую позицию секции
27	<i>C</i>	Вход	Сигнал «Входной перенос». Служит для расширения разрядности обрабатываемого слова
			Сигнал «Прием микрокоманды»
2	<i>S1</i>	Вход	Сигнал «Исполнение микрокоманды»
3	<i>S2</i>	Вход	Сигнал «Выдача на информационную магистраль <i>L1</i> »
4	<i>S3 1</i>	Вход	Сигнал «Выдача на информационную магистраль <i>L2</i> »
24	<i>S3 2</i>	Вход	8-разрядная двунаправленная магистраль данных
	<i>I_{G1}</i>	Входы/выходы	<i>L1 (0)—L1 (7)</i>
	<i>I_{G2}</i>	Входы/выходы	<i>L1 (0)—L1 (7)</i>
9, 11, 13, 15, 17, 19, 21, 23	<i>L2 (0)—L2 (7)</i>	Входы/выходы	8-разрядная двунаправленная магистраль
31	<i>G</i>	Выход	Сигнал «Образование переноса»
30	<i>P</i>	Выход	Сигнал «Распространение переноса»
28	<i>Z</i>	Выход	Признак нуля результата
29	<i>CP</i>	Выход	Признак переполнения
32	<i>A</i>	Выход	Признак знак/выдвигаемый разряд
33	<i>SL</i>	Вход/выход	Левый вход/выход сдвигателя АЛУ
26	<i>SR</i>	Вход/выход	Правый вход/выход сдвигателя АЛУ
25	<i>I_{G1}</i>	Вход	Ток 1-го инжектора
48	<i>I_{G2}</i>	Вход	Ток 2-го инжектора
24	<i>GND</i>	Вход	Общий

Рис. 5.1. Условное графическое обозначение K583BC1

По фронту сигнала *S1* происходит прием микрокоманды в РМК, запись в РОУ, регистр режима значений, подготовленных УУ в предыдущем такте работы.

По срезу сигнала *S2* разрешается запись информации из РОН0—РОН15 и РР в *PL1* и *PL2*.

По инакому уровню сигнала *S2* результат операции со сдвигателя АЛУ заносится в РОН0—РОН15 и РР; выдача информации в

L1 бывает только при наличии сигнала *S3.1*, низкого уровня в *L2* — при наличии сигнала *S3.2* низкого уровня.

Комбинации синхросигналов *S1* и *S2* определяют четыре режима работы: остаточного управления; пропуска такта; приостановки; нормальный режим.

При запрете *S1* (режим остаточного управления) новая микрокоманда не принимается, а исполняется предыдущая.

Таблица 5.4

Мнемоника микрокоманды	Поле P1 Разряды микрокоманды					Выполняемая функция	Признак результата								
					A		CP				Z				
	Знаковый разряд		Выдвигаемый разряд				Переполнение		Выход переноса		Нуль результата				
	0	1	2	3	4		K-0	K-1	K-0	K-1	K-0	K-1	K-0	K-1	
SET (RES)	0	0	0	0	0	Запись FF_{16} (00 ₁₆)	+	+	+	+	+	+	+	+	
SEI (SFW)	0	0	0	0	1	$S - (F+1) + C$	+	+	+	+	+	+	+	+	
SSI (SSW)	0	0	0	1	0	$F - (S+1) + C$	+	+	+	+	+	+	+	+	
AW (AI)	0	0	0	1	1	$F + S + C$	+	+	+	+	+	+	+	+	
MFW (MFI)	0	0	1	0	0	$F + C$	+	+	+	+	+	+	+	+	
MFI (MFC)	0	0	1	0	1	$\bar{F} + C$	+	+	+	+	+	+	+	+	
MSW (MSI)	0	0	1	1	0	$S + C$	+	+	+	+	+	+	+	+	
MSI (MSC)	0	0	1	1	1	$\bar{S} + C$	+	+	+	+	+	+	+	+	
AN	0	1	0	0	0	$F \wedge S$	+	+	+	+	+	+	+	+	
BAN	0	1	0	0	1	$F \wedge S$	+	+	+	+	+	+	+	+	
NBS	0	1	0	1	0	$F \wedge S$	+	+	+	+	+	+	+	+	
OBS	0	1	0	1	1	$F \vee S$	+	+	+	+	+	+	+	+	
OR	0	1	1	0	0	$F \vee S$	+	+	+	+	+	+	+	+	
BOR	0	1	1	0	1	$F \vee S$	+	+	+	+	+	+	+	+	
EX	0	1	1	1	0	$F \oplus S$	+	+	+	+	+	+	+	+	
BEX	0	1	1	1	1	$F \oplus S$	+	+	+	+	+	+	+	+	
SLLEW (SLLFI)	1	0	0	0	0	Левый логический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SRLFW (SRLFI)	1	0	0	0	1	Правый логический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SCLFW (SCLFI)	1	0	0	1	0	Левый циклический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SCREW (SCRFI)	1	0	0	1	1	Правый циклический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SLAFW (SCAFI)	1	0	1	0	0	Левый арифметический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SLLFW (SLLFW)	1	0	1	0	1	Левый логический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SRAEW (SRAFI)	1	0	1	1	0	Правый арифметический сдвиг ($F+C$)	-	-	-	-	-	-	-	-	
SRLSW (SRLSI)	1	0	1	1	1	Правый логический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SCLSW (SCLSI)	1	1	0	0	0	Левый циклический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SCRSW (CRCSI)	1	1	0	0	1	Правый циклический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SLASW (SLASI)	1	1	0	1	0	Левый арифметический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SRASW (SRASI)	1	1	0	1	1	Правый арифметический сдвиг ($S+C$)	-	-	-	-	-	-	-	-	
SLLAW (SLLAI)	1	1	1	0	0	Левый логический сдвиг ($F+S+C$)	-	-	-	-	-	-	-	-	
SRLAW (SRLAI)	1	1	1	0	1	Правый логический сдвиг ($F+S+C$)	-	-	-	-	-	-	-	-	
L	1	1	1	1	0	Загрузка регистра режима	-	-	-	-	-	-	-	-	

Примечания. 1. С — входной перенос.

2. В столбце «Мнемоника микрокоманды» в скобках дана мнемоника микрокоманды для $C=1$.3. К — признак позиции микросхемы. Если $K=1$, то данные воспринимаются как коды, если $K=0$, то данные воспринимаются как числа.

4. F — первый операнд, S — второй операнд.

Таблица 5.5

Минемоника микрокоман- ды	Поле P2 Разряды микроко- манды			Выполняемая функция, приемник результата	Регистр режима	Адрес источника первого операнда		Адрес источника второго операнда	
	5	6	7			0	1	1	j
RR	0	0	0	РОН (<i>I</i>) $\rightarrow L1$; РОН (<i>j</i>) $\rightarrow L2$ АЛУ [РОН (<i>I</i>), РОН (<i>j</i>)] \rightarrow \rightarrow РОН (<i>I</i>)	0 1	0 1	РМК (8–11) РОУ (0–3)	РМК (12–15) РОУ (4–7)	
RL	0	0	1	РОН (<i>I</i>) $\rightarrow L1$ АЛУ [РОН (<i>I</i>), <i>L2</i>] \rightarrow РОН (<i>I</i>)	0 1	X X	РМК (8–11) РОУ (0–3)	—	
RRI	0	1	0	РР $\rightarrow L1$; РОН (<i>I</i>) $\rightarrow L2$ АЛУ [РР, РОН (<i>I</i>)] \rightarrow РОН (<i>I</i>)	0 1	0 1	РМК (8–11) РОУ (0–3)	РМК (12–15) РОУ (4–7)	
RL1	0	1	1	РР $\rightarrow L1$ АЛУ [РР, <i>L2</i>] \rightarrow РОН (<i>I</i>)	0 1	X X	РМК (8–11) РОУ (0–3)	—	
RR2	1	0	0	РОН (<i>I</i>) $\rightarrow L1$; РОН (<i>j</i>) $\rightarrow L2$ АЛУ [РОН (<i>I</i>), РОН (<i>j</i>)] \rightarrow РР	0 1	0 1	РМК (8–11) РОУ (0–3)	РМК (12–15) РОУ (4–7)	
LL	1	0	1	АЛУ [<i>L1</i> , <i>L2</i>] \rightarrow РР	X	X	—	—	
RR3	1	1	0	РР $\rightarrow L1$; РОН (<i>j</i>) $\rightarrow L2$ АЛУ [РР, РОН (<i>j</i>)] \rightarrow РР	X	X 1	—	РМК (12–15) РОУ (4–7)	
RL3	1	1	1	РОН (<i>j</i>) $\rightarrow L2$ АЛУ [<i>L1</i> , РОН (<i>j</i>)] \rightarrow РР	X	0 1	—	РМК (12–15) РОУ (4–7)	

П р и м е ч а н и я . 1. Регистр-регистр (формат *RR*) — оба операанда находятся в РОН или рабочем регистре *РР*.

2. Регистр-память (формат *RL*) — один операнд хранится в РОН или РР, а другой принимается из магистрали *L1* или *L2*.

3. Память-память (формат LL) — оба операанда берутся из магистралей $L1$ и $L2$.

4. Поле *P2* микрокоманды определяет источники операандов и приемник результата.

5. X — состояние входа безразлично.

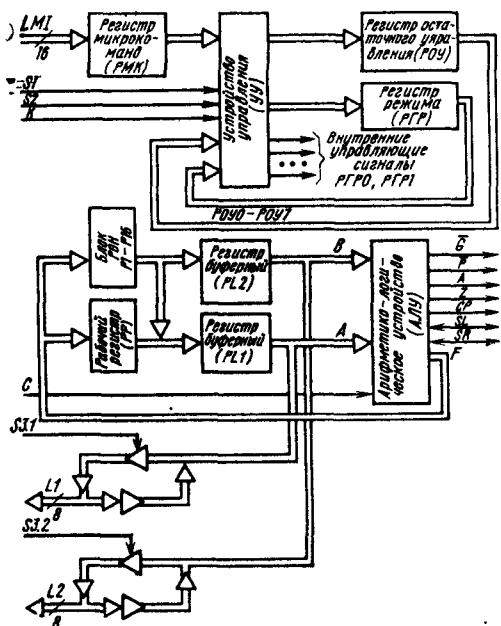


Рис. 5.2. Структурная схема К583ВС1

При запрете $\overline{S1}, S2$ (режим приостановки) новая микрокоманда не принимается, на регистрах сохраняется прежнее значение. Если в предыдущей команде исполняется формат LL, RL , то может произойти смена признаков на выводах A, CP, \bar{Z} ; если был формат RR , то смены признаков нет.

При запрете $S2$ (режим пропуска такта) принимается новая микрокоманда, но не исполняется, признаки на выводах A , CP , \bar{Z} меняются. Если новая микрокоманда формата LL , то признаки и результат вырабатываются верные, однако записи результата не происходит.

Так как признаки на выводах A , CP , Z являются выходами комбинационной схемы, то для дальнейшей работы с ними их надо запоминать на внешнем регистре.

Микрокоманда «Загрузка регистра режима» имеет особый формат, приведенный на рис. 5.6.

Структурная схема объединения четырех микросхем K583BC1 с применением схемы ускоренного переноса приведена на рис. 5.7.



Рис. 5.3. Формат микрокоманды микросхемы K583BC1

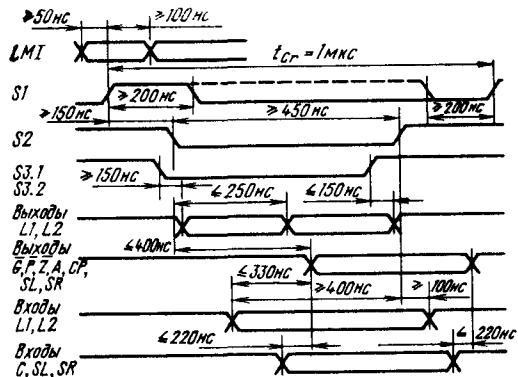


Рис. 5.4. Временная диаграмма работы K583BC1

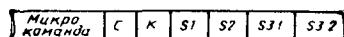


Рис. 5.5. Структура управляемого кода



Рис. 5.6. Структура микрокоманды «Загрузка регистра режима»

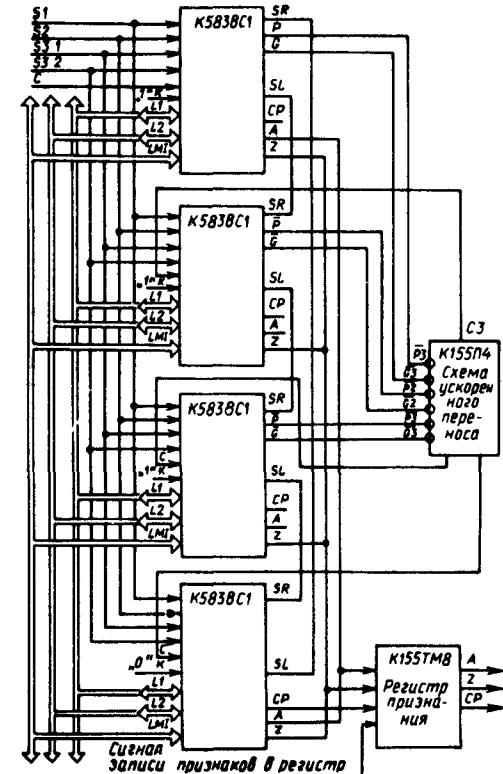


Рис. 5.7. Схема объединения четырех микросхем K583BC1

Основные параметры K583BC1

Номинальный ток инжектора $I_G = I_{G1} + I_{G2}$ 300 мА
 Потребляемая мощность P_{CC} при номинальном токе инжектора 360 мВт
 Выходной ток высокого уровня I_{OL} , не более: для выводов G , P , Z , CP , A 0,05 мА

для магистралей $L1$, $L2$, выводов SL , SR 0,45 мА
 Выходной ток низкого уровня I_{OL} , не более 20 мА
 Выходное напряжение низкого уровня U_{OL} , не более 0,4 В
 Время цикла T_C , не более 1000 ис

5.2. Микросхема K583ИК1

Микросхема K583ИК1 предназначена для построения устройств адресации ЗУ и устройств генерации последовательности кодов, выполнена по технологии интегральной инжекционной логики.

Условное графическое обозначение микросхемы приведено на рис. 5.8, назначение выводов — в табл. 5.6, структурная схема показана на рис. 5.9.

Микросхема K583ИК1 обеспечивает: прямую и обратную последовательность адресации ячеек ЗУ;

Таблица 5.6

	<i>OLMI</i>	<i>IP</i>	<i>LA</i>				
4				0	8		
46	1			1	10		
47	2			2	12		
45	3			3	14		
44	4			4	16		
43	5			5	18		
42	6			6	20		
1	7			7	22		
2	<i>S1</i>			8	23		
3	<i>S2</i>			9	31		
6	<i>S3</i>			10	29		
7	<i>X</i>			11	27		
9	<i>INT</i>			12	41		
11	0	<i>LD</i>		13	39		
13	1			14	37		
15	2			15	35		
17	3			16	46		
19	4			17	47		
21	5			18	44		
23	6			19	42		
32	7			20	1, 2		
30	8			21			
25	9			22			
26	10			23			
40	11			24	3		
38	12			25	48		
36	13			26	6		
34	14			27	<i>INT</i>		
	15			28			
		<i>GND</i>		29			
		<i>I_{G1}</i>		30			
		<i>I_{G2}</i>		31			

Рис. 5.8. Условное графическое обозначение К583ИК1

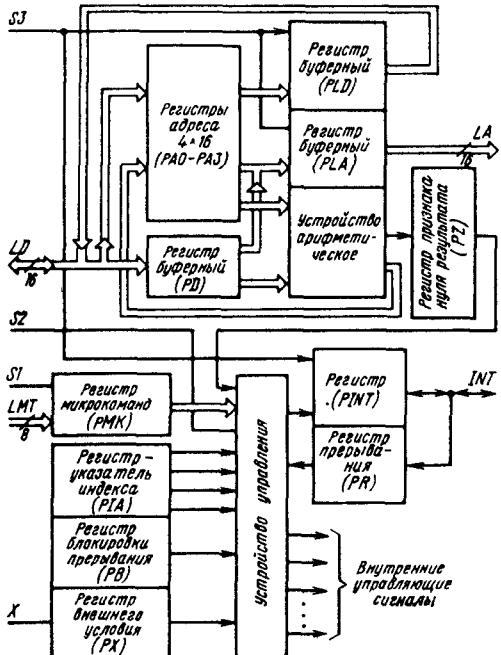


Рис. 5.9. Структурная схема К58ЗИК1

косвенную, индексную и базовую адресацию ячеек ЗУ;

четыре уровня вложенности подпрограмм; организацию условных и безусловных переходов в программах и микропрограммах; переход по внешнему прерыванию.

Максимальная емкость адресуемой памяти 64К слов.

Микросхема имеет четыре общих 16-разрядных регистра адреса РА0—РА3, обеспечивающих хранение адресов к памяти. Наличие 16-разрядного арифметического устройства обеспечивает выполнение различных арифметических операций.

Буферные регистры *PLA*, *PLD*, *PD* и *PINT* обеспечивают хранение информации в течение цикла при приеме и выдаче на соответствующие магистрали.

Регистры PX , PR , PIA , PB , PZ образуют внутренний регистр состояния (РС) микросхемы, определяющий ее внутреннее состояние.

Магистраль адреса *LA* обеспечивает вывод сформированного адреса к памяти.

Магистраль данных LD обеспечивает возможность ввода адреса перехода, смещения или осуществления загрузки/выгрузки регистров адреса РА0—РА3. Схема формирования адреса регистров РА0—РА3 выполнена так, что на выходе устройства управления параллельно формируются четыре двухбитовых кода адреса выборки регистров РА: адрес из регистра микрокоманд; адрес из регистра ин-

декса PIA ; инкрементированный адрес из PIA ; декrementированный адрес из PIA . Выборка одного из указанных адресов обеспечивается соответствующими разрядами микрокоманды.

Работа микросхемы синхронизирована тремя синхросигналами: $S1$, $S2$, $S3$ (рис. 5.10).

Синхросигнал $S1$ стробирует занесение в РМК микрокоманды, синхросигнал $S2$ обеспечивает отработку принятой микрокоманды. Синхросигнал $S3$ стробирует выдачу информации из микросхемы на магистрали LA , LD и выход INT .

Во время исполнения принятой микрокоманды возможны четыре комбинации синхросигналов $S1$, $S2$, которые позволяют получить четыре режима работы микросхемы.

Нормальный режим ($S1$, $S2$ присутствуют). Каждый цикл принимается новая микрокоманда, которая затем исполняется.

Режим пропуска цикла ($S2$ отсутствует). Каждый цикл принимается новая микрокоманда, но не исполняется.

Режим приостановки ($S1$, $S2$ отсутствуют). Хранится последняя принятая микрокоманда, но не исполняется.

Режим остаточного управления ($S1$ отсутствует).

Происходит многократное исполнение последней принятой микрокоманды.

Возможность этих режимов работы обеспечивается тем, что регистр РМК стробируется синхросигналом $S1$, а регистры $PA0$ — $PA3$,

Таблица 5.7

Мнемоника микрокоманды	Поле $P1$ Разряды микрокоманды				Содержание операций	Возможные константы
	0	1	2	3		
XX	0	0	X	X	$MK(2-3) \rightarrow PIA$	
IA	0	1	0	0	$+ (PIA, 1) \rightarrow PIA$	
DA	0	1	0	1	$- (PIA, 1) \rightarrow PIA$	0002 ₁₆
AA	0	1	1	0	$PIA \rightarrow PIA;$	0003 ₁₆
BR	0	1	1	1	Если $PX = 0$, то $PIA \rightarrow PIA;$ если $PX = 1$, то $(PIA, 1) \rightarrow PIA$	
PL	1	0	X	X	$PA_i \rightarrow LD$	
LP	1	1	X	X	$LD \rightarrow PA_i$	

Примечания. 1. Константа 0002₁₆ является сигналом переполнения регистра PIA , формируется по +1 при $PIA=11_2$ и выдается на магистраль LA .

2. Константа 0003₁₆ является сигналом переполнения регистра PIA , формируется по -1 при $PIA=00_2$ и выдается на магистраль LA .

3. Индекс регистра PA_i определяется переменной XX из поля $P1$: $i=MK(2-3)$.

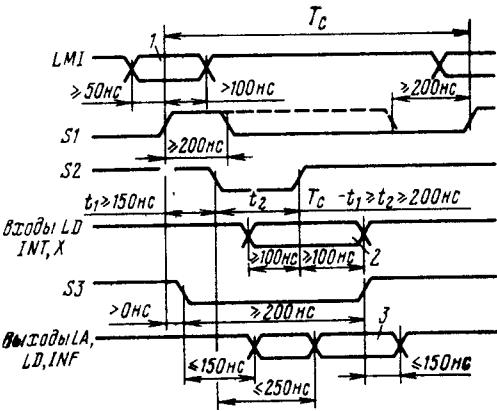


Рис. 5.10. Временная диаграмма работы K583ИК1

PD , PLD , PIA , PX , PP , PZ , $PINT$ — синхросигналом $S2$.

Управляющий синхросигнал $S3$ может подаваться в произвольный момент времени и не связан никакими временными соотношениями с синхросигналами $S1$, $S2$.

Микросхема выполняет 112 микрокоманд. Формат микрокоманды имеет постоянную длину и заинкрементывает восемь двоичных разрядов, которые разбиты на два независимых поля: поле кода операции регистра состояния $P1$ (разряды 0—3) и поле кода операции арифметического устройства $P2$ (разряды 4—7).

Поле $P1$ определяет пять операций регистра индекса адреса PIA и управляет выводом на выводом информации через магистраль LD .

Поле $P2$ определяет источники операндов, функцию арифметического устройства, запись результата в регистры $PA0$ — $PA3$, управляет выдачей адресов на магистраль LA .

Система микрокоманд K583ИК1 представлена в табл. 5.7 и 5.8.

Основные параметры K583ИК1

Номинальный ток инжектора $I_G = I_{G1} + I_{G2}$	280 мА
Потребляемая мощность P_{cc} при номинальном токе инжектора I_G	336 мВт
Входной ток низкого уровня I_{IL} при $U_{IL} = 2,4$ В, не более	0,2 мА
Выходной ток высокого уровня I_{OH} , не более:	
для магистрали LD , вывода INT	0,45 мА
для магистрали LA	0,05 мА
Выходной ток низкого уровня I_{OL} , не более	20 мА
Выходное напряжение низкого уровня U_{OL} , не более	0,4 В
Время цикла T_C , не более	1000 нс

Таблица 5.8

Мнемоника микрокоманды	Поле P2 Разряды микрокоманды				Внешнее условие P_X	Содержание операции	Возможные константы
	0	1	2	3			
RZ**	0	0	0	0		$0000_{16} \rightarrow LA; PA_i \rightarrow PA_i$	
RIC	0	0	0	1	0	$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001_{16}
					1	$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001_{16} 0004_{16}
MV	0	0	1	0		$PD \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001_{16} 0004_{16}
MVD	0	0	1	1		$PD \rightarrow LA; -(PA_i, 1) \rightarrow PA_i$	0001_{16} 0004_{16}
RAD	0	1	0	0		$PA_i \rightarrow LA; +(PA_i, PD) \rightarrow PA_i$	0001_{16} 0004_{16}
PZAD	0	1	0	1		$0000_{16} \rightarrow LA; +(PA_i, PD) \rightarrow PA_i$	0001_{16} 0004_{16}
RWT	0	1	1	0		* $[PA_i(0-7), PD(8-15)] \rightarrow LA$ + $*[PA_i(0-7), PD(8-15)], 1 \rightarrow PA_i$	0001_{16} 0004_{16}
MVW	0	1	1	1		$PD \rightarrow LA; +(PD, 1) \rightarrow PA_i$	0001_{16} 0004_{16}
MVWC	1	0	0	0	0	$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001_{16}
					1	$PD \rightarrow LA; +(PD, 1) \rightarrow PA_i$	0004_{16}
RZIC	1	0	0	1	0	$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001_{16}
					1	$0000_{16} \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0001_{16} 0004_{16}
RWTC	1	0	1	0	0	$PA_i \rightarrow LA; -(PA_i, 1) \rightarrow PA_i$	0001_{16}
					1	* $[PA_i(0-7), PD(8-15)] \rightarrow LA$ + $*[PA_i(0-7), PD(8-15)], 1 \rightarrow PA_i$	0004_{16}
RD	1	0	1	1		$PA_i \rightarrow LA; PA_i \rightarrow PA_i$	0001_{16}
RNIN**	1	1	0	0		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i; 0_2 \rightarrow PB$	0004_{16}
RJ	1	1	0	1		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i$	0004_{16}
RIN**	1	1	1	0		$PA_i \rightarrow LA; +(PA_i, 1) \rightarrow PA_i, 1_2 \rightarrow PB$	0004_{16}
NOP**	1	1	1	1		$PA_i \rightarrow PA_i$; на LA, LD сохраняется состояние предыдущего цикла	

Примечания. 1. PA_i — один из регистров адреса PA_0 — PA_3 , адресуемый индексным регистром PIA .

2. Константа 0001_{16} является первым адресом подпрограммы обработки внешнего прерывания и формируется в микрокомандах, реагирующих на прерывание при условиях $PZ=1_2$ и $PB=0_2$.

3. Константа 0004 является признаком лог. 0 результата и формируется в микрокомандах с модификаторами $+(PA_i, 1)$; $+(PA_i, PD)$; $+(PD, 1) + * [PA_i(0-7), PD(8-15)], 1$; $-(PA_i, 1)$ при условии $PR=1$.

4. При формировании любых констант ($0001_{16}, 0002_{16}, 0003_{16}, 0004_{16}$) формируется признак $INT=1_2$.

* — операция склейки байтов.

** Микрокоманды на прерывание не реагируют.

5.3. Микросхема К583КП1

Микросхема К583КП1 — коммутационный микропроцессор, выполненный по И²Л технологии, предназначена для построения коммутаторов и мультиплексоров данных, буферных устройств хранения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.11, назначение выводов — в табл. 5.9, структурная схема показана на рис. 5.12, формат микрокоманд — на рис. 5.13, система микрокоманд — в табл. 5.10 и 5.11, временная диаграмма работы — на рис. 5.14.

Микросхема обеспечивает выполнение следующих операций:

передачу информации из магистралей в регистры;

передачу информации из регистров в магистрали;

передачу информации между регистрами; межмагистральные передачи; логическую обработку байтовых данных; операции коммутации двухбайтовых данных;

последовательный прием и одновременную выдачу до четырех байтовых данных;

операции выдачи трехбайтовых данных из регистров на три магистрали;

операции приема и выдачи четырехбайтовых данных;

сравнение байтовых данных с выдачей признака равенства и нулю;

мажорирование байтовых данных из трех регистров по принципу 2 из 3 с записью результата в три регистра;

мажорирование байтовых данных из трех магистралей по принципу 2 из 3 с записью результата в один регистр.

Структурная схема микросхемы, приведенная на рис. 5.12, содержит следующие функциональные узлы:

Таблица 5.9

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
11, 10, 6, 5, 12, 13, 9, 8	LMI0—LMI7	Вход	8-разрядная шина микрокоманд
44, 43, 39, 35, 31, 27, 21, 17	L1 (0)—L1 (7)	Входы / выходы	Двунаправленная 8-разрядная магистраль данных
45, 42, 38, 34, 30, 26, 20, 16	L2 (0)—L2 (7)	Входы / выходы	Двунаправленная 8-разрядная магистраль данных
46, 41, 37, 33, 29, 23, 19, 15	L3 (0)—L3 (7)	Входы / выходы	Двунаправленная 8-разрядная магистраль данных
47, 40, 36, 32, 28, 22, 18, 14	L4 (0)—L4 (7)	Входы / выходы	Двунаправленная 8-разрядная магистраль данных
4	Z	Выход	Признак нуля результата
7	CS	Вход	Разрешение работы микросхемы (выбор кристалла)
1	S1	Вход	Синхросигнал приема микрокоманды
2	S2	Вход	Синхросигнал исполнения микрокоманды
3	S3	Вход	Стробирующий сигнал выдачи информации на магистрали L1—L4
25	I _{G1}	Вход	Ток инжектора 1
48	I _{G2}	Вход	Ток инжектора 2
24	GND	Вход	Общий

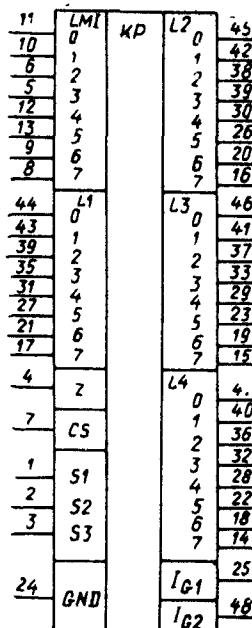


Рис. 5.11. Условное графическое обозначение К583КП1

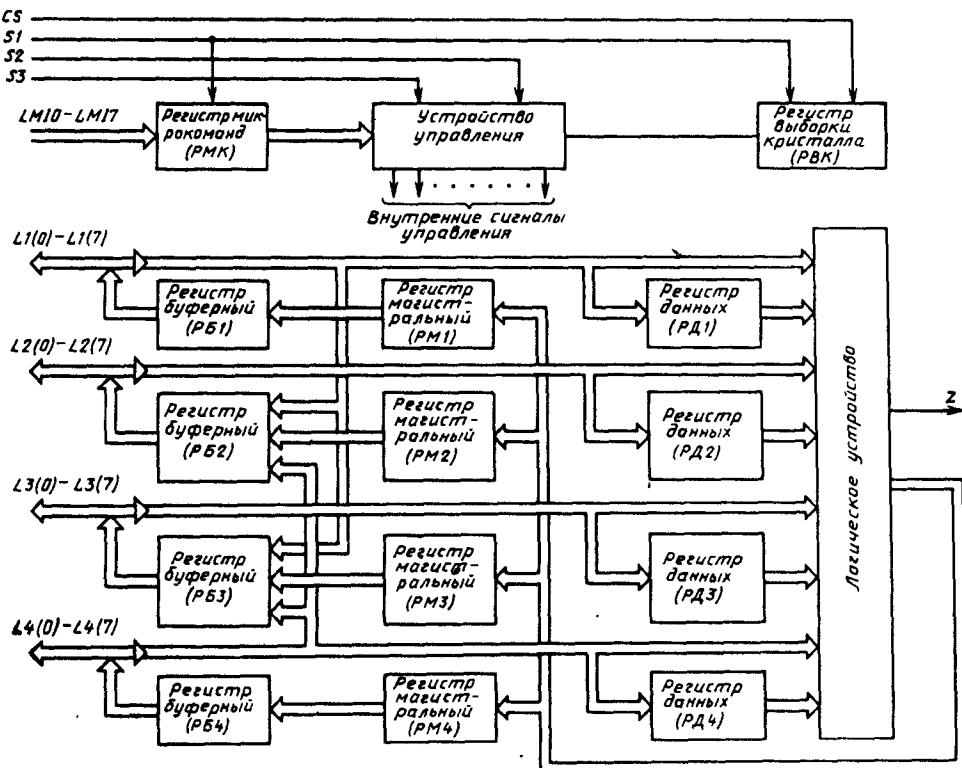


Рис. 5.12. Структурная схема К583КП1

четыре 8-разрядные двунаправленные магистрали данных $L1(0-7)$ — $L4(0-7)$;

четыре 8-разрядных буферных регистра РБ1—РБ4;

четыре 8-разрядных магистральных регистра РМ1—РМ4;

четыре 8-разрядных регистра данных РД1—РД4;

8-разрядное логическое устройство;

8-разрядную шину микрокоманд $LM10$ — $LM17$ и регистр микрокоманд;

устройство управления;

одноразрядный регистр выборки кристалла РВК.

Логическое устройство выполняет логические операции над операндами, содержащимися в регистрах РД1—РД4 или поступающими непосредственно с магистралей $L1$ — $L4$. Оно имеет два входа (A и B) и выполняет одну из четырех логических операций в соответствии с

табл. 5.11. При выполнении операций логическое устройство формирует признак нулевого результата на выводе Z ; если результат равен нулю, то $Z=1$. Результат операции логического устройства заносится в один из четырех или три из четырех регистров РМ1—РМ4.

Микросхема выполняет операции мажорирования байтовых данных для трех operandов по правилу:

$$\#(a, b, c) = (a \wedge b) \vee (a \wedge c) \vee (b \wedge c).$$

К особенностям микросхемы относятся наличие входа «выборки кристалла» записи информации в РВК. Если в РВК записана 1, то разрешается работа микросхемы, а если записан 0, то никаких действий микросхема не производит.

Работа микросхемы синхронизируется тремя синхросигналами: $\bar{S}1$, $S2$ и $S3$.

Положительный перепад синхросигнала $\bar{S}1$ стробирует занесение микрокоманды в РМК и сигнал «Выбор кристалла» в РВК.

Положительный перепад синхросигнала $S2$ стробирует занесение информации в РД1—РД4 и РМ1—РМ4.

Отрицательный перепад синхросигнала $S2$ стробирует занесение информации в РБ1—РБ4.

Код режима работы	Коды адресов operandов и приемников результата	Код логического устройства
0	1	2
1	3	4
2	5	6
3	7	7

Рис. 5.13. Формат микрокоманд микросхемы К583КП1

Таблица 5.10

Мнемоника микрокоманды	Состояния разрядов микрокоманды							Содержание операции ¹	Признак результата	Примечание
	0	1	2	3	4	5	6			
SA (<i>i, j</i>)	0	0	<i>i</i>	<i>j</i>	KOP в соответствии с табл. 5.11			$F(PD_i, PD_j) \rightarrow PM_j$	$Z = 1$, если результат равен 0	<i>i</i> — адрес операнда <i>A</i> <i>j</i> — адрес операнда <i>B</i> и результата
CL (<i>i, j</i>)	0	1	<i>i</i>	<i>j</i>				$F(L_i, L_j) \rightarrow PM_j$		
OB (<i>j</i>)	1	0	0	0	<i>j</i>	X	X	$PM_j \rightarrow L_j$	0	<i>j</i> — адрес операнда и магистрали
VCL (<i>j</i>)	1	0	0	1	<i>j</i>	X	X	$\#(A0 \cdot L1, A1 \cdot L2, A2 \cdot L3, A3 \cdot L4) \rightarrow PM_j$, где $A(X=j)=0; A(X \neq j)=1$	0	$\#$ — операция мажорирования
VLC (<i>i</i>)	1	0	1	0	<i>j</i>	X	X	$\#(A0 \cdot L1, A1 \cdot L2, A2 \cdot L3, A3 \cdot L4) \rightarrow PM$ ($X \neq j$), где $A(X=j)=0; A(X \neq j)=1$	0	<i>j</i> — адрес регистра, ие участвующего в операции
IBZ (<i>i</i>)	1	0	1	1	<i>j</i>	X	X	$PM(X \neq j) \rightarrow L(X \neq j)$	0	<i>j</i> — адрес регистра и магистрали, не участвующий в операции
VCR (<i>j</i>)	1	1	0	0	<i>j</i>	X	X	$\#(A0 \cdot PD_1, A1 \cdot PD_2, A2 \cdot PD_3, A3 \cdot PD_4) \rightarrow PM$ ($X \neq j$), где $A(X=j)=0; A(X \neq j)=1$	0	<i>j</i> — адрес регистра, ие участвующего в операции
LCA (<i>j</i>)	1	1	0	1	<i>j</i>	X	X	$L_j \rightarrow PD_j$	0	
LD	1	1	1	0	0	0	X	$L1 \rightarrow PD_1; L2 \rightarrow PD_2; L3 \rightarrow PD_3; L4 \rightarrow PD_4$	0	
IB	1	1	1	0	0	1	X	$PM_1 \rightarrow L1; PM_2 \rightarrow L2; PM_3 \rightarrow L3; PM_4 \rightarrow L4$	0	
MW	1	1	1	0	1	0	X	$L1 \rightarrow L2; L4 \rightarrow L3$	0	
MVC	1	1	1	0	1	1	X	$L4 \rightarrow L2; L1 \rightarrow L3$	0	
MV12	1	1	1	1	0	0	X	$L1 \rightarrow L2$	0	
MV42	1	1	1	1	0	1	X	$L4 \rightarrow L2$	0	
MV13	1	1	1	1	1	0	X	$L1 \rightarrow L3$	0	
MV43	1	1	1	1	1	1	X	$L4 \rightarrow L3$	0	

Примечание. X — состояние входа безразлично.

¹ Все микрокоманды выполняются при $CS=1$.

Низкий уровень синхросигнала *S3* разрешает выдачу информации на магистрали *L1—L4* и вывод *Z*.

Для микросхемы возможны четыре режима работы, задаваемые комбинациями *S1* и *S2*:

режим остаточного управления (*S1* отсутствует). В этом режиме происходит многократное исполнение последней принятой микрокоманды;

режим пропуска цикла (*S2* отсутствует). В этом режиме в каждом цикле принимается новая микрокоманда, но не исполняется;

Таблица 5.11

Мнемоника микрокоманды	Состояния разрядов микрокоманды		Содержание операции логического устройства
	6	7	
DR	0	0	$F = A \vee B$
AND	0	1	$F = A \wedge B$
A	1	0	$F = A$
XOR	1	1	$F = A \oplus B$

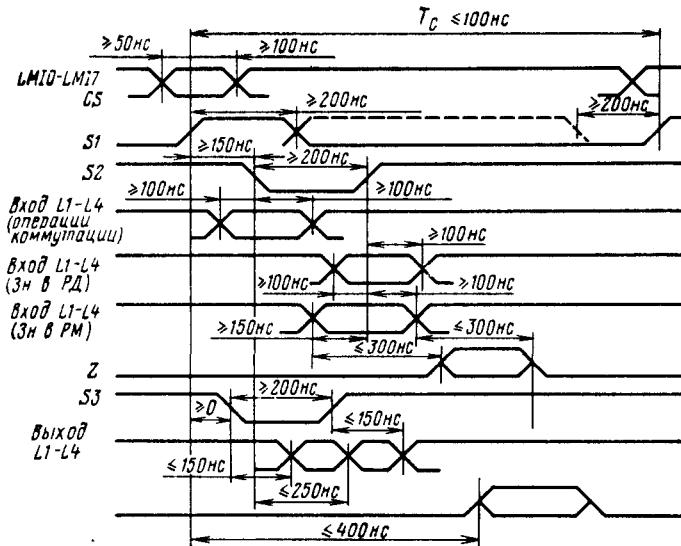


Рис. 5.14. Временная диаграмма работы K583КП1

режим приостановки (S_1 и S_2 отсутствуют). В этом режиме в микросхеме никаких действий не происходит, а в РМК хранится последняя принятая микрокоманда;

нормальный режим (S_1 и S_2 присутствуют). В этом режиме в каждом цикле принимается новая микрокоманда, которая затем исполняется.

Основные параметры K583КП1

Номинальный ток инжектора $I_G = I_{G1} + I_{G2}$	210 мА
Потребляемая мощность P_{cc} при номинальном токе инжектора	252 мВт
Входной ток низкого уровня I_{IL} при $U_{IL} = 2,4$ В, не более	0,2 мА
Выходной ток высокого уровня I_{OH} , не более:	
для магистралей $L1$ (0—7) — $L4$ (0—7)	0,45 мА
для вывода Z	0,05 мА
Выходной ток низкого уровня I_{OL} , не более	20 мА
Выходное напряжение низкого уровня U_{OL} , не более	0,4 В
Время цикла T_C , не менее	1000 нс

5.4. Микросхема K583ВМ1

Микросхема K583ВМ1 — логический микропроцессор (ЛП), выполненный по И²Л технологии, ориентирован на логическую обработку битовой и байтовой информации и предназначен для построения устройств формирования приоритета, устройств логической обработки битовой и байтовой информации, устройств перекодировки информации.

Условное графическое обозначение микросхемы приведено на рис. 5.15, назначение выводов — в табл. 5.12, структурная схема дана на рис. 5.16, формат микрокоманд показан на рис. 5.17, система микрокоманд приведена в табл. 5.13—5.15, временная диаграмма работы — на рис. 5.18.

Микросхема обеспечивает выполнение следующих операций:

прием, логическую обработку, хранение и выдачу битовой и байтовой информации;

анализ входной информации на наличие хотя бы одной 1 с выдачей номера разряда, в котором содержится старшая (левая) 1, идентифицируемого соответствующими признаками;

модификацию адресов элементов внутренней памяти.

Структурная схема микросхемы, приведенная на рис. 5.16, содержит:

пять информационных магистралей $LN0$ — $LN2$, $LX0$ — $LX7$, $LM0$ — $LM7$, $LY0$ — $LY7$, LB и шину микрокоманд $LM10$ — $LM18$;

8-разрядное логическое устройство; восемь 8-разрядных регистров общего назначения РОН—РОН7;

8-разрядный регистр маски РМС и схему маскирования;

регистры магистралей РМ и РБ;

3-разрядный регистр приоритета РП и схему приоритета;

3-разрядный регистр вида номера РОН (адреса бита РН);

9-разрядный регистр микрокоманд РМК и ПЛМ;

регистр остаточного управления, состоящий из 3-разрядного регистра внутреннего указателя РОН РУ и 3-разрядного регистра адреса бита РАБ;

Таблица 5.12

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
28—26, 17, 29, 18, 19, 21, 20	LM10— LM19	Входы	9-разрядная шина микрокоманд
7, 10, 13, 16, 30, 33, 36, 39	LX0—LX7	Входы	8-разрядная магистраль данных
5, 8, 11, 14, 32, 35, 38, 41	LM0—LM7	Входы/выходы	Двунаправленная 8-разрядная магистраль данных
6, 9, 12, 15, 31, 34, 37, 40	LY0—LY7	Выходы	8-разрядная магистраль данных
44—46	LN0—LN2	Входы/выходы	Двунаправленная 3-разрядная магистраль номера приоритета (адреса бита и адреса РОН)
47	LB	Вход/выход	Двунаправленная битовая магистраль
43	P	Выход	Признак наличия 1 в анализируемой информации
42	E	Выход	Признак переполнения счетчика битов (наличие 1 в анализируемой информации)
22	CS	Вход	Сигнал разрешения работы микросхемы (выбор кристалла)
1	S1	Вход	Синхросигнал приема микрокоманды
2	S2	Вход	Синхросигнал исполнения микрокоманды
3	S3	Вход	Синхросигнал выдачи информации в LB и LM
4	S4	Вход	Синхросигнал выдачи информации в LN
25	I _{G1}	Вход	Ток инжектора 1
48	I _{G2}	Вход	Ток инжектора 2
24	GND	—	Общий

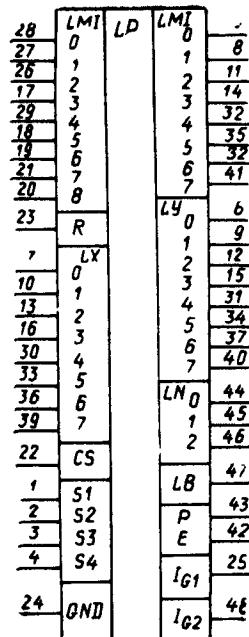


Рис. 5.15. Условное графическое обозначение K583BM1

одноразрядный регистр выборки кристалла РВК.

На входы логического устройства могут поступать операнды из двунаправленной магистрали LM0—LM7, входной магистрали LX0—LX7, одного из РОН РОН0—РОН7, регистра маски РМС, одноразрядной магистрали LB.

При выполнении байтовых операций массив РОН адресуется как массив из восьми байтов с непосредственным доступом и с доступом по стековому принципу. При выполнении битовой обработки массив РОН интерпретируется как матрица битов размерностью

8×8, а регистр РМС с разрядами 0—7 — как строка битов.

Система микрокоманд приведена в табл. 5.13. Формат микрокоманды имеет постоянную длину и занимает девять двоичных разрядов, разбитых на три независимых поля (П1—П3, см. рис. 5.17).

В байтовых операциях используются четыре способа адресации одного из РОН, участвующих в операции:

прямая адресация. Осуществляется подачей совместно с микрокомандой 3-разрядного кода адреса по магистрали LN0—LN2;

Таблица 5.13

Мнемоника микрокоманды	Состояние разрядов микро-команды ¹					Содержание операций	Значение индекса K
	0,1	2	3	4	5		
RRX, R	Байтовые операции (см. табл. 5.15)	0	0	0	0	F (POH, K, LX)→POH, K; 0→PM, РБ	K=РУ
RRX, DA		0	0	0	1	F (POH, K, LX)→POH, K; 0→PM, РБ	K=РН
YKD, R		0	0	1	0	F (POH, K, LM)→PMC; 0→PM, РБ	K=РУ
YRX, DA		0	0	1	1	F (POH, K, LX)→PMC; 0→PM, РБ	K=РН
RRD, R		0	1	0	0	F (POH, K, LM)→POH, K; 0→PM, РБ	K=РУ
RRD, DA		0	1	0	1	F (POH, K, LM)→POH, K; 0→PM, РБ	K=РН
NRD, R		0	1	1	0	F (POH, K, LM); 0→PM, РБ	K=РУ
NRD, DA		0	1	1	1	F (POH, K, LM); 0→PM, РБ	K=РН
RYD, R		1	0	0	0	F (PMC, LM)→POH, K; 0→PM, РБ	K=РУ
RYD, DA		1	0	0	1	F (PMC, LM)→POH, K; 0→PM, РБ	K=РН
RYD, I		1	0	1	0	F (PMC, LM)→POH, K; 0→PM, РБ	K=РУ+1
RYD, D		1	0	1	1	F (PMC, LM)→POH, K; 0→PM, РБ	K=РУ-1
DYR, R		1	1	0	0	F (PMC, POH, K)→PM; 0→РБ	K=РУ
DYR, DA		1	1	0	1	F (PMC, POH, K)→PM; 0→РБ	K=РН
DYR, I		1	1	1	0	F (PMC, POH, K)→PM; 0→РБ	K=РУ+1
DYR, D		1	1	1	1	F (PMC, POH, K)→PM; 0→РБ	K=РУ-1
RRX	Битовые операции (см. табл. 5.15)	0	0	0	0	F [POH, K (i), LX (i)]→POH, K (i); 0→PM, РБ, РП	K=РУ
YRX		0	0	0	1	F [POH, K (i), LX (i)]→PMC (i); 0→PM, РБ, РП	K=РН
BRX		0	0	1	0	F [POH, K (i), LX (i)]→РБ; 0→PM, РП	K=РУ
DRX		0	0	1	1	F [POH, K (i), LX (i)]→PM ² ; 0→РБ, РП	K=РН
RRD		0	1	0	0	F [(POH, K (i), LM (i))]→POH, K (i); 0→PM, РБ, РП	K=РУ
YRD		0	1	0	1	F [(POH, K (i), LM (i))]→PMC (i); 0→PM, РБ, РП	K=РН
DRD		0	1	1	0	F [(POH, K (i), LM (i))]→PM ² ; 0→РБ, РП	K=РУ
BRD		0	1	1	1	F [(POH, K (i), LM (i))]→РБ; 0→PM, РП	K=РН
RRB		1	0	0	0	F [POH, K (i), LB]→POH, K (i); 0→PM, РБ, РП	K=РУ
BRB		1	0	0	1	F [POH, K (i), LB]→РБ; 0→PM, РП	K=РН
YRB		1	0	1	0	F [POH, K (i), LB]→PMC; 0→PM, РБ	K=РУ+1
DRB		1	0	1	1	F [POH, K (i), LB]→PM ² ; 0→РБ, РП	K=РУ-1
RYR		1	1	0	0	F [POH, K (i), PMC]→POH, K (i); 0→PM, РБ, РП	K=РУ
YYP		1	1	0	1	F [POH, K (i), PMC]→PMC; 0→PM, РБ, РП	K=РН
DYR		1	1	1	0	F [POH, K (i), PMC]→PM ² ; 0→РБ, РП	K=РУ+1
BYR		1	1	1	1	F [POH, K (i), PMC]→РБ; 0→PM, РП	K=РУ-1

¹ Все микрокоманды выполняются при CS=1.² В остальные разряды РМ записываются нули.

Таблица 5.14

Состояние разрядов микрокоманды			Функция логического устройства (F)
6	7	8	
0	0	0	$A \wedge B$
0	0	1	A
0	1	0	B
0	1	1	$A \vee B$
1	0	0	00_{16}
1	0	1	$A \oplus B$
1	1	0	\bar{B}
1	1	1	FF_{16}

Таблица 5.15

Состояние разрядов микрокоманды		Тип операций	Значение адреса бита (i) в битовых операциях
0	1		
0	0	байтова битовая	$i = PH$
0	1		$i = PAB$
1	0	\gg	$i = PAB + 1$
1	1	\gg	

косвенная адресация. Осуществляется посредством 3-разрядного кода адреса, хранящегося в РУ;

косвенная с инкрементированием и косвенная с декrementированием адресации. Осуществляются посредством изменения 3-разрядного кода РУ на $+1$ и -1 соответственно.

В битовых операциях используются три способа адресации битов, обрабатываемых в операциях (см. табл. 5.15):

прямая адресация. Осуществляется подачей совместно с микрокомандой 3-разрядного кода адреса бита по магистрали $LN0-LN2$ (с записью в РН);

косвенная адресация с инкрементированием. Осуществляется посредством увеличения на $+1$ значения кода РАБ, по содержимому РАБ.

Выбор РОН в битовых операциях осуществляется всегда по коду РУ.

В битовых операциях вход R является входом опроса схемы приоритета. При $R=1$ происходит выдача признаков P и E по правилу $P=M0 \vee M1 \vee M2 \vee \dots \vee M7$, а $E=\bar{P}$, где $M0-M7$ — выходные разряды схемы маскирования. При этом в РП записывается номер старшей (левой) 1 операнда. Если $R=0$, то в РП записывается 000, и признаки R и E обнуляются.

В битовых операциях с кодом поля $P1=11$ вход R является входом разрешения инкрементации РАБ. Если $R=0$, то РОН и РМС сохраняют свое содержимое, в регистры РМ, РП и РБ записываются нули, выходы P

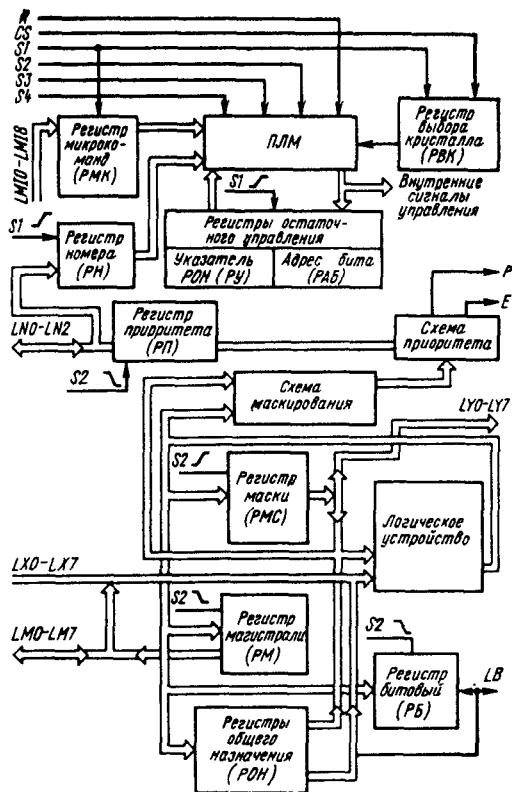


Рис. 5.16. Структурная схема K583BM1

и E обнуляются. Если $R=1$ и РАБ=111, то записи в РОН и РМС не происходит. В регистры РМ, РП и РБ записываются нули, а выходы P и E принимают значение $P=0$ и $E=1$. Если $R=0$ и РАБ $\neq 111$, то микросхема выполняет действия согласно принятой микрокоманде.

Работа микросхемы синхронизируется четырьмя управляющими синхросигналами $S1-S4$.

Положительный перепад $S1$ стробирует занесение информации в РМС, РВК, РН и регистры остаточного управления РУ и РАБ.

Положительный перепад $S2$ стробирует занесение информации в РОН и РМС. Отрицательный перепад $S2'$ стробирует занесение информации в РМ, РБ и РП. Низкий уровень $S3$ разрешает выдачу информации на магистрали LB и LM . Низкий уровень $S4$ разреша-

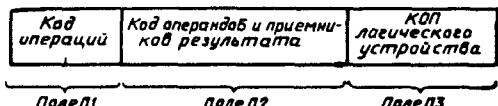
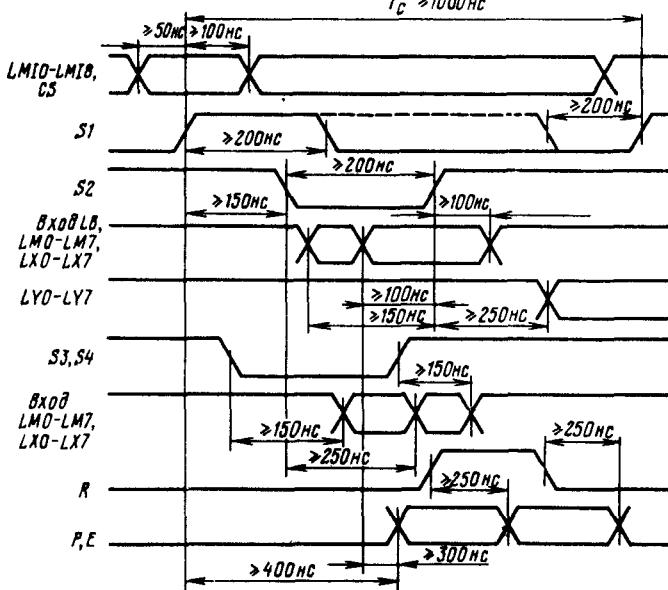


Рис. 5.17. Формат микрокоманд микросхемы K583BM1

Рис. 5.18. Временная диаграмма работы K583BM1



ет выдачу информации на магистраль LM . В зависимости от комбинации управляющих синхросигналов $S1$ и $S2$ возможны четыре режима работы микросхемы:

- остаточного управления ($S1$ отсутствует);
- пропуска такта ($S2$ отсутствует);
- приостановки ($S1$ и $S2$ отсутствуют);
- нормальный режим ($S1$ и $S2$ присутствуют)

Основные параметры K583BM1

Номинальный ток инжектора $I_g =$	$=I_{g1} + I_{g2} =$	220 мА
Потребляемая мощность P_{cc} при $I_g = 220 \text{ мА}$.	348 мВт
Входной ток низкого уровня I_{IL} при $U_{IL} = 2,4 \text{ В}$.	0,2 мА
Выходной ток высокого уровня, не более:		
для магистралей LM (0—7), LN (0—2), LB	.	0,45 мА
для магистралей LY (0—7), P, E	.	0,05 мА
Выходной ток низкого уровня I_{OL} , не более	.	20 мА
Выходное напряжение низкого уровня U_{OL} не более	.	0,4 В
Время цикла T_c , не менее	.	1000 ис

5.5. Микросхема K583ХЛ1

Микросхема K583ХЛ1 — универсальный магистральный коммутатор (МК) байтовой информации, выполненный на основе интегральной инжекционной логики (И²Л), предназначена для построения коммутаторов и мультиплексоров данных, буферных устройств хра-

нения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.19, назначение выводов дано в табл. 5.16, структурная схема показана на рис. 5.20, формат микрокоманд микросхемы — на рис. 5.21, система микрокоманд — в табл. 5.17, временная диаграмма работы — на рис. 5.22.

Микросхема обеспечивает выполнение следующих операций:

межмагистральный обмен данными между четырьмя информационными магистролями в 12 направлениях;

передачу информации из магистралей в регистры;

передачу информации из регистров в магистраль;

логическую обработку байтовых данных; одновременный прием и одновременное выдачу байтовой информации на четыре магистрали данных;

восстановление информации по мажоритарному принципу по двум из трех магистралей с выдачей результата на четвертую магистраль или записью в регистр четвертой магистрали.

Структурная схема микросхемы K583ХЛ1, приведенная на рис. 5.20, содержит следующие функциональные узлы:

четыре 8-разрядных двунаправленных магистралей $L1(0—7) — L4(0—7)$ с выходом с открытым коллектором;

четыре 8-разрядных буферных регистра $RG1 — RG4$, синхронизируемых уровнем;

Г а б л и ц а 5.16

Вывод	Обозначение	Гнп вывода	Функциональное назначение выводов
3, 10, 11, 18, 32, 39, 40, 47	$L1(0)-L1(7)$	Входы/выходы	Магистраль данных
4, 9, 12, 17, 33, 38, 41, 46	$L2(0)-L2(7)$	Входы/выходы	Магистраль данных
5, 8, 13, 16, 34, 37, 42, 45	$L3(0)-L3(7)$	Входы/выходы	Магистраль данных
6, 7, 15, 14, 35, 36, 43, 44	$L4(0)-L4(7)$	Входы/выходы	Магистраль данных
19—31	$S1-S13$	Входы	Магистраль управления
1	R	Вход	Синхронизация
48	I_G	—	Ток инжектора
24	GND	—	Общий

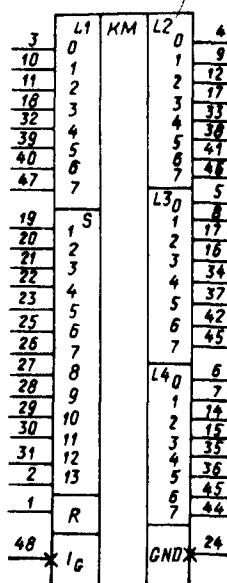


Рис. 5.19. Условное графическое обозначение K583ХЛ1

четыре 8-разрядных логических устройства $LU1-LU4$;

13-разрядную магистраль управления $S1-S13$;

одноразрядную магистраль синхронизации. Логические устройства $LU1-LU4$ производят асинхронно выполнение логических операций над операндами, поступающими с магистралей $L1-L4$ в соответствии с табл. 5.17. Результат операции логических устройств поступает в выходные буферные регистры или непосредственно на магистрали $L1-L4$.

Микросхема выполняет операции мажорирования байтовых данных для трех операндов по правилу

$$\#(A, B, C) = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C)$$

Работа буферных регистров микросхемы $RG1-RG4$ синхронизирована одним синхронизационным сигналом R .

Отрицательный перепад уровней сигнала R стробирует занесение информации во все регистры данных $RG1-RG4$ одновременно.

Для микросхемы возможны два режима работы, задаваемые уровнем сигнала на входе R :

без сохранения состояния магистралей. В этом режиме при значении управляющего сигнала $R=0$ в регистрах $RG1-RG4$ не происходит сохранения результата выполнения логических операций в $LU1-LU4$;

с сохранением состояния магистралей. В этом режиме при значении управляющего сигнала $R=1$ регистры $RG1-RG4$ и магистрали $L1-L4$ соответственно сохраняют результат выполнения логических операций в логических устройствах $LU1-LU4$.

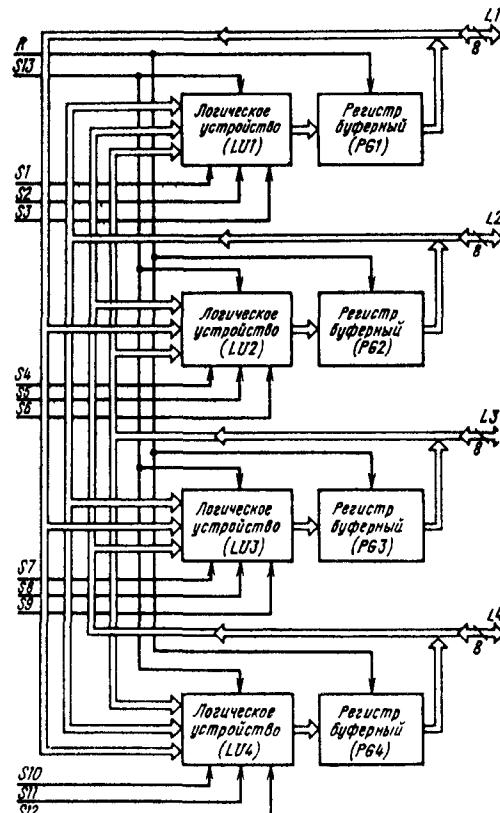


Рис. 5.20. Структурная схема K583ХЛ1

Таблица 5.17

Минемоника микрокоманды	Код микрокоманды				Выполняемые операции			
	S_i	S_{i+1}	S_{i+2}	S_{i+3}	$i=1$	$i=4$	$i=7$	$i=10$
<i>NOP</i>	0	0	0	0	$00 \rightarrow L_1$	$00 \rightarrow L_2$	$00 \rightarrow L_3$	$00 \rightarrow L_4$
<i>NOP</i>	0	0	1	0	$00 \rightarrow L_1$	$00 \rightarrow L_2$	$00 \rightarrow L_3$	$00 \rightarrow L_4$
<i>NOP</i>	0	1	0	0	$00 \rightarrow L_1$	$00 \rightarrow L_2$	$00 \rightarrow L_3$	$00 \rightarrow L_4$
<i>NOP</i>	1	0	0	0	$00 \rightarrow L_2$	$00 \rightarrow L_2$	$00 \rightarrow L_3$	$00 \rightarrow L_4$
<i>NOP</i>	0	0	0	1	$00 \rightarrow L_1$	$00 \rightarrow L_2$	$00 \rightarrow L_3$	$00 \rightarrow L_4$
<i>MY</i>	1	0	0	1	$L_2 \rightarrow L_1$	$L_1 \rightarrow L_2$	$L_1 \rightarrow L_3$	$L_1 \rightarrow L_4$
<i>MY</i>	0	1	0	1	$L_3 \rightarrow L_1$	$L_3 \rightarrow L_2$	$L_2 \rightarrow L_3$	$L_2 \rightarrow L_4$
<i>MY</i>	0	0	1	1	$L_4 \rightarrow L_1$	$L_4 \rightarrow L_2$	$L_4 \rightarrow L_3$	$L_3 \rightarrow L_4$
<i>AND</i>	1	1	0	0	$\wedge (L_2, L_3) \rightarrow L_1$	$\wedge (L_1, L_3) \rightarrow L_2$	$\wedge (L_1, L_2) \rightarrow L_3$	$\wedge (L_1, L_2) \rightarrow L_4$
<i>AND</i>	1	0	1	0	$\wedge (L_2, L_4) \rightarrow L_1$	$\wedge (L_1, L_4) \rightarrow L_2$	$\wedge (L_1, L_4) \rightarrow L_3$	$\wedge (L_1, L_3) \rightarrow L_4$
<i>AND</i>	0	1	1	0	$\wedge (L_3, L_4) \rightarrow L_1$	$\wedge (L_3, L_4) \rightarrow L_2$	$\wedge (L_2, L_4) \rightarrow L_3$	$\wedge (L_2, L_3) \rightarrow L_4$
<i>OR</i>	1	1	0	1	$\vee (L_2, L_3) \rightarrow L_1$	$\vee (L_1, L_3) \rightarrow L_2$	$\wedge (L_1, L_2) \rightarrow L_3$	$\vee (L_1, L_2) \rightarrow L_4$
<i>OR</i>	1	0	1	1	$\vee (L_2, L_4) \rightarrow L_1$	$\vee (L_1, L_4) \rightarrow L_2$	$\vee (L_1, L_4) \rightarrow L_3$	$\vee (L_1, L_3) \rightarrow L_4$
<i>OR</i>	0	1	1	1	$\vee (L_3, L_4) \rightarrow L_1$	$\vee (L_3, L_4) \rightarrow L_2$	$\vee (L_2, L_4) \rightarrow L_3$	$\vee (L_2, L_3) \rightarrow L_4$
<i>VC</i>	1	1	1	0	$\vee [\wedge (L_2, L_3),$ $\wedge (L_2, L_4),$ $\wedge (L_3, L_4)] \rightarrow$ $\rightarrow L_1$	$\vee [\wedge (L_1, L_3),$ $\wedge (L_1, L_4),$ $\wedge (L_3, L_4)] \rightarrow$ $\rightarrow L_2$	$\vee [\wedge (L_1, L_2),$ $\wedge (L_1, L_4),$ $\wedge (L_2, L_4)] \rightarrow$ $\rightarrow L_3$	$\vee [\wedge (L_1, L_2),$ $\wedge (L_1, L_3),$ $\wedge (L_2, L_3)] \rightarrow$ $\rightarrow L_4$
<i>OR</i>	1	1	1	1	$\vee (L_2, L_3,$ $L_4) \rightarrow L_1$	$\vee (L_1, L_3,$ $L_4) \rightarrow L_2$	$\vee (L_1, L_2,$ $L_4) \rightarrow L_3$	$\vee (L_1, L_2,$ $L_3) \rightarrow L_4$

Примечания. 1. Управляющий сигнал $R=0$.2. При $i=1$ коды приведены для S_1-S_3 , при $i=4$ — для S_4-S_6 ; при $i=7$ — для S_7-S_9 , при $i=10$ — для $S_{10}-S_{12}$.3. Для функционирования микросхемы согласно табл. 5.17 на магистрали, по которым поступает входная информация, должен выдаваться код 00₁₆ из логических устройств, соответствующих этой магистрали.4. \wedge — операция конъюнкции, \vee — операция дизъюнкции.

Рис. 5.21. Формат микрокоманд микросхемы K583ХЛ1:

S_1-S_3 — поле управления магистралью L_1 ; S_4-S_6 — поле управления магистралью L_2 ; S_7-S_9 — поле управления магистралью L_3 ; $S_{10}-S_{12}$ — поле управления магистралью L_4 ; S_{13} — общий сигнал управления магистралью L_1-L_4 ; R — сигнал синхронизации регистров PG1 PG4

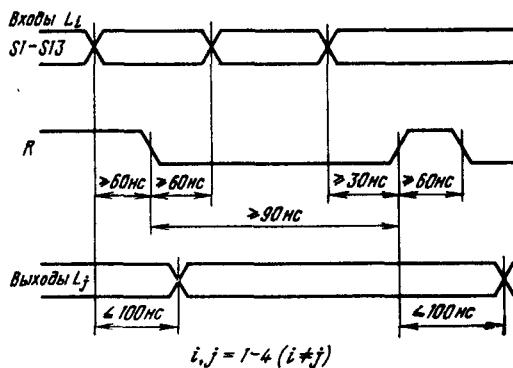
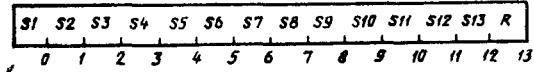


Рис. 5.22. Временная диаграмма работы K583ХЛ1

Основные параметры K583ХЛ1

Напряжение питания U_{cc}	1,2—5 В
Ток питания I_g	170 мА $+25\%$ -15%
Входной ток высокого уровня I_{in} , не более	0,2 мА
Выходное напряжение низкого уровня U_{ol} , не более	0,4 В
Выходной ток высокого уровня I_{oh} , не более	0,45 мА
Выходной ток низкого уровня I_{ol} , не более	20 мА
Время задержки передачи информации между магистралями t_p , не более	100 нс

5.6. Микросхема K583ВГ1

Микросхема K583ВГ1 предназначена для генерации управляющих синхросигналов, управления пуском и остановом вычислительных устройств, выполнена по ТТЛШ-технологии.

Условное графическое обозначение микросхемы приведено на рис. 5.23, назначение выводов — в табл. 5.18, структурная схема показана на рис. 5.24, временная диаграмма работы — на рис. 5.25.

Микросхема функционально состоит из двух независимых устройств: генератора тактовых импульсов и устройства формирования серии синхросигналов, имеющих отдельные выводы питания.

Для работы генератора тактовых импульсов необходимо к выводам $XTL1$ и $XTL2$ подключить конденсатор или кварцевый резонатор с частотой не более 20 МГц. Импульсы на выводе $CLC2$ представляют собой меандр с частотой, определяемой кварцевым резонатором. Вывод U_{cont} служит для подстройки частоты генератора, если вместо резонатора используется конденсатор. Диапазон изменения напряжения на входе $U_{cont} = 0-5$ В.

Микросхема требует установки в исходное состояние, которое осуществляется сигналом CLR высокого уровня. В исходном состоянии на выходах $S1-S10$ и ER присутствует сигнал высокого уровня. Импульс «Сброс» необходимо подавать только один раз после вклю-

чения питания. В дальнейшем переход микросхемы в исходное состояние осуществляется самостоятельно.

Для работы микросхемы на вход $CLC1$ должны поступать тактовые импульсы от внешнего генератора или с выхода генератора $CLC2$.

Устройство формирования серии синхросигналов микросхемы позволяет от одной входной частоты получать 10, 8, 6 или 4 управляющих синхросигнала. При этом необходимо произвести коммутацию входов $OPT0$, $OPT1$ в соответствии с табл. 5.19.

Запуск микросхемы осуществляется подачей сигнала \overline{STR} низкого уровня. Если длительность сигнала \overline{STR} меньше, чем время цикла работы микросхемы, то генерация синхросигналов $S1-S10$ будет осуществляться только один цикл независимо от момента снятия сигнала запуска \overline{STR} . Для режима непрерывной генерации необходимо наличие сигнала \overline{STR} низкого уровня или его периодическая подача в каждом цикле. В течение всего времени генерации синхросигналов $S1-S10$ на выходе ER будет сигнал низкого уровня, а по окончании генерации — сигнал высокого уровня.

Микросхема генерирует синхросигналы, сдвинутые друг относительно друга на полпериода входной тактовой серии и имеющие длительность, равную периоду входной так-

Таблица 5.18

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов				
3, 4	$XTL1, XTL2$	Входы	Подключение кварцевого резонатора или конденсатора				
1	U_{const}	Вход	Подстройка частоты генератора				
27	$CLC2$	Выход	Генератор				
10, 18, 9, 19, 8, 20, 7, 21, 6, 22	$S1-S10$	Выходы	Синхросигналы				
11	$CLC1$	Вход	Синхронизация				
13, 12	$INT1, INT2$	Входы	Прерывания				
16	CNT	Вход	Продолжение генерации				
26, 25	$OPT1, OPT0$	Входы	Задание числа генерируемых сигналов				
15	\overline{STR}	Вход	Запуск				
17	CLR	Вход	Сброс				
24	MD	Вход	Задание режима работы				
23	ER	Выход	Сигнал «Ошибка»				
2, 28	U_{CC1}, U_{CC2}	—	Напряжение питания генератора и микросхемы				
5, 14	GND	—	Общий				

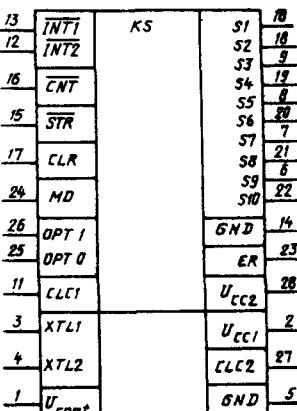


Рис. 5.23. Условное графическое обозначение K583ВГ1

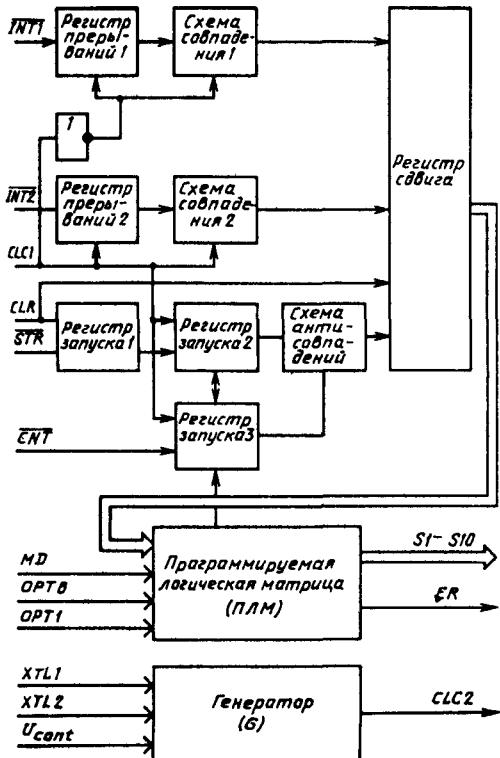


Рис. 5.24. Структурная схема K583ВГ1

товой серии. Прервать генерацию синхросигналов можно подачей сигналов низкого уровня на входы INT1, INT2, что приведет к закрытию схем совпадения 1, 2 и прекращению поступлений тактовой серии синхросигналов

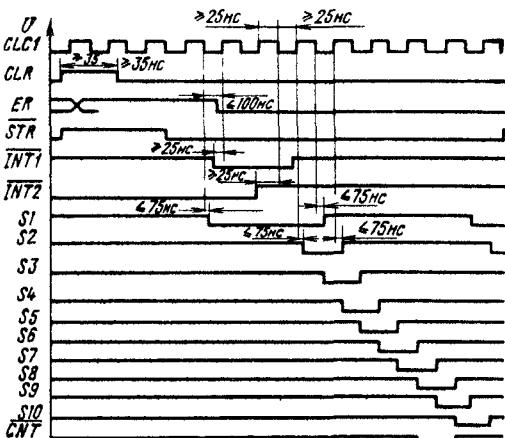


Рис. 5.25. Временная диаграмма работы K583ВГ1

Таблица 5.19

Требуемое число синхро- сигналов	Вывод, под- ключаемый к <u>CLC1</u>	Код на выдаче <u>OPT0</u> , <u>OPT1</u>	Требуемое число синхро- сигналов	Вывод, под- ключаемый к <u>CLC1</u>	Код на выдаче <u>OPT0</u> , <u>OPT1</u>
10	<u>S8</u>	0, 0	6	<u>S4</u>	1, 0
8	<u>S6</u>	0, 1	4	<u>S2</u>	1, 1

CLC1 и, в свою очередь, прекращению генерации синхросигналов S1-S10.

Возобновление генерации осуществляется повторной подачей сигналов высокого уровня на входы INT1, INT2. Таким образом, наличие входов INT1, INT2 позволяет прервать генерацию синхросигналов S1-S10 с последующим ее возобновлением, причем момент прерывания определяется моментом подачи сигналов прерывания.

Микросхема K583ВГ1 имеет встроенную схему определения сбоев, т. е. таких ситуаций, когда по каким-либо причинам (помехи, сбои по питанию и т. п.) генерируются управляющие сигналы не в соответствии с заданным алгоритмом. При сбое автоматически осуществляется сброс микросхемы в исходное состояние, а на выходе ER формируется сигнал высокого уровня. Для запуска микросхемы после прекращения генерации от сбоев необходимо на вход CNT подать сигнал низкого уровня. Схема определения сбоев может быть отключена подачей на вход MD сигнала низкого уровня.

Схема включения K583ВГ1 для генерации десяти управляющих синхросерий приведена на рис. 5.26. Возможная схема соединения нескольких микросхем (каскадирование) для увеличения числа генерируемых синхросигналов

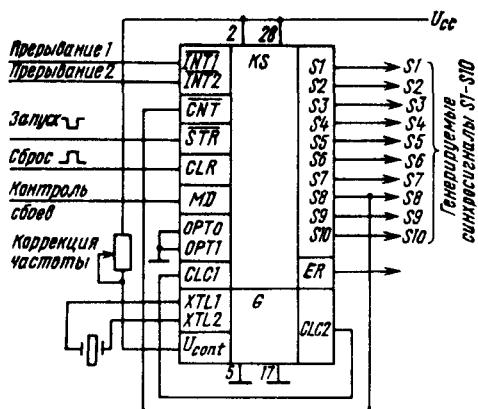
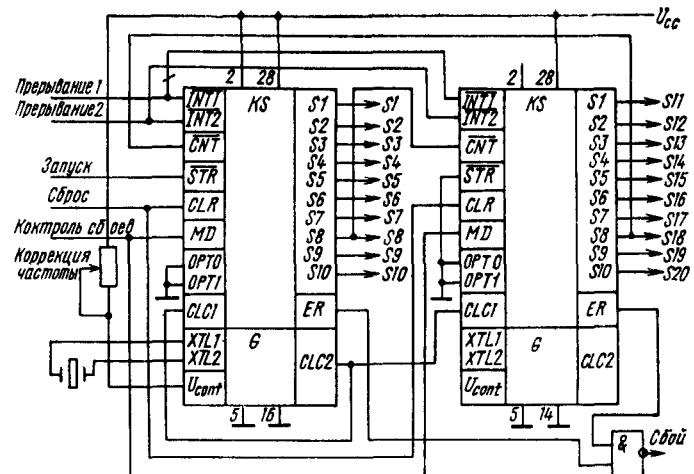


Рис. 5.26. Схема включения K583ВГ1 для генерации десяти синхросигналов

Рис. 5.27. Каскадное включение микросхем K583ВГ1



(более 10) показана на рис. 5.27. В результате такого соединения суммарное число генерируемых синхросигналов определяется как сумма синхросигналов, генерируемых каждой микросхемой, а общий цикл системы из нескольких микросхем будет равен сумме циклов работы каждой из микросхем в отдельности.

Основные параметры К583ВГ1

Напряжение питания U_{CC1} , U_{CC2} 5 В ± 10%
Номинальная потребляемая мощность Р:

поста Т-1:

по входу U_{CC_1}	175 мВт
по входу U_{CC_2}	550 мВт

Входной ток низкого уровня I_{IL} , не более:

для входов INT , CNT , MD , CLR | -0,6 | mA
 для входов $CLC1$, STR , OPT | -1,2 | mA

Входной ток высокого уровня
 I_{IH} , не более:

для входов INT , CNT , MD , CLR	50 мА
для входов $CLC1$, STR , OPT	100 мА
Выходной ток низкого уровня I_{OL} , не более	20 мА
Выходной ток высокого уровня I_{OH} , не более	-1,0 мА
Выходное напряжение низкого уровня U_{OL} , не более	0,5 В
Выходное напряжение высокого уровня U_{OH} , не менее	2,4 В
Максимальная тактовая частота F_T	20 МГц

5.7. Микросхема K583ВА1

Микросхема K583BA1 — магистральный приемопередатчик (МПП) с памятью, выполненный на основе маломощной ТТЛШ-технологии, предназначен для согласования и обмена информацией между двумя типовыми магистральными и мощной магистралью; применяется в качестве мультиплексора, коммутатора,

буферного регистра, усилителя мощности, контрольного устройства по проверке и формированию контрольных кодов передаваемой информации.

Условное графическое обозначение микросхемы приведено на рис. 5.28, назначение выводов — в табл. 5.20, структурная схема показана на рис. 5.29, алгоритм функционирования — в табл. 5.21, временные диаграммы работы — на рис. 5.30, электрические схемы входных и выходных согласующих каскадов — на рис. 5.31.

Микросхема обеспечивает выполнение следующих операций:

межмагистральный обмен данными между мощной магистралью и двумя типовыми магистралями в четырех направлениях;

передачу информации из магистралей в регистры.

проверку и формирование контрольных кодов передаваемой информации.

Структурная схема К583ВА1, приведенная на рис. 5.29, содержит следующие функциональные узлы:

две типовые двунаправленные 4-разрядные магистрали данных $L1(0)-L1(3)$, $L2(0)-L2(3)$ с открытым коллектором:

мощную двунаправленную 4-разрядную магистраль данных с открытым эмиттером L_3 .

семь входов синхронизаций $S1-S7$ для стробирования передачи информации,

2-разрядную двунаправленную магистраль проверки и формирования контрольных кодов передаваемой информации с открытым эмиттером $\overline{A} \overline{K}$.

два буферных 4-разрядных регистра хранения информации $P1, P2$:

ния информации P_1 , P_2 ,
схемы паритетного контроля,
4-разрядный блок усилителей-формирова-

Информация в регистр $P1$ ($P2$) может быть записана с шин данных $I1(1/2)$ или $I3$.

L_1	MPP	\bar{L}_3	7
6		0	
7		1	
16		2	
20		3	
5		\bar{L}_2	
11	0	13	
13	1	21	
21	2	3	
3	37	\bar{A}	13
22	52		
24	53	\bar{K}	14
23	54		
2	55	U_{CC}	8, 10, 16, 20
1	56	GND	9, 11, 13, 21
4	57		7, 9, 17, 19
			3, 23, 24, 23, 2, 1, 4
			13
			14
			\bar{U}_{CC}
			12

Таблица 5.20

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
6, 10, 16, 20	$L_1(0)-L_1(3)$	Входы/выходы	Магистраль данных
9, 11, 13, 21	$L_2(0)-L_2(3)$	Входы/выходы	Магистраль данных
7, 9, 17, 19	$\bar{L}_3(0)-\bar{L}_3(3)$	Входы/выходы	Магистраль данных
3, 23, 24, 23, 2, 1, 4	$\bar{S}1-\bar{S}7$	Входы	Магистраль синхронизации
13	\bar{A}	Вход/выход	Магистраль признака ошибки паритетного контроля
14	\bar{K}	Вход/выход	Магистраль контрольного разряда схемы паритетного контроля
8, 18	U_{CC}	—	Напряжение питания
12	GND	—	Общий

Рис. 5.28. Условное графическое обозначение

K583BA1

с последующей выдачей в эти же шины. Передача информации по направлению $L_1 \rightarrow P1 \rightarrow L_3$ ($L_1 \rightarrow P2 \rightarrow L_2$) или $L_3 \rightarrow P1 \rightarrow L_1$ ($L_3 \rightarrow P2 \rightarrow L_2$) осуществляется с инверсией, а $L_1 \rightarrow P1 \rightarrow L_1$ ($L_2 \rightarrow P2 \rightarrow L_2$) — без инверсии.

Задание режима работы микросхемы осуществляется синхросигналами $S1-S7$ в соответствии с алгоритмом, приведенным в табл. 5.21.

Синхросигнал $\bar{S}7$ определяет направление потока информации из магистралей L_1 , L_2 в L_3 и обратно. При $\bar{S}7=0$ реализуется возмож-

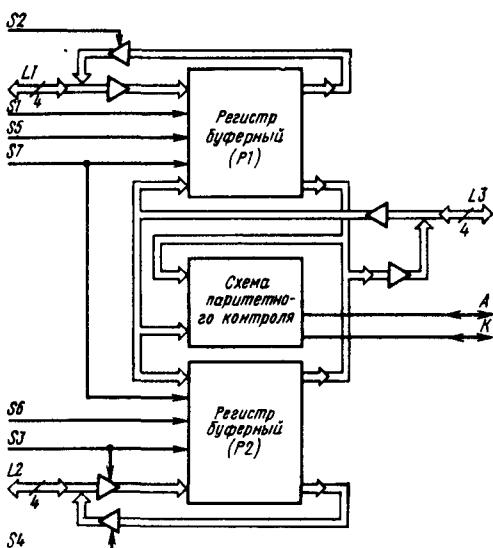
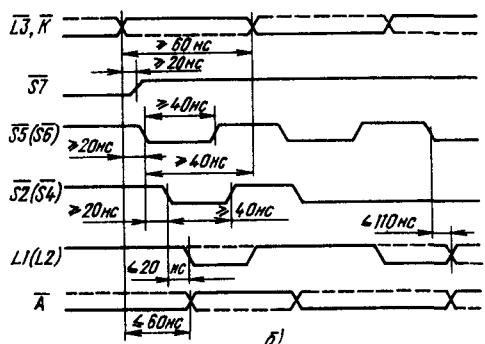
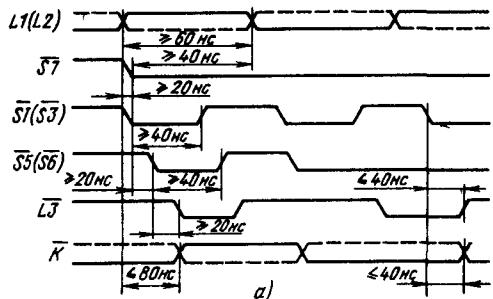


Рис. 5.29. Структурная схема K583BA1

ность передачи данных из магистралей L_1 и L_2 в магистраль L_3 . При $\bar{S}7=1$ разрешена передача данных из магистрали L_3 в любую из магистралей L_1 и L_2 . Синхросигнал $S1$

Рис. 5.30. Временные диаграммы работы K583BA1 при работе с магистралью L_3 (а) и магистралями L_1 , L_2 (б)

стробирует занесение информации из магистрали $L1$ в регистр $P1$, информация поступает на вход $P1$ при условии $\bar{S7}=0$. Синхросигнал $\bar{S2}$ разрешает вывод информации из $P1$ на шину $L1$ при условии $\bar{S7}=1$.

Синхросигнал $\bar{S3}$ стробирует запись информации из магистрали $L2$ в регистр $P2$, информация поступает на вход $P2$ при условии $\bar{S7}=0$. Синхросигнал $\bar{S4}$ разрешает вывод информации из регистра $P2$ на магистраль $L2$ при $\bar{S7}=1$.

Синхросигнал $\bar{S5}$ адресует регистр $P1$ при записи из магистрали $\bar{L3}$ и при выводе на магистраль $\bar{L3}$

Синхросигнал $\bar{S6}$ адресует регистр $P2$ при записи из магистрали $\bar{L3}$ и при выводе на магистраль $\bar{L3}$.

Микросхема содержит встроенную схему паритетного контроля информации магистрали $\bar{L3}$; при выводе информации на эту маги-

Таблица 5.21

Выполняемые операции	Синхросигналы						
	$\bar{S1}$	$\bar{S2}$	$\bar{S3}$	$\bar{S4}$	$\bar{S5}$	$\bar{S6}$	$\bar{S7}$
$L1 \rightarrow P1, L2 \rightarrow P2$	—	X	—	X	1	1	0
$L1 \rightarrow P1$	—	X	1	X	1	1	0
$L2 \rightarrow P2$	1	X	—	X	1	1	0
Нет записи с $L1$ и $L2$	1	X	1	X	1	1	0
$(\bar{K}) L1 \rightarrow P1 \rightarrow \bar{L3}$	—	X	1	X	0	1	0
$(\bar{K}) L2 \rightarrow P2 \rightarrow \bar{L3}$	1	X	—	X	1	0	0
$(\bar{K}) L1 \rightarrow P1 \rightarrow \bar{L3}, L2 \rightarrow P2$	—	X	—	X	0	1	0
$(\bar{K}) L2 \rightarrow P2 \rightarrow \bar{L3}, L1 \rightarrow P1$	—	X	—	X	1	0	0
$\vee (L1, L2) \rightarrow \vee (P1, P2) \rightarrow \bar{L3}$	—	X	—	X	0	0	0
$(\bar{K}) P1 \rightarrow \bar{L3}$	1	X	1	X	0	1	0
$(\bar{K}) P2 \rightarrow \bar{L3}$	1	X	1	X	1	0	0
$(\bar{A}) \bar{L3} \rightarrow P1$	X	1	X	1	—	1	1
$(\bar{A}) \bar{L3} \rightarrow P2$	X	1	X	1	1	—	1
$(\bar{A}) \bar{L3} \rightarrow P2, \bar{L3} \rightarrow P1$	X	1	X	1	—	—	1
$(\bar{A}) \bar{L3} \rightarrow P1 \rightarrow L1$	X	0	X	1	—	1	1
$(\bar{A}) \bar{L3} \rightarrow P2 \rightarrow L2$	X	1	X	0	1	—	1
Нет записи с $\bar{L3}$	X	1	X	1	1	1	1
$\bar{L3} \rightarrow P1 \rightarrow L1, \bar{L3} \rightarrow P2 \rightarrow \bar{L2}$	X	0	X	0	—	—	1
$P1 \rightarrow L1$	X	0	X	1	1	1	1
$P2 \rightarrow L2$	X	1	X	0	1	1	1

П р и м е ч а н и я 1 В скобках указаны выводы по которым осуществляется паритетный контроль
2 X — состояние входа безразлично

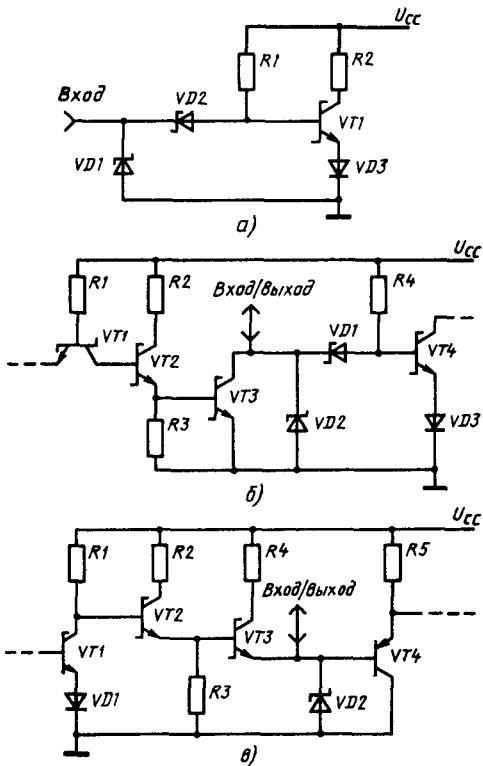


Рис. 5.31. Электрические схемы входных (a), двунаправленных (б) и согласующих (в) каскадов микросхемы К583БА1

страль паритетной схемой генерируется пятый контрольный разряд (\bar{K}) до четности или нечетности, а при вводе информации с этой магистрали паритетная схема обеспечивает анализ на четность принимаемой информации, причем вывод K может дополнить контрольный разряд до четности или нечетности и результат данных появится на выходе \bar{A} . Выходы \bar{A} и \bar{K} двунаправленные, причем когда они используются как выходы, то представляют собой эмиттерные повторители.

Сигналы на выводах \bar{A} и \bar{K} формируются по следующим выражениям:

$$\bar{A} = \bar{K} \oplus \bar{L3}(0) \oplus \bar{L3}(1) \oplus \bar{L3}(2) \oplus \bar{L3}(3)$$

$$\bar{K} = \bar{A} \oplus \bar{L1}(0) \oplus \bar{L1}(1) \oplus \bar{L1}(2) \oplus \bar{L1}(3),$$

если информация поступает из магистрали $L1$, или

$$\bar{K} = \bar{A} \oplus \bar{L2}(0) \oplus \bar{L2}(1) \oplus \bar{L2}(2) \oplus \bar{L2}(3),$$

если информация поступает из магистрали $L2$.

Микросхема позволяет организовать обмен информацией через линии связи (ЛС) длиной около 65 м, причем разрядность информационных посылок не ограничена.

Основные параметры K583BA1

Напряжение питания U_{cc}	$5 \pm 10\%$
Ток потребления I_{cc} , не более	100 мА
Входной ток низкого уровня I_{IL} , не более:	
для входов $S5-S7$	$-0,5$ мА
для входов $S1-S4, L1, L2$	$-0,25$ мА
для входов $L3, A, K$	$-0,2$ мА
Входной ток высокого уровня I_{IH} , не более	50 мКА
Выходное напряжение высокого уровня U_{on} по магистрали $L3$, не менее	2,4 В
Выходной ток низкого уровня I_{OL} , не более:	
по магистралам $L1, L2$	20 мА
по магистрали $L3$	53 мА
Время задержки передачи информации t_P , не более	110 нс

5.8. Микросхема K583BA2

Микросхема K583BA2 — магистральный приемопередатчик (МПП) без памяти, выполненный на основе маломощной ТТЛШ-технологии, предназначен для согласования и обмена информацией между двумя типовыми односторонними магистральными и мощной двухсторонней магистралью.

Условное графическое обозначение микросхемы приведено на рис. 5.32, назначение выводов — в табл. 5.22, структурная схема дана на рис. 5.33, таблица истинности i -го разряда для сигналов положительной логики — в табл. 5.23, временная диаграмма работы — на рис. 5.34, электрические схемы входных и выходных согласующих каскадов показаны на рис. 5.35.

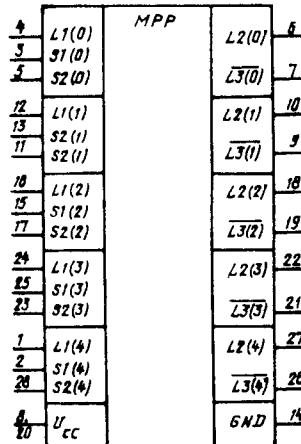


Таблица 5.22

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	$L1(0)$	Входы	Магистраль данных
3	$S1(0)$	Входы	Магистраль данных
5	$S2(0)$	Входы	Двунаправленная магистраль данных
12	$L1(1)$	Выходы	Магистраль синхронизации передачи $L1 \rightarrow L3$
13	$S2(1)$	Выходы	Магистраль синхронизации передачи $L3 \rightarrow L2$
11	$S2(1)$	—	Напряжение питания
10	$L2(1)$	—	Общий
15	$S1(2)$	—	
17	$S2(2)$	—	
24	$L1(3)$	—	
25	$S1(3)$	—	
23	$S2(3)$	—	
1	$L1(4)$	—	
2	$S1(4)$	—	
20	$S2(4)$	—	
4	U_{cc}	—	
11	$L2(0)$	Входы	
13	$L3(0)$	Входы	
12	$L2(1)$	Выходы	
9	$L3(1)$	Выходы	
18	$L2(2)$	Входы	
19	$L3(2)$	Входы	
22	$L2(3)$	Выходы	
21	$L3(3)$	Выходы	
27	$L2(4)$	Входы	
26	$L3(4)$	Входы	
25	$S1(5)$	—	
23	$S2(5)$	—	
22	$S1(6)$	—	
21	$S2(6)$	—	
20	$S1(7)$	—	
18	$S2(7)$	—	
17	$S1(8)$	—	
15	$S2(8)$	—	
14	GND	—	

Рис. 5.32. Условное графическое обозначение K583BA2

Микросхема обеспечивает межмагистральный обмен данными между мощной магистралью и двумя типовыми односторонними магистральными в четырех направлениях.

Структурная схема МПП, приведенная на рис. 5.33, содержит следующие функциональные узлы:

пять входных односторонних информационных магистралей $L1(0)-L1(4)$;

пять выходных односторонних магистралей с открытым коллектором $L2(0)-L2(4)$;

пять двунаправленных односторонних информационных магистралей $L3(0)-L3(4)$ с открытым эмиттером;

пять входов синхронизации $S1(0)-S1(4)$ для стробирования передачи информации по соответствующим разрядам от $L1$ к $L3$;

пять входов синхронизации для стробирования передачи информации по соответствующим разрядам от $L3$ к $L2$;

пять блоков усилителей формирователей.

Информация со входов $L1(0)-L1(4)$ передается на выходы $L3(0)-L3(4)$ при наличии разрешающих сигналов $S1(0)-S1(4)$ (лог. 0); при этом информация на выходах $L3$ инвертирована по отношению к магистрали $L1$.

Информация с входов/выходов $L3(0)-L3(4)$ передается на выходы $L2(0)-L2(4)$ при наличии разрешающих сигналов на соответствующих входах $S2(0)-S2(4)$; при этом информация на выходах $L2$ инвертирована по отношению к информации на входах/выходах $L3$.

Информация с входов $L1(0)-L1(4)$ может быть передана на выходы $L2(0)-L2(4)$ при наличии разрешающих сигналов на соответствующих входах обеих синхросерий $S1, S2$, при этом информация на выходах $L2$ «прямая» по отношению ко входам $L1$.

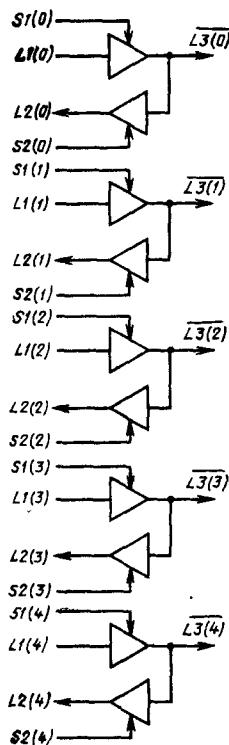


Рис. 5.33. Структурная схема K583BA2

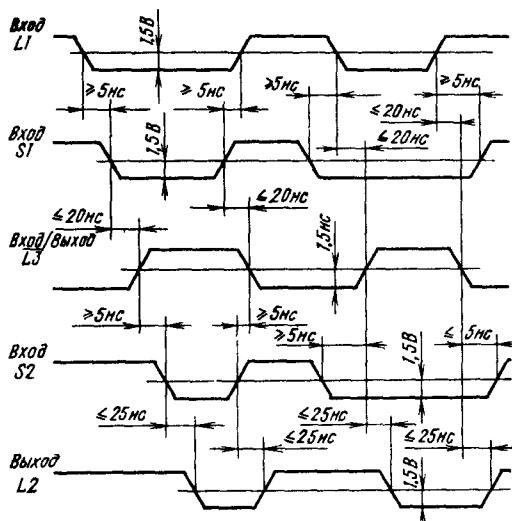


Рис. 5.34. Временная диаграмма работы K583BA2

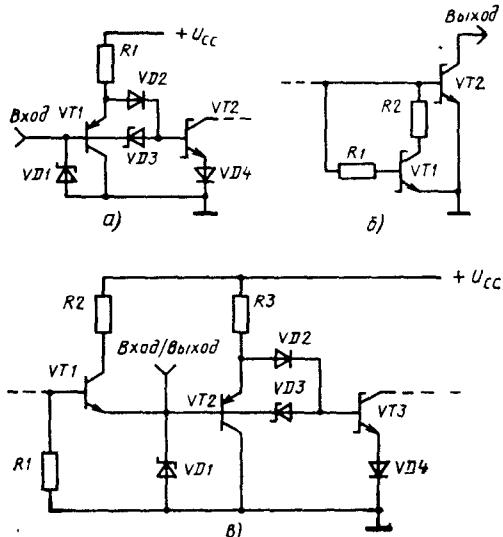


Рис. 5.35. Электрические схемы входных (а), выходных (б) и двунаправленных (в) согласующих каскадов микросхемы K583BA2

Таблица 5.23

Состояние входов синхронизации		Выполняемая операция
$S1(i)$	$S2(i)$	
0	0	$L1(i) \rightarrow \bar{L3}(i)$, $L1(i) \rightarrow L2(i)$
0	1	$L1(i) \rightarrow \bar{L3}(i)$, $1 \rightarrow L2(i)$
1	0	$\bar{L3}(i) \rightarrow L2(i)$
1	1	$0 \rightarrow \bar{L3}(i)$, $1 \rightarrow L2(i)$

Основные параметры K583BA2

Напряжение питания U_{CC} 5 В ± 10%
 Ток потребления I_{CC} , не более 80 мА
 Входной ток низкого уровня I_{IL} ,
 не более |−0,2| мА
 Входной ток высокого уровня I_{IH} ,
 не более 50 мкА
 Выходной ток низкого уровня
 I_{OL} :
 для магистралей $L2$ 20 мА
 для магистралей $\bar{L3}$ 53 мА
 Типовое время задержки передачи
 информации между магистралью
 t_p 10—25 нс

5.9. Микросхема K583BA3

Микросхема K583BA3 — быстродействующий универсальный коммутатор магистралей (УК), выполненный на основе маломощной

3	L1	KM	L2	4
10	0		0	9
11	1		1	12
18	2		2	17
32	3		3	33
39	4		4	38
40	5		5	41
47	6		6	46
	7		7	
19		1, STB	L3	5
20		2	0	8
21			1	17
22	15		2	16
23	2		3	34
25	3		4	37
26	4		5	42
27	5		6	45
28	6		7	6
29	7		L4	7
30	8		0	14
31	3, STB		1	15
2	4		2	35
24	9, S		3	36
48	* GND		4	45
	UCC		5	44
			6	
			7	

Рис. 5.36. Условное графическое обозначение K583ВА3

Таблица 5.24

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
3, 10, 11, 18, 32, 39, 40, 47	L1 (0) — L1 (7)	Входы/выходы	Магистраль данных
4, 9, 12, 17, 33, 38, 41, 46	L2 (0) — L2 (7)	Входы/выходы	Магистраль данных
5, 8, 13, 16, 34, 37, 42, 45	L3 (0) — L3 (7)	Входы/выходы	Магистраль данных
6, 7, 15, 16, 35, 36, 43, 44	L4 (0) — L4 (7)	Входы/выходы	Магистраль данных
2, 21—23, 25—29	S1 — S9	Входы	Магистраль управления
19, 20, 30, 41	STB1 — STB4	Входы	Магистраль синхронизации
48	U _{CC}	—	Напряжение питания
24	GND	—	Общий

ТТЛШ-технологии, предназначен для построения коммутаторов, мультиплексоров данных, буферных устройств хранения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.36, назначение выводов — в табл. 5.24, структурная схема дана на рис. 5.37, формат микрокоманд показан на рис. 5.38, система микрокоманд приведена в табл. 5.25, временная диаграмма работы —

на рис. 5.39, электрические схемы входных и выходных согласующих каскадов — на рис. 5.40.

Микросхема обеспечивает выполнение следующих операций:

межмагистральный обмен данными между четырьмя информационными магистралью в 12 направлениях;

передачу информации из магистралей в регистры;

Таблица 5.25

Мнемонико-команды	Код микрокоманды			Выполняемая операция			
	S ₀	S _i	S _{i+1}	i = 1	i = 3	i = 5	i = 7
NOP	0	0	0	TC → L1	TC → L2	TC → L3	TC → L4
MV	0	0	1	RG2 (L2) → L1	RG1 (L1) → L2	RG1 (L1) → L3	RG1 (L1) → L4
MV	0	1	0	RG3 (L3) → L1	KG3 (L3) ← L2	RG2 (L2) → L3	RG2 (L2) → L4
MV	0	1	1	RG4 (L4) → L1	RG4 (L4) → L2	RG4 (L4) → L3	RG3 (L3) → L4
NOP	1	0	0	TC → L1	TC → L2	TC → L3	TC → L4
MV	1	0	1	RG1 → L1	RG2 → L2	RG3 → L3	RG4 → L4
AND	1	1	0	Λ (RG2, RG3) → L1; Λ (L2, L3) → L1	Λ (RG3, RG4) → L2; Λ (L3, L4) → L2	Λ (RG1, RG4) → L3; Λ (L1, L4) → L3	Λ (RG1, RG2) → L4; Λ (L1, L2) → L4
VC	1	1	1	∨ [Λ (L2, L3), Λ (L2, L4), ∨ (L3, L4), Λ (L1, L4)] → L1	∨ [(L1, L3), Λ (L3, L4), Λ (L1, L4)] → L2	∨ [Λ (L1, L2), Λ (L2, L4), ∨ (L1, L4)] → L3	∨ [Λ (L1, L2), Λ (L2, L3), Λ (L1, L3)] → L4

Примечания. 1. При i = 1 коды приведены для S₁, S₂; при i = 3 — для S₃, S₄; при i = 5 — для S₅, S₆; при i = 7 — для S₇, S₈.

2. TC — 3-е состояние выхода магистрали

3. ∨ — операция конъюнкции, Λ — операция дизъюнкции

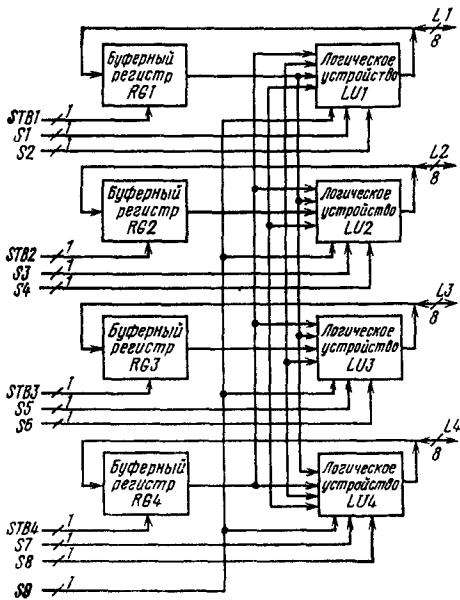


Рис. 5.37. Структурная схема К583ВА3

S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9	STB^1	STB^2	STB^3	STB^4
0	1	2	3	4	5	16	7	8	1	2	3	4

Рис. 5.38. Формат микрокоманд микросхемы К583ВА3.

S_1, S_2 — поле управления магистралью L_1 ; S_3, S_4 — поле управления магистралью L_2 ; S_5, S_6 — поле управления магистралью L_3 ; S_7, S_8 — поле управления магистралью L_4 ; S_9 — общий сигнал управления магистралью L_1-L_4 ; STB^1-STB^4 — сигналы синхронизации регистров $RQ1-RQ4$ соответственно

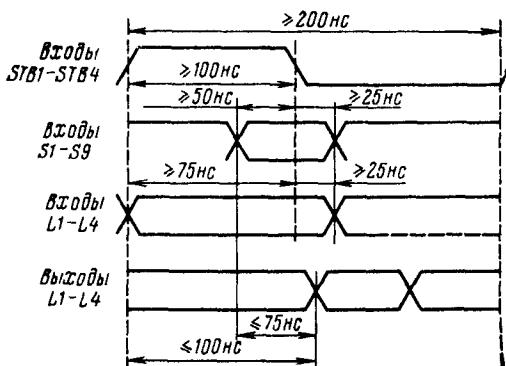
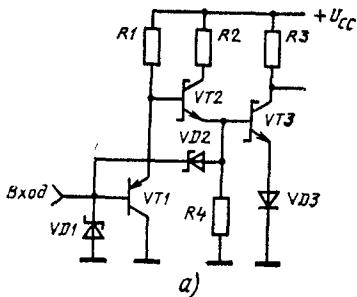
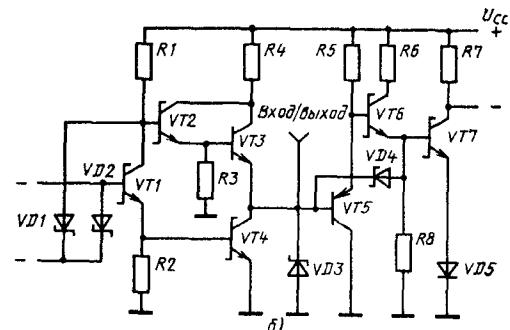


Рис. 5.39. Временная диаграмма работы К583ВА3



а)



б)

Рис. 5.40. Электрические схемы входных (а) и двунаправленных (б) согласующих каскадов микросхемы К583ВА3

передачу информации из регистров в магистралем;

логическую обработку байтовых данных;

одновременный или раздельный прием и одновременную или раздельную выдачу байтовой информации на четыре магистрали данных;

восстановление информации по мажоритарному принципу по двум из трех магистралей или регистров с выдачей результата на четвертую магистраль.

Структурная схема, приведенная на рис. 5.37, содержит следующие функциональные узлы:

четыре 8-разрядные двунаправленные магистрали $L_1(0-7)-L_4(0-7)$ с выходом с третим состояниями;

четыре 8-разрядных буферных регистра $RG1-RG4$, синхронизируемых уровнем;

четыре 8-разрядных логических устройства $LU1-LU4$;

9-разрядную магистраль управления S_1-S_9 ;

4-разрядную магистраль синхронизации STB^1-STB^2 .

Логические устройства асинхронно производят выполнение логических операций над операндами, содержащимися в регистрах $RG1-RG4$ или поступающими непосредственно с магистралей L_1-L_4 в соответствии с табл. 5.26. Результат операции логического устройства выдается на магистраль L_1-L_4 .

Микросхема выполняет операции мажорирования байтовых данных для трех operandов по правилу:

$$\#(A, B, C) = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C).$$

Работа буферных регистров $RG1-RG4$ микросхемы синхронизирована синхросигналами $STB1-STB4$. Отрицательный перепад уровней сигнала $STB1-STB4$ стробирует раздельное занесение информации в регистры данных $RG1-RG4$ соответственно.

Микросхема может работать в двух режимах, задаваемых уровнем сигнала на входах $STB1-STB4$:

без сохранения состояния магистралей. В этом режиме при значении управляющих сигналов $STB1-STB4=0$ в регистрах $RG1-RG4$ не происходит сохранения состояния магистралей $L1-L4$;

с сохранением состояния магистралей. В этом режиме при значении управляющих сигналов $STB1-STB4=1$ регистры $RG1-RG4$ сохраняют состояние магистралей $L1-L4$.

Основные параметры K583ВА3

Напряжение питания U_{cc}	5 В ±10%
Ток потребления I_{cc} , не более	120 мА
Входное напряжение низкого уровня U_{ol} , не более	0,5 В
Выходное напряжение высокого уровня U_{oh} , не менее	2,4 В
Входной ток низкого уровня I_{il} , не более:	
для магистралей $L1-L4$	—0,2 мА
для управляющих входов	—0,4 мА
Входной ток высокого уровня I_{ih} , не более:	
для магистралей $L1-L4$	50 мкА
для управляющих входов	20 мкА
Выходной ток низкого уровня I_{ol}	4,0 мА
Выходной ток высокого уровня I_{oh}	—0,4 мА
Время задержки передачи информации между магистральными t_p , не более	100 нс

5.10. Микросхема K583ВА4

Микросхема K583ВА4 — универсальный магистральный коммутатор байтовой информации, выполненный на основе маломощной ТТЛШ-технологии, полный функциональный аналог микросхемы K583ХЛ1, но имеет повышенное быстродействие.

Микросхема предназначена для построения коммутаторов и мультиплексоров данных, буферных устройств хранения и логической обработки данных, устройств восстановления информации в системах с резервированием.

Условное графическое обозначение микросхемы приведено на рис. 5.41, назначение выводов соответствует микросхеме K583ХЛ1.

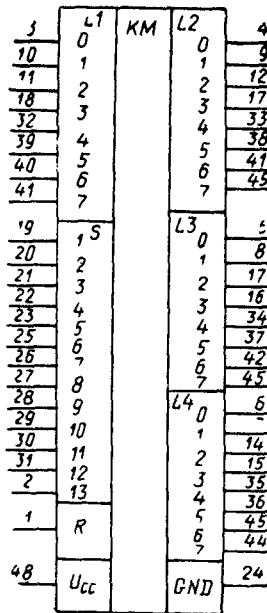


Рис. 5.41. Условное графическое обозначение K583ВА4

(обозначение вывода 48— U_{cc}), структурная схема, а также формат и система микрокоманд соответствуют микросхеме K583ХЛ1. Временная диаграмма работы микросхемы приведена на рис. 5.42, электрические схемы входных и выходных согласующих каскадов показаны на рис. 5.43.

Состав функциональных блоков микросхемы K583ВА4, типы выполняемых операций, режимы работы и синхронизация соответствуют микросхеме K583ХЛ1.

Основные параметры K583ВА4

Напряжение питания U_{cc}	5 В ±10%
Ток потребления I_{cc} , не более	120 мА
Выходное напряжение низкого уровня U_{ol} , не более	0,5 В
Выходной ток высокого уровня I_{oh} , не более	0,5 мА
Выходной ток низкого уровня I_{il} , не более:	
для магистралей $L1-L4$	—0,2 мА
для управляющих входов	—0,4 мА
Входной ток высокого уровня I_{ih} , не более:	
для магистралей $L1-L4$	50 мкА
для управляющих входов	20 мкА
Выходной ток низкого уровня I_{ol}	20 мА
Время задержки передачи информации между магистральными t_p , не более	45 нс

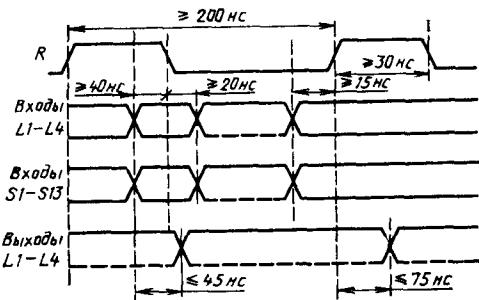


Рис. 5.42. Временная диаграмма работы K583BA4

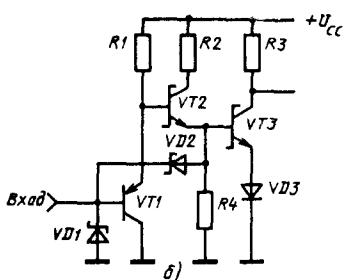
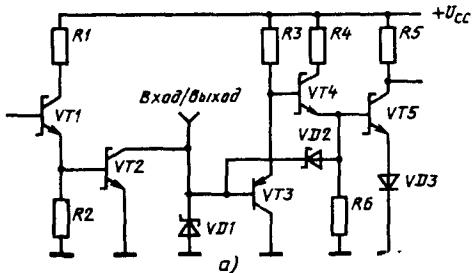


Рис. 5.43. Электрические схемы двунаправленного (а) и входного (б) согласующих каскадов K583BA4

5.11. Рекомендации по применению

Микросхемы серии K583, выполненные по И²Л-технологии, имеют токовое питание, которое может осуществляться от генератора тока, обеспечивающего требуемое значение и разброс тока питания, или от генератора напряжения через токозадающий резистор R. Расчет токозадающего резистора R производится по формуле: $R = (U_{cc} - 1,2 \text{ В}) / I_a \cdot 10^{-3}$, где U_{cc} — напряжение питания; I_a —名义альный ток инжектора микросхемы.

Питание микросхем серии K583, выполненных по ТТЛШ-технологии, осуществляется от

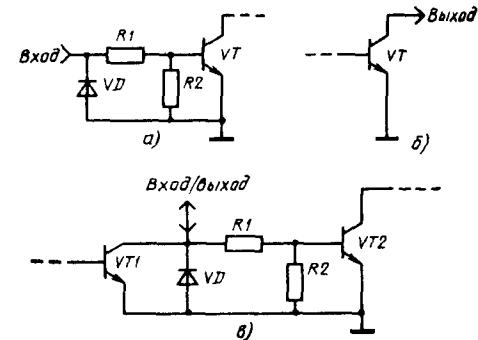


Рис. 5.44. Электрические схемы входного (а), выходного (б) и двунаправленного (в) каскадов в I²L-микросхемах серии K583

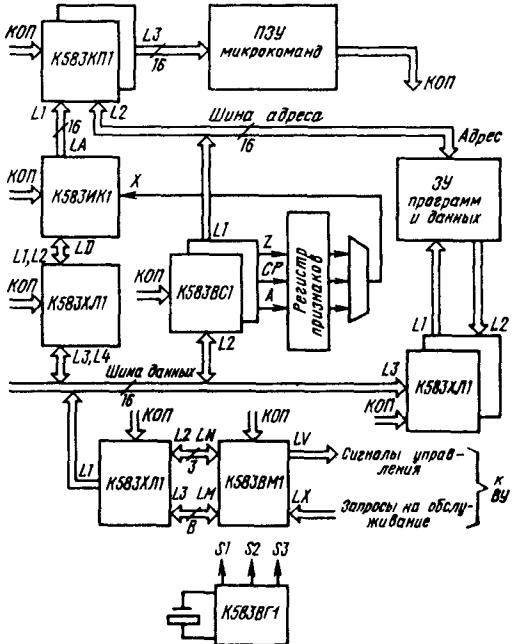


Рис. 5.45. Структурная схема процессора микро-ЭВМ на микросхемах серии K583

источника (генератора) напряжения $U_{cc} = 5$ В, обеспечивающего разброс не более 10%名义ального значения напряжения и требуемую величину тока потребления.

Микросхемы серии K583, выполненные по И²Л-технологии, имеют унифицированные согласующие каскады (входные, выходные и двунаправленные, рис. 5.44). Отличительной особенностью микросхем серии K583, выполненных по I²L- и ТТЛШ-технологии, является широкое применение выходных согласующих каскадов типа «открытый коллектор», расширяющих функциональные возможности микросхем, но требующих дополнительных из-

груэочных резисторов R_k . Расчет R_k производится по формуле

$$\frac{U_{CC} - 0,4B}{n \cdot 20 \cdot 10^{-3} + N \cdot I_{IL} \cdot 10^{-3}} \leq R_k \leq \frac{U_{CC} - 2,4B}{n \cdot 50 \cdot 10^{-6} + N \cdot I_{IH} \cdot 10^{-6}},$$

где n — число объединяемых выходов микросхем «открытый коллектор»; N — число входов, нагруженных на выходы микросхемы; I_{IL} , I_{IH} — входные токи низкого и высокого уровней микросхем, нагружаемых на выход «открытый коллектор».

Структурная схема микро-ЭВМ на микросхемах серии К583 приведена на рис. 5.45.

Глава 6

Микропроцессорный комплект серии К584

Микропроцессорный комплект серии К584 представляет собой унифицированный набор БИС, позволяющий реализовать произвольную систему команд или структуру ЭВМ. Система команд и соответствующее программное обеспечение выбираются разработчиком в соответствии с ее назначением и реализуются микропрограммным способом.

Развитая архитектура, микропрограммируемость и развитая система микрокоманд, широкий температурный диапазон, возможность разрядного наращивания, варьирование производительности БИС и энергии потребления

обеспечивают комплекту высокую эффективность и широкую сферу возможных применений. На основе БИС комплекта возможно создание широкого спектра вычислителей: от простых контроллеров до универсальных микро-ЭВМ повышенной производительности.

Система синхронизации всех микросхем организована по одному принципу и обеспечивает их полную логическую и временную совместимость как внутри серии К584, так и с микросхемами серии К583.

По всем электрическим характеристикам БИС комплекта полностью совместимы со стандартными ТТЛ-сериями. Состав комплекта микросхем серии К584 приведен в табл. 6.1. В него входят четыре БИС, выполненных по И²Л- и ТТЛШ-технологии, с параметрами, приведенными в табл. 6.2.

6.1. Микросхема К584ВМ1

Микросхема К584ВМ1 — 4-разрядная секция центрального процессора, предназначена для построения микро-ЭВМ с разрядностью,

Таблица 6.1

Тип микросхемы	Функциональное назначение	Тип корпуса
K584ВМ1	Центральный процессорный элемент	4134.48-2
K584ВУ1	Микропрограммное управление	4134.48-2
K584ВГ1	Контроллер состояний	4134.48-2
K584ВВ1	Магистральный приемопередатчик	4134.48-2

Таблица 6.2

Параметр	K584ВМ1	K584ВУ1	K584ВГ1	K584ВВ1
Технология	И ² Л	И ² Л	И ² Л	ГТЛШ
Разрядность	4	16	16	8
Нарастываемость	+	—	—	+
Время цикла, нс	400, 1000	500	600	—
Время задержки, нс	—	—	—	120
Напряжения питания, В	1,2— 5,0	1,2— 5,0	1,2— 5,0	5,0
Ток потребления, мА	180	150	150	150— 200

Рис. 6.1. Условное графическое обозначение K584ВМ1

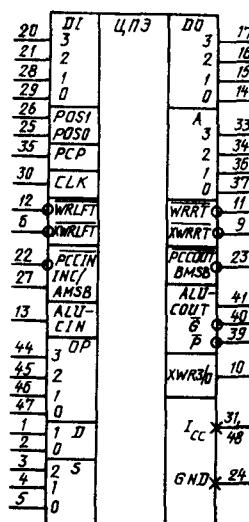


Таблица 6.3

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
44—47	$OP3—OP0$	Входы	OP -поле слова кода операции; определяет прежде всего одну из 16 операций
1, 2	$D1—D0$	Входы	D -поле слова кода операции, определяет режим работы
3—5	$S2—S0$	Входы	S -поле слова кода операции, определяет обычно номер выбранного регистра
26, 25	$POS1—POS0$	Входы	Определяют относительную позицию микросхемы при объединении нескольких микросхем для реализации слов длиной более четырех разрядов
30	CLK	Вход (переключение фронтом)	Тактовый сигнал, синхронизация при положительном изменении
20, 21, 28, 29	$DI(3)—DI(0)$	Входы	Шина данных
11	\overline{WRRT}	Вход/выход	Принимает данные при сдвиге выходных данных влево, выдает данные при сдвиге вправо
12	\overline{WRLFT}	Вход/выход	Принимает данные при сдвиге выходных данных вправо, выдает данные при сдвиге влево
9	$XWRRT$	Вход/выход	Принимает данные при сдвиге регистра XWR влево, выдает при сдвиге вправо
6	$XWRLFT$	Вход/выход	Принимает данные при сдвиге регистра XWR вправо, выдает при сдвиге влево
10	$XWR3/0$	Выход	Старший разряд регистра XWR в старшей позиции или младший разряд в младшей позиции
13	$ALUCIN$	Вход	Перенос в ALU
41	$ALUCOUT$	Выход	Перенос из ALU
40	\overline{G}	Выход	Формирование переноса ALU
39	\overline{P}	Выход	Распространение переноса ALU
22	$PCCIN$	Вход	Перенос программного счетчика
23	$\overline{PCCOUT/BMSB}$	Выход	В младшей и средней позиции выход переноса программного счетчика, в старшей позиции выход старшего разряда шины B
27	$INC/AMSB$	Вход, выход	В младшей позиции указывает программному счетчику увеличение содержимого на 2 (при наличии 1) или на 1 (при наличии 0), в старшей позиции выход старшего разряда шины A Шина данных
17, 16, 15, 14 33, 34, 36, 37 35	$DO(3)—DO(0)$	Выходы	Шина адресов
31, 48 24	$A3—A0$	Выходы	
	PCP	Вход	Открывает доступ программному счетчику кшине выдачи адресов
	I_{cc}	—	Питание
	GND	—	Общий

кратной четырем, и обеспечивает хранение и арифметико-логическую обработку информации, представленной в двоичном коде.

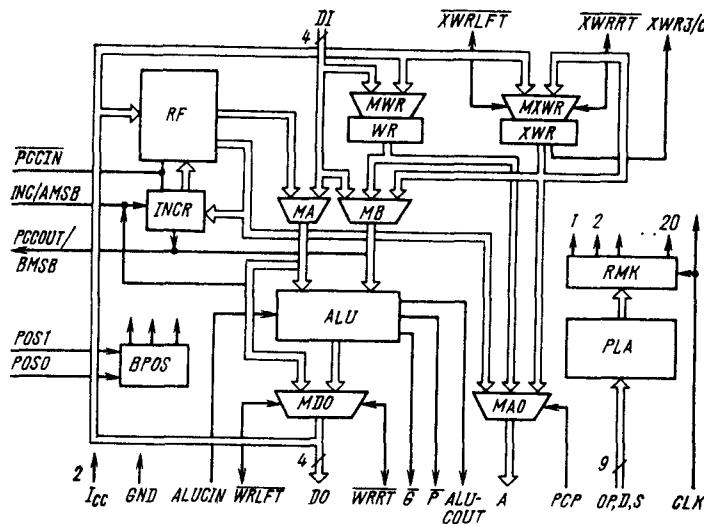
Условное графическое обозначение микросхемы приведено на рис. 6.1, назначение выводов — в табл. 6.3, структурная схема дана на рис. 6.2, формат микрокоманд показан на рис. 6.3, временная диаграмма работы приведена на рис. 6.4.

Микросхема обеспечивает все функции, необходимые для параллельной обработки 4-разрядных двоичных данных, и включает в себя:

4-разрядное арифметико-логическое устройство ALU ;

регистровый файл RF восьми 4-разрядных регистров общего назначения, $RF7$ является также программным счетчиком;

Рис. 6.2. Структурная схема K584BM1



4-разрядный рабочий регистр WR и 4-разрядный рабочий регистр расширения XWR ;
блок инкрементора INC ;
блок позиций $BPOS$
программируемую логическую матрицу PLA и регистр микрокоманд RMK ;
многиплексоры каналов MA , MB , MWR , M XWR , MDO , MAO .

Арифметико-логическое устройство микросхемы выполняет восемь арифметических операций, представленных в табл. 6.4. Операнды могут поступать на входы ALU через многиплексоры MA , MB от входной шины DI , RF , WR или XWR .

В ALU имеются схемы приема сквозного переноса от младших разрядов $ALUCIN$ и выработки выходного переноса $ALUCOUT$, выработка условия образования и распространения переноса G и P . Эти сигналы рассчитаны на использование схемы ускоренного переноса К155ИП4, что позволяет значительно повысить быстродействие 16-разрядного устройства. Схемы включения БИС для расширения разрядности приведены на рис. 6.5.

Результаты операций через многиплексор MDO поступают на выход микросхемы. Промежуточные результаты могут заноситься в регистровый файл RF или в регистры WR .

Поле кода операции ALU	Поле кода режима работы D	Поле кода адреса источника S
OP	D	S
$J \quad 2 \quad 1 \quad 0$	$1 \quad 0$	$2 \quad 1 \quad 0$

Рис. 6.3. Формат микрокоманд микросхемы K584BM1

XWR . Регистровая память FR предназначена для использования в качестве временной памяти для исходных данных. Последний регистр ($RF7$) может дополнительно использоваться в качестве программного счетчика благодаря возможности осуществлять инкремент записанного в нем кода на 1 или 2 с помощью внешних сигналов управления по входам INC (выход 27) и $PCCIN$ (выход 22) по правилу:

$$\overline{PCCIN} = 0, \quad INC = 0, \quad + (RF7, 1) \rightarrow RF7;$$

$$\overline{PCCIN} = 0; \quad INC = 1; \quad + (RF7, 2) \rightarrow RF7;$$

$\overline{PCCIN} = 1$ — запрет счета.

Таблица 6.4

Код операции OP^2 $ $ OP^1 $ $ OP^0	Арифметические операции ($OP3-0$)		Логические операции ($OP3-1$)
	$ALUCIN-1$	$ALUCIN-0$	
0 0 0	$F_n = 0_{16}$	$F_n = F_{16}$	$F_n = A \wedge B$
0 0 1	$F_n = B - A$	$F_n = B - A - 1$	$F_n = A \oplus B$
0 1 0	$F_n = A - B$	$F_n = A - B - 1$	$F_n = \overline{A} \oplus \overline{B}$
0 1 1	$E_n = A + B + 1^*$	$F_n = A + B$	$F_n = \overline{A} \wedge B$
1 0 0	$E_n = B + 1$	$F_n = B^*$	$F_n = A \wedge \overline{B}$
1 0 1	$E_n = \overline{B} + 1$	$F_n = \overline{B}$	$F_n = A + \overline{B}$
1 1 0	$E_n = A + 1$	$F_n = A$	$F_n = \overline{A} + B$
1 1 1	$E_n = \overline{A} + 1$	$F_n = \overline{A}$	$F_n = A + B$

* На шину адресов выдается содержимое регистра XWR

Таблица 6.5

		Многофункциональный вход/выход		
Сигна- лы на входах	Относительное положение	<i>PCCOUT / BMSB</i>	<i>INC / AMSB</i>	<i>XWR3/0</i>
		<i>PCCOUT</i>	<i>INC</i>	<i>XWR0</i>
0	1	Младшая позиция	<i>PCCOUT</i>	<i>INC</i>
0	0	Промежуточная позиция	<i>PCCOUT</i>	<i>AMSB</i>
1	0	Старшая позиция	<i>BMSB</i>	<i>AMSB</i>
		Два знака/удвоенная точность		<i>XWR3</i>
1	1	Старшая позиция. Один знак/удвоенная точность	<i>BMSB</i>	—
				<i>XWR3</i>

Наличие отдельных входов управления *RF7* (*INC* и *PCCIN*) позволяет совмещать во времени процесс обработки данных в *ALU* и счета в *RF7*. Управление индикацией регистра *RF7* на шине адреса *A* осуществляется с помощью входа *PCP* и не зависит от кода операции.

Схема включения БИС для расширения разрядности программного счетчика приведена на рис. 6.6.

Четырехразрядный регистр *WR* и его расширитель *XWR* позволяют выполнять арифметические и логические операции с одинарной

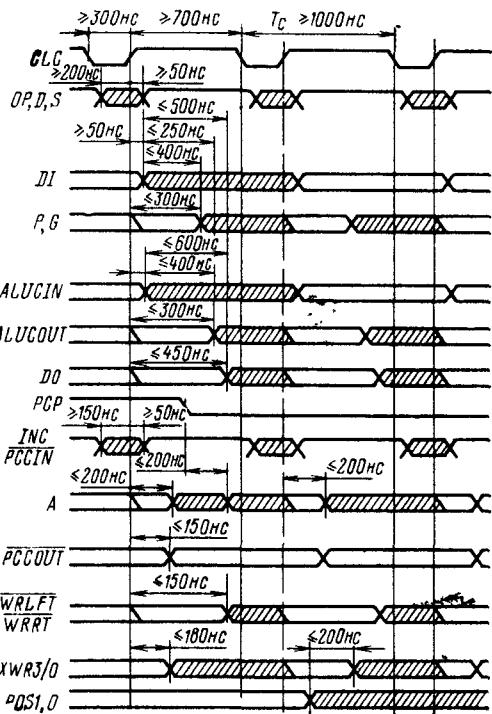


Рис. 6.4. Временная диаграмма работы K584BM1

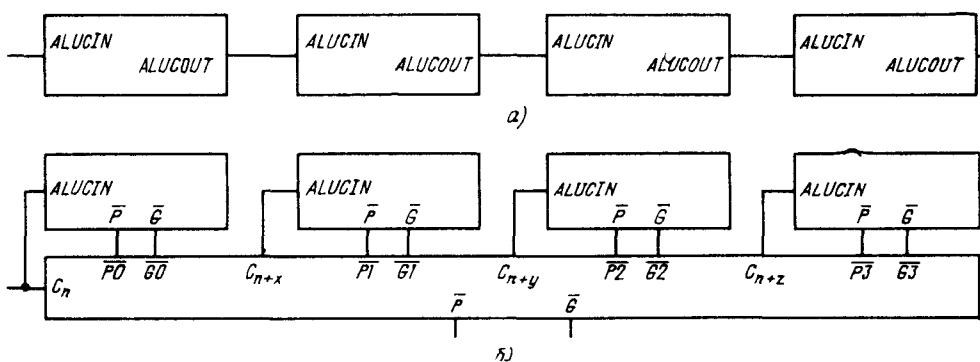


Рис. 6.5. Схемы формирования 16-разрядного процессора:

а — с прямым включением K584BM1; б — с использованием микросхемы ускоренного переноса K155ИП4

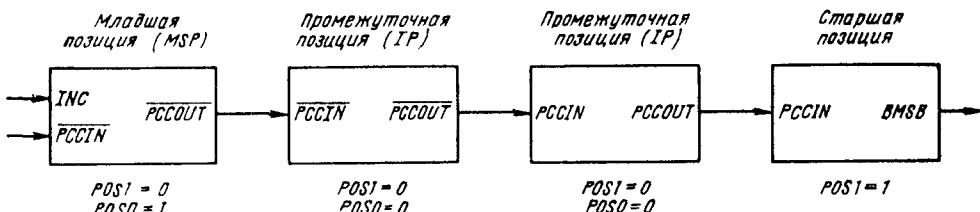
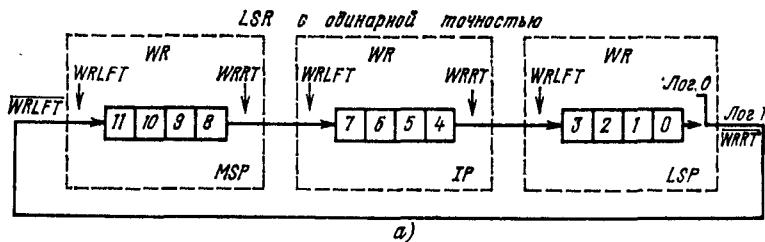


Рис. 6.6. Схема включения K584BM1 для расширения программного счетчика

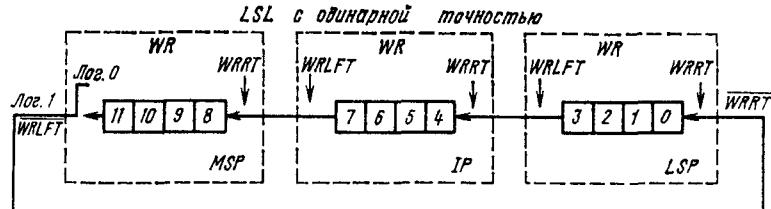
Таблица 6.6

Операция	Код операции									
	OP				D		S			
	3	2	1	0	1	0	2	1	0	
$RF(F_n) WR \rightarrow RF$					0	0		RF		
$RF(F_n) WR \rightarrow WR$					0	1		RF		
$DI(F_n) WR \rightarrow DO^*$					1	1	0	0	0	
$DI(F_n) WR \rightarrow WR^*$					1	1	0	0	1	
$DI(F_n) XWR \rightarrow WR$					1	1	0	1	1	
$DI(F_n) WR \rightarrow XWR$					1	1	1	0	0	
$DI(F_n) XWR \rightarrow XWR$					1	1	1	1	0	
$DI(F_n) XWR \rightarrow DO$					1	1	1	1	1	
$RF + WR + ALUCIN \rightarrow XWR$	0	0	1	1	1	0		RF		
$RF + DI + ALUCIN \rightarrow WR$	0	1	0	0	1	0		RF		
$RF + DI + ALUCIN \rightarrow XWR$	0	1	0	1	1	0		RF		
$RF + DI + ALUCIN \rightarrow RF$	0	1	1	1	1	0		RF		
$RF + XWR + ALUCIN \rightarrow WR$	1	1	0	0	1	0		RF		
$RF + XWR + ALUCIN \rightarrow XWR$	1	1	0	1	1	0		RF		
$XWR + ALUCIN \rightarrow RF$	1	1	1	0	1	0		RF		
$DI + WR + ALUCIN \rightarrow XWR$	0	0	1	1	1	1	0		1	0
$DI + WR + ALUCIN \rightarrow DO$	0	1	1	1	1	1	0		1	0
$DI + XWR + ALUCIN \rightarrow WR$	1	1	0	0	1	1	0		1	0
$DI + XWR + ALUCIN \rightarrow XWR$	1	1	0	1	1	1	0		1	0
$XWR + ALUCIN \rightarrow DO$	1	1	1	0	1	1	0		1	0
$DI \rightarrow RF$	1	1	1	1	1	0		RF		
$RF \rightarrow DO$	0	0	0	0	1	0		RF		
$RF \rightarrow XWR$	0	0	0	1	1	0		RF		
$DI \rightarrow WR$	{ 0	1	1	0	1	0	G	G	G	
$DI \rightarrow XWR$	{ 0	0	1	0	1	1	0	1	0	
$DI \rightarrow DO$	{ 1	1	1	1	1	1	0	1	0	
{ 0	0	0	0	1	1	0	1	0		
$(WR - DI - 1 + ALUCIN) RCL \rightarrow WR, XWR$	1	0	0	0	1	1	0	1	0	
$(WR + DI + ALUCIN) RSL \rightarrow WR, XWR$	1	0	0	1	1	1	0	1	0	
$(WR - RF - 1 + ALUCIN) RSL \rightarrow WR, XWR$	1	0	0	0	1	0		RF		
$(WR + RF + ALUCIN) RSL \rightarrow WR, XWR$	1	0	0	1	1	0		RF		
$(WR + ALUCIN) ASP \rightarrow WR, XWR$	{ 1	0	1	0	1	0	G	G	G	
{ 1	0	1	0	1	1	0	1	0		
$(WR - DI - 1 + ALUCIN) ASR \rightarrow WR, XWR$	0	0	1	0	1	1	0	1	0	
$(WR + DI + ALUCIN) ASR \rightarrow WR, XWR$	1	0	1	1	1	1	0	1	0	
$(WR - RF - 1 + ALUCIN) ASR \rightarrow WR, XWR$	0	0	1	0	1	0		RF		
$(WR + RF + ALUCIN) ASR \rightarrow WR, XWR$	1	0	1	1	1	0		RF		

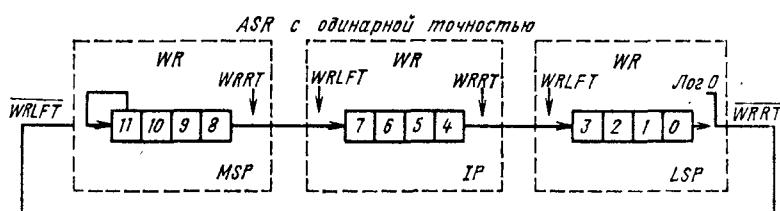
Примечание. $\leftarrow \rightarrow \rightarrow$ — передача информации; G — безразличное состояние.* Содержимое XWR передается в A , когда $PCP=0$.



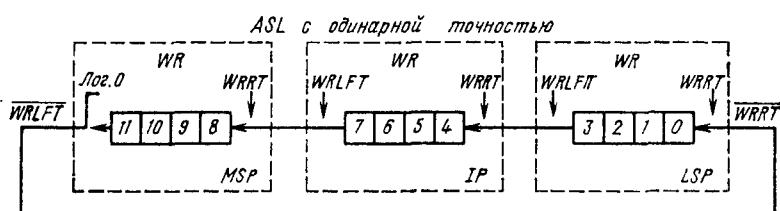
a)



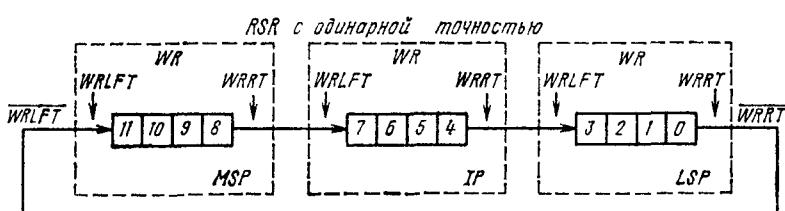
5)



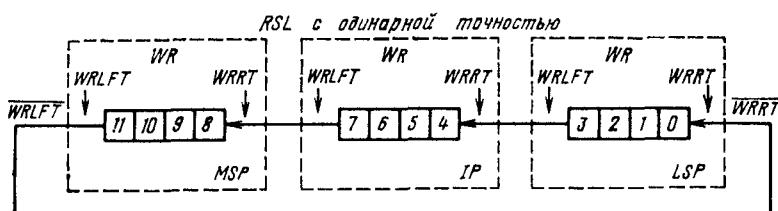
81



31

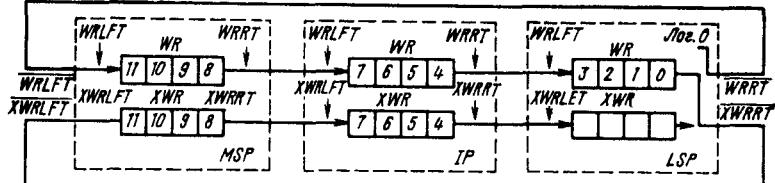


8



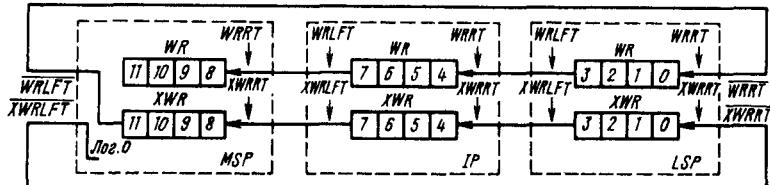
61

LSR с удвоенной точностью



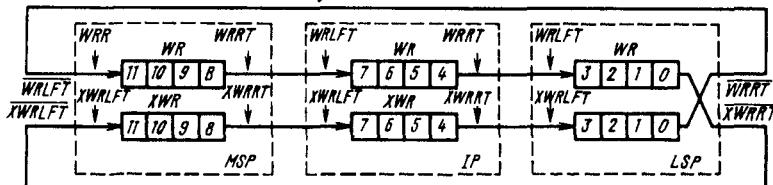
ж)

LSL с удвоенной точностью



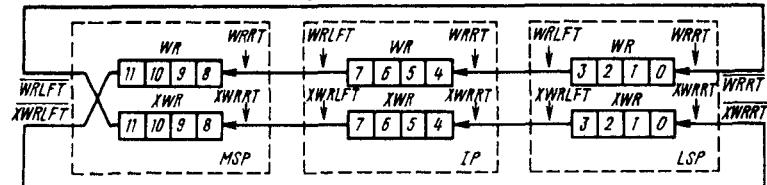
ж)

RSR с удвоенной точностью



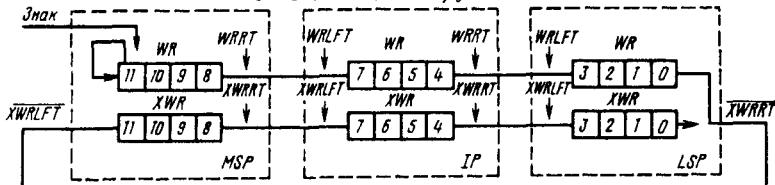
ж)

RSL с удвоенной точностью



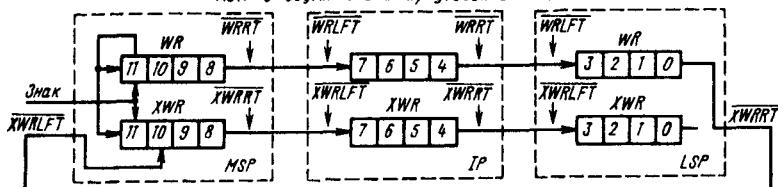
ж)

ASR с одним знаком / удвоенная точность

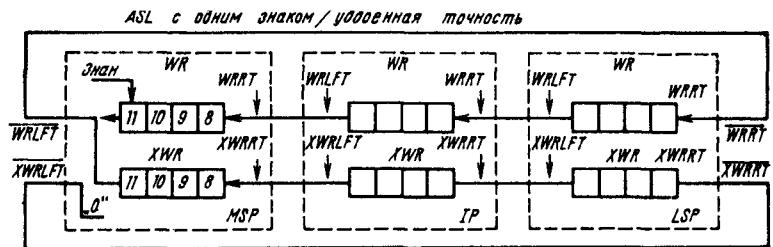


л)

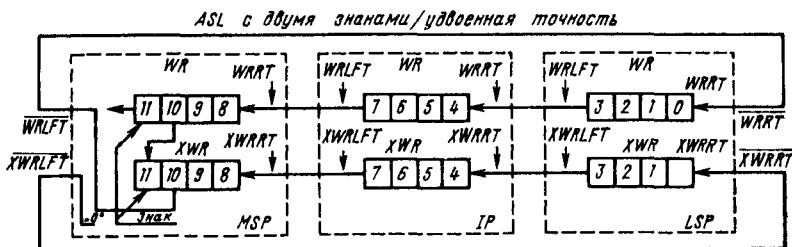
ASR с двумя знаками / удвоенная точность



м)



n)



o)

Рис. 6.7. Схемы выполнения операций сдвигов: логические сдвиги вправо (а) и влево (б) с одинарной точностью; арифметические сдвиги вправо (в) и влево (г) с одинарной точностью; циклические сдвиги вправо (д) и влево (е) с одинарной точностью; логические сдвиги вправо (ж) и влево (з) с удвоенной точностью; арифметические сдвиги вправо (и) и влево (к) с удвоенной точностью; арифметические сдвиги вправо с удвоенной точностью с одним (л) и двумя (м) знаками; арифметические сдвиги влево с удвоенной точностью с одним (н) и двумя (о) знаками

и удвоенной точностью, а также участвуют во всех сдвиговых операциях.

Блок позиционного управления задает ранг отдельной микросхемы в системе с расширен-

ной длиной слова и определяет способ выполнения сдвигов данных, а также конкретную функцию тех входов/выходов, которые имеют двойное назначение. Возможные четыре режи-

Таблица 6.7

Операция	Код операции									
	OP				D		S			
	3	2	1	0	1	0	2	1	0	
(WR) ASR → WR	0	0	0	0	1	1	1	0	1	
(WR) RSR → WR	{ 0	0	0	1	1	1	1	0	1	
(WR) ASL → WR	{ 1	0	0	1	1	1	1	0	1	
(WR) RSL → WR	{ 0	0	1	0	1	1	1	0	1	
(WR) LSR → WR	{ 1	0	1	1	1	1	1	0	1	
(WR) LSL → WR	{ 1	0	0	0	1	1	1	0	1	
(WR, XWR) ASR → WR, XWR	0	1	0	0	1	1	1	0	1	
(WR, XWR) RSR → WR, XWR	{ 0	1	0	1	1	1	1	0	1	
(WR, XWR) ASL → WR, XWR	{ 1	1	0	1	1	1	1	0	1	
(WR, XWR) RSL → WR, XWR	{ 0	1	1	0	1	1	1	0	1	
(WR, XWR) LSR → WR, XWR	{ 1	1	1	1	1	1	1	0	1	
(WR, XWR) LSL → WR, XWR	{ 1	1	0	0	1	1	1	0	1	

П р и м е ч а н и е 1. «→» — операция передачи информации.

2. При $PCP=0$ содержимое WR выдается в A.

3. Для операций в табл. 6.7 ALUCIN должен быть равен нулю.

ма работы микросхемы и функции многофункциональных входов/выходов в зависимости от кодов на входах $POS1$ и $POS0$ представлены в табл. 6.5.

В микросхеме реализуются шесть типов сдвигов: логический сдвиг вправо LSR и влево LSL , арифметический сдвиг вправо ASR и влево ASL , циклический сдвиг вправо RSR и влево RSL . Выполнение сдвиговых операций может производится над содержимым одного регистра WR (одинарная точность) или обоих регистров WR и XWL (удвоенная точность). Кроме того, сдвиги ASL и ASR удвоенной точности могут выполняться с одним или двумя знаками. Схемы выполнения различных типов сдвигов приведены на рис. 6.7.

Система микрокоманд микросхемы состоит из 459 операций, представленных в табл. 6.6 и 6.7.

Основные параметры K584ВУ1

Номинальный ток инжектора I_G	180 мА
Потребляемая мощность P при номинальном токе инжектора	216 мВт
Входной ток высокого уровня I_{IH}	0,6 мА
Выходной ток I_{OL}/I_{OH} :	
для выводов A , \bar{P} , G , $ALU\ COUT$	20 мА/0,05 мА
для выводов DO	10 мА/0,05 мА
для остальных выводов	5 мА/0,6 мА
Время цикла T_c	
для группы А	400 нс
для группы Б	1000 нс

МК	БМУ	Д	3
21		0	4
20		1	5
22	2	2	6
23	3	3	14
26	4	4	13
27	5	5	12
28	6	6	11
29	7	7	14—11,
30	8	8	7—10,
31	9	9	18—15
32	10	10	21, 20, 22,
33	11	11	23, 26—33,
1	12	12	18
2	13	13	17
		14	16
		15	15
36	INT	AMK	3—6,
		0	14—11,
		37	7—10,
		38	18—15
35	M1	35, 34	21, 20, 22,
34	M0	1	23, 26—33,
		39	18
		2	17
		40	16
		3	15
		41	14
		42	13
19	S1	5	12
47	S2	6	11
		43	10
		7	9
		44	8
		45	7
		46	6
25	I_{G1}	25, 48	43
28	I_{G2}	24	44
			45
			46
		GND	24

Таблица 6.8

6.2. Микросхема K584ВУ1

Микросхема K584ВУ1 — блок микропрограммного управления, предназначен для формирования последовательности адресов ПЗУ микрокоманд как функции от кодов команд и значения признаков модификаций. Микросхема также формирует константы и осуществляет контроль питания микро-ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 6.8, назначение выводов — в табл. 6.8, структурная схема показана на рис. 6.9, временная диаграмма работы — на рис. 6.10.

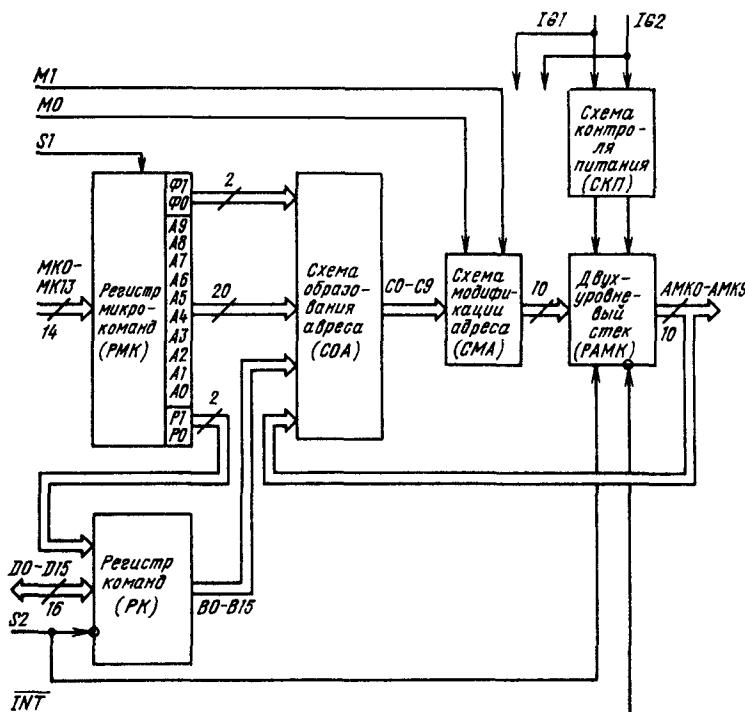
Регистр команд обеспечивает прием кодов команд из двухнаправленной шины данных D , их хранение и выдачу в схему образования адреса (СОА), а также формирование констант адресов или операндов для выдачи их в шину D .

Регистр микрокоманд обеспечивает прием микроруконструкций из шины микрокоманд и управление работой регистра команд и схемой образования адреса; СОА обеспечивает формирование адреса следующей микрокоманды в зависимости от состояний регистра команд, регистра микрокоманд и регистра адреса микрокоманд.

Микросхема работает в четырех основных режимах: адресации с анализом содержимого младшего байта регистра команд, адресации с анализом старшего байта регистра команд, последовательного перебора адреса микрокоманд и принудительной адресации. Задание этих режимов определяется полем режима адресации Φ микрокоманды, которое задает алгоритм использования содержимого регистра

Рис. 6.8. Условное графическое обозначение K584ВУ1

Рис. 6.9. Структурная схема K584ВУ1



команд, регистра микрокоманд и 10-разрядного кода A1—A10 при образовании адреса.

С выхода схемы образования адреса 10-разрядный код адреса поступает на схему модификации адреса, где может в каждом такте независимо от кода исполняемой микрокоманды подвергаться модификации в зависимости от признаков модификации M0 и M1. Управляя модификацией, можно совершать переходы в одну из четырех точек: —1, 0, +1, +2 от вырабатываемого схемой СОА адреса.

Микрокомандами «Вх.» и «Вых.» (см. систему микрокоманд) можно организовать вход и выход из подпрограммы. Микрокоманда «Вх.» позволяет из любой ячейки ПЗУ перейти в одну из 32 точек входа подпрограммы. С помощью микрокоманды «Вых.» из каждой из 32 подпрограмм возможен выход в 8 точек относительно адреса микрокоманды «Вх.».

Двухуровневый стек регистра адреса микрокоманд содержит два идентичных регистра и схемы управления, что позволяет организовать прерывания и переходы к подпрограммам на микропрограммном уровне единичной кратности вложения.

Работа микросхемы синхронизируется двумя синхротернами S1 и S2. Синхроигнал S1 стробирует занесение микрокоманды, синхроигнал S2 обеспечивает отработку принятой микрокоманды. Во время исполнения принятой микрокоманды возможны четыре режима работы микросхемы:

нормальный режим (S1 и S2 присутствуют). Каждый цикл принимается новая микрокоманда, которая затем исполняется;

режим пропуска цикла (S2 отсутствует). Каждый цикл принимается новая микрокоманда, но не исполняется;

режим повтора (S1 отсутствует). Происходит выполнение последней принятой микрокоманды;

режим приостановки (S1 и S2 отсутствуют). Никаких действий в микросхеме не происходит.

Допускается объединение сигналов S1 и S2.

Наличие в составе БИС схемы контроля питания позволяет распознавать моменты вклю-

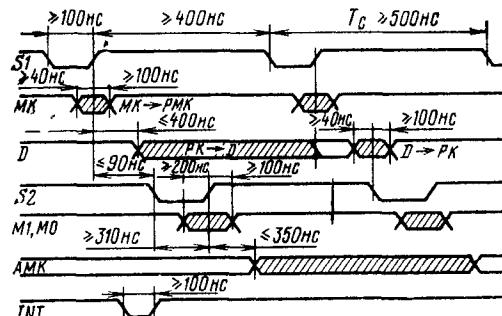


Рис. 6.10 Временная диаграмма работы K584ВУ1

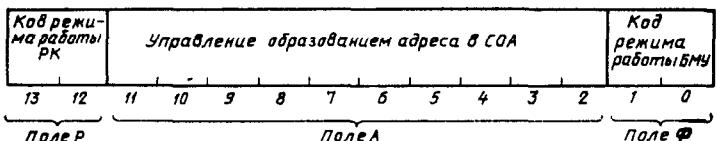


Рис. 6.11. Формат микрокоманды микросхемы К584WU1

чения и сбоев питания определенной длительности. Схема контроля распознает три комбинации на входах питания (01, 10, 11) и на их основе генерирует соответствующие адреса микропрограмм.

При подключении одного из входов (E_2) через конденсатор C к общей шине в момент включения питания на входах E_1 и E_2 устанавливается комбинация 10, которая приводит к установке регистра адреса микрокоманд в состояние 0000000000. Это состояние удерживается до установки на обоих входах питания

комбинации 11, после чего сохраняется еще в течение пяти периодов синхросерины S_2 .

При кратковременных сбоях питания на входах E_1 и E_2 устанавливается обратная комбинация (01), что приводит к установке регистра адреса микрокоманд в состояние 1100000000, которое удерживается до установки нормального уровня питания на обоих входах (11) и сохраняется еще в течение пяти периодов синхросерины S_2 .

В зависимости от времени исчезновения питания (t), воспринимаемого микросхемой как

Таблица 6.9

Состояние разрядов микрокоманды		Выполняемая операция	Состояние разрядов шины $D_0 - D_{15}$														
13	12		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
13	12																
0	0	Нет операции	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	$D_0 - D_{15} \rightarrow PK_0 - PK_{15}$	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1	0	$PK_0 - PK_7$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	$PK_0 - PK_7$	$PK_0 - PK_7$	$D_8 - D_{15}$													

Примечание. X — безразличное состояние нашине D

Таблица 6.10

Состояние разрядов микрокоманды		Признак модификации		Выполняемая операция	Режим работы БМУ			
		M1	M0					
Поле Ф		1	0					
1	0	X	0	$+ (PAMK_1) \rightarrow PAMK$	Последовательный перебор адресов			
1	0	X	1	$- (PAMK_1) \rightarrow PAMK$				
0	0	0	0	$+ (COA_1) \rightarrow PAMK$				
0	0	1	0	$+ (COA_2) \rightarrow PAMK$				
0	0	0	1	$- (COA) \rightarrow PAMK$	Адресация по старшему байту регистра команд ($PK_8 - PK_{15}$)			
0	0	1	1	$(COA) \rightarrow PAMK$				
0	1	0	0	$+ [PMK(2-11),1] \rightarrow PAMK$				
0	1	1	0	$+ [PMK(2-11),2] \rightarrow PAMK$				
0	1	0	1	$- [PMK(2-11),1] \rightarrow PAMK$	Принудительная адресация			
0	1	1	1	$PMK(2-11) \rightarrow PAMK$				
1	1	0	0	$+ (COA_1) \rightarrow PAMK$				
1	1	1	0	$+ (COA_2) \rightarrow PAMK$				
1	1	0	1	$- (COA_1) \rightarrow PAMK$	Адресация по младшему байту регистра команд ($PK_0 - PK_7$)			
1	1	1	1	$(COA) \rightarrow PAMK$				

Примечание. X — состояние входа безразлично.

Таблица 6.11

Мнemo- ника микро- команды	Разряд микрокоманды. Поле A										Разряды младшего или старшего байта РК в соответствии с табл. 6.10							Генерируемый схемой адрес СОА										
	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	B7	B6	B5	B4	B3	B2	B1	B0	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0
ADM	X	X	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	A5	A4	A3	A2	A1	A0	B1	B0
ADC	X	X	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	A5	A4	A3	A2	A1	A0	B3	B2
ATP	X	X	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B2	B1	B0	A4	A3	A2	A1	A0
ATM	X	X	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B3	B2	B1	B0	A3	A2	A1	A0
ATC	X	X	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B7	B6	B5	B4	A3	A2	A1	A0
PT	X	X	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B7	P6	P5	P4	A3	A2	A1	A0
APC	X	X	1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B7	B6	B5	B4	B3	A2	A1	A0
«Вых»	X	X	1	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0
																		0	0	0	0	0	0	0	0	0	0	
PTR	X	X	1	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	A9	A8	A2	A1	A0	P4	P3	P2	P1	P0
AB	X	X	1	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	A9	A8	B7	B6	B5	B4	B3	B2	B1	B0
ВМП	X	X	1	1	1	1	0	X	X	X	0	X	X	X	X	X	X	X	A9	A8	0	1	1	1	1	B2	B1	B0
	X	X	1	1	1	1	1	0	X	X	X	1	1	0	1	X	X	X	A9	A8	0	1	1	1	0	B2	B1	B0
	X	X	1	1	1	1	1	0	X	X	X	1	1	1	0	X	X	X	A9	A8	0	1	1	1	0	B2	B1	B0
	X	X	1	1	1	1	1	0	X	X	X	1	1	1	1	X	X	X	A9	A8	0	1	1	1	0	B2	B1	B0
	X	X	1	1	1	1	1	0	X	X	X	1	1	0	0	0	X	X	A9	A8	1	1	0	0	0	B2	B1	B0
«Вх.»	X	X	1	1	1	1	1	1	X	X	X	1	0	X	X	X	X	X	A9	A8	1	0	B5	B4	B3	B2	B1	B0
	X	X	1	1	1	1	1	1	X	X	X	0	X	X	X	X	X	X	A9	A8	0	1	0	0	A2	A1	A0	

Примечание. B0—B7 — разряды младшего или старшего байта РК в соответствии с табл. 6.10; P0—P9 — разряды рабочего РАМК; C0—C9 — разряды СОА; X — состояние входа безразлично.

сбой, емкость конденсатора, подключаемого ко входу питания E2 при номинальном токе питания, может быть приблизительно определена по формуле $C = t/50$, где C — в микрофардах, t — в микросекундах.

При перестановке емкости C на другой вход питания (E1) адреса прерываний по включению питания и сбою питания автоматически меняются местами. При объединении входов E1 и E2 как включение питания, так и сбои приводят к установке регистра адреса микрокоманд в состояние 0000000000.

Микросхема допускает организацию до 64 векторных прерываний на микропрограммном уровне (адреса с 1110000000 до 1111111111). Наивысший приоритет имеет прерывание по включению питания, промежуточный по сбою питания, самый низкий — у внешних запросов.

Внешние прерывания в микросхеме осуществляются по срезу сигнала прерывания. При этом по срезу S2 осуществляется переключение рабочего регистра микрокоманд на запасной и установка в нем кода 1111111111 по фронту сигнала S2.

Микрокоманда БИС занимает четырнадцать двоичных разрядов и содержит три поля (рис. 6.11). Поле Р управляет работой регистра команд в соответствии с табл. 6.9. Поле Ф управляет режимами адресации совместно со входами модификации M0, M1 согласно табл. 6.10. Поле А является полем адреса следующей микрокоманды и предназначено для подачи кодов, определяющих алгоритм

генерации адресов следующих микрокоманд в соответствии с табл. 6.11, и для организации режима принудительной адресации.

Основные параметры К584ВУ1

Номинальный ток инжектора I_G	150 мА
Потребляемая мощность P при номинальном токе инжектора	180 мВт
Входной ток высокого уровня I_{IH}	0,25 мА
Выходной ток низкого уровня I_{OL}	10,0 мА
Выходной ток высокого уровня I_{OH}	0,6 мА
Время цикла T_C	500 нс

6.3. Микросхема К584ВГ1

Микросхема К584ВГ1 выполняет функции контроллера состояния, предназначена для обработки, формирования и хранения признаков ветвлений программ, микропрограмм и векторов состояний микро-ЭВМ, выработки сигналов условных переходов, подсчета циклов и логической обработки данных.

Условное графическое обозначение микросхемы приведено на рис. 6.12, назначение выводов — в табл. 6.12, структурная схема показана на рис. 6.13, временная диаграмма работы — на рис. 6.14.

Микросхема обеспечивает совместно с К584ВУ1 управление работой микропроцессорной системы и формирование условных переходов для К584ВМ1 или К584ВУ1.

Микросхема работает с 16-разрядной двунаправленной магистралью D и обрабатывает 10 входов внешних условий ВУ. При работе в микросхеме формируются различные признаки (признак нуля, знака, переполнения и др.), которые заносятся в регистр состояния. Блок битовых операций позволяет производить проверку любого бита магистрали D , а также выделение или маскирование информации на этой магистрали.

Таймеры ТМ0, ТМ1 могут производить подсчет различных сигналов или признаков, причем счет в таймерах производится как по внешним сигналам, подаваемым на входы таймеров ($B0$ и $B1$), так и по микрокомандам. Использование таймеров с программируемыми коэффициентами пересчета дает возможность организации циклов. Входы переноса таймеров $BB0$ и $BB1$ служат для наращивания длинны счетчиков таймеров при объединении нескольких микросхем. Сигнал переполнения таймеров появляется при равенстве содержимого счетчика таймера содержимому его регистра пересчета; при этом счетчик таймера обнуляется, а в соответствующие разряды регистра состояния (4 или 6) записывается 1. Сигналы на выходах $BB0$ и $BB1$ могут использоваться для выдачи запросов на прерывания по переполнению таймеров. Содержимое таймеров выдается на магистраль D по сигналу «Приоритет» (P).

Схема формирования признаков формирует на выходах $M0$ и $M1$ модифицирующий адрес в K584ВУ1 или $RF7$ в K584ВМ1, который является функцией: регистра состояния, информации на входах BU , результата счета в таймерах ТМ0 и ТМ1, результата обработки информации блоком битовых операций (ББО).

За один такт работы микросхемы возможна проверка сразу нескольких признаков, установка групп триггеров в регистре состояний, счет в таймерах и работа блока битовых операций. Кроме длины таймеров микросхема позволяет также наращивать разрядность шины данных, длину регистра состояний, число подключаемых к коммутатору КУ условий за счет использования нескольких микросхем.

Работа микросхемы синхронизируется двумя синхросигналами: $S1$ и $S2$.

Возможны четыре режима работы микросхемы:

нормальный режим ($S1$ и $S2$ присутствуют). В каждом цикле принимается новая микрокоманда и происходит ее исполнение;

режим повтора ($S2$ присутствует). Микросхема циклически исполняет последнюю принятую микрокоманду;

режим пропуска цикла регистра состояния ($S1$ присутствует). Микросхема в каждом цикле принимает и исполняет микрокоманду, но состояние регистра не изменяется;

Таблица 6.12

	BU	KC	D		Выход	Обозначение	Тип вывода	Функциональное назначение выводов
43				3				
42	0		0	4				
41	1		1	5				
40	2		2	6				
39	3		3	7				
38	4		4	8				
37	5		5	9				
36	6		6	10				
35	7		7	11				
34	8		8	12				
33	9		9	13				
32	2		10	14				
31	11		11	15				
30	12		12	16				
29	13		13	17				
28	14		14	18				
27	15		15	29				
26	23							
25	16							
24	17							
23	18							
22	21							
21	19							
20	22							
19	3—18							
18	23							
17	24							
16	25							
15	26							
14	27							
13	28							
12	29							
11	30							
10	31							
9	32							
8	33							
7	34							
6	35							
5	36							
4	37							
3	38							
2	39							
1	40							
0	41							
	42							
	43							
	$BB0$							
	$BB1$							
	$S1$							
	$S2$							
	I_G							
	GND							

Рис. 6.12. Условное графическое обозначение K584ВГ1

Таблица 6.13

Режим работы	Состояние разрядов микрокоманд							Выполняемая операция	Выходы СФП	
	Φ			T		P			M1	M0
	9	8	7	6	5	4	3	2	1	0
Проверка признаков	0	0	0	Выбор разрядов 0—3 РС в соответствии с табл. 6.14			Выбор разрядов 0—6 в соответствии с табл. 6.17			$BU(X) \rightarrow \text{СФП}$, $D(15) \rightarrow \text{РС}(0), \text{РС}(1)$
	0	0	1							$\text{РС}(X), BU(X) \rightarrow \text{СФП}$
Проверка $BU(0)$ Триг. за 0. усл. обмен гег. сост. с $D8-D15$	1	0	0	Выбор разрядов 0—7 РС в соответствии с табл. 6.14			X	X	1	$BU(0) \text{ ТЗУ} \rightarrow \text{СФП}$
	1	0	1				X	1	X	$D(12-15) \rightarrow \text{РС}(4-7)$ $D(8-11) \rightarrow \text{РС}(0-3)$
	1	0	1	X	X	X	X	X	X	$\text{РС}(0-7) \rightarrow D(8-15)$
Битовые операции	0	1	0	Выбор маскируемого или проверяемого разряда 0—15 в соответствии с табл. 6.15 или тетрады 0—15 в соответствии с табл. 6.16			0	0	0	$BU(7) \rightarrow \text{РС}(6)$
		0	0				0	0	1	$D(T)^* \rightarrow \text{РС}(4)$
		0	0				0	1	0	$D(\text{РУБ})^* \rightarrow \text{РС}(4)$
		0	0				0	1	1	$\text{МК}(3-6) \rightarrow \text{РУБ}$
		1	0				1	0	0	$D(T) \rightarrow \text{РУБ}$
		1	0				1	0	1	$D(T) \rightarrow \text{РС}(0)$
		1	0				1	1	0	$D(\text{РУБ}) \rightarrow \text{РС}(0)$
		1	1				1	1	1	Нет операций
	0	1	1				0	0	0	Нет операций
		0	0				0	0	1	$D(T) \rightarrow \text{СФП}$
Работа с таймерами	1	1	0	Выбор разрядов РС(0—7) в соответствии с табл. 6.14 и таймеров ТМО и ТМ1 по правилу $\text{РС}(1)=1$, выбор ТМО			0	0	0	Нет операций**
		0	0				0	0	1	Пуск ТМ
		0	0				0	1	0	$256 \rightarrow \text{ТМ}^{**}$
		0	0				0	1	1	Нет операций
		1	0				1	0	0	Останов ТМ
		1	0				1	0	1	$4 \rightarrow \text{ТМ}^{**}$
	1	1	1	и таймеров ТМО и ТМ1 по правилу $\text{РС}(3)=1$, выбор ТМО			1	1	0	$16 \rightarrow \text{ТМ}^{**}$
		1	1				1	1	1	Нет операций
		1	1	и ТМ1, выбор ТМО			0	0	0	Нет операций
		1	1				0	0	1	$\text{РС} \rightarrow \text{СФП}$
		1	1				0	1	0	$D(0-7) \rightarrow \text{ТМ0}$ или $D(8-15) \rightarrow \text{ТМ1}$
		1	1				0	1	1	$\text{ТМ}+1 \rightarrow \text{ТМ}, \text{РС} \rightarrow \text{СФП}$

* $D(T)$ или $D(\text{РУБ})$ — разряды определяются полем T микрокоманды или РУБ.** Сброс РС(5,7) при их выборе полем T .

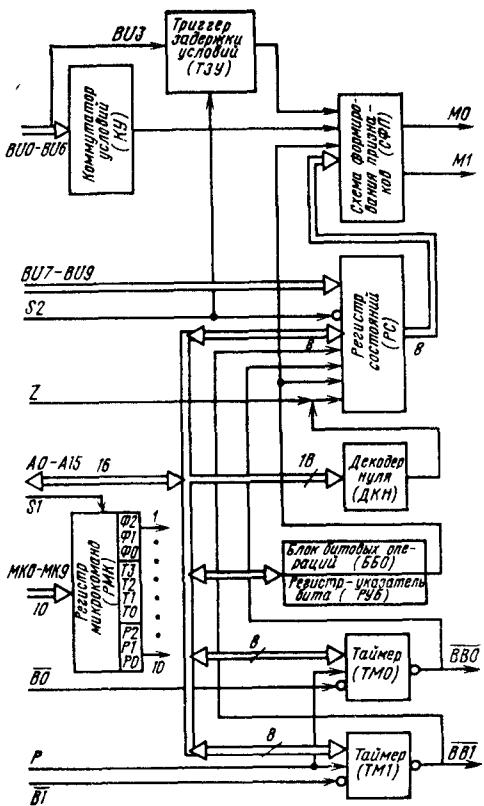


Рис. 6.13. Структурная схема K584BГ1

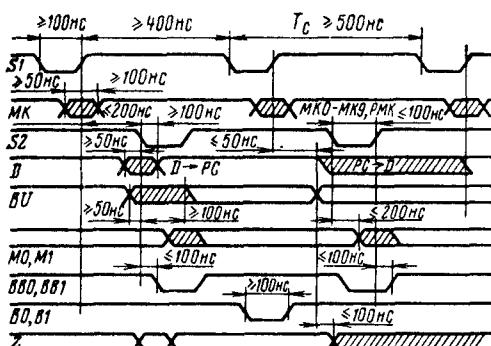


Рис. 6.14. Временная диаграмма работы K584BГ1

Код режима работы		Код операндов			Код выхода данных условий				
9	8	7	6	5	4	3	2	1	0
Pole F			Pole T				Pole R		

Рис. 6.15. Формат микрокоманд микросхемы K584BГ1

режим останова (S_1 и S_2 отсутствуют). Микросхема никаких действий не производит.

Микрокоманда БИС занимает 10 разрядов и содержит три поля (рис. 6.15). Поле F задает режим работы БИС согласно табл. 6.13. Поле T производит выбор разрядов регистра состояния в соответствии с табл. 6.14, выбор маскируемого или проверяемого разряда магистрали в соответствии с табл. 6.15 или выбор тетрады (0—3) в соответствии с табл. 6.16. Поле R осуществляет выбор проверяемого разряда BU (0—6) в соответствии с табл. 6.17.

Таблица 6.14

Состояние разрядов микрокоманды. Поле T				Выбираемые разряды РС (0—7) на запись или чтение							
6	5	4	3	7	6	5	4	3	2	1	0
0	0	0	0	0	—	—	—	—	—	—	—
0	0	0	1	—	—	—	+	—	—	—	+
0	0	1	0	—	—	+	—	—	—	—	—
0	0	1	1	—	—	+	+	—	—	—	+
0	1	0	0	—	+	—	—	—	—	+	—
0	1	0	1	—	+	—	+	—	—	+	—
0	1	1	0	—	+	+	—	—	—	+	—
0	1	1	1	—	+	+	+	—	—	+	—
1	0	0	0	+	—	—	—	—	+	—	—
1	0	0	1	+	—	—	—	+	—	—	—
1	0	1	0	+	—	—	+	—	—	+	—
1	0	1	1	+	—	—	+	—	—	+	—
1	1	0	0	+	—	—	—	+	—	+	—
1	1	0	1	+	—	—	+	—	—	+	—
1	1	1	0	+	—	—	—	+	—	+	—
1	1	1	1	+	—	—	—	+	—	+	—

В табл. 6.18 приведены сигналы, которые задают режим работы схемы формирования признаков.

Основные параметры K584BГ1

Номинальный ток инжектора I_G	150 мА
Потребляемая мощность P при номинальном токе инжектора	180 мА
Входной ток высокого уровня I_{IN}	0,25 мА
Выходной ток низкого уровня I_{OL} , не более	10 мА
Выходной ток высокого уровня I_{OH} , не более	0,6 мА
Время цикла T_c	600 нс

Таблица 6.15

Состояние разрядов микрокоманды. Поле <i>T</i>				Состояние разрядов РУБ				Выбираемые разряды <i>D0</i> – <i>D15</i>															
6	5	4	3	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	1	0	0	0	1	+	+	+	+	+	+	+	+	-	-	-	-	-	-	-	-
0	0	1	0	0	0	1	0	+	+	+	+	-	-	-	+	+	+	+	-	-	-	-	-
0	1	0	0	0	1	0	0	+	+	-	+	+	-	-	+	+	-	+	+	-	+	-	-
1	0	0	0	1	0	0	0	+	-	+	-	+	-	-	+	-	+	-	+	-	+	-	+

Таблица 6.16

Состояние разрядов микрокоманды. Поле <i>T</i>				Выполняемая операция
6	5	4	3	
0	0	0	0	$\Phi \rightarrow \text{РУБ} (0-3)$
0	0	0	1	$D (0-3) \rightarrow \text{РУБ} (0-3)$
0	0	1	0	$D (4-7) \rightarrow \text{РУБ} (0-3)$
0	1	0	0	$D (8-11) \rightarrow \text{РУБ} (0-3)$
1	0	0	0	$D (12-15) \rightarrow \text{РУБ} (0-3)$

Таблица 6.17

Состояние разрядов микрокоманды. Поле <i>P</i>	Выбираемый разряд <i>BU</i>	Состояние разрядов микрокоманды. Поле <i>P</i>			Выбираемый разряд <i>BU</i>		
		2	1	0			
0	0	0	<i>BU</i> (0)	1	0	0	<i>BU</i> (4)
0	0	1	<i>BU</i> (1)	1	0	1	<i>BU</i> (5)
0	1	0	<i>BU</i> (2)	1	1	0	<i>BU</i> (6)
0	1	1	<i>BU</i> (3)	1	1	1	Нет операций

Таблица 6.18

Значение operandов	Состояние выходов СФП		Значение operandов	Состояние выходов СФП				
	A	B	M1	M2	A	B	M1	M2
0	0	1	1	1	1	0	1	0
0	1	0	0	0	1	1	0	1

6.4. Микросхема K584BВ1

Микросхема K584BВ1 — магистральный приемопередатчик, предназначена для приема, хранения и передачи байтов информации между тремя двунаправленными магистралями. Две магистрали предназначены для внутрипроцессорного обмена, а третья, имеющая повышенную нагрузочную способность, — для организации интерфейса микро-ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 6.16, назначение выводов — в табл. 6.16, структурная схема дана на рис. 6.17, система микрокоманд — в табл. 6.20, 6.21, формат микрокоманд показан на рис. 6.18.

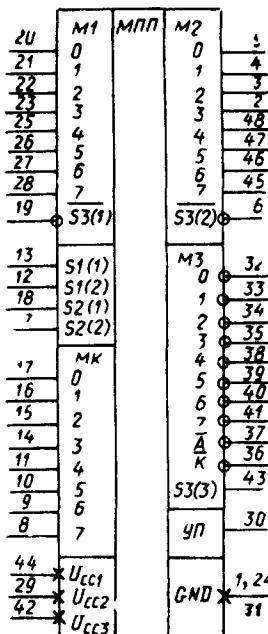


Рис. 6.16. Условное графическое обозначение K584BВ1

Таблица 6.19

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
20—23, 25—28	$M1(0) — M1(7)$	Входы/ выходы	Дву направленная магистраль внутримикросхемного обмена
5—2, 48—45	$M2(0) — M2(7)$	Входы/ выходы	Дву направленная магистраль внутримикросхемного обмена
13, 12	$S1(1), S1(2)$	Входы	Синхросигналы занесения микрокоманды
18, 7	$S2(1), S2(2)$	Входы	Синхросигналы занесения данных в РР1, РР2 соответственно
19, 6, 43	$S3(1), S3(2),$ $S3(3)$	Входы	Синхросигналы выдачи данных на магистраль $M1 — M3$
17—14, 11—8	$MK(0) — MK(7)$	Входы	Шина микрокоманд
32—35, 38—41	$M3(3) — M3(7)$	Входы/ выходы	Дву направленная умощненная магистраль
37, 36	\bar{A}, \bar{K}	Входы/ выходы	Выходы схемы паритетного контроля магистрали $M3$
30	УП	Вход	Управление током потребления микросхемы и нагрузочной способностью магистрали $M3$
44, 29, 42 1, 24, 31	$U_{CC1}, U_{CC2},$ U_{CC3} GND	— —	Напряжения питания Общий

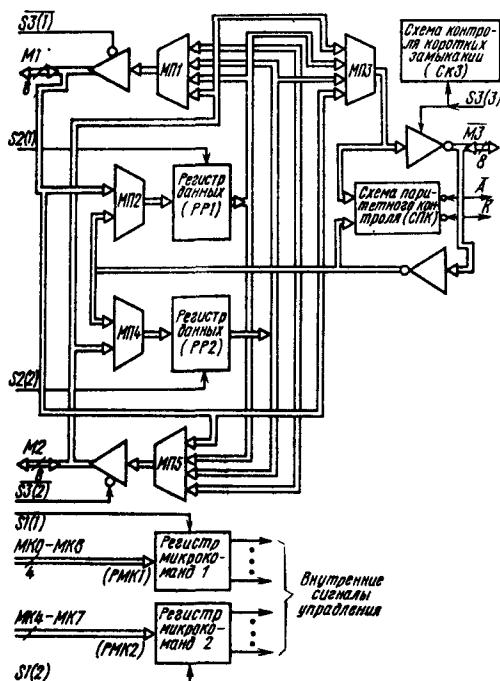


Рис. 6.17. Структурная схема K584BB1

Задание функций, исполняемых микросхемой в каждом такте, производится подачей в шину микрокоманд 8-разрядного кода. Младшая половина шины микрокоманд ($MK0 — MK3$) предназначена для управления передачами по магистрали $M1$ и приема в регистр данных РР1, старшая часть ($MK4 — MK7$) — для управления передачами по магистрали $M2$ и приема в регистр данных РР2.

При приеме данных в микросхеме из магистралей $M3$ в схеме паритетного контроля осуществляется передача контрольных разрядов, образуемых как «сумма по модулю два» передаваемой информации и входного сигнала, от входа A к выходу K , при выдаче — в обратном направлении от K к A . Если же магистраль $M3$ работает одновременно на вход и на выход, то формирование контрольных результатов разрядов осуществляется, как при выдаче, т. е. от K к A .

Микросхема синхронизируется тремя группами синхросерий: $S1$, $S2$ и $S3$. Первая серия $S1(1)$, $S1(2)$ стробирует занесение кодов с



Рис. 6.18. Формат микрокоманд микросхемы K584BB1

Таблица 6.20

Состояние разрядов микрокоманды				Выполняемая операция	Работа схемы паритетного контроля СПК
3	2	1	0		
1	1	1	1	Отсутствие действия	Отсутствие действия
1	1	1	0	Передача информации из регистра данных РР2 на магистраль M1	То же
1	1	0	1	Передача информации из магистрали M1 через регистр данных РР1 в магистраль M3	K→A
1	1	0	0	Передача информации из магистрали M3 через регистр данных РР2 в магистраль M1	A→K
1	0	1	1	Передача информации из магистрали M1 в регистр данных РР1	Отсутствие действия
1	0	1	0	Передача информации из регистра данных РР1 в магистраль M1	То же
1	0	0	1	Передача информации из регистра данных РР1 в магистраль M3	K→A
1	0	0	0	Передача информации из магистрали M3 в регистр данных РР1	A→K
0	1	1	1	Отсутствие действия	Отсутствие действия
0	1	1	0	Передача информации из магистрали M2 в магистраль M1	То же
0	1	0	1	Передача информации из магистрали M1 в магистраль M3	K→A
0	1	0	0	Передача информации из магистрали M3 в магистраль M1	A→K
0	0	1	1	Отсутствие действия	K→A
0	0	1	0	Передача информации из магистрали M3 в магистраль M1	A→K
0	0	0	1	Передача информации из магистрали M1 в магистраль M3	K→A
0	0	0	0	Отсутствие действия	A→K

Примечание. Схема паритетного контроля СПК осуществляет передачу K→A, если имеется выдача в магистраль M3 во втором канале.

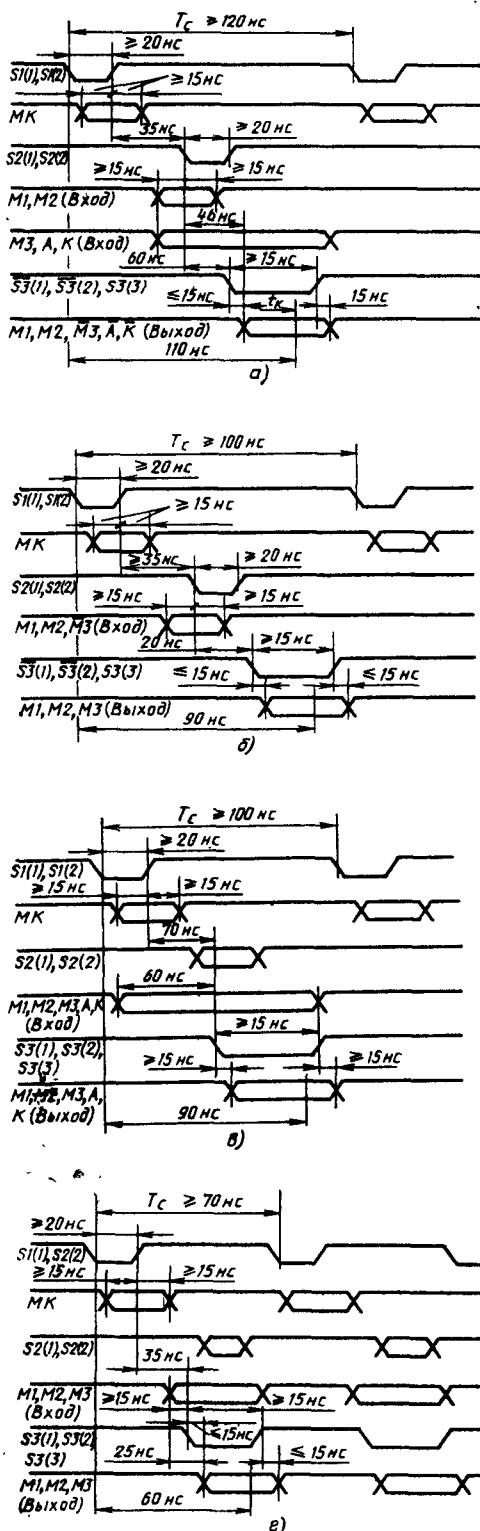


Рис. 6.19. Временные диаграммы работы K584BV1 в различных режимах:

а — с использованием внутренних регистров и схем контроля; б — с использованием внутренних регистров; в — с использованием схем контроля; г — без использования внутренних регистров и схем контроля

Таблица 6.21

Состояние разрядов микрокоманды				Выполняемая операция	Работа схемы паритетного контроля СПК
7	6	5	4		
1	1	1	1	Отсутствие действия	Отсутствие действия
1	1	1	0	Передача информации из регистра данных в магистраль M2	То же
1	1	0	1	Передача информации из магистрали M2 через регистр данных PP2 в магистраль M3	$K \rightarrow A$
1	1	0	0	Передача информации из магистрали M3 через регистр данных PP2 в магистраль M1	$A \rightarrow K$
1	0	1	1	Отсутствие информации из магистрали M2 в регистр PP2	Отсутствие действия
1	0	1	0	Передача информации из регистра данных PP2 в магистраль M2	То же
1	0	0	1	Передача информации из регистра PP2 в магистраль M3	$K \rightarrow A$
1	0	0	0	Передача информации из магистрали M3 в регистр данных PP2	$A \rightarrow K$
0	1	1	1	Отсутствие действия	Отсутствие действия
0	1	1	0	Передача информации из магистрали M1 в магистраль M2	То же
0	1	0	1	Передача информации из магистрали M2 в магистраль M3	$K \rightarrow A$
0	1	0	0	Передача информации из магистрали M3 в магистраль M2	$A \rightarrow K$
0	0	1	1	Отсутствие действия	$K \rightarrow A$
0	0	1	0	Передача информации из магистрали M3 в магистраль M2	$A \rightarrow K$
0	0	0	1	Передача информации из магистрали M2 в магистраль M3	$K \rightarrow A$
0	0	0	0	Отсутствие действия	$A \rightarrow K$

Примечание. Одновременная передача информации из магистрали M1 в магистраль M2 и из магистрали M2 в M1 запрещена

тирование выдачи в магистрали M1 и M2 производится низким уровнем на входах S3(1) и S3(2) соответственно. Выдача информации в магистраль M3 разрешается высоким уровнем на S3(3); при этом одновременно включается схема контроля коротких замыканий, которая при возникновении перегрузок по току в M3 устанавливает на S3(3) низкий уровень. Перевод микросхемы в экономичный режим по току потребления осуществляется подачей сигнала низкого уровня на вход IS.

Система синхронизации позволяет реализовать следующие режимы работы микросхемы: нормальный ($S1$ и $S2$ присутствуют). В каждом цикле микросхема принимает и исполняет новую микрокоманду;

фиксация данных ($S2$ отсутствует). Несмотря на прием по каждому $S1$ новой микрокоманды содержимое PP1 и PP2 остается без изменений;

блокировка ($S3$ отсутствует). По $S1$ происходит прием, а по $S2$ исполнение микрокоманды без выдачи данных в магистрали;

повтор ($S1$ отсутствует). По каждому $S2$ микросхема исполняет старую микрокоманду с выдачей данных по S3;

останов ($S1$ и $S2$ отсутствуют).

На рис. 6.19 приведены временные диаграммы работы микросхемы при различных вариантах передач информации между магистралями M1—M3.

Микросхема выпускается с реализацией двухнаправленных каскадов магистрали M30—M37 в виде схем с открытым коллектором, что позволяет организовать передачи данных в межблочных шинах с емкостью нагрузкой до 200 пФ при прямом представлении информации.

Расчет нагрузочных резисторов R_k для выводов типа «открытый коллектор» для магистрали M3 производится по формуле

$$R_k = \frac{U_{CC} - 0.4 \text{ В}}{53 \cdot 10^{-3} \text{ А}}.$$

Основные параметры K584BB1

Напряжение питания $U_{CC1} = U_{CC2} = U_{CC3}$	$5 \text{ В} \pm 10\%$
Номинальный ток потребления $I_{CC} = I_{CC1} + I_{CC2} + I_{CC3}$:	
в экономичном режиме	150 мА
в режиме повышенной нагрузочной способности	200 мА
Входной ток низкого уровня I_{IL}	$-0,25 \text{ мА}$
Входной ток высокого уровня I_{IH}	100 мкА
Выходной ток низкого уровня I_{OL} , не более:	
для магистралей M1 и M2	10 мА
для магистрали M3 в экономичном режиме	16 мА
для магистрали M3 в режиме повышенной нагрузочной способности, не более	53 мА
Время цикла T_C	120 нс

шины микрокоманд MK0—MK7 в регистр микрокоманд, причем положительный фронт $S1(1)$ стробирует занесение разрядов MK0—MK3, а $S1(2)$ — разрядов MK4—MK7. По отрицательным фронтам второй группы синхросясий S2(1) и S2(2) производится занесение данных в соответствующие регистры PP1 и PP2. Стро-

6.5. Рекомендации по применению

Для микросхем, выполненных по И²Л-технологии, все входы, выходы и входы/выходы унифицированы. Схемы входного каскада, выходного каскада типа открытый коллектор и двунаправленного каскада приведены на рис. 5.44, а, б, в соответственно.

Для микросхем, выполненных по ТТЛШ-технологии, схемы входного каскада, двунаправленных каскадов для магистралей M1 и M2, двунаправленных каскадов с открытым

коллектором для магистралей M3, A и K приведены на рис. 6.20, а, б, в соответственно.

Микросхемы К584ВМ1, К584ВУ1, К584ВГ1 имеют токовое питание от генератора тока или от источника напряжения через токоограничительный резистор, питание микросхемы К584ВВ1 осуществляется от источника напряжения 5 В ± 10%.

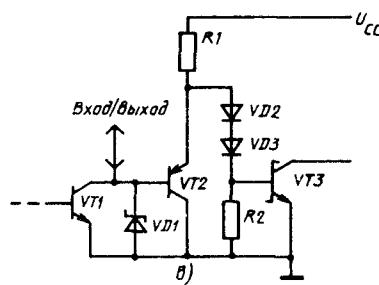
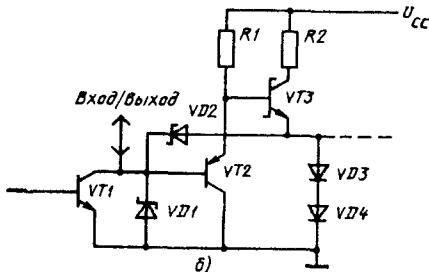
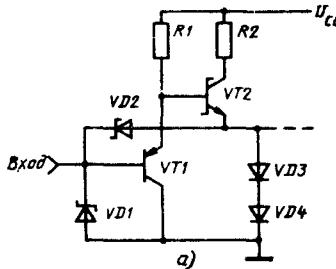


Рис. 6.20. Схемы входного каскада (а), двунаправленных каскадов для магистралей M1 и M2 (б), двунаправленных каскадов с открытым коллектором для магистралей M3, A и K (в) микросхемы K584BB1

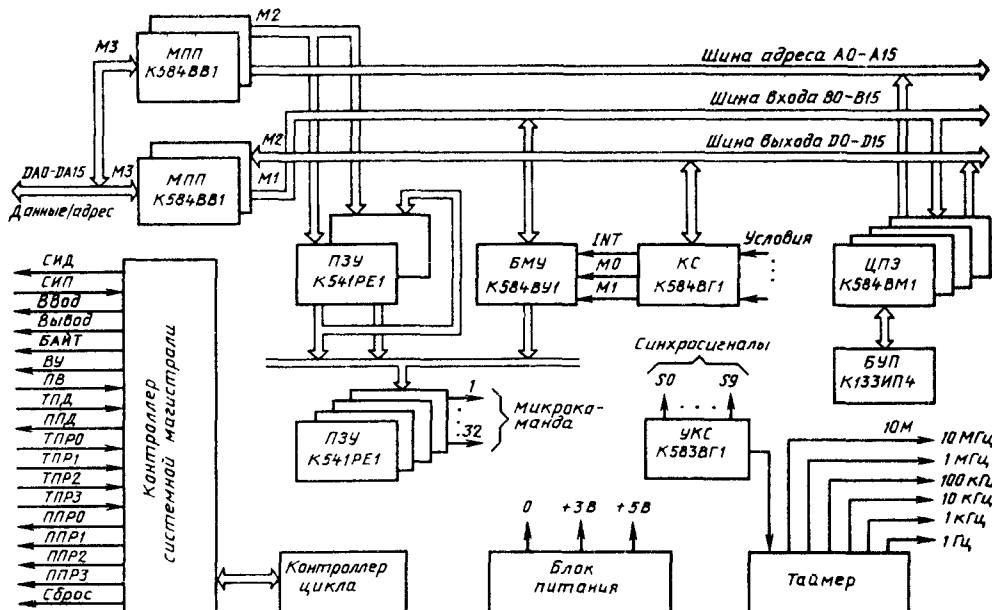


Рис. 6.21. Структурная схема процессора на микросхемах серии K584

Расчет токоограничительного резистора R и нагрузочного резистора R_k выводов типа «открытый коллектор» производится по формулам, приведенным в § 5.11.

На рис. 6.21. приведена структурная схема процессора 16-разрядной микро-ЭВМ с системой команд и интерфейсом ЭВМ «Электроника-60М» на микросхемах серии К584.

Глava 7

Микропроцессорный комплект серии КР587

Комплект микросхем серии КР587, изготовленный по высокопороговой КМДП-технологии, отличается низким потреблением мощности, высоким уровнем помехоустойчивости при сохранении сравнительно высокого быстродействия. МПК обеспечивает широкие возможности и логическую гибкость вследствие модульности структуры, возможности наращивания разрядности, наличия микропрограммного управления.

Комплект микросхем серии КР587 обеспечивает построение микро-ЭВМ на контроллерах для случаев, когда особо критичным является потребление мощности

Общие параметры микросхем серии КР587

Напряжение питания	9 В ± 10%
Потребляемая мощность в статическом режиме	10—50 мВт
Емкость нагрузки, не более	200 пФ
Возможность расширения разрядности	Есть

Состав МПК серии КР587 приведен в табл. 7.1.

Таблица 7.1

Тип микросхемы	Функциональное назначение	Тип корпуса
KP587ИК2	4-разрядное арифметическое устройство <i>ALU</i>	2204.42-1
KP587ИК1	Схема обмена информацией <i>IOPALU</i>	2204.42-1
KP587ИК3	Схема арифметического расширителя <i>AEU</i>	2204.42-1

7.1. Микросхема KP587ИК2

Микросхема КР587ИК2 — автономный управляемый микропрограммно асинхронный 4-разрядный модуль обработки цифровой информации.

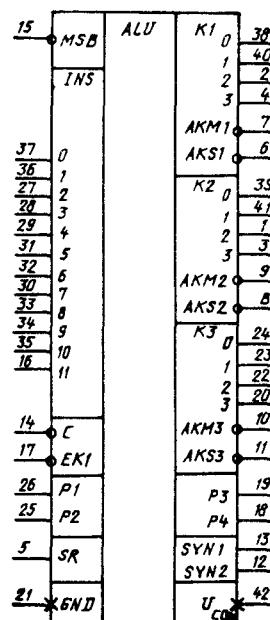


Рис. 71. Условное графическое обозначение
КР587ИК?

Таблица 7.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	$K2(2)$	Вход/выход*	Информация канала $K2$, 2-й разряд
2	$K1(2)$	Вход/выход*	Информация канала $K1$, 2-й разряд
3	$K2(3)$	Вход/выход*	Информация канала $K2$, 3-й разряд
4	$K1(3)$	Вход/выход*	Информация канала $K1$, 3-й разряд
5	SR	Вход	Сигнал установки в исходное состояние
6	$AKS1$	Вход/выход**	Сигнал, свидетельствующий об окончании приема по каналу $K1$
7	$AKM1$	Вход/выход**	Сигнал, сопровождающий выдаваемую информацию по каналу $K1$
8	$AKS2$	Вход/выход**	Сигнал, свидетельствующий об окончании приема по каналу $K2$
9	$AKM2$	Вход/выход**	Сигнал, сопровождающий выдаваемую информацию по каналу $K2$
10	$AKM3$	Вход/выход**	Сигнал, сопровождающий выдаваемую информацию по каналу $K3$
11	$AKS3$	Вход/выход**	Сигнал, свидетельствующий об окончании приема по каналу $K3$
12	$SYN2$	Вход/выход**	Синхронизация ALU
13	$SYN1$	Вход/выход**	Сигнал, свидетельствующий об окончании операции
14	C	Вход	Сигнал разрешения приема и выполнения микророманды
15	MSB	Вход	Сигнал, кодирующий признак старшего модуля в группе совместно работающих микросхем ALU
16	$INS11$	Вход	Информация регистра микророманд, 11-й разряд
17	$EK1$	Вход	Сигнал разрешения обмена работы по первому информационному каналу
18	$P4$	Вход/выход	Сигнал, кодирующий состояние цепи переноса старшего разряда
19	$P3$	Выход	Сигнал, кодирующий состояние цепи переноса из старшего разряда
20	$K3(3)$	Вход/выход**	Информация канала $K3$, 3-й разряд
21	GND	—	Общий
22	$K3(2)$	Вход/выход**	Информация канала $K3$, 2-й разряд
23, 24	$K3(1), K3(0)$	Вход/выход**	Информация канала $K3$, 1-й и 0-й разряды
25	$P2$	Вход/выход	Сигнал, кодирующий состояние цепи переноса младшего разряда
26	$P1$	Вход	Сигнал, кодирующий состояние цепи переноса в младший разряд
37, 36, 27—29, 31, 32, 30, 33—35	$INS0—INS10$	Входы	Информация регистра микророманд
38	$K1(0)$	Вход/выход*	Информация канала $K1$, 0-й разряд
39	$K2(0)$	Вход/выход*	Информация канала $K2$, 0-й разряд
40	$K1(1)$	Вход/выход*	Информация канала $K1$, 1-й разряд
41	$K2(1)$	Вход/выход*	Информация канала $K2$, 1-й разряд
42	Ucc	—	Напряжение питания

* С тремя состояниями.

** Активный — низкий уровень.

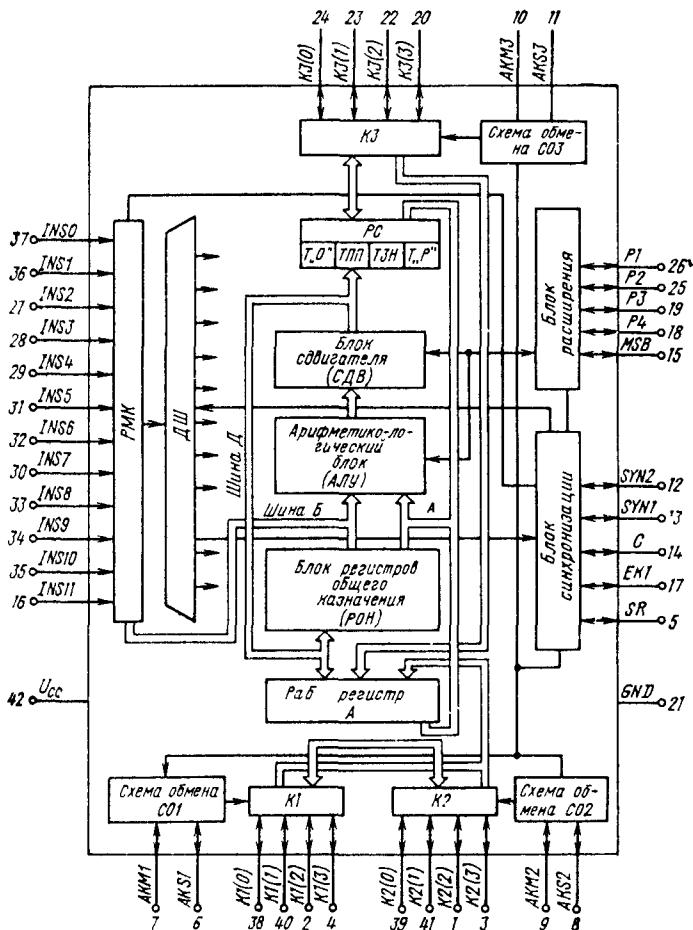
*** Активный — высокий уровень.

с асинхронным переносом и входных мультиплексоров по шинам А и Б. АЛУ выполняет арифметические операции (сложение с 1, сложение, вычитание) и логические (конъюнкция, дизъюнкция, сложение по модулю 2, инверсия).

Входные мультиплексоры коммутируют поступающие операнды на входы АЛУ.

В АЛУ формируются также два сигнала, индицирующие состояние АЛУ при выполнении операций: переполнения (ПП) и расширения

Рис. 7.2. Структурная схема КР587ИК2



(TP). Сигналом ПП является «неэквивалентность» между переосами из третьего и четвертого разрядов. Сигнал TP' — это перенос из старшего разряда Р3.

Блок регистров общего назначения предназначен для хранения данных внутри микро-

схемы ALU. Блок включает восемь 4-разрядных регистров (РОН), доступных микропрограммно. Содержимое регистров поступает на входы АЛУ по шинам считывания А и Б. Запись информации в один из регистров осуществляется с шины записю Д.

Блок сдвигателя предназначен для выполнения операций логического и циклического сдвигов на один разряд вправо и влево. В блоке сдвигателя формируются также три сигнала состояний ALU: «знак» (ЗН — старший разряд результата), сравнение с 0 (СР0) и «расширение» (TP — «выпадающий» при сдвигах разряд).

Рабочий регистр А предназначен для записи и хранения 4-разрядных кодов результата, полученных при выполнении микрокоманды. При операциях обмена А выполняет функцию буферного регистра внешних каналов K1—K3.

Регистр состояния (РС) предназначен для индикации состояний АЛУ. Регистр включает триггер сравнения с нулем Т₀, триггер переполнения ТПП, триггер знака ТЗН, триггер расширения ТР. Сигналы состояния заносят-

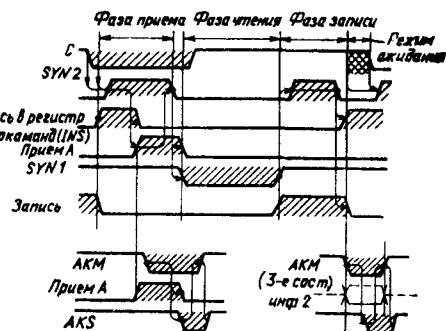


Рис. 7.3. Временные диаграммы работы КР587ИК2

ся в РС и выдаются в КЗ, если в микрокоманде есть признак выдачи состояний (ВС) — наличие лог. 1 в последнем разряде микрокоманды (МК11) причем при операциях сдвига в триггер расширения заносится сигнал ТР, при остальных операциях ТР'

Регистр состояния при выполнении отдельных операций с константой функционирует как регистр общего назначения. Регистр микрокоманды (РМК) предназначен для записи и хранения кода микрокоманды, поступающей в АЛУ.

Дешифратор микрокоманд (ДШ) служит для формирования управляющих сигналов. Входы дешифратора подключены к регистру микрокоманды. Дешифратор стробируется сигналами из блока синхронизации.

Каналы К1—К3 предназначены для приема и выдачи информации. Каналы К1 и К2 принимают и выдают информацию из рабочего регистра А. Канал К3 принимает информацию в рабочий регистр А, а выдает из РС.

Схемы обмена СО1—СО3 управляют приемом или выдачей информации в (из) АЛУ, вырабатывают сопровождающие выдаваемую информацию сигналы АКМ1, отмечают прием информации сигналами АКС1. При работе нескольких источников информации на один канал наличие сигнала АКС1 свидетельствует о занятости канала и блокирует выдачу информации из АЛУ.

При незавершившемся обмене по К1 и К2 в предыдущей микрокоманде схемы обмена СО1 или СО2 блокируют выполнение следующей микрокоманды до окончания обмена. Если выдача информации в К3 не завершена, то схема обмена СО3 не блокирует выполнение следующей микрокоманды при отсутствии в ней признака ВС.

Блок расширения предназначен для дискретного (по четыре бита) наращивания разрядности АЛУ без включения дополнительного оборудования объединением выводов Р1—Р3, Р2—Р4 и соответствующей установкой потенциала на выводе МСВ. В старшем полубайте МСВ подключен к общей шине, в остальных — к шине питания. По связям Р1—Р3, Р2—Р4 передаются сигналы сдвигаемых разрядов и сигналы переносов.

Блок синхронизации предназначен для организации цикла выполнения микрокоманды. Цикл выполнения начинается при поступлении сигнала С либо положительного фронта сигнала на выводе СЫН2 и проходит последовательно три фазы: прием, чтение, запись. Временная диаграмма работы приведена на рис. 7.3.

Выходы СЫН2 и СЫН1 индицируют все три состояния исполнения микрокоманды. Подача на эти выходы управляющих сигналов извне позволяет задерживать цикл выполнения любой микрокоманды.

Микросхема АЛУ может находиться в режиме выполнения микрокоманды или в режиме ожидания прихода следующей. Цикл выполнения микрокоманды (см. рис. 7.3) начинается с приходом отрицательного фронта сигнала С (при этом на входах РМК извне должен быть установлен код микрокоманды) и проходит три фазы исполнения: прием, чтение и запись. Прием начинается с момента поступления сигнала С, который вызывает запуск БС и формирование уровня лог. 1 на выводе СЫН2. Сигнал на выводе СЫН2 свидетельствует о начале приема микрокоманды в РМК. Отрицательный фронт сигнала СЫН2 (окончание интервала приема) появляется лишь в том случае, если окончена выдача в К1 и К2 в предыдущей микрокоманде, окончен прием новой микрокоманды, в микрокоманде есть признак приема информации — окончен прием информации из К1. Если хотя бы одно из условий не выполнено, то АЛУ переходит в режим ожидания и лишь при выполнении всех условий возникает отрицательный фронт сигнала СЫН2, который вызывает сигнал АКС1, свидетельствующий об окончании приема информации по К1.

Сброс сигнала АКС1 влечет за собой сброс сигнала АКС1. Информация, принятая по К1, записывается в рабочий регистр А.

С появлением отрицательного фронта СЫН2 начинается фаза чтения и возникает отрицательный фронт сигнала СЫН1. Информация, считанная из двух источников, по шинам А и Б поступает на входы АЛУ, где происходит выполнение операции и запись результата. Об окончании фазы чтения и о начале фазы записи свидетельствует положительный фронт сигнала СЫН1, который вызывает формирование положительного фронта сигнала СЫН2.

Во время записи выполняются операции сдвига в сдвигателе и запись результата в приемники информации: РОН, А, РС в зависимости от кода микрокоманды. Об окончании записи свидетельствует отрицательный фронт сигнала СЫН2. С этого момента начинается выдача информации в К1. Окончание записи переводит АЛУ в исходное состояние для приема новой микрокоманды. Поэтому фазы выдачи информации и приема следующей микрокоманды могут совмещаться, однако окончание приема в следующей микрокоманде не наступит до момента освобождения канала. Выдача результата операции в К1 происходит в том случае, если к моменту выдачи сигнал АКС1 отсутствует (АКС1 должен быть в состоянии лог. 1). Сигнал АКС1 сопровождается выданной в К1 информацией, а сброс информации осуществляется при поступлении извне сигнала АКС1, который формирует положительный фронт сигнала АКС1. Следует отметить, что прием и выдачу информации можно осуществлять в формате микрокоманд с обменом и в случае приема из К3 — в формате с константой.

В зависимости от кода в разрядах 0 и 1 РМК 12-разрядная микрокоманда АЛУ разбивается на поля, образуя четыре формата микрокоманд (табл. 7.3).

Во всех форматах микрокоманд разряды

Таблица 7.3

Код формата	Код операции АЛУ	Поле источника информации 1 приемника информации	Поле источника информации 2, приемника информации, код операции	Поле выдачи состояния
0, 1	2, 3, 4	5, 6, 7	8, 9, 10	11
00	КОП АЛУ	PI	PJ	BC
10	КОП АЛУ	PI	КОП СДВ	BC
01	КОП АЛУ	Константа	КОП	BC
11	КОП АЛУ	PI	КОП ОБМ	BC

2—4 РМК определяют код операции АЛУ, а разряд РМК(11)=BC указывает на необходимость записи состояний в РС и выдачи содержимого регистра состояний в канал КЗ. В соответствии с табл. 7.3 ниже приведено описание форматов микрокоманд.

1. РМК(0—1)=00 — формат операций регистр — регистр.

Разряды 5—7 РМК указывают номер регистра — источника операнда (PI), разряды 8—10 — номер регистра — источника второго операнда и приемника результата операции (PJ). Кроме этого результат заносится в рабочий регистр A.

2. РМК(0—1)=10 — формат операций регистр — рабочий регистр. Разряды 5—7 РМК указывают номер регистра — источника операнда, а разряды 8—10 определяют код операции сдвигателя. Источником второго операнда является рабочий регистр A. Туда же заносится в результат операции.

3. РМК(0—1)=01 — формат операций с константой. В этом формате разряды 5—8 РМК являются одним из операндов (константа), а в разрядах 9—10 указываются источники и приемники информации (ИП) при операциях с константой (A, PC, K3).

4. РМК(0—1)=11 — формат микрокоманд с обменом. В этом формате код операции обмена находится в разрядах 8—10 РМК.

Подробное описание системы микрокоманд ALU приведено в табл. 7.4.

При использовании ALU необходимо производить начальную установку. При включении питания на вывод SR подается положительный импульс длительностью не менее 200 нс; при этом микросхема устанавливается в начальное состояние, разрешающее прием и выполнение микрокоманды.

При построении параллельного арифметического устройства из нескольких микросхем ALU выводы SYN1, SYN2, AKM, AKS объединяются, причем объединенные выводы SYN2 через резистор присоединяют к общейшине, а объединение выводов SYN1 через резистор — к шине питания.

Таблица 7.4

Код операции	Описание операции
10 111 / 000 BC	A←Сдвиг лог. вправо PI
10 111 / 001 BC	A←Сдвиг лог. влево PI
10 111 / 100 BC	A←Сдвиг цикл. вправо PI
10 111 / 101 BC	A←Сдвиг цикл. влево PI
10 111 / 010 BC	A←Инверсия PI
10 111 / 110 BC	A, PI←PI
10 111 / 111 BC	A, PI←PI
10 111 / 011 BC	A, PI←PI
11 000 X 000 BC	A←Сложение K2+1
11 000 X 001 BC	A, K2←Сложение A+1
11 000 X 010 BC	A←Сложение K1+1
11 000 X 011 BC	A, K1←Сложение A+1
11 000 X 100 BC	A, K1←Сложение K2+1
11 000 / 101 BC	A, K2, PI←Сложение K1+1
11 000 X 110 BC	A, K1+1
11 000 / 111 BC	A, K2←Сложение K1+1
11 001 / 000 BC	A, K1, PI←Сложение PI+1
11 001 / 001 BC	A, K2←Вычитание K2—PI
11 001 / 010 BC	A←Вычитание K1—PI
11 001 / 011 BC	A, K1←Вычитание A—PI
11 001 / 100 BC	A, K1←Вычитание K2—PI
11 001 / 101 BC	A, PI, K2←Вычитание A—PI
11 001 / 110 BC	A, K2←Вычитание K1—PI
11 001 / 111 BC	A, PI, K1←Вычитание A—PI
11 010 X 000 BC	Загрузка A из K2
11 010 X 001 BC	Выдача A в K2
11 010 X 010 BC	Загрузка A из K1
11 010 X 011 BC	Выдача A в K1
11 010 X 100 BC	Загрузка A из K2, выдача в K1
11 010 / 101 BC	Пересылка A в PI, выдача в K2
11 010 X 110 BC	Загрузка A из K1, выдача в K2
11 010 / 111 BC	Пересылка A в PI, выдача в K1
11 011 / 100 BC	A←Умножение лог. K2 \wedge PI
11 011 / 100 BC	A, K2←Умножение лог. A \wedge PI
11 011 / 010 BC	A←Умножение лог. K1 \wedge PI
11 011 / 011 BC	A, K1←Умножение лог. A \wedge PI
11 011 / 100 BC	A, K1←Умножение лог. K2 \wedge PI
11 011 / 101 BC	A, PI, K2←Умножение лог. A \wedge PI
11 011 / 110 BC	A, K2←Умножение лог. K1 \wedge PI
11 011 / 111 BC	A, PI, K1←Умножение лог. A \wedge PI

Продолжение табл. 7.4

Код операции	Описание операции
11 100 / 000 BC	$A \leftarrow \text{Сложение } K2 + PI$
11 100 / 001 BC	$A, K2 \leftarrow \text{Сложение } A + PI$
11 100 / 010 BC	$A \leftarrow \text{Сложение } K1 + PI$
11 100 / 011 BC	$A, K1 \leftarrow \text{Сложение } A + PI$
11 100 / 100 BC	$A, K1 \leftarrow \text{Сложение } K2 + PI$
11 100 / 101 BC	$A, PI, K2 \leftarrow \text{Сложение } A + PI$
11 100 / 110 BC	$A, K2 \leftarrow \text{Сложение } K1 + PI$
11 100 / 111 BC	$A, PI, K1 \leftarrow \text{Сложение } A + PI$
11 101 / 000 BC	$A \leftarrow \text{Сложение лог. } K2 \vee PI$
11 101 / 001 BC	$A, K2 \leftarrow \text{Сложение лог. } A \vee PI$
11 101 / 010 BC	$A \leftarrow \text{Сложение лог. } K1 \vee PI$
11 101 / 011 BC	$A, K1 \leftarrow \text{Сложение лог. } A \vee PI$
11 101 / 100 BC	$A, K1 \leftarrow \text{Сложение лог. } K2 \vee PI$
11 101 / 101 BC	$A, PI \vee \text{Сложение лог. } A \vee PI$
11 101 / 110 BC	$A, K2 \leftarrow \text{Сложение лог. } K1 \vee PI$
11 101 / 111 BC	$A, PI, K1 \leftarrow \text{Сложение лог. } A \vee PI$
11 110 / 000 BC	$A \leftarrow \text{Неэквивалентность } K2 \oplus PI$
11 110 / 001 BC	$A, K2 \leftarrow \text{Неэквивалентность } A \oplus PI$
11 110 / 010 BC	$A \leftarrow \text{Неэквивалентность } K1 \oplus PI$
11 110 / 011 BC	$A, K1 \leftarrow \text{Неэквивалентность } A \oplus PI$
11 110 / 100 BC	$A, K1 \leftarrow \text{Неэквивалентность } K2 \oplus PI$
11 110 / 101 BC	$A, PI, K2 \leftarrow \text{Неэквивалентность } A \oplus PI$
11 110 / 110 BC	$A, K2 \leftarrow \text{Неэквивалентность } K1 \oplus PI$
11 110 / 111 BC	$A, PI, K1 \leftarrow \text{Неэквивалентность } A \oplus PI$
00 000 X j BC	$P_j, A \leftarrow \text{Сложение } 1 + P_j$
00 000 I j BC	$P_j, A \leftarrow \text{Вычитание } P_j$
00 010 X j BC	$P_j, A \leftarrow P_j$
00 011 I j BC	$P_j, A \leftarrow \text{Умножение лог. } PI \wedge P_j$
00 100 I j BC	$P_j, A \leftarrow \text{Сложение } PI + P_j$
00 101 I j BC	$P_j, A \leftarrow \text{Сложение лог. } PI \vee P_j$
00 110 I j BC	$P_j, A \leftarrow \text{Неэквивалентность } PI \oplus P_j$
00 111 I j BC	$P_j, A \leftarrow PI$

Продолжение табл. 7.4

Код операции	Описание операции
10 000 X 000 BC	$A \leftarrow \text{Сложение } A + 1, \text{ сдвиг лог. вправо}$
10 000 X 001 BC	$A \leftarrow \text{Сложение } A + 1, \text{ сдвиг лог. влево}$
10 000 X 100 BC	$A \leftarrow \text{Сложение } A + 1, \text{ сдвиг цикл. вправо}$
10 000 X 101 BC	$A \leftarrow \text{Сложение } A + 1, \text{ сдвиг цикл. влево}$
10 000 X 010 BC	$A \leftarrow \text{Сложение } A + 1, \text{ инверсия}$
10 000 X 110 BC	$A \leftarrow \text{Сложение } A + 1, \text{ перенос/займ}$
10 000 I 111 BC	$A, PI \leftarrow \text{Сложение } A + \bar{1}$
10 000 X 011 BC	$A \leftarrow \text{Сложение } A + \bar{1}$
10 001 I 000 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ сдвиг лог. вправо}$
10 001 I 001 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ сдвиг лог. влево}$
10 001 I 100 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ сдвиг цикл. вправо}$
10 001 I 101 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ сдвиг цикл. влево}$
10 001 I 010 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ инверсия}$
10 001 I 110 BC	$A \leftarrow \text{Вычитание } A - PI, \text{ с зайтом}$
10 001 I 111 BC	$A, PI \leftarrow \text{Вычитание } A - PI$
10 001 I 011 BC	$A \leftarrow \text{Вычитание } A - PI$
10 010 X 000 BC	$A \leftarrow \text{Сдвиг лог. вправо } A$
10 010 X 001 BC	$A \leftarrow \text{Сдвиг лог. влево } A$
10 010 X 100 BC	$A \leftarrow \text{Сдвиг цикл. вправо } A$
10 010 X 101 BC	$A \leftarrow \text{Сдвиг цикл. влево } A$
10 010 X 010 BC	$A \leftarrow \text{Сдвиг цикл. вправо } A$
10 010 X 110 BC	$A \leftarrow \text{Сдвиг цикл. влево } A$
10 010 I 111 BC	$A \leftarrow \text{Инверсия } A$
10 010 X 011 BC	$A \leftarrow A$
11 111 I 000 BC	Фиктивная загрузка, пересылка PI в A
11 111 I 001 BC	Выдача PI в $K2$
11 111 I 010 BC	Фиктивная загрузка, пересылка PI в A
11 111 I 011 BC	Выдача PI в $K1$
11 111 I 100 BC	Фиктивная загрузка, выдача PI в $K1$
11 111 I 101 BC	Выдача PI в $K2$
11 111 I 110 BC	Фиктивная загрузка, выдача PI в $K2$
11 111 I 111 BC	Выдача PI в $K1$
01 000 Конст. 11 BC	$A \leftarrow \text{Сложение } K3 + 1$
01 001 Конст. 11 BC	$A \leftarrow \text{Вычитание } K3 - \text{конст.}$
01 010 Конст. 11 BC	Загрузка A из $K3$
01 011 Конст. 11 BC	$A \leftarrow \text{Умножение лог. } K3 \wedge \text{конст.}$
01 100 Конст. 11 BC	$A \leftarrow \text{Сложение } K3 + \text{конст.}$
01 110 Конст. 11 BC	$A \leftarrow \text{Сложение лог. } K3 \vee \text{конст.}$

Продолжение табл. 7.4

Код операции	Описание операции
01 110 Конст. 11 BC	$A \leftarrow$ Неэквивалентность $K_3 \oplus$ конст.
01 111 Конст. 11 BC	Фиктивная загрузка, пересылка конст. в A
01 000 Конст. 00 BC	$A, PC \leftarrow$ Сложение $PC + 1$
01 001 Конст. 00 BC	$A, PC \leftarrow$ Вычитание $PC -$ конст.
01 010 Конст. 00 BC	Пересылка PC в A
01 011 Конст. 00 BC	$A, PC \leftarrow$ Умножение лог. $PC \wedge$ конст.
01 100 Конст. 00 BC	$A, PC \leftarrow$ Сложение $PC +$ конст.
01 101 Конст. 00 BC	$A, PC \leftarrow$ Сложение лог. $PC \vee$ конст.
01 110 Конст. 00 BC	$A, PC \leftarrow$ Неэквивалентность $PC \oplus$ конст.
01 111 Конст. 00 BC	Пересылка конст. в PC
01 000 Конст. 10 BC	$A, PC \leftarrow$ Сложение $A + 1$
01 001 Конст. 10 BC	$A, PC \leftarrow$ Вычитание $A -$ конст.
01 010 Конст. 10 BC	Пересылка A в PC
01 011 Конст. 10 BC	$A, PC \leftarrow$ Умножение лог. $A \wedge$ конст.
01 100 Конст. 10 BC	$A, PC \leftarrow$ Сложение $A +$ конст.
01 101 Конст. 10 BC	$A, PC \leftarrow$ Сложение лог. $A \vee$ конст.
01 110 Конст. 10 BC	$A, PC \leftarrow$ Неэквивалентность $A \oplus$ конст.
01 111 Конст. 10 BC	Пересылка конст. в A и PC
10 011 / 000 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг лог. вправо
10 011 / 001 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг лог. влево
10 011 / 100 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг цикл. вправо
10 011 / 101 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$, сдвиг цикл. влево
10 011 / 010 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$, инверсия
10 011 / 110 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$
10 011 / 111 BC	$A, PI \leftarrow$ Умножение лог. $PI \wedge A$
10 011 / 011 BC	$A \leftarrow$ Умножение лог. $PI \wedge A$
10 100 / 000 BC	$A \leftarrow$ Сложение $PI + A$, сдвиг лог. вправо
10 100 / 001 BC	$A \leftarrow$ Сложение $PI + A$, сдвиг лог. влево
10 100 / 100 BC	$A \leftarrow$ Сложение $PI + A$, сдвиг цикл. вправо
10 100 / 101 BC	$A \leftarrow$ Сложение $PI + A$, сдвиг цикл. влево

Окончание табл. 7.4

Код операции	Описание операции
10 100 / 010 BC	$A \leftarrow$ Сложение $PI + A$, инверсия
10 100 / 110 BC	$A \leftarrow$ Сложение $PI + A$, с переносом
10 100 / 111 BC	$A, PI \leftarrow$ Сложение $PI + A$
10 100 / 011 BC	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг лог. вправо
10 101 / 001 BC	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг лог. влево
10 101 / 100 BC	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг цикл. вправо
10 101 / 101 BC	$A \leftarrow$ Сложение лог. $PI \vee A$, сдвиг цикл. влево
10 101 / 010 BC	$A \leftarrow$ Сложение лог. $PI \vee A$, инверсия
10 101 / 110 BC	$A \leftarrow$ Сложение лог. $PI \vee A$
10 101 / 111 BC	$A, PI \leftarrow$ Сложение лог. $PI \vee A$
10 101 / 011 BC	$A \leftarrow$ Сложение лог. $PI \vee A$
10 110 / 000 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. вправо
10 110 / 001 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. влево
10 110 / 100 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг лог. вправо
10 110 / 101 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$, сдвиг цикл. влево
10 110 / 010 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$, инверсия
10 110 / 110 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$
10 110 / 111 BC	$A, PI \leftarrow$ Неэквивалентность $PI \oplus A$
10 110 / 011 BC	$A \leftarrow$ Неэквивалентность $PI \oplus A$
01 000 Конст. 01 BC	$A \leftarrow$ Сложение $A + 1$
01 001 Конст. 01 BC	$A \leftarrow$ Вычитание $A -$ конст.
01 010 Конст. 01 BC	Пересылка A в A
01 011 Конст. 01 BC	$A \leftarrow$ Умножение лог. $A \wedge$ конст.
01 100 Конст. 01 BC	$A \leftarrow$ Сложение $A +$ конст.
01 101 Конст. 01 BC	$A \leftarrow$ Сложение лог. $A +$ конст.
01 110 Конст. 01 BC	$A \leftarrow$ Неэквивалентность $A +$ конст.
01 111 Конст. 01 BC	Пересылка конст. в A

П р и м е ч а н и я. 1. Описание структуры ALU:
 $P(0-7, 0-3)$ — регистры общего назначения;
 $A(0-3)$ — регистр результата;
 $PC(0-3)$ — регистр состояния;
 $PMK(0-11)$ — регистр микрокоманд;
 $I-PMK(5-7)$ — номер регистра источника приемника операнда;
 $j-PMK(8-10)$ — номер регистра источника приемника операнда;
 $BC-PMK(11)$ — бит управления выдачей состояния;
 $PC(0)$ — триггер сравнения с нулем;

$PC(1)$ — триггер переполнения;
 $PC(2)$ — триггер знака;
 $PC(3)$ — триггер расширения;
 $K1(0-3)$ — канал $K1$;
 $K2(0-3)$ — канал $K2$;
 $K3(0-3)$ — канал $K3$ выдачи состояний;
 $P1$ — вывод переноса в младшие разряды;
 $P3$ — вывод переноса из старших разрядов;
 MSB — вывод-указатель старшего разряда.

2 В таблице микрокоманд разряды регистра микрокоманд приведены в последовательности: $PMK(0)$, $PMK(1)$, ..., $PMK(II)$

Выводы AKM , AKS и информационные выводы канала $K3$ через резисторы присоединяются к шине питания. Рассмотрим работу варианта 16-разрядного арифметического устройства (рис. 7.4). Если на входы МК(0—11) всех ALU извне поступила микрокоманда, а сигнал C подан лишь на вход одной микросхемы, например $ALU3$, то схемы $ALU1$, $ALU2$ и $ALU4$ функционируют следующим образом. Запись кода микрокоманды в $PMK(0-11)$ $ALU1$, $ALU2$ и $ALU4$ происходит при появлении положительного фронта сигнала $SYN2$, сформированного блоком синхронизации $ALU3$. Независимо от того, присутствуют или нет в поступившей микрокоманде признаки приема информации по одному из

каналов, информация в $ALU1$, $ALU2$, $ALU4$ не принимается. Дальнейшее выполнение микрокоманды во всех четырех схемах идентично, однако в $ALU1$, $ALU2$, $ALU4$ не происходит записи результата операции ни в один из приемников информации и, следовательно, при выдаче информации в каналы выдается старое содержимое регистров.

Приемом и выдачей информации по каналу $K1$ можно управлять с помощью сигналов, подаваемых на выход $EK1$. Разрешающим сигналом является лог. 0.

В ALU используются четыре различные схемы выходных буферных каскадов:

схема с тремя устойчивыми состояниями (рис. 7.5, а). При выдаче лог. 1 открыт p -канальный транзистор, при выдаче лог. 0 — n -канальный. Если информация не выдается, то оба транзистора закрыты и схема находится в состоянии «выключено». Такие выходы имеют каналы $K1$ и $K2$;

схема выхода, формирующего напряжение низкого уровня, — n -канальный транзистор, сток которого подключен к выводу микросхемы (рис. 7.5, б). Если на затвор транзистора поступает лог. 1, то транзистор открыт и на выходе лог. 0. Если на затворе лог. 0, то транзистор закрыт, а на выходе лог. 1, сфор-

Таблица 7.5

Параметр	Обозначение	Значения параметров			Режим измерения
		$T=+25^{\circ}\text{C}$	$T=-45^{\circ}\text{C}$	$T=+70^{\circ}\text{C}$	
Выходное напряжение низкого уровня по цепи $SYN1$, В, не более	$U_{OL, SYN1}$	0,5	0,8	0,6	$U_{CC}=8,1$ В, $I_O=2$ мА
Выходное напряжение низкого уровня по цепям $AKM1-AKM3$, $AKS1-AKS3$, В, не более	$U_{OL, AKS, AKM}$	0,5	0,6	0,6	$U_{CC}=8,1$ В, $I_O=0,5$ мА
Выходное напряжение низкого уровня по цепям информационных каналов $K1-K3$, В, не более	$U_{OL, K}$	0,5	0,6	0,6	$U_{CC}=8,1$ В, $I_O=0,5$ мА
Выходное напряжение высокого уровня по цепи $SYN2$, В, не менее	$U_{OH, SYN2}$	7,4	7,3	7,3	$U_{CC}=8,1$ В, $I_O=2$ мА
Выходное напряжение высокого уровня по цепям информационных каналов $K1$, $K2$, В, не менее	$U_{OH, K}$	7,6	7,5	7,5	$U_{CC}=8,1$ В, $I_O=0,5$ мА
Время задержки по цепи $SYN1$, мкс, не более	$t_d, SYN1$	2,5	—	3,5	$U_{CC}=8,1$ В
Время задержки по цепям $AKS1-AKS3$, мкс, не более	t_d, AKS	1,5	—	2,5	$U_{CC}=8,1$ В
Время задержки по цепям $AKM1-AKM3$, мкс, не более	t_d, AKM	4,0	—	5,0	$U_{CC}=8,1$ В

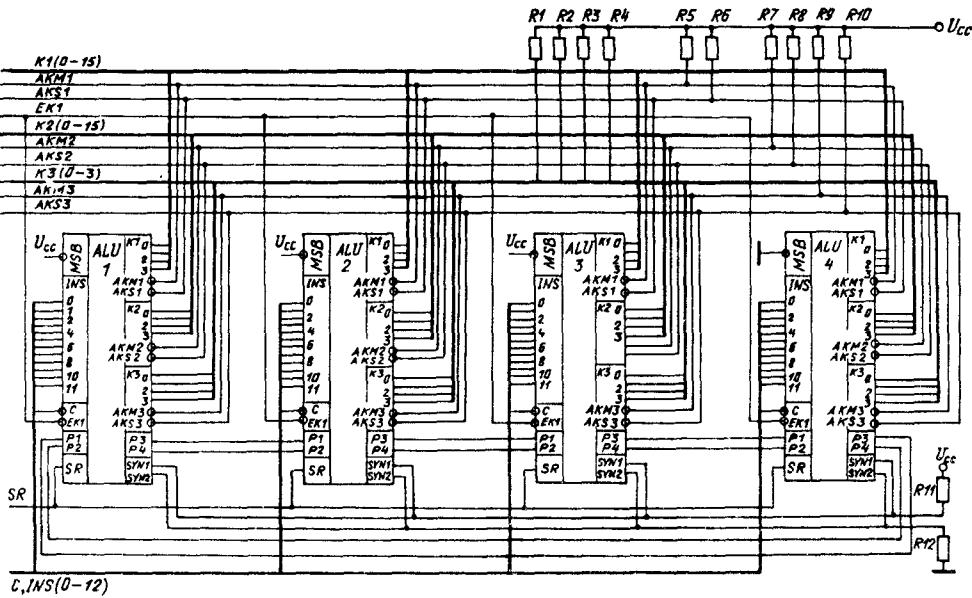


Рис. 7.4. Построение 16-разрядного арифметического устройства на микросхемах KP587ИК2

мированная с помощью резисторов. Такой выход имеет вывод *SYN1*:

схема выхода, формирующего напряжение низкого уровня с восстановлением лог. 1, по сравнению с предыдущей схемой имеет дополнительный *p*-канальный транзистор (рис. 7.5, в)

По окончании выдачи информации на затвор *p*-канального транзистора подается лог. 0 и тем самым формируется положительный фронт на выходе. После этого *p*-канальный транзистор закрывается. Такие выводы имеют *AKM*, *AKS* и *K3(0-3)*;

схема выхода, формирующего напряжение высокого уровня (рис. 7.5, г). Такая схема применяется на выводе *SYN2*.

Основные параметры KP587ИК2 приведены в табл. 7.5.

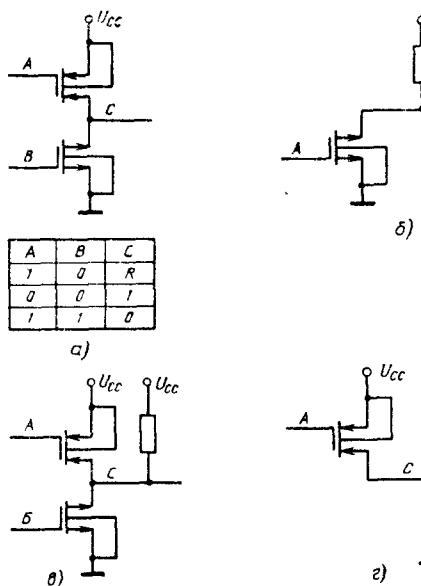


Рис. 7.5. Выходные буферные каскады KP587ИК2

7.2. Микросхема KP587ИК1

Микросхема KP587ИК1 является схемой обмена информацией (*IOPALU*) микропроцессорного комплекта и представляет собой автономный асинхронный 8-разрядный модуль обработки и коммутации информации, служит для организации внутри- и внепроцессорного параллельного и последовательного обмена данными, интерфейса процессора, каналов, построения блоков прерывания, использования в контроллерах периферийных устройств, управления ОЗУ и т. п.

Условное графическое обозначение микросхемы приведено на рис. 7.6, назначение выводов — в табл. 7.6, структурная схема показана на рис. 7.7, временная диаграмма работы — на рис. 7.8.

В микросхему входят следующие блоки: три информационных 8-разрядных канала (*K1*—*K3*); схемы обмена *CO1*—*CO3*; схема захвата; 8-разрядный регистр *P1*; 8-разрядный регистр *P2*; логическое устройство (ЛУ); коммутатор;

Таблица 7.6

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1—4	$K_2(4) - K_2(7)$	Входы/выходы	Информация канала K_2 , разряды 4—7
5—12	$K_3(7) - K_3(0)$	Входы/выходы	Информация канала K_3 , разряды 7—0
13—17	$INS4 - INS0$	Входы	Информация регистра микрокоманд, разряды 4—0
18	C	Вход	Сигнал разрешения приема и выполнения микрокоманды
19	SYN	Вход/выход	Сигнал, свидетельствующий об окончании выполнения операции
20	SA	Вход/выход	Сигнал, характеризующий результат выполнения отдельных операций
21	GND	—	Общий
22	$RQK! / K_3$	Вход	Сигнал запроса разрешения выдачи информации в канал K_1 или K_3
23	$EK! / K_3$	Вход	Сигнал разрешения выдачи информации в канал K_1 или K_3
24	$AKS3$	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_3
25	$AKM3$	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_3
26	$AKS2$	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_2
27	$AKM2$	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_2
28	$AKS1$	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_1
29	$AKM1$	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_1
30—37	$K_1(0) - K_1(7)$	Входы/выходы	Информация канала K_1 , разряды 0—7
38—41	$K_2(0) - K_2(3)$	Входы/выходы	Информация канала K_2 , разряды 0—3
42	U_{CC}	—	Напряжение питания

регистр режима (РР); регистр маски состояния (PMC); схема формирования состояний (СФС); регистр микрокоманд (РМК); дешифратор микрокоманд (ДШ); блок синхронизации (БС); схема начальной установки (СНУ).

Каналы $K_1 - K_3$ предназначены для приема и выдачи информации.

Схемы обмена $CO1 - CO3$ управляют приемом и выдачей информации, вырабатывают сопровождающие выдаваемую информацию сигналы $AKM1 - AKM3$ и отмечают ее прием сигналами $AKS1 - AKS3$. При работе нескольких источников информации на один канал наличне сигнала $AKS1$ свидетельствует о занятости



Рис. 7.6. Условное графическое обозначение КР587ИК1

канала и блокирует выдачу информации из микросхемы $IOPALU$. При незавершившемся обмене в предыдущей микрокоманде схема обмена блокирует выполнение следующей микрокоманды до окончания обмена.

Схема захвата позволяет выдавать информацию в один из каналов K_1 или K_3 по предварительному запросу. Выдача информации может начаться лишь при наличии сигнала $EK! / K_3$. Отсутствие сигнала $EK! / K_3$ блокирует схему обмена, а та, в свою очередь, выполнение следующей микрокоманды. При надежность схемы захвата K_1 или K_3 определяется состоянием регистра режима.

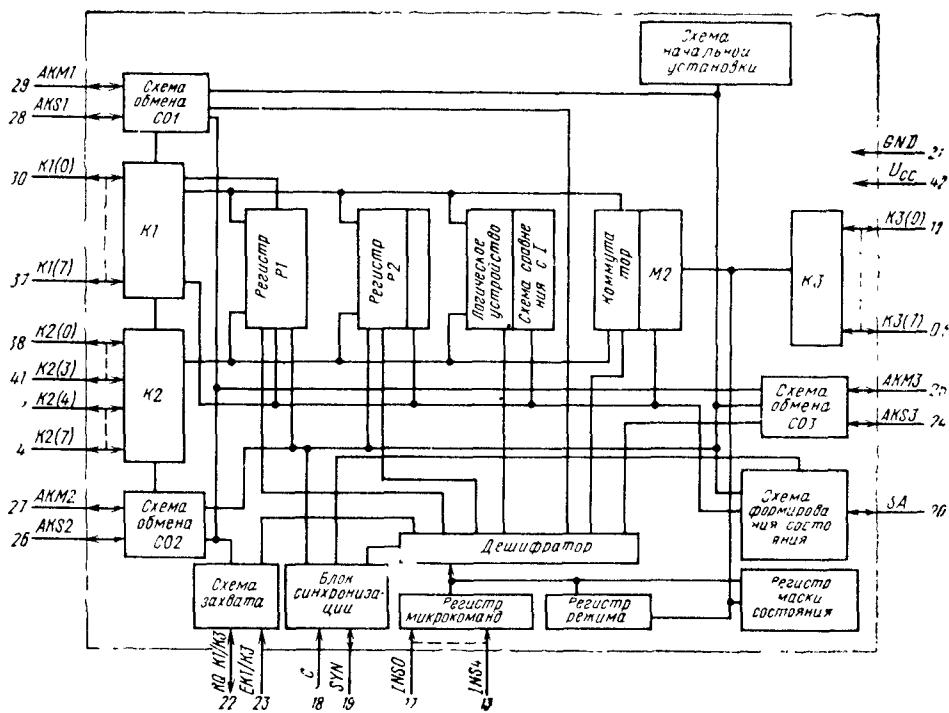


Рис. 7.7. Структурная схема KP587ИК1

Регистры P_1 , P_2 предназначены для временного хранения информации. Регистр P_1 является 8-разрядным сдвиговым регистром, а P_2 — 8-разрядным регистром-счетчиком.

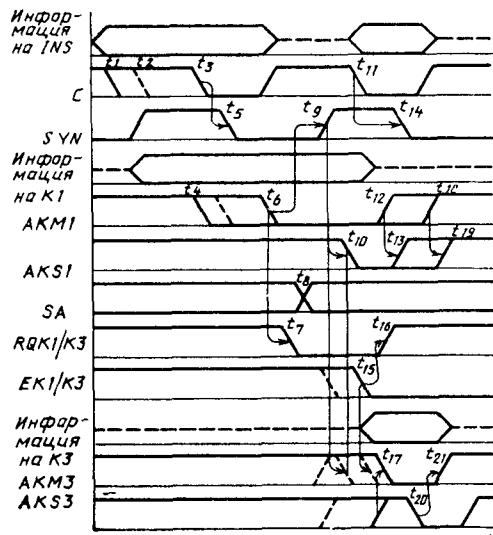


Рис. 7.8. Временная диаграмма работы KP587ИК1

Логическое устройство (ЛУ) служит для выполнения операций маскирования, сравнения, выделения левого нуля информации. Оно содержит схему анализа результата операции на присутствие единиц во всех разрядах результата, формирует сигнал сравнения с единицами (СР1).

Коммутатор устанавливает внутренние связи, необходимые для выполнения микрокоманд, а также формирует сигнал M_2 дополнения до нечетного числа единиц информации, проходящей через него.

Регистр режима (РР) служит для хранения кода режима, предназначенного для расширения набора микрокоманд $IOPALU$. Загрузка РР осуществляется либо из K_1 (или K_3), либо из микрокоманды. Регистр режима состоит из пяти триггеров.

Регистр маски состояния (РМС) служит для хранения кода маски состояния и содержит четыре триггера. Загрузка РМС осуществляется либо из K_1 (или K_3), либо из микрокоманды.

Схема формирования состояния (СФС) служит четырем триггерам. Загрузка РМС осуществляется либо SA .

Регистр микрокоманд (РМК) служит для приема и хранения кода микрокоманды.

Дешифратор микрокоманд (ДШ) служит для формирования управляющих сигналов. Входы дешифратора подключены к регистру

Таблица 7.7

Продолжение табл. 7.7

Состояние разрядов кода микрокоманд					Микрокоманда					Состояние разрядов кода микрокоманд					Микрокоманда				
0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4
Система микрокоманд 1-й группы (триггер группы в состоянии 0)																			
1	0	0	0	0	0	Preобразование форматов слово — байт	1	0	1	0	0	Сравнение $K1$ и $P2$ с выдачей в $K3$	1	0	1	0	0	Сравнение $K1$ и $P2$ с выделением левого нуля	
1	0	0	0	0	1	Preобразование форматов байт — слово	1	0	1	1	0	Сравнение $K1$ и $P2$ с дешифрацией трех младших разрядов $P1$	1	0	1	1	1	Сравнение $K1$ и $P2$	
1	0	0	1	0		Чтение по адресу	1	1	0	0	1	Прием $K1$ в служебные регистры	1	1	0	1	0	Выдача служебных регистров в $K1$	
1	0	0	1	1		Выдача $P1$ в $K1$, $P2$ в $K2$	1	1	0	1	0	Прием $K1$ в служебные регистры из регистра микрокоманд	1	1	1	0	0	Выдача служебных регистров в $K3$	
1	0	1	0	0		Пересылка $K1$ в $K3$	0	0	0	0	0	Асинхронная выдача	1	1	1	1	0	Начальная установка	
1	0	1	0	0		Прием $K1$ в $P1$	0	0	0	0	0	Маскирование $K1$, $K2$ с выдачей в $K3$	1	1	1	1	1	Маскирование $K1$, $K2$ с выдачей в $K3$	
1	0	1	1	1		Прием $K1$ в $P2$	0	0	0	1	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	0	1	0	Сравнение $K1$ и $K2$ с выделением левого нуля	
1	0	1	1	1		Пересылка $K1$ в $K2$	0	0	0	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	0	0	1	1	1	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	
1	1	0	0	1		Прием $K1$ в служебные регистры	0	0	0	1	0	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	1	0	0	Маскирование $K1$, $K2$ с выдачей в $K3$	
1	1	0	0	0		Выдача служебного регистра в $K1$	0	0	1	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	1	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	
1	1	0	1	1		Прием $K3$ в служебные регистры	0	0	1	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	0	0	1	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	
1	1	1	1	0		Выдача служебных регистров в $K3$	0	0	0	0	1	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	0	1	1	Маскирование $K1$, $K2$ с выдачей в $K3$	
1	1	1	0	1		Прием в служебные регистры из регистра микрокоманд	0	0	0	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	0	0	1	Сравнение $K1$ и $K2$ с выделением левого нуля	
1	1	1	0	0		Загрузка регистра сдвига	0	0	0	0	1	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	0	1	1	Маскирование $K1$, $K2$ с выдачей в $K3$	
1	1	1	1	1		Начальная установка	0	0	0	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	0	0	1	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	0	0	1	0		Пересылка счетчика $P2$ в $K3$	0	0	0	1	0	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	0	1	0	Маскирование $K1$, $K2$ с выдачей в $K3$	
0	0	0	0	1		Пересылка счетчика $P2$ и $K2$	0	0	0	1	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	0	1	0	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	0	0	0	0		Пересылка счетчика $P2$ в $K1$	0	0	1	0	0	Сравнение $K1$ и $K2$ с выдачей в $K3$	0	0	1	0	0	Сравнение $K1$ и $K2$ с выдачей в $K3$	
0	0	0	1	1		Счетчик в $P2$	0	0	1	0	1	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	1	1	0	Маскирование $K1$, $K2$ с выдачей в $K3$	
0	0	1	1	0		Прием $K3$ в $P1$	0	0	1	1	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	1	1	1	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	0	1	0	1		Пересылка $K3$ в $K2$	0	0	1	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	0	0	1	1	1	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	
0	0	1	0	0		Пересылка $K3$ в $K1$	0	0	1	1	1	Маскирование $K1$, $K2$ с выдачей в $K3$	0	0	1	1	1	Маскирование $K1$, $K2$ с выдачей в $K3$	
0	0	1	1	1		Прием $K3$ в $P2$	0	0	1	1	1	Сравнение $K1$ и $K2$ с выделением левого нуля	0	0	1	1	1	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	0	0	1	0		Выдача $P1$ в $K3$	0	0	1	0	0	Маскирование $P1$ и $K2$ с выдачей в $K3$	0	0	1	0	0	Маскирование $P1$ и $K2$ с выдачей в $K3$	
0	1	0	0	1		Выдача $P1$ в $K2$	0	1	0	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	0	1	0	0	0	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	1	0	0	0		Выдача $P1$ в $K1$	0	1	0	0	0	Маскирование $P1$, $K2$ с выдачей в $K3$	0	1	0	0	0	Маскирование $P1$, $K2$ с выдачей в $K3$	
0	1	0	1	1		Пересылка $P1$ в $P2$	0	1	0	0	1	Сравнение $K1$ и $K2$ с выделением левого нуля	0	1	0	0	1	Сравнение $K1$ и $K2$ с выделением левого нуля	
0	1	1	1	0		Пересылка $K2$ в $K3$	0	1	0	1	0	Маскирование $P1$, $K2$ с выдачей в $K3$	0	1	0	1	0	Маскирование $P1$, $K2$ с выдачей в $K3$	
0	1	1	0	0		Пересылка $K2$ в $K1$	0	1	0	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	0	1	0	1	0	Сравнение $K1$ и $K2$ с дешифрацией трех младших разрядов $P1$	
0	1	1	1	1		Прием $K2$ в $P2$	0	1	0	1	1	Маскирование $P1$, $K2$ с выдачей в $K3$	0	1	0	1	1	Маскирование $P1$, $K2$ с выдачей в $K3$	
1	1	0	1	0		Пересылка $K1$ в $K3$ по адресу	0	1	0	1	0	Сравнение $P1$ и $K2$ с выделением левого нуля	0	1	1	0	1	Сравнение $P1$ и $K2$ с выделением левого нуля	
Система микрокоманд 2-й группы (триггер группы в состоянии 1)																			
1	0	0	0	0	0	Маскирование $K1$, $P2$ с выдачей в $K3$	0	1	1	1	0	Сравнение $P1$ и $K2$ с выделением левого нуля	0	1	1	1	0	Сравнение $P1$ и $K2$ с выделением левого нуля	
1	0	0	0	0	1	Маскирование $K1$, $P2$ с выделением левого нуля	0	1	1	1	1	Сравнение $P1$ и $K2$ с дешифрацией трех младших разрядов $P1$	0	1	1	1	1	Сравнение $P1$ и $K2$ с дешифрацией трех младших разрядов $P1$	
1	0	0	1	0	0	Маскирование $K1$, $P2$ с дешифрацией трех младших разрядов $P1$	0	1	1	1	1	Сравнение $P1$ и $K2$ с выделением левого нуля	0	1	1	1	1	Сравнение $P1$ и $K2$ с выделением левого нуля	
1	0	0	1	1		Маскирование $K1$, $P2$	0	1	1	1	1	Сравнение $P1$ и $K2$ с выделением левого нуля	0	1	1	1	1	Сравнение $P1$ и $K2$ с выделением левого нуля	

Таблица 7.8

Параметр	Обозначение	Значения параметров			Режим измерения
		T=+25 °C	T=-45 °C	T=+70 °C	
Выходное напряжение низкого уровня, В, не более	U_{OL}	0,5	0,6	0,6	$U_{CC}=8,1$ В, $I_D=2,2$ мА (для выводов 19, 20, 22); $I_o=0,5$ мА (для остальных выводов)
Выходное напряжение высокого уровня, В, не менее	U_{OH}	7,6	7,5	7,5	$U_{CC}=8,1$ В, $I_o=2,2$ мА (для выводов 19, 20, 22); $I_o=0,5$ мА (для остальных выводов)
Ток потребления, мА, не более	I_{CC}	0,6	—	0,6	$U_{CC}=9,9$ В
Ток утечки на входе, мкА, не более	I_{LI}	1,0	—	5,0	$U_{CC}=9,9$ В
Время выполнения операции, мкс, не более	t_{OP}	1,5	1,8	1,8	$U_{CC}=8,1$ В
Время выполнения коммутации, мкс, не более	$t_{d, TRAK}$ (t_K)	1,5	1,8	1,8	$U_{CC}=8,1$ В

режима и регистру микрокоманд. Кроме того, дешифратор стробируется сигналами из блока синхронизации.

Блок синхронизации (БС) формирует временнюю диаграмму работы $IOPALU$, имеет вход запуска C и вывод синхронизации SYN . Выходы SYN для синхронно работающих микросхем $IOPALU$ объединяются, образуя при этом функцию «проводное И». По положительному фронту SYN синхронизируются окончание приема и начало выдачи информации нескольких микросхем $IOPALU$. Синхронная работа микросхем $IOPALU$ обеспечивается подключением внешнего генератора синхросигналов к выводу $C(SYN)$.

Схема начальной установки (СНУ) при включении питания устанавливает триггеры БС и схемы обмена в исходное состояние, а также обнуляет регистры $P1$, $P2$, PP , PMC . Схема начальной установки срабатывает также от микрокоманды начальной установки; при этом БС и схемы обмена устанавливаются в исходное состояние для приема новой микрокоманды, а регистры $P1$, $P2$, PP и PMC сохраняют прежнее состояние.

В табл. 7.7 приведена система микрокоманд КР587ИК1.

Основные параметры КР587ИК1 приведены в табл. 7.8.

7.3. Микросхема КР587ИК3

Микросхема КР587ИК3 арифметического расширителя AEU — автономный асинхронный цифровой модуль, предназначенный для быстрого выполнения операций умножения, сдвига, поиска кодов битов 8-разрядных операн-

дов, которые представляют собой либо целые числа без знака, либо целые числа в дополнительном коде со знаком в старшем разряде.

Условное графическое обозначение микросхемы приведено на рис. 7.9, назначение выводов — в табл. 7.9, структурная схема показана на рис. 7.10, временная диаграмма работы — на рис. 7.11.

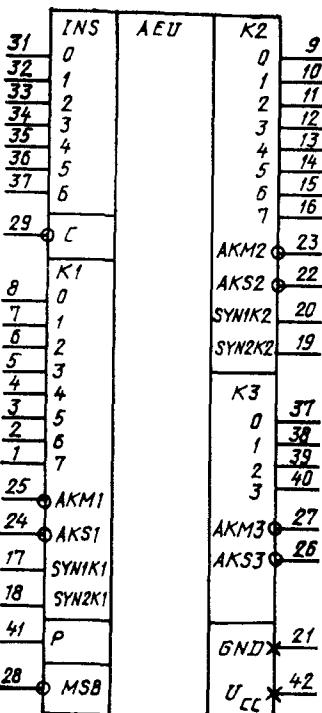
В состав микросхемы входят: два 8-разрядных канала $K1$, $K2$; 5-разрядный канал $K3$; схемы обмена $CO1-CO3$; 7-разрядный регистр микрокоманд (РМК); два 8-разрядных регистра хранения операндов (РА, РВ); два 8-разрядных регистра хранения результатов операций (РП1, РП2); 2-разрядный регистр именного кода (РИК); 3-разрядный регистр кода позиций (РКП); триггер установки (ТУ), дешифратор микрокоманд (ДШ); блок умножения; блок суммирования; блок поиска кодов бита.

Каналы $K1-K3$ предназначены для приема и выдачи информации. Каналы $K1$ и $K2$ обмениваются информацией с регистрами РА и РВ соответственно. Канал $K3$ предназначен для выдачи информации о состояниях, которые принимает микросхема при выполнении спарций. Сигналы состояний поступают из БФС. Выводы $K3$ имеют следующее функциональное назначение: $K3(0)$ — признак «сравнения с нулем»; $K3(1)$ — признак переполнения; $K3(2)$ — «знак» или перенос из блока суммирования; $K3(3)$ — признак «расширения».

Схемы обмена $CO1-CO3$ предназначены для управления, приема и выдачи информации по каналам $K1$ и $K2$ соответственно. Эти схемы вырабатывают сигналы, являющиеся

Таблица 7.9

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1—8	$K_1(7)$ — $K_1(0)$	Входы/выходы	Информация канала K_1 , разряды 7—0
9—16	$K_2(0)$ — $K_2(7)$	Входы/выходы	Информация канала K_2 , разряды 0—7
17	SYN/K_1	Вход/выход	Сигнал, свидетельствующий об окончании выполнения операции по каналу K_1
18	$SYN2K_1$	Вход/выход	Сигнал синхронизации по каналу K_1
19	$SYN2K_2$	Вход/выход	Сигнал синхронизации по каналу K_2
20	SYN/K_2	Вход/выход	Сигнал, свидетельствующий об окончании выполнения операции по каналу K_2
21	GND	—	Общий
22	AKS_2	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_2
23	AKM_2	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_2
24	AKS_1	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_1
25	AKM_1	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_1
26	AKS_3	Вход/выход	Сигнал, свидетельствующий об окончании приема информации по каналу K_3
27	AKM_3	Вход/выход	Сигнал, сопровождающий выдаваемую информацию по каналу K_3
28	MSB	Вход	Сигнал, кодирующий признак старшего модуля в группе совместно работающих микросхем
29	C	Вход	Сигнал разрешения приема и выполнения микрокоманды
30	INS_6	Вход	Информация регистра микрокоманды, разряд 6
31—36	$INS_0—INS_5$	Входы	Информация регистра микрокоманды, разряды 0—5
37—40	$K_3(0)$ — $K_3(3)$	Входы/выходы	Информация канала K_3 , разряды 0—3
41	P	Вход/выход	Сигнал цепи переноса
42	U_{CC}	—	Напряжение питания



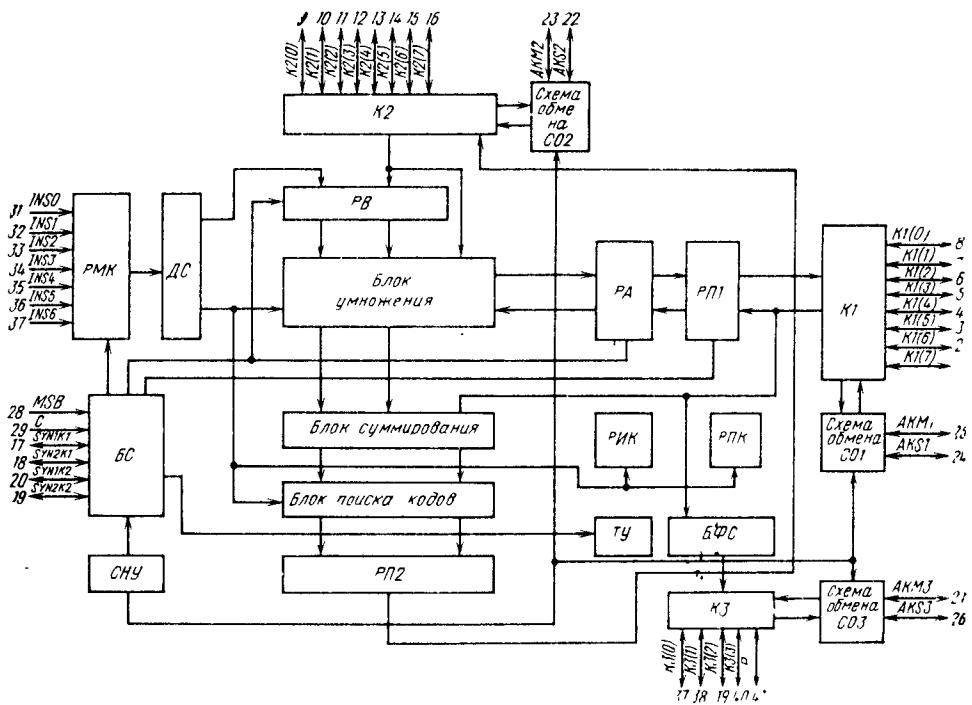


Рис. 7.10. Структурная схема KP587ИК3

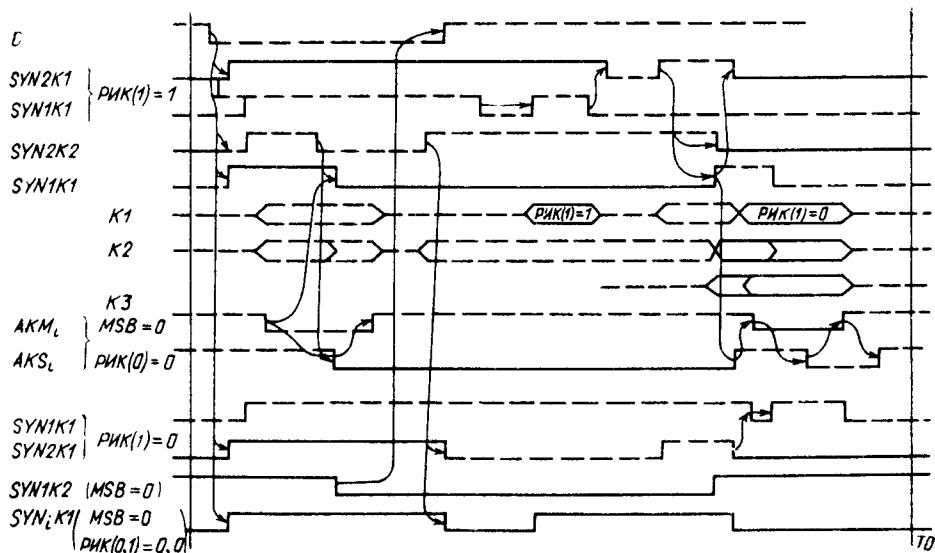


Рис. 7.11. Временная диаграмма работы KP587ИК3

Таблица 710

Именокод	Код операции	Описание операции
СЛП	001	Сдвиг лог вправо
СЛЛ	000	Сдвиг лог влево
САП	011	Сдвиг арифм вправо
САЛ	010	Сдвиг арифм влево
СЦП	101	Сдвиг цикл вправо
УК $K_1 K_2 \rightarrow K_1 K_2$	1000000BC	Умножение кодовое $K_1 \wedge K_2$ с выдачей младшей части результата в K_1 , старшей части в K_2
УК $K_1, K_2 \rightarrow K_2$	100001BC	Умножение кодовое $K_1 \wedge K_2$ с выдачей старшей части результата в K_2
УК $K_1 \rightarrow K_2$	100011BC	Умножение кодовое $K_1 \wedge RB$ с выдачей старшей части результата в K_2
УА $K_1, K_2 \rightarrow K_2$	100100BC	Умножение арифм $K_1 \cdot K_2$ с выдачей младшей части результата в K_1 , старшей части в K_2
УА $K_1, K_2 \rightarrow K_1$	100101BC	Умножение арифм $K_1 K_2$ с выдачей старшей части результата в K_2
УА $K_1 \rightarrow K_1 K_2$	100110BC	Умножение арифм $K_1 \cdot RB$ с выдачей младшей части результата в K_1 , старшей части в K_2
УА $K_1 \rightarrow K_2$	100111BC	Умножение арифм $K_1 RB$ с выдачей старшей части результата в K_2
З РА $\leftarrow K_1$	111000BC	Загрузка РА из K_1
З РВ $\leftarrow K_2$	111001BC	Загрузка РВ из K_2
В РП1 $\rightarrow K_1$	111010BC	Выдача РП1 в K_1
В РП2 $\rightarrow K_2$	111011BC	Выдача РП2 в K_2
ПКН	111100BC	Поиск кода левого нуля
ПКФ	111101BC	Поиск кода левой единицы
ПКНБ	111110BC	Поиск кодов левой пары неравнозначных бит
ЗРИК	110NX0	Загрузка РИК из РМК
НВ	111111X	Начальная установка

Приимечания 1 В описаниях микрокоманд символ N в микрокомандах сдвига определяет число разрядов на которое производится сдвиг, а в микрокомандах загрузки РИК определяет код загружаемый в этот регистр
 2 X состояние разряда микрокоманды безразлично

Регистр РП2 предназначен для хранения старшей части произведения при операциях умножения, результата операции при сдвигах вправо и кода бита при операции поиска битов разрядность — 8

Регистр именного кода (РИК) предназначен для организации объединения однотипных микросхем AEU в блок с общим микропрограммным управлением (рис 7.12). В зависимости от расположения микросхем в соответствующем вертикальном ряде в РИК заносится следующий код: 01 — крайний левый ряд, 10 — крайний правый ряд, 11 — остальные ряды, 00 — если имеется только один вертикальный ряд, разрядность — 2

Триггер установки (ТУ) отмечает при объединении в блок AEU верхний ряд микросхем. Это достигается установкой ТУ в нулевое состояние с помощью подключения вывода $SYN2K2$ к общейшине

Блок умножения предназначен для выполнения операций умножения над операндами в РА и РВ с получением младшей и старшей

частей произведения и операций сдвига над операндами в РА. Операнды могут представлять собой либо целые числа без знака, либо целые числа со знаком в старшем разряде в дополнительном коде. Блок умножения состоит из матрицы одноразрядных сумматоров, с помощью которых происходит получение и сдвиг частичных сумм

Блок суммирования предназначен для суммирования частичных произведений при матричном объединении однотипных микросхем AEU в блок с общим микропрограммным управлением. Входы блока суммирования соединены с выходами блока умножения. Результат суммирования заносится в РП2. Кроме того, в блок суммирования поступает через вывод Р сигнал переноса. Перенос из блока суммирования через БФС поступает в $K3(2)$.

Блок поиска кодов битов предназначен для выполнения операции поиска кода левого «нулевого» бита, левого «единичного» бита, левой пары неравнозначных битов над операндом в РВ.

Блок формирования состояний предназначен для индикации признаков результата операций в соответствии с описанием микрокоманд. Он содержит четыре схемы-индикатора: схему сравнения РП2 с 0; схему сравнения РП2 с 1; схему переноса из блока суммирования. Блок выдает коды состояний в канал $K3$. При

наличии в поле микрокоманды признаков $BC=1$ формируется сигнал, сопровождающий выдачу информации по $K3$.

Блок синхронизации (БС) предназначен для организации цикла выполнения микрокоманды. Он вырабатывает временнюю последовательность управляющих сигналов, необ-

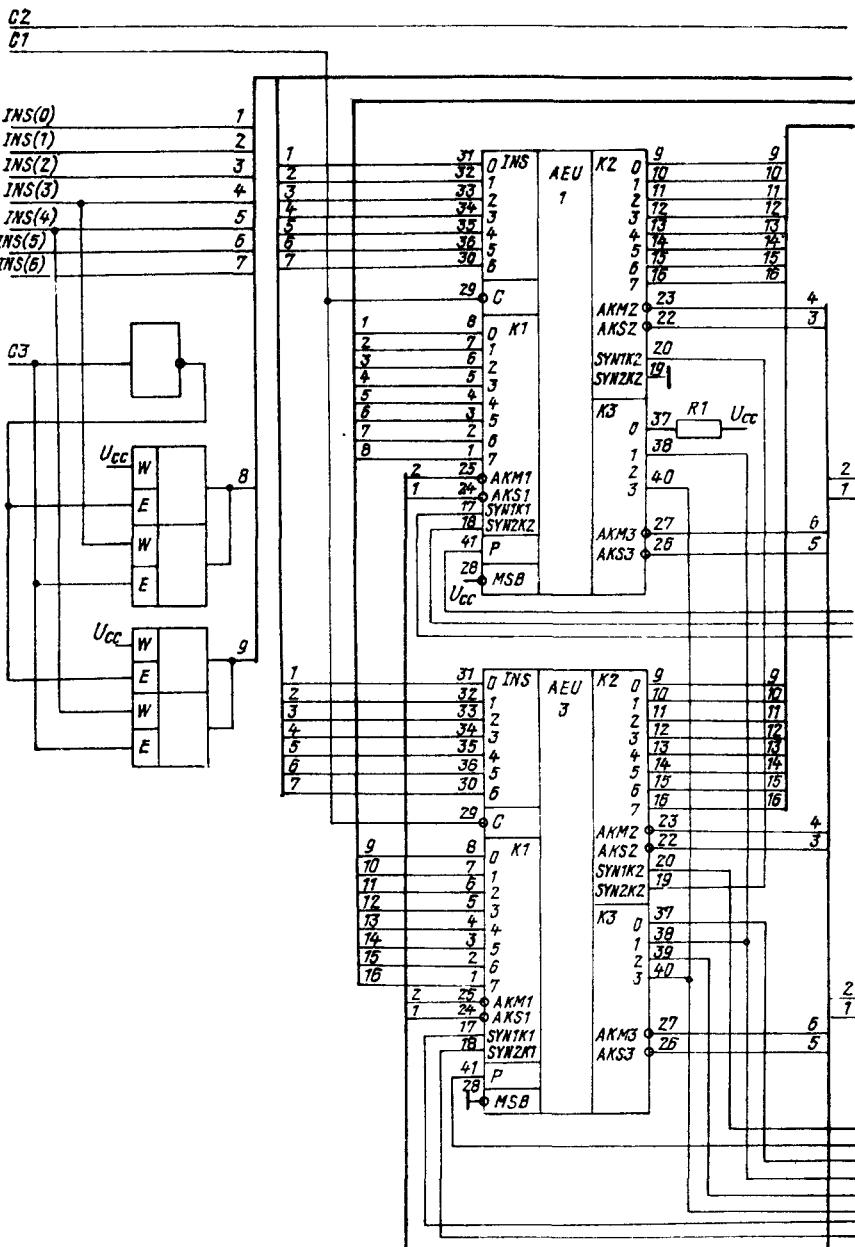
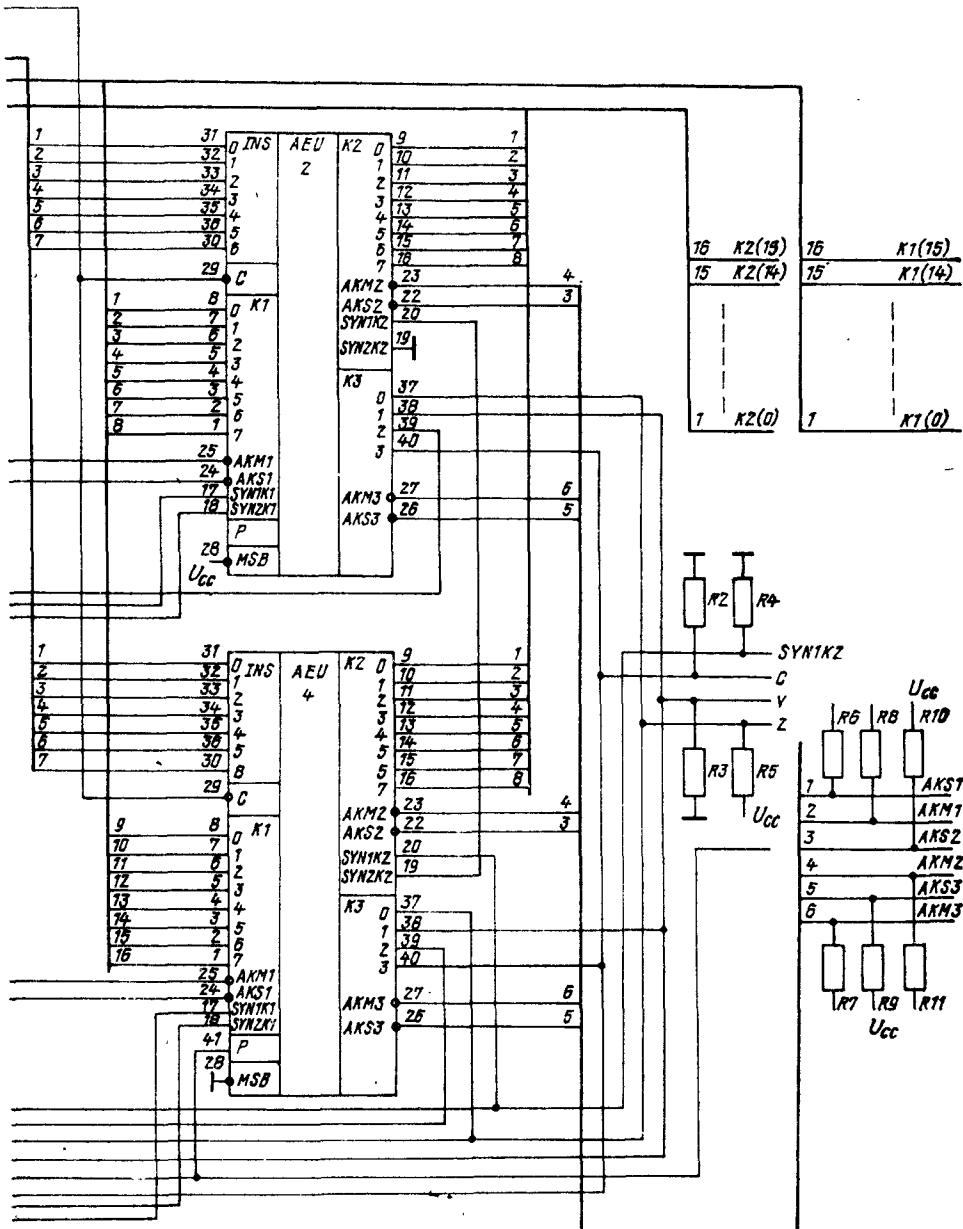


Рис. 7.12. Схема объединения

ходимых для выполнения операций в AEU и организации обмена информацией с внешними устройствами. Цикл выполнения начинается при поступлении сигнала С. Сигналы на выводах BC *SYN1K1*, *SYN2K1*, *SYN1K2*, *SYN2K2* индицируют последовательность выполнения микрокоманды. Внешние управляю-

щие сигналы на этих выводах позволяют задерживать цикл выполнения любой из микрокоманд, а также работать в режиме внешней синхронизации.

Схема начальной установки (СНУ) устанавливает BC и схемы обмена *CO1—CO3* в исходное состояние при включении питания



микросхема KP587ИК3

Таблица 7.11

Параметр	Обозна- чение	Значения параметров			Режим измерения
		$T=+25^{\circ}\text{C}$	$T=-45^{\circ}\text{C}$	$T=+70^{\circ}\text{C}$	
Выходное напряжение низкого уровня, В, не более	U_{OL}	0,5	0,6	0,6	$U_{CC}=8,1 \text{ В}$ $I_O=0,5 \text{ мА}$
Выходное напряжение высокого уровня, В, не менее	U_{OH}	7,6	7,5	7,5	$U_{CC}=8,1 \text{ В}$ $I_O=0,5 \text{ мА}$
Ток потребления, мА, не более	I_{CC}	4,5	—	5,0	$U_{CC}=9,9 \text{ В}$
Ток утечки на входе, мкА, не более	I_{LI}	0,7	—	5,0	$U_{CC}=9,9 \text{ В}$
Время выполнения операций, мкс, не более	t_d	7,0	9,0	9,0	$U_{CC}=8,1 \text{ В}$

При поступлении отрицательного фронта сигнала C БС вырабатывает управляющий сигнал, разрешающий прием информации в РМК.

Список микрокоманд КР587ИК3 приведен в табл. 7. 10.

Основные параметры КР587ИК3 приведены в табл. 7.11.

7.4. Рекомендации по применению

Подведение каких-либо электрических сигналов (в том числе к шинам питания) к корпусу и выводам микросхем, не предусмотренных электрической схемой, запрещается.

Рекомендуется обеспечивать минимальный нагрев микросхем и защиту от воздействия климатических факторов путем улучшения вентиляции, рационального размещения микросхем в блоках, применения теплоотводящих панелей и экранов, заливки компаундами.

Для обеспечения лучшей работоспособности микросхем в условиях повышенной влажности их рекомендуется покрывать лаками, например УР-231 или ЭП-730.

При эксплуатации микросхемы должны быть приняты меры, исключающие возможность накопления электростатических зарядов на их выводах.

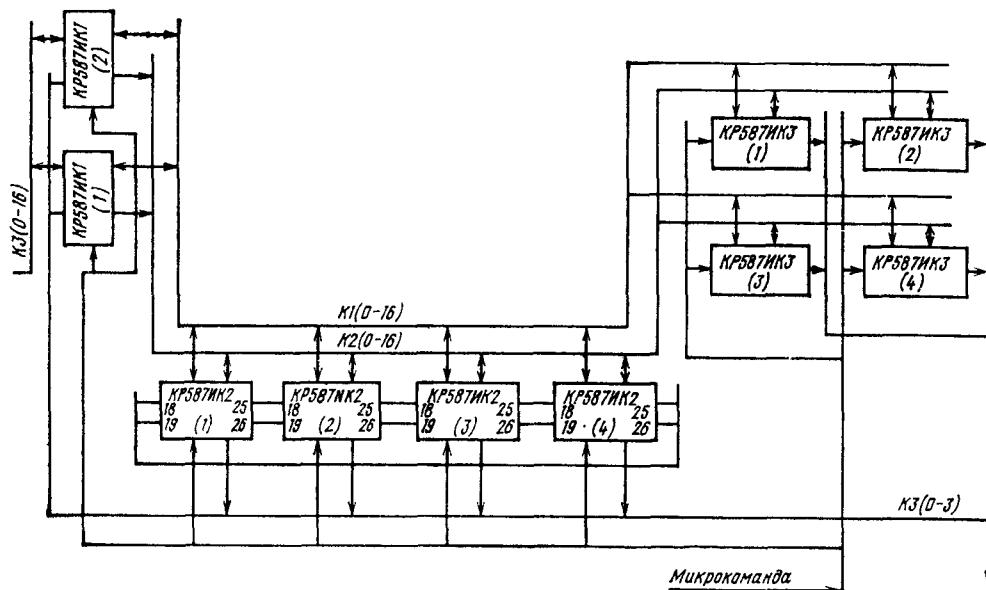


Рис. 7.13. Схема 16-разрядного операционного блока на микросхемах серии КР587

Сигналы на входы микросхемы рекомендуется подавать после подачи напряжения питания.

На основе микропроцессорного комплекта серий КР587 возможно построение вычислительных систем для конкретных условий применения и с необходимой функциональной мощностью (разрядность, быстродействие и т. п.). Вариант обобщенной структурной схемы 16-разрядного операционного блока

(ОБ) с наличием всех схем микропроцессорного комплекта приведен на рис. 7.13. На все микросхемы поступают управляющие коды по микрокомандной магистрали. Соответствующий алгоритм функционирования ОБ обеспечивается микропрограммным блоком (на рисунке не приведен).

Асинхронный принцип обмена позволяет строить микропроцессорные блоки без дополнительного оборудования.

Глава 8

Микропроцессорный комплект серии К588

Микропроцессорный комплект серии К588, выполненный по низкопороговой КМДП-технологии, предназначен для построения встраиваемых и автономных микро-ЭВМ, совместимых по системе команд с микро-ЭВМ «Электроника-60», а также для распределенных систем управления объектами.

Построение микросхем серии К588 (наращиваемость, модульность, микропрограммное управление, автономность внутренней синхронизации) аналогично микросхемам серии КР587.

Состав комплекта микросхем серии К588 приведен в табл. 8.1.

Таблица 8.1

Тип микросхемы	Функциональное назначение	Тип корпуса
K588BC2	16-разрядное арифметическое устройство	429.42-3
K588BY2	Управляющая память микропрограмм	429.42-3
K588BG1	Системный контроллер	429.42-3
K588BP2	16-разрядный умножитель	4118.24-2
K588BA1	8-разрядный магистральный приемопередатчик	4119.28-4
K588IP1	8-разрядный многофункциональный буферный регистр	4119.28-4
K588BG2	Контроллер запоминающего устройства	4116.18-2
K588BT1	Селектор адреса	429.42-3

8.1. Микросхема K588BC2

Микросхема K588BC2 — арифметическое устройство микропроцессора (АУ), предназначено для применения совместно с микросхемами K588BY2 и K588BG1 в процессоре

16-разрядной микро-ЭВМ и может быть использовано для построения операционных блоков различных цифровых средств.

Арифметическое устройство является 16-разрядным автономным, асинхронным, микропрограммно управляемым модулем обработки цифровой информации, представляемой в двоичном коде.

Условное графическое обозначение микросхемы приведено на рис. 8.1, назначение выводов — в табл. 8.2, структурная схема показана на рис. 8.2.

Микросхема K588BC2 состоит из следующих основных блоков:

блока управления (БУ), предназначенного для дешифрации кодов микрокоманд и выработки управляющих сигналов к блокам схемы;

блока регистров общего назначения (РОН) 16×16;

арифметико-логического устройства (АЛУ), предназначенного для выполнения арифметических и логических операций;

регистра микрокоманд (РМ), предназначенного для хранения 12-разрядного управляющего слова во время цикла выполнения микроКоманды;

регистра состояний (РС) — 16-разрядного регистра хранения информации. Старший полубайт состоит из триггера знака (ТЗ), триггера сравнения с нулем (ТН), триггера переполнения (ТПП), триггера расширения (ТР);

блока синхронизации (БС), предназначенного для формирования цикла работы микросхемы;

блока формирования признаков состояний (БФПС), предназначенного для формирования признаков результата выполнения операции;

буфера магистрали признаков состояний (БМПС), предназначенного для временного хранения и выдачи в одностороннюю магистраль состояний старшего полубайта регистра состояний;

магистрали данных (МД), предназначеннной для осуществления асинхронного приема и выдачи информации по 16-разрядной магистрали данных;

Таблица 8.2

34	MNS 0	AУ	K1 0	5
35	1		1	6
36	2		2	7
37	3		3	8
38	4		4	9
39	5		5	10
40	6		6	11
1	7		7	21
2	8		8	22
3	9		9	K2 (3)
4	10		10	K2 (2)
41	11		11	K2 (1)
			12	K2 (0)
30	CS		13	CS
31	F1		14	F1
26	NC		15	OPA
27	1		25	IPA
28	2		24	MNS0—MNS6, MNS11
29	3		23	U _{cc}
21	4		22	42
			21	—
			20	
			19	
			18	
			17	
			16	
			15	
			14	
			13	
			12	
			11	
			10	
			9	
			8	
			7	
			6	
			5	
			4	
			3	
			2	
			1	
			0	
			*	
			U _{cc}	

Рис. 8.1. Условное графическое обозначение K588BC2

Примечание Выводы 26—29 не задействованы. При подключении микросхемы эти выводы через резисторы сопротивлением 15—30 кОм подключаются к шине питания

аккумулятора (А), предназначенного для временного хранения 16-разрядного слова; схемы обмена (СО), определяющей асинхронный обмен по магистрали данных;

регистра управляющего слова (РУС), служащего для хранения дешифрированного набора управляющих сигналов.

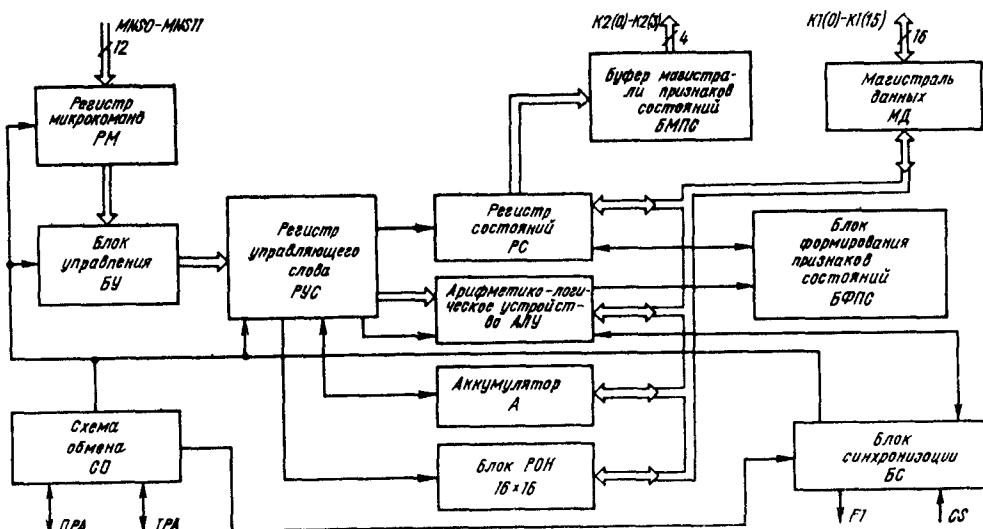


Рис. 8.2. Структурная схема K588BC2

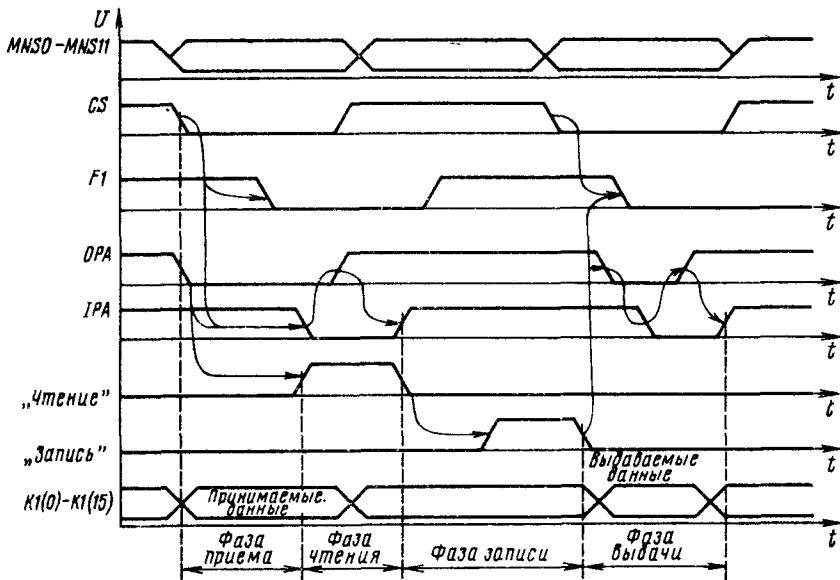
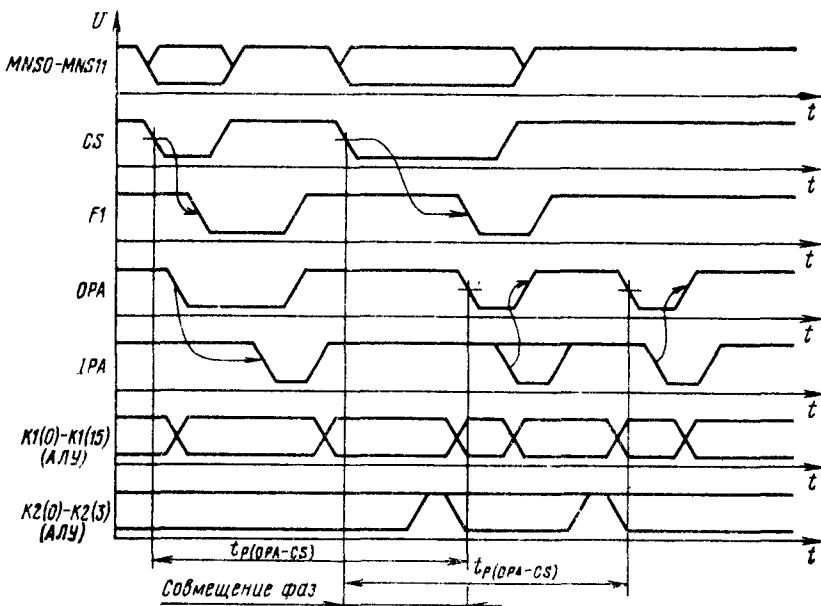
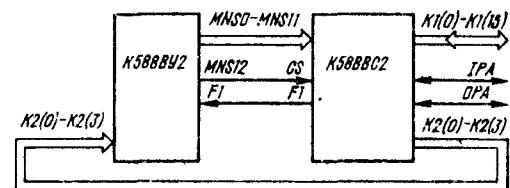


Рис. 8.4. Схема включения K588BC2 и K588BY2



Полный цикл работы АУ состоит из четырех фаз, последовательность исполнения которых определяется БС. По завершении цикла предыдущей микрокоманды микросхема переходит к фазе приема очередной микрокоманды при условии прохождения отрицательного фронта на выходе CS . АУ реализует конвейерное выполнение микрокоманд, при котором операции приема и дешифрации следующей микроинструкции совмещаются с операциями по выполнению соответствующих действий с операндами и выдаче результата для предыдущей микроинструкции.

Первая фаза приема цикла работы АУ состоит из следующих действий:

приема очередной микрокоманды в РМ, по окончании которого появляется отрицательный фронт сигнала на выходе $F1$;

декодирования принятой микрокоманды;

записи дешифрованного управляющего кода в РУС, которая производится при условии окончания фазы записи результата для предыдущей микрокоманды.

После записи дешифрованного управляющего кода в РУС сигнал на выводе $F1$ из низкого уровня переходит в высокий. Если дешифрованная микрокоманда выполняется без приема информации из канала $K1$, то фаза приема на этом заканчивается. Если дешифрованная микрокоманда выполняется с приемом информации из канала $K1$, то АУ определяет наличие сигнала $OPA=0$ и при выполнении этого условия принимает данные из канала $K1$. По сигналу $OPA=0$ и окончании приема операнда появляется сигнал $IPA=0$ и фаза приема завершается.

Во время выполнения фазы чтения выбирается источник информации (операнд или один из operandов) на внутреннюю магистраль, после чего начинается асинхронная обработка информации в АЛУ. В качестве операнда может служить содержимое РОН, А, РС, МД в зависимости от микрокоманды.

Во время выполнения фазы записи заканчивается обработка информации в АЛУ и проводится запись результата в соответствующий

Таблица 8.3

Операция	Разряд микрокоманды											Формат	Операция	Номер таблицы			
	0	1	2	3	4	5	6	7	8	9	10						
Бинарные	0	$D1$	КОП1			P_i		BC	БРА	$< P_i > \otimes < A > \rightarrow D1$				8.4			
	0		1	1	1	1	КОП1		BC	БРСА	$< PC > \otimes < A > \rightarrow D1$				8.5		
	0		0	1	1	1	КОП1		BC	БКА	$< K > \otimes < A > \rightarrow D1$				8.6		
Унарные	1	$D2$	Величина слова	КОП2			P_i		BC	УР	$\alpha < P_i > \rightarrow D2$				8.7		
	1	$D2$		1	1	1	1	КОП2		BC	УРС	$\alpha < PC > \rightarrow D2$				8.8	
	1	$D2$		1	1	0	1	КОП2		BC	УА	$\alpha < A > \rightarrow D2$				8.9	
	1	$D2$		0	1	1	1	КОП2		BC	УК	$\alpha < K > \rightarrow D2$				8.10	

Примечания. 1. Байтовые операции проводятся только над старшим байтом.

2. Величина слова $B = \begin{cases} 0 & \text{— операция над полным словом;} \\ 1 & \text{— операция над старшим байтом.} \end{cases}$

3. P_i — адрес i -го регистра; $< >$ — содержимое источника информации; \otimes — операция по КОП1; α — операция по КОП2; D_1 — адрес приемника результата операции КОП1; D_2 — адрес приемника результата операции КОП2; $BC=1$ — запись состояний в старший полубайт РС; K — канал (буферный регистр магистрали данных); A — аккумулятор.

4. $D1$ — бинарные операции:

$00 - < D1 > = P_i$;

БРА: $01 - < D1 > = A$, $10 - < D1 > = PC$, $11 - < D1 > = K \wedge A$;

БКА: $01 - < D1 > = A$, $10 - < D1 > = PC$, $11 - < D1 > = K \wedge A$;

БРСА: $01 - < D1 > = A$, $10 - < D1 > = PC$, $11 - < D1 > = K \wedge A$.

5. $D2$ — унарные операции:

УР: $0 - < D2 > = P_i$, $1 - < D2 > = P_i \wedge K$;

УРС: $0 - < D2 > = PC$, $1 - < D2 > = PC \wedge K$;

УА: $0 - < D2 > = A$, $1 - < D2 > = A \wedge K$;

УК: $0 - < D2 > = A$, $1 - < D2 > = A \wedge K$.

Таблица 8.4

Операция	Обозначение	0	1, 2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка PC ($BC = 1$)			
		0	Адрес результата	КОП1	Адрес операнда	BC		TR	TZN	TPP	TRH
Конъюнкция	\wedge	0	DI	0 0 0 0	P_i	BC	$<P_i>\wedge<A>\rightarrow D1$	—	*	0	*
Конъюнкция байт	$\wedge b$	0	DI	1 0 0 0	P_i	BC	$<P_i b>\wedge<A6>\rightarrow D1$	—	*	0	*
Вычитание	—	0	DI	0 0 0 1	P_i	BC	$<P_i>-<A>\rightarrow D1$	*	*	*	*
Вычитание байт	—b	0	DI	1 0 0 1	P_i	BC	$<P_i b>-<A6>\rightarrow D1$	*	*	*	*
Не эквивалент	\oplus	0	DI	0 0 1 0	P_i	BC	$<P_i>\oplus<A>\rightarrow D1$	—	*	0	*
Не эквивалент байт	$\oplus b$	0	DI	1 0 1 0	P_i	BC	$<P_i b>\oplus<A6>\rightarrow D1$	—	*	0	*
Сложение	+	0	DI	0 0 1 1	P_i	BC	$<P_i>+<A>\rightarrow D1$	*	*	*	*
Сдвиг байт	$8 \leftrightarrow$	0	DI	1 0 1 1	P_i	BC	$<P_i>8 \leftrightarrow \rightarrow D1$	—	*	0	*
Пересылка 2	П2	0	DI	0 1 0 0	P_t	BC	$<A>\rightarrow D1$	—	*	0	*
Пересылка 2 байт	П2б	0	DI	1 1 0 0	P_i	BC	$<A6>\rightarrow D1$	—	*	0	*
Пересылка 1	П1	0	DI	0 1 0 0	P_i	BC	$<P_i>\rightarrow D1$	—	*	0	*
Пересылка 1 байт	П1б	0	DI	1 1 0 1	P_i	BC	$<P_i b>\rightarrow D1$	—	*	0	*
Дизъюнкция	\vee	0	DI	0 1 1 0	P_i	BC	$<P_i>\vee<A>\rightarrow D1$	—	*	0	*
Дизъюнкция байт	$\vee b$	0	DI	1 1 1 0	P_i	BC	$<P_i b>\vee<A6>\rightarrow D1$	—	*	0	*

Таблица 8.5

Операция	Обозначение	0	1, 2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка BC ($BC = 1$)			
		0	Адрес результата	Принцип формата	КОП1	BC		TR	TZN	TPP	TRH
Конъюнкция	\wedge	0	DI	1 1 1 1	0 0 0 0	BC	$<PC>\wedge<A>\rightarrow D1$	—	*	0	*
Конъюнкция байт	$\wedge b$	0	DI	1 1 1 1	1 0 0 0	BC	$<PC b>\wedge<A6>\rightarrow D1$	—	*	0	*
Вычитание	—	0	DI	1 1 1 1	0 0 0 1	BC	$<PC>-<A>\rightarrow D1$	*	*	*	*
Вычитание байт	—b	0	DI	1 1 1 1	1 0 0 1	BC	$<PC b>-<A6>\rightarrow D1$	*	*	*	*
Не эквивалент	\oplus	0	DI	1 1 1 1	0 0 1 0	BC	$<PC>\oplus<A>\rightarrow D1$	—	*	0	*
Не эквивалент байт	$\oplus b$	0	DI	1 1 1 1	1 0 1 0	BC	$<PC b>\oplus<A6>\rightarrow D1$	—	*	0	*
Сложение	+	0	DI	1 1 1 1	0 0 1 1	BC	$<PC>+<A>\rightarrow D1$	*	*	*	*
Сдвиг байт	$8 \leftrightarrow$	0	DI	1 1 1 1	1 0 1 1	BC	$<PC>8 \leftrightarrow \rightarrow D1$	—	*	0	*
Пересылка 2	П2	0	DI	1 1 1 1	0 1 0 0	BC	$<A>\rightarrow D1$	—	*	0	*
Пересылка 2 байт	П2б	0	DI	1 1 1 1	1 1 0 0	BC	$<A6>\rightarrow D1$	—	*	0	*
Пересылка 1	П1	0	DI	1 1 1 1	0 1 X 1	BC	$<PC>\rightarrow D1$	—	*	0	*
Пересылка 1 байт	П1б	0	DI	1 1 1 1	1 1 X 1	BC	$<PC b>\rightarrow D1$	—	*	0	*
Дизъюнкция	\vee	0	DI	1 1 1 1	0 1 1 0	BC	$<PC>\vee<A>\rightarrow D1$	—	*	0	*
Дизъюнкция байт	$\vee b$	0	DI	1 1 1 1	1 1 1 0	BC	$<PC b>\vee<A6>\rightarrow D1$	—	*	0	*
Начальная установка	R	0	DI	X 1 1 1	XXX X	BC	0 → BC	X	X	X	X

Таблица 8.6

Операция	Обозначение	0	1, 2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка РС (BC-1)			
		0	Адрес результата	Признак формата	КОП1	BC		ТР	ТЗН	ТПП	ТРН
Конъюнкция	\wedge	0	D1	0 1 1 1	0 0 0 0	BC	$<K>\wedge <A>\rightarrow D1$	—	*	0	*
Конъюнкция байт	$\wedge b$	0	D1	0 1 1 1	1 0 0 0	BC	$<Kb>\wedge <Ab>\rightarrow D1$	—	*	0	*
Вычитание	—	0	D1	0 1 1 1	0 0 0 1	BC	$<K>-<A>\rightarrow D1$	*	*	*	*
Вычитание байт	—b	0	D1	0 1 1 1	1 0 0 1	BC	$<Kb>-<Ab>\rightarrow D1$	*	*	*	*
Не эквивалент	\oplus	0	D1	0 1 1 1	0 0 1 0	BC	$<K>\oplus <A>\rightarrow D1$	—	*	0	*
Не эквивалент байт	$\oplus b$	0	D1	0 1 1 1	1 0 1 0	BC	$<Kb>\oplus <Ab>\rightarrow D1$	*	*	0	*
Сложение	+	0	D1	0 1 1 1	0 0 1 1	BC	$<K>+<A>\rightarrow D1$	—	*	*	*
Сдвиг байт	$b \rightarrow$	0	D1	0 1 1 1	1 0 1 1	BC	$<Kb>8 \rightarrow \rightarrow D1$	—	*	0	*
Пересылка 2	P2	0	D1	0 1 1 1	0 1 0 0	BC	$<A>\rightarrow D1$	—	*	0	*
Пересылка 2 байт	P2b	0	D1	0 1 1 1	1 1 0 0	BC	$<Ab>\rightarrow D1$	—	*	0	*
Пересылка 1	P1	0	D1	0 1 1 1	0 1 X 1	BC	$<K>\rightarrow D1$	—	*	0	*
Пересылка 1 байт	P1b	0	D1	0 1 1 1	1 1 X 1	BC	$<Kb>\rightarrow D1$	—	*	0	*
Дизъюнкция	\vee	0	D1	0 1 1 1	0 1 1 0	BC	$<K>\vee <A>\rightarrow D1$	—	*	0	*
Дизъюнкция байт	$\vee b$	0	D1	0 1 1 1	1 1 1 0	BC	$<Kb>\vee <Ab>\rightarrow D1$	—	*	0	*

Таблица 8.7

Операция	Обозначение	0	1	Адрес результата Битовая сфера	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка РС (BC-1)			
		1	Адрес результата		КОП2	Адрес операанда	BC	ТР		ТЗН	ТПП	ТРН	
Сдвиг логический влево	$\wedge \leftarrow$	1	D2	B	0 0 0 0	P_i	BC	$(<P_i>\wedge \leftarrow) \rightarrow D2$	*	*	*	*	*
Сдвиг циклический влево	$\mathcal{U} \leftarrow$	1	D2	B	1 0 0 0	P_i	BC	$(<P_i>\mathcal{U} \leftarrow) \rightarrow D2$	*	*	*	*	*
Вычитание единицы	—1	1	D2	B	0 0 0 1	P_i	BC	$(<P_i>-1) \rightarrow D2$	—	*	*	*	*
Дополнение	\bar{D}	1	D2	B	1 0 0 1	P_i	BC	$(\bar{D}<P_i>) \rightarrow D2$	*	*	*	*	*
Сложение с ТР	+TP	1	D2	B	0 0 1 0	P_i	BC	$(<P_i>+TP) \rightarrow D2$	*	*	*	*	*
Вычитание ТР	-TP	1	D2	B	1 0 1 0	P_i	BC	$(<P_i>-TP) \rightarrow D2$	*	*	*	*	*
Сложение с 1	+1	1	D2	B	0 0 1 1	P_i	BC	$(<P_i>+1) \rightarrow D2$	—	*	*	*	*
Сдвиг с ТР влево	\leftarrow	1	D2	B	1 0 1 1	P_i	BC	$(<P_i>\leftarrow TP \leftarrow) \rightarrow D2$	*	*	*	*	*
Инверсия	\neg	1	D2	B	0 1 0 0	P_i	BC	$(\neg <P_i>) \rightarrow D2$	1	*	0	*	*
Сдвиг с ТР вправо	\rightarrow	1	D2	B	1 1 0 0	P_i	BC	$(<P_i>\rightarrow TP \rightarrow) \rightarrow D2$	*	*	*	*	*
Прием константы ¹	PK	1	1	A1	0 1 0 1	<Константа>		A2 <Константа> → A	—	—	—	—	—

Операция	Обозначение	0	1	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка PC (BC-1)			
		1	Адрес результата	Величина слова	KOP2	Адрес операнда	BC		TP	TZN	TPII	TRH
Сдвиг логический вправо	$\wedge \rightarrow$	1	D2	B	0 1 1 0	P_i	BC	$(\langle P_i \rangle \wedge \rightarrow) \rightarrow D2$	*	*	*	*
Сдвиг циклический вправо	$\mathcal{U} \rightarrow$	1	D2	B	1 1 1 0	P_i	BC	$(\langle P_i \rangle \mathcal{U} \rightarrow) \rightarrow D2$	*	*	*	*
Прием	Π	1	0	B	0 1 0 1	P_i	BC	$\langle K \rangle \longrightarrow P_i$	—	*	0	*

¹ При приеме константы в разрядах 2 и 11 (A_1, A_2) указывается адрес полубайта аккумулятора A, в который загружается записанная в разрядах 7—10 константа. Адресация полубайтов: A_1, A_2-00 —первый (младший) полубайт, 01 — второй полубайт, 10 — третий полубайт, 11 — четвертый (старший) полубайт

Таблица 8.8

Операция	Обозначение	0	1	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции				
		1	Адрес результата	Величина слова	Признак формата	KOP2	BC		TP	TZN	TPII	TRH
Сдвиг логический влево	$\wedge \leftarrow$	1	D2	B	1 1 1 1	0 0 0 0	BC	$(\langle PC \rangle \wedge \leftarrow) \rightarrow D2$				
Сдвиг циклический влево	$\mathcal{U} \leftarrow$	1	D2	B	1 1 1 1	1 0 0 0	BC	$(\langle PC \rangle \mathcal{U} \leftarrow) \rightarrow D2$				
Вычитание единицы	-1	1	D2	B	1 1 1 1	0 0 0 1	BC	$(\langle PC \rangle -1) \rightarrow D2$				
Дополнение	\mathcal{D}	1	D2	B	1 1 1 1	1 0 0 1	BC	$(\mathcal{D} \langle PC \rangle) \rightarrow D2$				
Сложение с TP	$+TP$	1	D2	B	1 1 1 1	0 0 1 0	BC	$(\langle PC \rangle +TP) \rightarrow D2$				
Вычитание TP	$-TP$	1	D2	B	1 1 1 1	1 0 1 0	BC	$(\langle PC \rangle -TP) \rightarrow D2$				
Сложение с 1	$+1$	1	D2	B	1 1 1 1	0 0 1 1	BC	$(\langle PC \rangle +1) \rightarrow D2$				
Сдвиг с TP влево	\leftarrow	1	D2	B	1 1 1 1	1 0 1 1	BC	$(\langle PC \rangle \text{ c } TP \leftarrow) \rightarrow D2$				
Инверсия	\neg	1	D2	B	1 1 1 1	0 1 0 0	BC	$(\neg \langle PC \rangle) \rightarrow D2$				
Сдвиг с TP вправо	\rightarrow	1	D2	B	1 1 1 1	1 1 0 0	BC	$(\langle PC \rangle \text{ c } TP \rightarrow) \rightarrow D2$				
Очистка		1	D2	B	1 1 1 1	0 1 0 1	BC		0	→		D2
Пересылка 1	$\Pi 1$	1	D2	B	1 1 1 1	1 1 0 1	BC	$\langle PC \rangle \rightarrow D2$				
Сдвиг логический вправо	$\wedge \rightarrow$	1	D2	B	1 1 1 1	0 1 1 0	BC	$(\langle PC \rangle \wedge \rightarrow) \rightarrow D2$				
Сдвиг циклический вправо	$\mathcal{U} \rightarrow$	1	D2	B	1 1 1 1	1 1 1 0	BC	$(\langle PC \rangle \mathcal{U} \rightarrow) \rightarrow D2$				
Пересылка 1	$\Pi 1$	1	D2	B	1 1 1 1	X 1 1 1	BC	$\langle PC \rangle \rightarrow D2$				

Примечание. При выполнении унарных операций в формате УРС признаки TP, TZN, TPII, TRH сохраняют значения, сформированные при выполнении предыдущей операции.

Таблица 8.9

Операция	Обозначение	0	1	Адрес ре-зультата Больчина слова	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка PC (BC-1)			
							КОП2	BC		TP	ТЭН	ТПП	ТРН
Сдвиг логический влево	$V \leftarrow$	1	D_2	B	1 1 0 1	0 0 0 0	BC	$(\langle A \rangle \wedge \leftarrow) \rightarrow D_2$	*	*	*	*	*
Сдвиг циклический влево	$Z \leftarrow$	1	D_2	B	1 1 0 1	1 0 0 0	BC	$(\langle A \rangle Z \leftarrow) \rightarrow D_2$	*	*	*	*	*
Вычитание единицы	-1	1	D_2	B	1 1 0 1	0 0 0 1	BC	$(\langle A \rangle - 1) \rightarrow D_2$	—	*	*	*	*
Дополнение	\bar{D}	1	D_2	B	1 1 0 1	1 0 0 1	BC	$(\bar{D} \langle A \rangle) \rightarrow D_2$	*	*	*	*	*
Сложение с ТР	$+TP$	1	D_2	B	1 1 0 1	0 0 1 0	BC	$(\langle A \rangle + TP) \rightarrow D_2$	*	*	*	*	*
Вычитание ТР	$-TP$	1	D_2	B	1 1 0 1	1 0 1 0	BC	$(\langle A \rangle - TP) \rightarrow D_2$	*	*	*	*	*
Сложение с единицей	$+1$	1	D_2	B	1 1 0 1	0 0 1 1	BC	$(\langle A \rangle + 1) \rightarrow D_2$	—	*	*	*	*
Сдвиг с ТР влево	\leftarrow	1	D_2	B	1 1 0 1	1 0 1 1	BC	$(\langle A \rangle TP \leftarrow) \rightarrow D_2$	*	*	*	*	*
Инверсия	\neg	1	D_2	B	1 1 0 1	0 1 0 0	BC	$(\neg \langle A \rangle) \rightarrow D_2$	1	*	0	*	*
Сдвиг с ТР вправо	\rightarrow	1	D_2	B	1 1 0 1	1 1 0 0	BC	$(\langle A \rangle c TP \rightarrow) \rightarrow D_2$	*	*	*	*	*
Очистка	\cdot	1	D_2	B	1 1 0 1	0 1 0 1	BC	$<0> \rightarrow D_2$	0	0	0	1	
Сдвиг логический вправо	$\wedge \rightarrow$	1	D_2	B	1 1 0 1	0 1 1 0	BC	$(\langle A \rangle \wedge \rightarrow) \rightarrow D_2$	*	*	*	*	*
Сдвиг циклический вправо	$Z \rightarrow$	1	D_2	B	1 1 0 1	1 1 1 0	BC	$(\langle A \rangle Z \rightarrow) D_2$	*	*	*	*	*

Таблица 8.10

Операция	Обозначение	0	1	Адрес ре-зультата Больчина слова	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка PC (BC-1)			
							КОП2	BC		TP	ТЭН	ТПП	ТРН
Сдвиг логический влево	$\gg \leftarrow$	1	D_2	B	0 1 1 1	0 0 0 0	BC	$(\langle K \rangle \wedge \leftarrow) \rightarrow D_2$	*	*	*	*	*
Сдвиг циклический влево	$Z \leftarrow$	1	D_2	B	0 1 1 1	1 0 0 0	BC	$(\langle K \rangle Z \leftarrow) \rightarrow D_2$	*	*	*	*	*
Вычитание единицы	-1	1	D_2	B	0 1 1 1	0 0 0 1	BC	$(\langle K \rangle - 1) \rightarrow D_2$	—	*	*	*	*
Дополнение	\bar{D}	1	D_2	B	0 1 1 1	1 0 0 1	BC	$(\bar{D} \langle K \rangle) \rightarrow D_2$	*	*	*	*	*
Сложение с ТР	$+TP$	1	D_2	B	0 1 1 1	0 0 1 0	BC	$(\langle K \rangle + TP) \rightarrow D_2$	*	*	*	*	*
Вычитание ТР	$-TP$	1	D_2	B	0 1 1 1	1 0 1 0	BC	$(\langle K \rangle - TP \leftarrow) \rightarrow D_2$	*	*	*	*	*
Сложение с 1	$+1$	1	D_2	B	0 1 1 1	0 0 1 1	BC	$(\langle K \rangle + 1) \rightarrow D_2$	—	*	*	*	*
Сдвиг с ТР влево	\leftarrow	1	D_2	B	0 1 1 1	1 0 1 1	BC	$(\langle K \rangle c TP \leftarrow) \rightarrow D_2$	*	*	*	*	*
Инверсия	\neg	1	D_2	B	0 1 1 1	0 1 0 0	BC	$(\neg \langle K \rangle) \rightarrow D_2$	1	*	0	*	*
Сдвиг с ТР вправо	\rightarrow	1	D_2	B	0 1 1 1	1 1 0 0	BC	$(\langle K \rangle c TP \rightarrow) D_2$	*	*	*	*	*
Очистка	\cdot	1	D_2	B	0 1 1 1	0 1 0 1	BC	$0 \rightarrow D_2$	0	0	0	1	

Операция	Обозначение	0	1	2	3, 4, 5, 6	7, 8, 9, 10	11	Мнемоническое описание операции	Загрузка РС (BC-1)			
		Адрес результата	Величина слова	Признак формата	КОП2	BC	TP		ТЗН	ТПП	ТРН	
Пересылка 1	$P1$	1	$D2$	B	0 1 1 1	1 0 1 1	BC	$<K> \rightarrow D2$	—	*	0	*
Сдвиг логический вправо	$>\rightarrow$	1	$D2$	B	0 1 1 1	0 1 1 0	BC	$(<K> \wedge \leftarrow) \rightarrow D2$	*	*	*	*
Сдвиг циклический вправо	$\dot{C} \rightarrow$	1	$D2$	B	0 1 1 1	1 1 1 0	BC	$(<K> \dot{C} \leftarrow) \rightarrow D2$	*	*	*	*
Пересылка 1	$P1$	1	$D2$	B	0 1 1 1	X 1 1 1	BC	$<K> \rightarrow D2$	—	*	0	*

Таблица 8.11

Параметр	Обозначение	Значения параметров [макс (мин)]
Ток потребления при $U_{CC}=5$ В $\pm 5\%$ и $U_{IH}=5,25$ В, мА	I_{CC}	0,09
Выходной ток низкого уровня при $U_{CC}=5$ В $\pm 5\%$ и $U_{OL}=0,4$ В, мА	I_{OL}	(0,8)
Выходной ток высокого уровня при $U_{CC}=5$ В $\pm 5\%$ и $U_{OH}=4,1$ В, мА	I_{OH}	(-0,4)
Ток утечки высокого уровня на входе при $U_{CC}=5$ В $\pm 5\%$ и $U_{IH}=4,7$ В, мкА	I_{LH}	10
Ток утечки низкого уровня на входе при $U_{CC}=5$ В $\pm 5\%$ и $U_{IL}=0,8$ В, мкА	I_{LIL}	10
Ток утечки высокого уровня на выходе в состоянии «выключено» при $U_{CC}=5$ В $\pm 5\%$ и $U_{IL}=4,7$ В, мкА	I_{LOHZ}	15
Ток утечки низкого уровня на выходе в состоянии «выключено» при $U_{CC}=5$ В $\pm 5\%$ и $U_{IL}=0,8$ В, мкА	I_{LOLZ}	15
Время выполнения микрокоманды при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, мкс	$t_P(OA-CS)$	1,8
Время задержки приема микрокоманды при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, мкс	$t_P(FI-CS)$	0,12
Время задержки выдачи состояний при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, мкс	$t_P(K2-CS)$	0,8
Время задержки формирования сигнала IPA при $U_{CC}=-5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, ис	$t_P(IPA-CS)$	0,35
Время задержки сброса сигнала IPA при $U_{CC}=-5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, ис	$t_P(IPA-OA)$	0,1
Время задержки сброса сигнала OPA при $U_{CC}=-5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $C_L \leq 100$ пФ, ис	$t_P(OPA-IPA)$	0,1

приемник (РОН, А, РС, МД). Если приемник является МД, то АУ устанавливает информацию на выводах 0–15 канала $K1$, со провождая данные сигналом $OPA=0$.

Обмен информацией осуществляется асинхронно по принципу квантования. При выдаче информации источник устанавливает сигнал $OPA=0$ одновременно с данными. Приемник устанавливает сигнал $IPA=0$ при завершении приема информации. Обмен информацией заканчивается, когда источник устанавливает

сигнал $OPA=1$, а приемник отвечает сигналом $IPA=1$.

В процессе выполнения фазы выдачи предыдущей микрокоманды могут выполняться все фазы до фазы записи в первую из следующих микрокоманд с выдачей информации или фазы приема в первой из следующих микрокоманд с приемом информации.

Временная диаграмма работы микросхемы АУ совместно с микросхемой К588ВУ2 приведена на рис. 8.3, структурная схема соедине-

ния микросхем К588ВУ2 и К588ВС2 — на рис. 8.4.

Временна́я диаграмма работы микросхемы АУ приведена на рис. 8.5.

Система микрокоманд микросхемы К588ВС2 представлена в табл. 8.3—8.10, основные параметры приведены в табл. 8.11.

В табл. 8.4—8.10 использованы следующие обозначения формирования признаков при загрузке РС:

«*» — признак формируется в результате выполнения операции;

«←» — признак сохраняет значение, сформированное при выполнении предыдущей операции;

«Х» — признак не формируется, состояние безразлично;

0 или 1 — признак в результате выполнения операции принимает строго фиксированное значение 0 или 1 соответственно.

Условное графическое обозначение микросхемы приведено на рис. 8.6, назначение выводов — в табл. 8.12, структурная схема показана на рис. 8.7, временная диаграмма работы — на рис. 8.8.

В состав микросхемы входят: две программируемые логические матрицы (ПЛМ1, ПЛМ2); блок синхронизации (БС); регистр команд (РК); регистр состояний (РС); регистр следующего адреса (РСА); регистр микрокоманд (РМ); блок программируемых инверторов (БПИ); схема выдачи (СВ).

Связь ПЛМ1, ПЛМ2 и подключение БПИ программируются фотошаблоном в процессе изготовления микросхемы.

Регистры команд и состояний предназначены для приема и хранения поступающей извне информации, РСА — для запоминания 7-разрядного следующего адреса, считанного из ПЛМ2, РМ — для записи считанной микрокоманды.

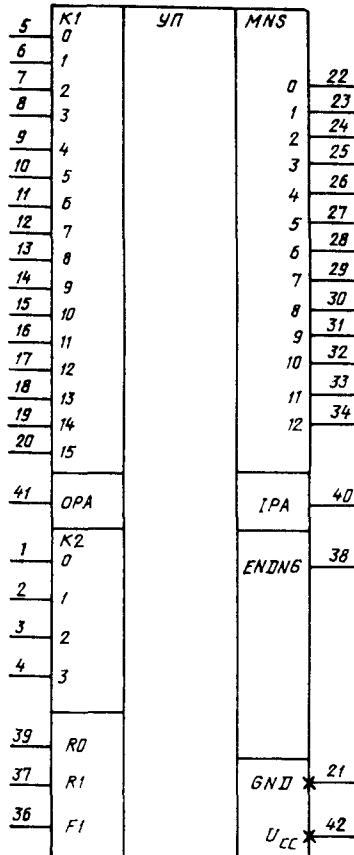
Блок синхронизации предназначен для формирования внутренних сигналов, задающих временную диаграмму работы УП.

Схема выдачи предназначена для организации выдачи микрокоманды из РМ на внешние выводы.

8.2. Микросхема К588ВУ2

Микросхема К588ВУ2 — микропрограммная управляющая память (УП), предназначена для применения совместно с микросхемами К588ВС2, К588ВГ1 в процессоре микро-ЭВМ.

Таблица 8.12



Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—4	$K_2(0) - K_2(3)$	Входы	Разряды 0—3 канала K_2
5—20	$K_1(0) - K_1(15)$	Входы	Разряды 0—15 канала K_1
21	GND	—	Общий
22—34	$MNS0 - MNS12$	Выходы	Разряды 0—12 канала MNS
35			Синхронизация
36	F_1	Вход	Пуск 1
37	R_1	Вход	Разрешение приема информации по K_1
38	ENDNS	Вход/выход	Пуск 2
39	R_0	Вход	Квитирование приема по K_1
40	IPA	Выход	Квитирование приема по K_1
41	OPA	Вход	Напряжение питания
42	U_{cc}	—	

Приимечания. 1. Вывод 35 не задействован.

2 K_1 — информационный канал команд; K_2 — информационный канал состояний; MNS — канал микрокоманд; F_1 — сигнал, задающий режим работы блока синхронизации; $ENDNS$ — сигнал, индицирующий выдачу последней микрокоманды в MNS и разрешающий прием следующей команды по каналу K_1 ; R_0 — сигнал, обнуляющий регистр следующего адреса и регистр состояний; R_1 — сигнал, обнуляющий регистр состояний и переводящий регистр следующего адреса в состояние 0000001; IPA — сигнал, сандетельствующий об окончании приема информации по каналу K_1 ; OPA — сигнал, сопровождающий информацию по каналу K_1 .

Рис. 8.6. Условное графическое обозначение К588ВУ2

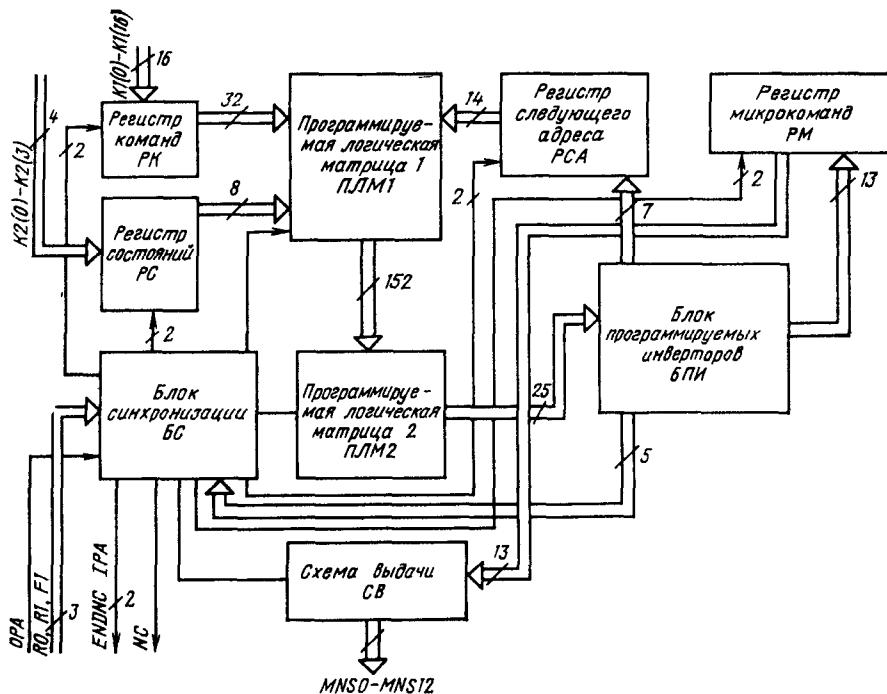


Рис. 8.7. Структурная схема К588ВУ2

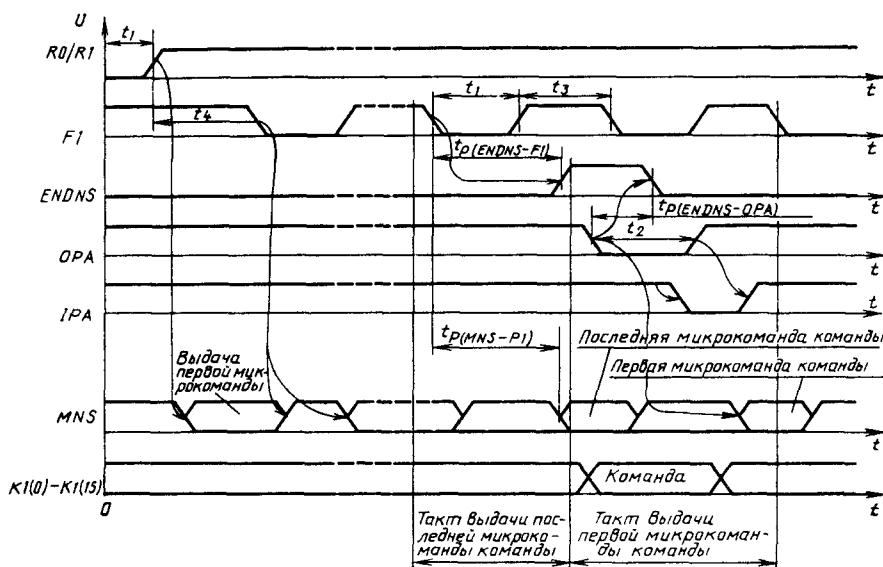


Рис. 8.8. Временная диаграмма работы К588ВУ2
 $t_1, t_2, t_3 \geq 500$ нс; $t_4 \geq 2000$ нс

Таблица 8.13

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Ток потребления при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{IL}=0 \text{ В}$, мА	I_{CC}	0,09
Ток утечки высокого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,4 \text{ В}$, мкА	I_{LH}	10
Ток утечки низкого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,4 \text{ В}$, мкА	I_{LI}	-10
Выходной ток низкого уровня при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{OL}=-0,4 \text{ В}$, мА	I_{OL}	(0,8)
Время считывания информации при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=-0,8 \text{ В}$, $U_{IH}=U_{CC}-0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	$t_P(MNS-F1)$	650
Время записи команды при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	$t_P(ENDNS-OPA)$	300

Для обеспечения правильной работы УП после включения питания следует провести начальную установку. Для этого на один из входов $R0$ или $R1$ подается импульс длительностью не менее 0,5 мкс. Этот импульс вызывает установку БС в исходное состояние и соответствующего значения РСА. Одновременная подача синфазных импульсов по входам $R1$ и $R0$ не допускается.

По положительному фронту сигнала на выводе $R0$ или $R1$ УП переходит к формированию микрокоманды. Сформированная микрокоманда записывается в РМ, и УП переходит

к формированию следующей микрокоманды. Одновременно с хранением и выдачей микрокоманды в РМ УП формирует следующую микрокоманду.

По отрицательному фронту сигнала на входе $F1$ прекращается выдача микрокоманды и устанавливается высокий уровень на выводах микрокоманды. Если к этому моменту сформирована следующая микрокоманда, то происходит ее запись в РМ с последующей выдачей.

Если в микрокоманде сформирован признак $ENDNS$, то на выводе $ENDNS$ формируется высокий уровень. Для дальнейшей работы необходимо подать сигнал на вывод OPA . При наличии сигнала на выводе OPA происходит прием информации с магистрали $K1$ во входной регистр РК и по магистрали $K2$ в регистр РС.

Для правильного приема информации необходимо устанавливать и снимать информацию одновременно с отрицательным и положительным фронтами сигнала OPA соответственно.

Приняв информацию в РК и РС, УП отвечает по выводу IPA и устанавливает активный низкий уровень на выводе $ENDNS$. По снятии сигнала на выводе OPA снимается сигнал IPA .

Приняв информацию в РК, УП приступает к формированию новой микрокоманды.

Прием информации в РС может быть осуществлен также под управлением специального внутреннего сигнала, формируемого в ПЛМ2 одновременно с микрокомандой. В этом случае информация в РС принимается по отрицательному фронту сигнала на входе $F1$, сбрасывающего эту микрокоманду.

С целью расширения объема управляющей памяти несколько микросхем могут быть объединены в блок управляющей памяти. Структурная схема такого объединения микросхем приведена на рис. 8.9.

Основные параметры К588ВУ2 приведены в табл. 8.13.

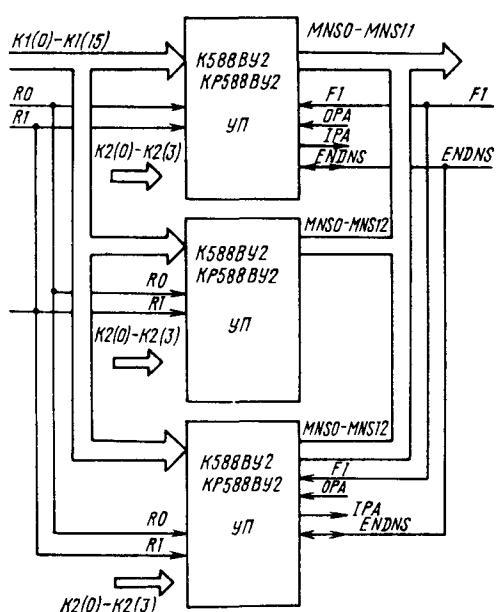


Рис. 8.9. Схема объединения микросхемы К588BV2

8.3. Микросхема K588BP2

Микросхема K588BP2 — арифметический умножитель (AP), предназначена для аппаратного выполнения операции умножения двух 16-разрядных двоичных чисел (операндов).

Условное графическое обозначение микросхемы приведено на рис. 8.10, назначение выводов — в табл. 8.14, структурная схема показана на рис. 8.11, временная диаграмма работы — на рис. 8.12.

Микросхема K588BP2 включает в себя следующие основные блоки: 16-разрядный вход-

ной/выходной регистр (PBB); 16-разрядный регистр множимого (PMM); 16-разрядный регистр множителя (PMT); 16-разрядный регистр выдачи младшей части произведения (БВМЧП); 16-разрядный регистр выдачи старшей части произведения (БВСЧП); блок формирования признаков (БФП); блок умножения матричного типа (БУМТ); блок синхронизации (БС).

Прием операндов, выполнение умножения и выдача результата выполняются микросхемой под управлением внешних сигналов синхронизации.

Таблица 8.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	OUTWD	Вход	Разрешение выдачи результата
2	DN	Выход	Готовность
3—10	D15—D8	Входы/выходы	Разряды 15—8 магистрали MD
11	SEL3	Вход	Выборка 3
12	GND	—	Общий
13	SEL2	Вход	Выборка 2
14	SEL1	Вход	Выборка 1
15—22	D7—D0	Входы/выходы	Разряды 7—0 магистрали MD
23	INWD	Вход	Разрешение приема операнда
24	Ucc	—	Напряжение питания

Примечание. D0—D15 — магистраль ввода/вывода данных; SEL1—SEL3 — адресные сигналы, OUTWD — сигнал, свидетельствующий о выдаче результата в магистраль данных; INWD — сигнал приема операнда в один из регистров; DN — сигнал, свидетельствующий о готовности микросхемы к выполнению следующего цикла.

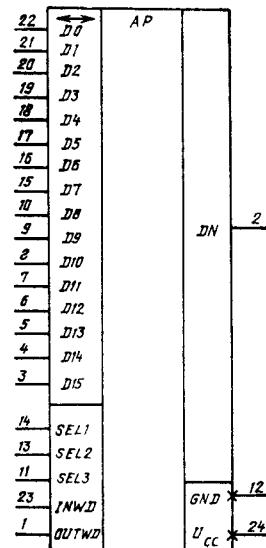


Рис. 8.10. Условное графическое обозначение K588BP2

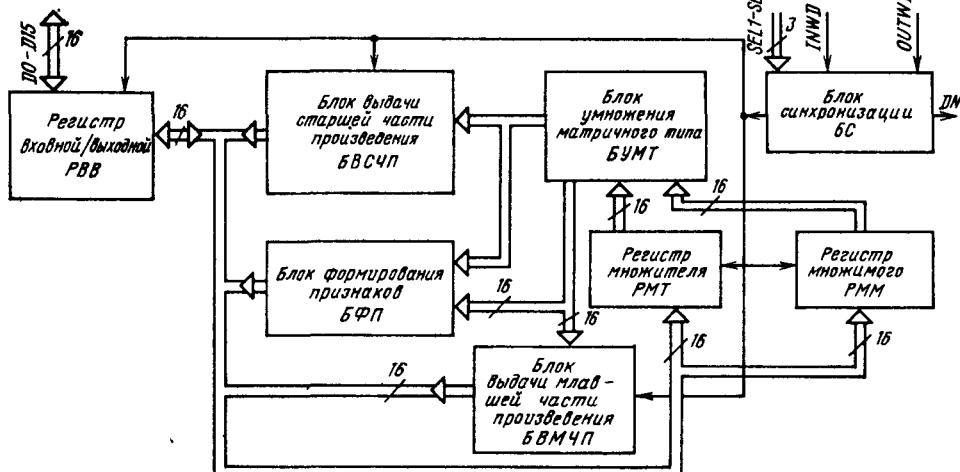


Рис. 8.11. Структурная схема K588BP2

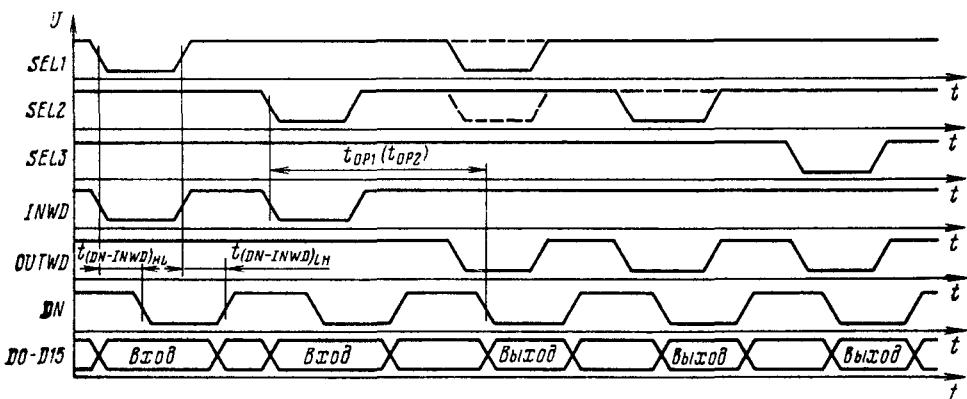


Рис. 8.12. Времени́я работы К588ВР2. Для выходных сигналов SEL_1 , SEL_2 , показанных штриховой линией, время выполнения операции t_{OP_2}

Таблица 8.15

Значения сигналов					Цикл работы
SEL_1	SEL_2	SEL_3	$INWD$	$OUTWD$	
0	1	1	0	1	Прием 16-разрядного операнда из магистрали данных в регистр множимого
1	0	1	0	1	Прием 16-разрядного операнда из магистрали данных в регистр множителя
0	1	1	1	0	Выдача младшей части произведения (разряды 0—15) в магистраль данных
1	0	1	1	0	Выдача старшей части произведения (разряды 16—31) в магистраль данных
1	1	0	1	0	Выдача 16-разрядного результата из блока формирования признаков в магистраль данных
0	0	1	0	1	Прием 16-разрядного операнда из магистрали данных в оба регистра одновременно (для возведения в квадрат)

Таблица 8.16

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Выходное напряжение низкого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=3,7 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $I_{OL}=0,8 \text{ мА}$, В	I_{OL}	0,4
Ток утечки высокого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, мкА	I_{LIH}	10
Ток утечки низкого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=4,7 \text{ В}$, $U_{IL}=0,8 \text{ В}$, мкА	I_{LII}	10
Ток утечки высокого уровня на выходе в состоянии «выключен» при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, мкА	I_{LOH}	15
Ток утечки низкого уровня на выходе в состоянии «выключен» при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=4,7 \text{ В}$, $U_{IL}=0,8 \text{ В}$, мкА	I_{LOL}	15
Выходной ток высокого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=3,7 \text{ В}$, $U_{OH}=4,1 \text{ В}$, мА	I_{OH}	(-0,4)
Выходной ток низкого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=3,7 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $U_{OL}=0,4 \text{ В}$, мА	I_{OL}	(0,8)
Ток потребления в статическом режиме при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=5,5 \text{ В}$, $U_{IL}=0 \text{ В}$, мА	I_{CCS}	0,09
Время выполнения операций при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=4,1 \text{ В}$, $U_{IL}=0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, мкс	t_{CY1}	0,6
	t_{CY2}	0,7
Время задержки приема множителя при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=4,1 \text{ В}$, $U_{IL}=0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	$t_{P(DN-IN), HI}$	200
Время задержки сброса сигнала DN при приеме при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=4,1 \text{ В}$, $U_{IL}=0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	$t_{P(DH-IN), LH}$	180

В исходном (нерабочем) состоянии на управляющие выводы микросхемы $SEL1$ — $SEL3$, $INWD$, $OUTWD$ подают напряжение высокого уровня. Полный цикл работы микросхемы состоит из двух циклов приема и трех циклов выдачи. В зависимости от комбинации адресных сигналов $SEL1$ — $SEL3$ в совокупности с сигналами приема $INWD$ и выдачи $OUTWD$ микросхема выполняет циклы работ, приведенные в табл. 8.15. Последовательность и число циклов приема и выдачи можно произвольно изменять (по необходимости).

Окончание каждого цикла работы и готовность микросхемы к выполнению следующего цикла определяются появлением на выходе DN сигнала низкого уровня. При приеме это свидетельствует о завершении записи операнда в регистр, а при выдаче — об окончании формирования на внешних выводах магистрали данных $D0$ — $D15$ 16-разрядного результата.

Умножение начинается одновременно с записью операнда в один из регистров. Для возведения в квадрат запись операнда производится одновременно в оба регистра.

Времена, указанные на временной диаграмме полного цикла работы микросхемы (см. рис. 8.12), означают следующее: t_{op} — время выполнения операции умножения; $t(DN-INWD)_{nL}$ — время задержки приема множителя; $t(DN-INWD)_{lH}$ — время задержки сброса сигнала DN после окончания приема.

Основные параметры микросхемы приведены в табл. 8.16.

8.4. Микросхема K588BГ1

Микросхема K588BГ1 — системный контроллер (СК), предназначенный для применения совместно с микросхемами K588BУ2, K588BC2 в процессоре 16-разрядной микро-ЭВМ.

Микросхема является микропрограммно управляемым асинхронным модулем, обеспечивающим взаимосвязь микросхем процессора на базе микропроцессорного комплекта серии К588 и организующим интерфейс процессора. Она выполняет следующие функции: ввод, вы-

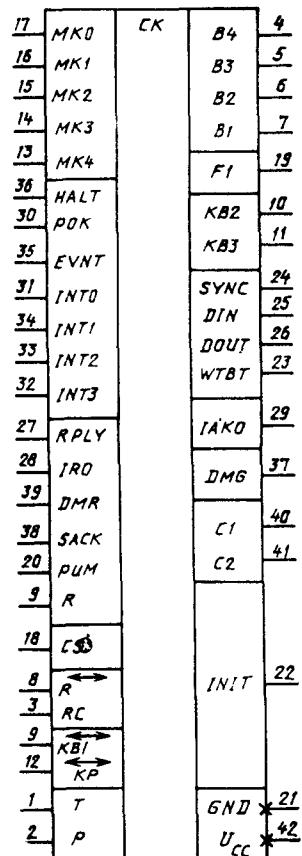


Рис. 8.13. Условное графическое обозначение K588BГ1

вод 16-разрядного слова или байта; обслуживание внешних и внутренних прерываний; управление прямым доступом к памяти; управление двунаправленными приемопередатчиками.

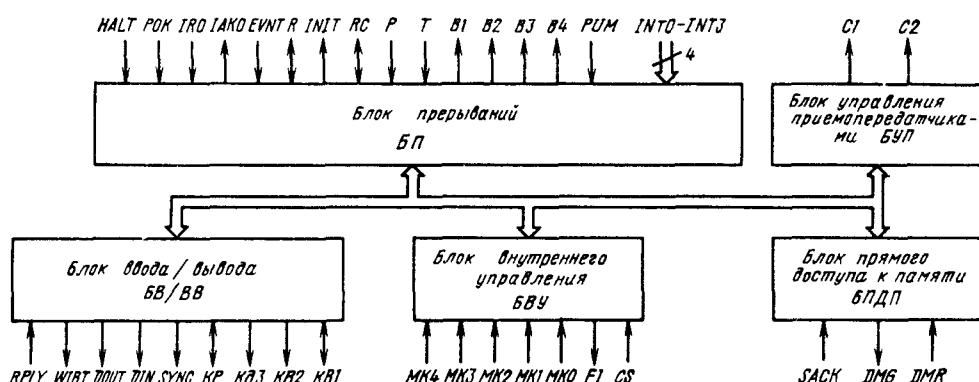


Рис. 8.14. Структурная схема K588BГ1

Таблица 8.17

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>T</i>	Вход	Передача <i>T</i> -бита слова состояния процессора
2	<i>P</i>	Вход	Передача <i>P</i> -бита слова состояния процессора
3 4—7	<i>RC</i> <i>B4—B1</i>	Вход/выход Выходы	Контроль ошибки канала Код прерывания, разряды 4—1
8	<i>R</i>	Вход/выход	Пуск
9	<i>KBI</i>	Вход/выход	Квитирование выдачи 1
10	<i>KB2</i>	Выход	Квитирование выдачи 2
11	<i>KB3</i>	Выход	Квитирование выдачи 3
12	<i>KP</i>	Вход/выход	Квитирование приема
13—17	<i>MK4—MK0</i>		Разряды 4—0 микрокоманды
18	<i>CS</i>	Вход	Синхронизация приема микрокоманды
19	<i>FI</i>	Выход	Синхронизация управляемой памяти
20	<i>PUM</i>	Вход	Режим пуска процессора
21	<i>GND</i>	—	Общий
22	<i>INIT</i>	Выход	Сброс канальный
23	<i>WTBT</i>	Выход	Управление запись/байт
24	<i>SYNC</i>	Выход	Синхронизация обмена
25	<i>DIN</i>	Выход	Управление чтением данных
26	<i>DOUT</i>	Выход	Управление записью данных
27	<i>RPLY</i>	Вход	Ответ устройства
28	<i>IRQ</i>	Вход	Запрос на векторное прерывание
29	<i>IAKO</i>	Выход	Разрешение прерывания
30	<i>POK</i>	Вход	Авария источника питания
31	<i>INT0</i>	Вход	Запрос радиального прерывания 0
32	<i>INT3</i>	Вход	Запрос радиального прерывания 3
33	<i>INT2</i>	Вход	Запрос радиального прерывания 2
34	<i>INT1</i>	Вход	Запрос радиального прерывания 1
35	<i>EVNT</i>	Вход	Запрос прерывания по внешнему событию
36	<i>HALT</i>	Вход	Запрос прерывания по останову
37	<i>DMG</i>	Выход	Разрешение на захват магистралей
38	<i>SACK</i>	Вход	Подтверждение запроса магистралей
39	<i>DMR</i>	Вход	Запрос на захват магистралей
40	<i>C1</i>	Выход	Управление МПП при выводе адреса/данных
41	<i>C2</i>	Выход	Управление МПП при выводе данных
42	<i>Ucc</i>	—	Напряжение питания

Примечание. *T* — *T*-бит слова состояния процессора; *P* — *P*-бит слова состояния процессора; *B1—B4* — разряды кода прерывания; *CS* — сигнал «Начать»; *FI* — сигнал «Исполнение»; *PUM* — начальный пуск процессора; *WTBT* — признак записи/байта; *INT0—INT3* — требования прерывания от внешнего устройства.

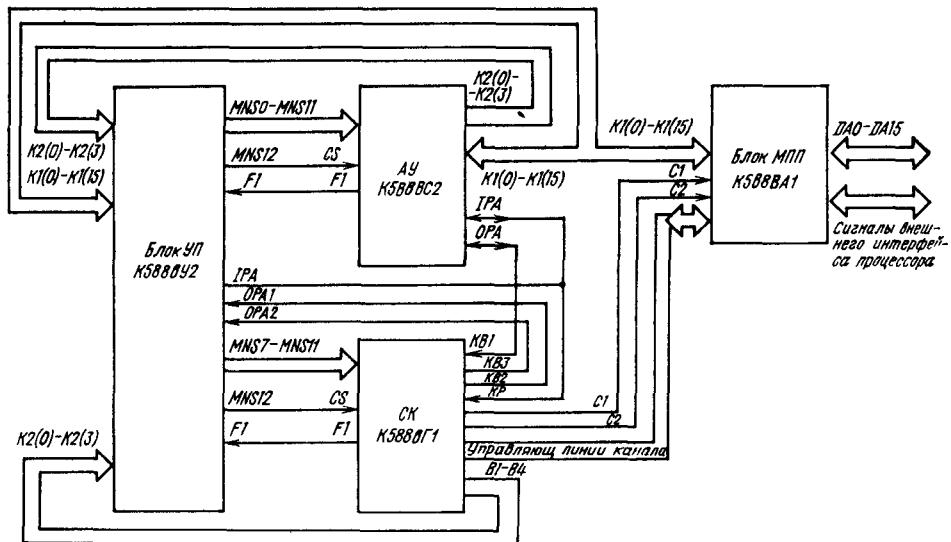


Рис. 8.15. Схема процессора на микросхемах K588BG1, K588BV2, K588BC2, K588BA1

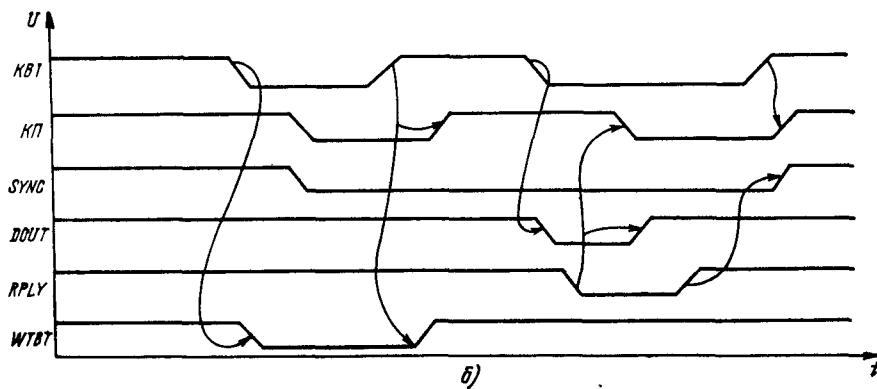
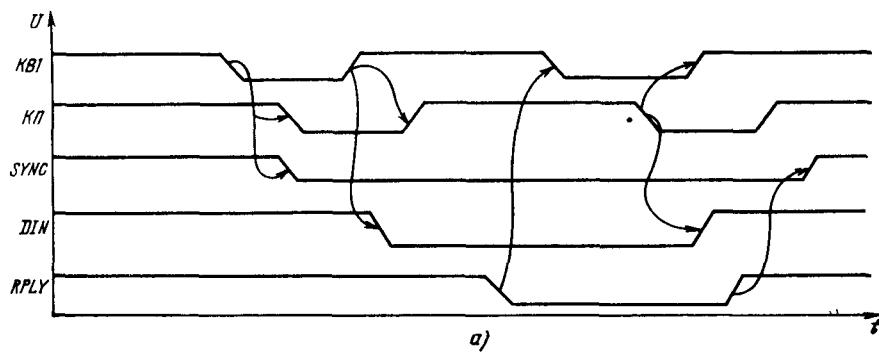


Рис. 8.16. Временные диаграммы выполнения микрокоманд DATI (а) и DATO (б) микросхемы K588BG1

Условное графическое обозначение микросхемы приведено на рис. 8.13, назначение выводов — в табл. 8.17, структурная схема показана на рис. 8.14.

Микросхема включает в себя следующие основные блоки: блок прерываний (БП); блок ввода/вывода (БВ/БВ); блок внутреннего управления (БВУ); блок прямого доступа к памяти (БПДП); блок управления приемопередатчиками (БУП).

Блок прерываний предназначен для приема запросов на обслуживание прерывания и выдачи кода прерываний в соответствии с табл. 8.18.

Блок ввода/вывода предназначен для формирования на шинах ввода/вывода стандартной временной последовательности; БВУ — для формирования в микросхеме внутренних синхросигналов; БПДП — для приема запросов на захват канала при прямом доступе к памяти; БУП — для включения и выключения канальных приемопередатчиков.

Структурная схема соединения микросхем K588ВГ1, K588ВУ2, K588ВС2, K588ВА1 в составе процессора приведена на рис. 8.15.

Системный контроллер связывает внутренний интерфейс процессора с внешним интерфейсом.

Внутренний интерфейс содержит линии, обеспечивающие совместную работу в процессоре: блока микросхем управляющей памяти (УП); арифметического устройства (АУ); блока микросхем магистрального приемопередатчика (МПП).

Внешний интерфейс процессора содержит сигналы, обеспечивающие работу устройств

Таблица 8.18

Код на выводах В1—В4	Мнемокод прерывания	Операция
1010	W (DBE)	Режим начального пуска (двойная ошибка канала)
1110	T (TERRO)	Прерывание по T-биту ССП (ошибка канала)
1111	POK (TERR1)	Прерывание по пропаданию пит器ия (ошибка канала)
0111	HALT (TERR2)	Прерывание по входу «Останов» (ошибка канала)
0101	INT0	Требование прерывания от ВУ
0100	INT1	То же
0110	INT2	»
0010	INT3	»
0011	EVNT	Прерывание по внешнему событию
0001	IRQ	Запрос прерывания от ВУ
0000	—	Нет прерываний

Таблица 8.19

Восьмеричный код микрокоманды	Мнемокод микрокоманды	Название микрокоманды
00	INIT	Инициализация
01	LPSW	Загрузка слова состояния процессора
02	DATIV	Ввод вектора
03	WAIT	Ожидание прерывания
04	IE	Разрешение прерывания
05	ID	Запрет прерывания
10	DATI	Ввод слова
11	DATIK	Ввод команды
12	DATO	Выход слова
13	DATOB	Выход байта
14	DATIO	Ввод/выход слова
15	DATIOB	Ввод/выход байта
20	RTO	Сброс прерывания
21	NH	Запрет прерывания
22	HALT	Сброс прерывания
23	RT1	Сброс прерывания
24	RT2	Сброс прерывания
25	RT3	Сброс прерывания
26	RT4	Сброс прерывания
27	RES	Начальная установка
30	RTE	Сброс триггера
31	RTP	Сброс триггера POK
32	CTO	Очистка триггера TO
33	NTI	Запрет прерывания
34	TI	Сброс триггера EVNT
35	NOP	Нет операции

канала. Это шины ввода/вывода, прерываний и прямого доступа к памяти.

Сигналы на шинах ввода/вывода SYNC, DIN, DOUT, WTB, PRLY обеспечивают управление передачей по 16-разрядной двунаправленнойшине DA0—DA15 команд, адресов, данных и векторов.

Шины прерываний INT0, INT1, INT2, INT3, HALT, POK, IRQ, IAKO, EVNT служат для приема запросов на прерывания и сброса прерываний от внешних устройств.

Шины прямого доступа к памяти DMR, DMG, SACK служат для управления представлением прямого доступа к памяти.

Шина инициализации INIT служит для приведения внешних устройств в исходное состояние.

Таблица 8.20

Параметр	Обозначение	Значения параметров
Выходной ток низкого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $I_{OL}=0,4 \text{ А}, \text{ мА}$	I_{OL}	(0,8)
Выходной ток высокого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $I_{OH}=U_{CC}-0,8 \text{ В}, \text{ мА}$	I_{OH}	(-0,4)
Ток потребления при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,4 \text{ В}$, I_{CC}	I_{CC}	0,8
Ток утечки высокого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $\mu\text{А}$	I_{L1H}	10
Ток утечки низкого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $\mu\text{А}$	I_{L1L}	-10
Время задержки адреса при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{IL}=0,4 \text{ В}$, нс	$t_P(SYNC-KB)$	(100)
Время задержки формирования сигнала DIN при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,4 \text{ В}$, нс	$t_P(DIN-KB)$	(10)
Время задержки ввода при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{IL}=0,4 \text{ В}$, нс	$t_P(KBI-RPLY)$	(100)
Время задержки формирования сигнала $DOUT$ при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{IL}=0,4 \text{ В}$, нс	$t_P(DOUT-KBI)$	(50)
Время задержки формирования сигнала $F1$ при $U_{CC}=5 \text{ В} \pm 5\%$ и $U_{IL}=0,4 \text{ В}$, нс	$t_P(F1-CS)$	200

Система микрокоманд приведена в табл. 8.19, временные диаграммы выполнения микрокоманд $DATI$ и $DATO$ показаны на рис. 8.16.

Основные параметры микросхемы приведены в табл. 8.20.

8.5. Микросхема K588BA1

Микросхема K588BA1 — магистральный приемопередатчик, предназначен для применения в аппаратуре с жестко ограниченным энергопотреблением и массогабаритными характеристиками.

Микросхема выполняет следующие функции: двунаправленную передачу байта с инверсией или без инверсии; подтверждение передачи; формирование бита четности; контроль информации на четность.

Микросхема состоит из следующих основных блоков: блоков усилителей; блока управления усилителями; блока формирования бита четности и контроля информации на четность.

Условное графическое обозначение микросхемы приведено на рис. 8.17, назначение выводов — в табл. 8.21, структурная схема показана на рис. 8.18, таблица истинности — в табл. 8.22.

Функционирование микросхемы разрешает сигнал низкого уровня на входе CS .

С помощью входов $CH/F1$, $CH/F2$ задаются следующие режимы работы микросхемы:

1) $CH/F1-CH/F2-0$. Информация, пришедшая с любого канала, контролируется на четность.

В случае возникновения ошибки формируется сигнал низкого уровня на выходе ER . Этот сигнал сохраняется до тех пор, пока сохраняется информация. Бит четности при этом передается без изменения;

2) $CH/F1-0$, $CH/F2-1$. Информация, прошедшая по каналу $K1$, контролируется на четность, и формируется сигнал бита четности $BIT2$;

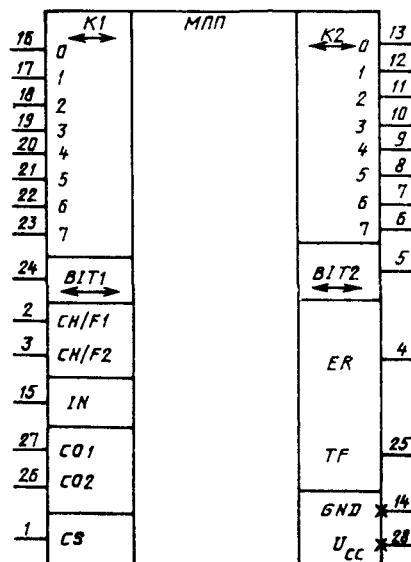


Рис. 8.17. Условное графическое обозначение K588BA1

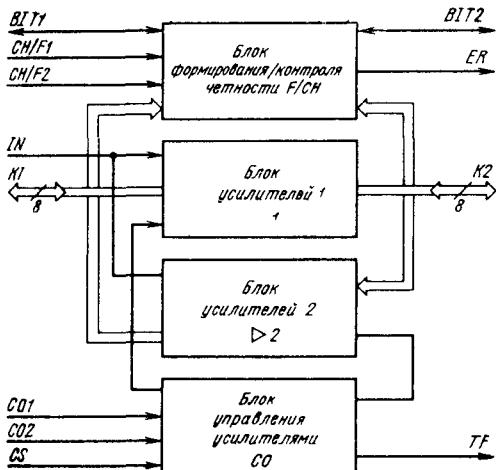


Рис. 8.18. Структурная схема K588BA1

Таблица 8.22

Значения управляющих сигналов			Направление передачи информации
CS	CO1	CO2	
1	X	X	Нет передачи информации, выходы K1, K2 в состоянии «выключено»
0	1	1	K1 → K2
0	0	1	K2 → K1
0	1	0	Не определено, выходы K1, K2 в состоянии «выключено»
0	0	0	

Примечание X — состояние входа безразлично

Таблица 8.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	CS	Вход	Выборка кристалла
2	CH/F1	Вход	Управление контролем/формированием четности 1 канала K1
3	CH/E2	Вход	Управление контролем/формированием четности 2 канала K2
4	ER	Выход	Сигнал «Ошибка»
5	BIT2	Вход/выход	Бит четности канала K2
6—13	K2(7) — K2(0)	Входы/выходы	Разряды 7—0 канала K2
14	GND	—	Общий
15	IN	Вход	Управление прямой/инверсной передачей
16—23	K1(0) — K1(7)	Входы/выходы	Разряды 0—7 канала K2
24	BIT1	Вход/выход	Бит четности канала K1
25	TF	Выход	Сигнал «Передача выполнена»
26	CO2	Вход	Управление передачей из канала K2 в канал K1
27	CO1	Вход	Управление передачей из канала K1 в канал K2
28	U _{CC}	—	Напряжение питания

Примечание. K1(0) — K1(7) — двухнаправленный информационный канал K1; K2(0) — K2(7) — двухнаправленный информационный канал K2.

Таблица 8.23

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Выходной ток низкого уровня в состоянии «выключено» при $U_{CC} = -5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, мкА	I_{IL}	300
Выходной ток низкого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, мА	I_{OL}	(8,5)
Выходной ток высокого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,4 \text{ В}$, мА	I_{OH}	(-0,5)
Ток потребления при $U_{CC} = 5 \text{ В} \pm 5\%$ и $U_{IH} = U_{CC} - 0,4 \text{ В}$, мкА	I_{CC}	80
Ток утечки низкого уровня на входе при $U_{CC} = 5 \text{ В} \pm 5\%$ и $U_{IH} = 0,8 \text{ В}$, мкА	I_{LIL}	5,0
Ток утечки высокого уровня на входе при $U_{CC} = 5 \text{ В} \pm 5\%$ и $U_{IH} = U_{CC} - 0,8 \text{ В}$, мкА	I_{LIH}	5,0
Время передачи информации в канале при $R_L = 620 \text{ Ом} \pm 5\%$, $C_L \leq 100 \text{ пФ}$, $U_{CC} = -5 \text{ В} \pm 5\%$, $U_{IL} = 0,4 \text{ В}$, $U_{IH} = U_{CC} - 0,4 \text{ Н}$, нс	$t_{(K2-K1)}$, $t_{(K1-K2)}$	80

3) $CH/F1-1$, $CH/F2-0$. Информация, поступающая по каналу $K2$, контролируется на четность, и формируется сигнал бита четности $BIT1$;

4) $CH/F1-CH/F2-1$. Для информации, поступающей по любому каналу, формируется соответствующий бит четности. Передача информации из канала $K1$ в канал $K2$ и из канала $K2$ в канал $K1$ управляется сигналами $CO1$, $CO2$. Если на входе $CO1$ формируется низкий уровень, а на входе $CO2$ — высокий, то информация передается из канала $K1$ в канал $K2$.

Если на входе $C1$ формируется высокий уровень, а на входе $CO2$ — низкий, то информация передается из канала $K2$ в канал $K1$.

При одновременной установке $CO1$ и $CO2$ в состояние низкого уровня ие гарантируется односторонняя передача информации. При формировании бита четности обеспечивается нечетное число высоких уровней из девяти выходов (восемь — канала и одного бита четности). По такому же принципу проводится контроль информации на четность.

Состояние низкого уровня на выходе TF сигнализирует о завершении подачи информации. Если на входе IN установлен высокий уровень, то информация при передаче не изменяется. Если на входе IN низкий уровень, то информация при передаче инвертируется.

Если на входах $CO1$ и $CO2$ установлены высокий уровень, то выходы $K1(0)$ — $K1(7)$ и

$K2(0)$ — $K2(7)$ переводятся в состояние «выключено». Последовательность подачи сигналов CS , $CO1$, $CO2$ не регламентируется.

Все функции микросхемы выполняются под управлением внешних сигналов синхронизации.

Основные параметры микросхемы K588BA1 приведены в табл. 8.23.

8.6. Микросхема K588ИР1

Микросхема K588ИР1 — многофункциональный буферный регистр, предназначен для применения в аппарате с жестко ограниченным энергопотреблением и массогабаритными характеристиками.

Микросхема выполняет следующие функции: запись байта; считывание байта с инверсией или без инверсии; формирование бита четности; контроль информации на четность.

Условное графическое обозначение микросхемы приведено на рис. 8.19, назначение выводов — в табл. 8.24, структурия схема показана на рис. 8.20, временная диаграмма работы — на рис. 8.21.

Микросхема состоит из следующих основных блоков: 8-разрядного регистра; блока формирования бита четности и контроля информации на четность; блока управления записью — считыванием информации; блока формирователей 8×1 .

Таблица 8.24

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1	\overline{CH}/F	Вход	Контроль/формирование бита четности
2	\overline{CS}	Вход	Выборка кристалла
3	\overline{WR}	Вход	Сигнал «Запись»
4	\overline{RD}	Вход	Сигнал «Чтение»
5	\overline{CLR}	Вход	Сигнал «Сброс»
6—13	$K1(0)$ — $K1(7)$	Входы	Разряды 0—7 канала $K1$
14	GND	—	Общий
15	\overline{IN}	Вход	Сигнал «Инверсия»
16—23	$K2(7)$ — $K2(0)$	Выходы	Разряды 7—0 канала $K2$
24	BIT	Вход/выход	Дополнение числа единиц в девяти разрядах до нечетного числа
25	\overline{RDI}	Выход	Сигнал «Чтение выполнено»
26	$\overline{WR1}$	Выход	Сигнал «Запись выполнена»
27	\overline{ER}	Выход	Сигнал «Ошибка»
28	U_{CC}	—	Напряжение питания

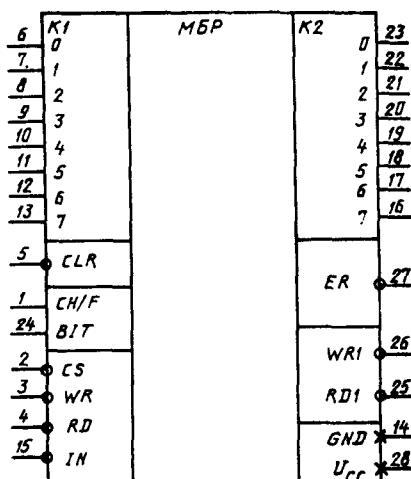


Рис. 8.19. Условное графическое обозначение K588ИР1

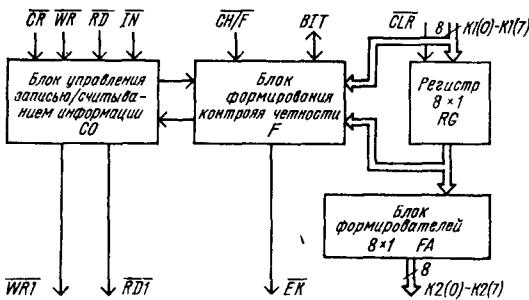
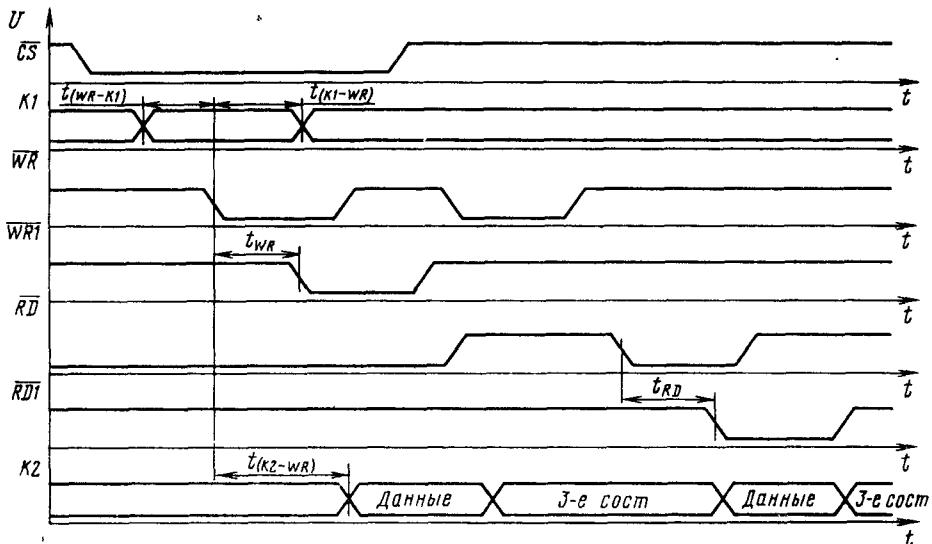


Рис. 8.20. Структурная схема K588IP1

Рис. 8.21. Временная диаграмма работы K588IP1:

$t_{(K_2-WR)}$ — время передачи информации из канала K_1 в канал K_2 по сигналу «Запись»;
 $t_{(K_1-WR)}$ — время удержания информации в канале K_1 до сигнала «Запись»; $t_{(WR-K_1)}$ — время удержания информации в канале K_1 после сигнала «Запись»



Микросхема работает в двух режимах формирования и контроля четности.

Функционирование микросхемы разрешается наличием сигнала низкого уровня на входе CS . Считывание информации производится независимо от сигнала CS . При сигнале CS высокого уровня выход $WR1$ находится в состоянии «отключено».

Запись информации происходит по отрицательному фронту сигнала WR . Если в режиме контроля обнаруживается ошибка по четности принимаемой информации, то запись не производится и сигнал $WR1$ не формируется, формируется сигнал низкого уровня на выходе ER .

Чтение информации происходит независимо от сигналов WR и CS . В случае, когда на выходе RD сигнал высокого уровня, выходы $K2(0)$ — $K2(7)$ устанавливаются в состояние «выключено».

Сигнал ER сохраняется равным низкому уровню в случае возникновения ошибки в режиме контроля до тех пор, пока на входах $K1(0)$ — $K1(7)$ и BIT сохраняется информация, вызывающая указанную ошибку.

В режиме контроля четности сигнал RD должен иметь высокий уровень.

Наличие на входе IN сигнала низкого уровня вызывает инверсию считываемой информации.

Все функции микросхема выполняет под управлением внешних сигналов синхронизации.

Основные параметры микросхемы K588IP1 приведены в табл. 8.25.

Таблица 8.25

Параметр	Обозначение	Значения параметров [макс. мин.]
Выходное напряжение низкого уровня при $U_{CC}=5$ В $\pm 5\%$, $I_{OL}=0,8$ мА, $U_{IH}=U_{CC}-0,8$ В, $U_{IL}=0,8$ В, В	U_{OL}	0,4 0,4

Окончание табл. 8.25

Параметр	Обозна- чение	Значения параметров (макс., мин.)
Выходное напряжение высокого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $I_{OH}=0,4 \text{ мА}$; $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $U_{OL}=0,8 \text{ В}$, В	U_{OH}	$(3,7)$ $(3,7)$
Выходной ток низкого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{OL}=0,4 \text{ В}$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,8 \text{ В}$, мА	U_{OL}	$(1,0)$ $(0,8)$
Выходной ток высокого уровня при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{OH}=U_{CC}-0,4 \text{ В}$, мА	I_{OH}	$(-0,6)$ $(-0,4)$
Ток потребления при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,4 \text{ В}$, мкА	I_{CC}	80 100
Ток утечки высокого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,8 \text{ В}$, мкА	I_{LIH}	15 30
Выходной ток низкого уровня в состоянии «выключено» при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, $U_{IH}=U_{CC}-0,8 \text{ В}$, $U_{OL}=U_{CC}-0,8 \text{ В}$, мкА	I_{OZL}	300 500
Ток утечки низкого уровня на входе при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IL}=0,8 \text{ В}$, мкА	I_{LIL}	-15 -30
Время записи информации при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,4 \text{ В}$, $U_{IL}=0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	t_{WR}	80 100
Время считывания информации при $U_{CC}=5 \text{ В} \pm 5\%$, $U_{IH}=U_{CC}-0,4 \text{ В}$, $U_{IL}=-0,4 \text{ В}$, $C_L \leq 100 \text{ пФ}$, нс	t_{RD}	120 150

Примечание. Значения параметров, указанные в числителе дроби, соответствуют температуре окружающей среды $+25^\circ\text{C}$, в знаменателе — диапазону температур от -10 до $+70^\circ\text{C}$.

8.7. Микросхема K588BГ2

Микросхема K588BГ2 — контроллер запоминающего устройства (КЗУ), предназначенный для согласования интерфейса полупроводникового оперативного или постоянного запомина-

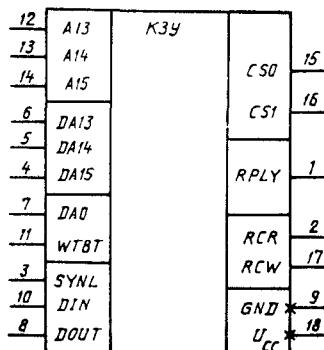


Рис. 8.22. Условное графическое обозначение K588BГ2

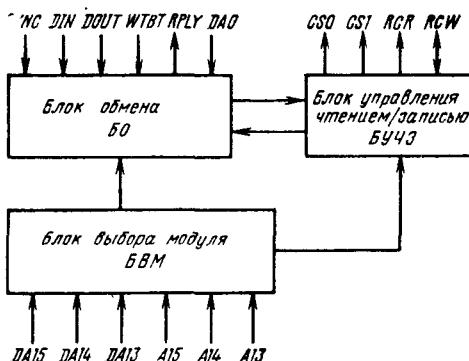


Рис. 8.23. Структурная схема K588BГ2

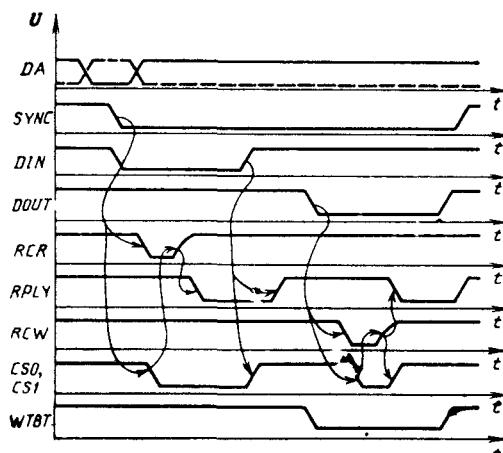


Рис. 8.24. Временная диаграмма цикла ввод/модификация/вывод микросхемы K588BГ2

Таблица 8.26

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1	<i>RPLY</i>	Выход	Ответ устройства
2	<i>RCR</i>	Вход/выход	Задержка при чтении
3	<i>SYNC</i>	Вход	Синхронизация обмена
4—7	<i>DA15, D413, DA0</i>	Входы	Разряды 15—13, 0 шины адреса данных <i>DA</i>
8	<i>DOUT</i>	Вход	Управление записью данных
9	<i>GND</i>	—	Общий
10	<i>DIN</i>	Вход	Управление чтением данных
11	<i>WTBT</i>	Вход	Управление запись/байт
12—14	<i>A13—A15</i>	Входы	Разряды 13—15 адреса
15	<i>CS0</i>	Выход	Выборка кристалла для младшего байта
16	<i>CS1</i>	Выход	Выборка кристалла для старшего байта
17	<i>RCW</i>	Вход/выход	Задержка при записи
18	<i>Ucc</i>	—	Напряжение питания

ющего устройства (ЗУ) с интерфейсом микроЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 8.22, назначение выводов — в табл. 8.26, структурная схема показана на рис. 8.23.

Таблица 8.27

Значения сигналов					Операция
<i>SYNC</i>	<i>WTBT</i>	<i>DA0</i>	<i>CS0</i>	<i>CS1</i>	
0	1	X	0	0	Считывание или считывание/запись слова <i>DA0—DA15</i>
0	0	0	0	1	Запись в младший байт <i>DA0—DA15</i>
0	0	1	1	0	Запись в старший байт <i>DA8—DA15</i>
1	X	X	1	1	Нет выборки ЗУ

Примечание X — состояние входа безразлично.

Микросхема включает в себя следующие основные блоки: блок обмена (БО); блок управления чтением/записью (БУЧЗ); блок выбора модуля (БВМ).

Выходы *A13—A15* микросхемы при включении в состав конкретного модуля ЗУ соединя-

ются с шиной питания или общей шиной для задания адреса данного модуля.

Выполнение операций в модуле ЗУ разрешается только при совпадении кода старших разрядов шины адреса данных МПИ *DA13—DA15* с кодом, заданным на выводах *A13—A15* КЗУ, входящего в данный модуль.

Сигналы *CS0*, *CS1*, формируемые КЗУ, служат сигналами выборки в модуле КЗУ соответственно младшего и старшего байтов 16-разрядного слова. Значения *CS0* и *CS1* и адресованном КЗУ определяются значениями сигналов *WTBT*, *DA0* в соответствии с требованиями МПИ, изложенными в табл. 8.27.

К выводам *RCR* и *RCW* подключаются резисторы (на шину питания) и конденсаторы (на общую шину), которые определяют задержку выдачи сигнала *RPLY* относительно сигналов, *CS0*, *CS1* при считывании или записи данных в модуле ЗУ. Параметры этих *RC*-цепей должны подбираться в зависимости от быстродействия использованных в модуле микросхем ЗУ таким образом, чтобы при наличии сигнала *D/N-0* сигнал *RPLY-0* не опережал выдачу информации из модуля ЗУ на шину данных микропроцессорной системы, а при наличии сигнала *DOUT-0* гарантировалась запись информации в модуле ЗУ.

Временная диаграмма выполнения цикла ввод/модификация/вывод приведена на рис. 8.24.

Основные параметры микросхемы K588BГ2 приведены в табл. 8.28.

Таблица 8.28

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Выходное напряжение низкого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, $I_{OL} = 0,8 \text{ В}$, В	U_{OL}	$\frac{0,4}{0,4}$
Выходное напряжение высокого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, $I_{OH} = -0,4 \text{ мА}$, В	U_{OH}	$\left(\frac{3,7}{3,7}\right)$
Выходной ток низкого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, $I_{OL} = 0,4 \text{ В}$, мА: по выводам 15, 16	I_{OL}	$\left(\frac{3,2}{2,4}\right)$
по выводу 1		$\left(\frac{5,0}{2,4}\right)$
Выходной ток высокого уровня при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, $I_{OH} = 4,1 \text{ В}$, мА	I_{OH}	$\left(\frac{-1,0}{-0,8}\right)$
Ток утечки низкого уровня на входе при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IL} = 0,8 \text{ В}$, мкА	I_{LIL}	$\frac{-5}{-15}$
Ток утечки высокого уровня на входе при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IH} = U_{CC} - 0,8 \text{ мкА}$	I_{LIH}	$\frac{5}{15}$
Ток потребления при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IH} = U_{CC} - 0,4 \text{ В}$, мА	I_{CC}	$\frac{0,2}{1,0}$
Время задержки распространения сигнала CS по входу $SYNC$ — выходу CS при $U_{CC} = 5 \text{ В} \pm 5\%$, $U_{IH} = U_{CC} - 0,8 \text{ В}$, $U_{IL} = 0,8 \text{ В}$, нс	$t_P (CS-SYNC)$	$\frac{200}{250}$

Примечание. Значения параметров, указанные в числителе дроби, соответствуют температуре окружающей среды $+25^{\circ}\text{C}$, в знаменателе — диапазону температур от -10 до $+70^{\circ}\text{C}$.

8.8. Микросхема K588BT1

Микросхема K588BT1 — селектор адреса, предназначена для применения в цифровой аппаратуре с жестко ограниченным энергопотреблением и массогабаритными характеристиками.

Микросхема используется в микропроцессорной системе с унифицированным интерфейсом и выполняет следующие функции:

выбор регистра внешнего устройства;
управление чтением регистра внешнего
устройства:

управление записью в регистр вида инициализирующего устройства слова;

управление записью в регистр внешнего устройства старшего байта;

управление записью в регистр вида инициализированного устройства младшего байта.

Условное графическое обозначение микросхемы приведено на рис. 8.25, назначение выводов — в табл. 8.29, структурная схема показана на рис. 8.26, временная диаграмма работы — на рис. 8.27.

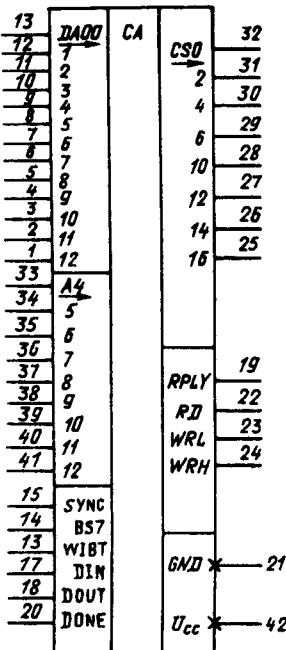


Рис. 8.25. Условное графическое обозначение
К588ВТ1

Таблица 8.29

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—13	$DA12—DA0$	Входы	Разряды 12—0 адреса/данных
14	$\overline{BS7}$	Вход	Управление выборкой внешнего устройства
15	\overline{SYNC}	Вход	Синхронизация обмена
16	\overline{WTBT}	Вход	Управление запись/байт
17	\overline{DIN}	Вход	Управление чтением данных
18	\overline{DOUT}	Вход	Управление записью данных
19	\overline{RPLY}	Выход	Ответ устройства
20	\overline{DONE}	Вход	Готовность устройства
21	GND	—	Общий
22	\overline{RD}	Выход	Чтение для внешнего устройства
23	\overline{WRL}	Выход	Сигнал записи младшего байта
24	\overline{WRH}	Выход	Сигнал записи старшего байта
25—32	$\overline{CS16}, \overline{CS14},$ $\overline{CS12}, \overline{CS10},$ $\overline{CS6}, \overline{CS4},$ $\overline{CS2}, \overline{CS0}$	Выходы	Выборка внешнего устройства
33—41	$A4—A12$	Входы	Разряды 4—12 адреса
42	U_{cc}	—	Напряжение питания

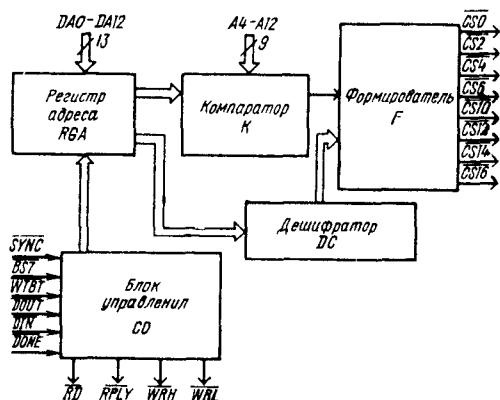


Рис. 8.26. Структурная схема K588BT1

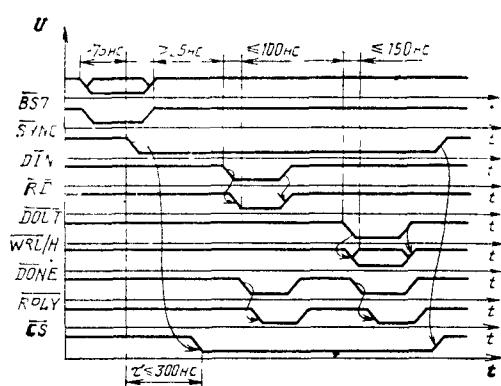


Рис. 8.27. Временная диаграмма работы K588BT1

Таблица 8.30

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Ток утечки низкого уровня на входе при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,8$ В, мкА	I_{LIL}	$\frac{-15}{-30}$
Ток утечки высокого уровня на входе при $U_{CC}=5$ В $\pm 5\%$, $U_{IH}=4,7$ В, мкА	I_{LIH}	$\frac{15}{30}$
Выходной ток низкого уровня при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{OL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, мА	I_{OL}	$(\frac{0,8}{0,8})$
Выходной ток высокого уровня при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,4$ В, $U_{IH}=U_{CC}-0,4$ В, $U_{OH}=4,1$ В, мА	I_{OH}	$(\frac{-0,4}{-0,4})$
Ток потребления при $U_{CC}=5$ В $\pm 5\%$, $U_{IH}=5,1$ В, мкА	I_{CC}	$\frac{400}{500}$
Ток утечки низкого уровня на выходе в состоянии «выключено» при $U_{CC}=5$ В $\pm 5\%$, $U_{IL}=0,8$ В, $U_{IH}=4,6$ В, $U_{OL}=0,8$ В, мА	I_{LOLZ}	$\frac{-0,5}{-0,7}$
Время задержки установки сигнала \overline{CS} относительно сигнала \overline{SYNC} при $U_{CC}=5$ В $\pm 5\%$, $U_{IH}=4,6$ В, $U_{IL}=0,4$ В, $C_L \leq 100$ пФ, нс	$t_{CS(\overline{CS}-\overline{SYNC})}$	$\frac{200}{300}$
Время задержки установления сигнала \overline{RD} относительно сигнала \overline{DIN} при $U_{CC}=5$ В $\pm 5\%$, $U_{IH}=4,6$ В, $U_{IL}=0,4$ В, $C_L \leq 100$ пФ, нс	$t_{P(\overline{RD}-\overline{DIN})}$	$\frac{100}{150}$
Время задержки установления сигналов \overline{WRL} , \overline{WRH} относительно сигнала \overline{DOUT} при $U_{CC}=5$ В $\pm 5\%$, $U_{IH}=4,6$ В, $U_{IL}=0,4$ В, $C_L \leq 100$ пФ, нс	$t_{P(\overline{WRL}, \overline{WRH}-\overline{DOUT})}$	$\frac{150}{200}$

Примечание. Значения параметров, указанные в числителе дроби, соответствуют температуре окружающей среды $+25^{\circ}\text{C}$, в знаменателе — диапазону температур от -10 до $+70^{\circ}\text{C}$.

Микросхема содержит 13-разрядный регистр адреса RG_A ; 9-разрядный компаратор K ; 8-разрядный дешифратор DC ; блок управления CO ; блок формирователей F .

Работа селектора адреса поясняется временной диаграммой выполнения цикла ввод/модификация/вывод (рис. 8.27).

Электрические параметры микросхемы K588BT1 приведены в табл. 8.30.

бо ПЗУ, ППЗУ). Микросхемы K588BV2 с номерами кодировок с 0001 по 0005 предназначены для построения процессора, представленного на рис. 8.15. Его система команд соответствует системе команд микро-ЭВМ «Электроника-60» и включает команды расширенной арифметики MUL , DIV , ASH , $ASHC$. Время выполнения операций типа $ADD R1, R2$, не превышает 4 мкс, типа $MUL R1, R2$ — 50 мкс. Потребляемая мощность не более 150 мВт.

На рис. 8.28 представлена схема процессора с аппаратной реализацией команды умножения. В его состав входят следующие микросхемы: K588BC2, K588BV2 (0001, 0002, 0004, 0006, 0007), K588BP2, K588BT1, K588BA1, K588BT1. Время выполнения команды $MUL R1, R2$ не более 12 мкс.

Схема блока ОЗУ для микро-ЭВМ с унифицированным интерфейсом представлена на рис. 8.29. В его состав входят следующие микросхемы: K588BG2, K588BA1, K588IP1, K537РУ14. Время цикла ОЗУ не превышает 500 нс, потребляемая мощность 150 мВт.

8.9. Рекомендации по применению

Микропроцессорный комплект серии K588 благодаря модульности структуры, гибкости системы синхронизации, микропрограммируемости позволяет создавать на его основе эффективные средства обработки цифровой информации с произвольными системой команд и структурой от простейших автоматов до микро- и мини-ЭВМ.

Систему команд устройства обработки определяет информационное содержание управляемой памяти микропрограмм (K588BV2 ли-

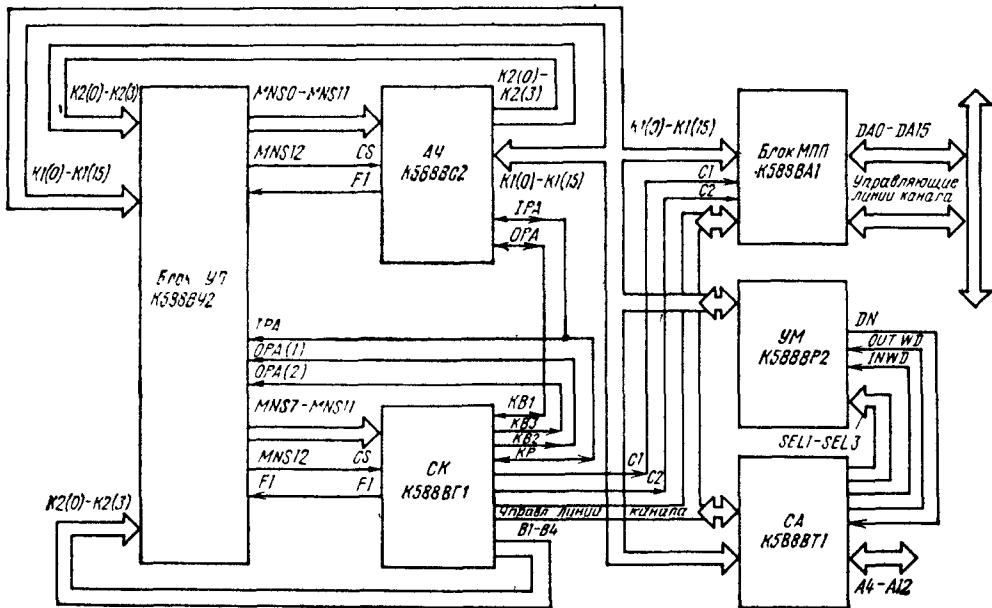


Рис. 8.28. Схема процессора на микросхемах K588BC2, K588BY2, K588BP2, K588BG1, K588BA1, K588BT1

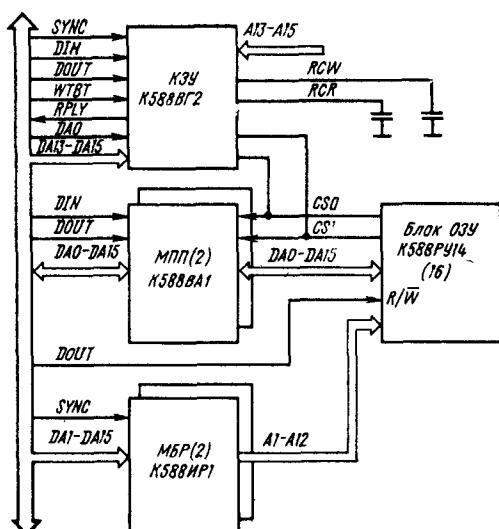


Рис. 8.29. Схема оперативного запоминающего устройства на микросхемах K588BG2, K588BA1, K588IP1, K537PY14

Глава 9

Микропроцессорный комплект серии К589

Микропроцессорный комплект серии К589 состоит из процессорных, запоминающих и интерфейсных микросхем, предназначен для построения быстродействующих контроллеров различной организации с частотой выдачи управляющих сигналов до 10 МГц, микро- и мили-ЭВМ различного назначения с быстродейств-

ием вычисления операций типа регистр-регистр до 1 млн./с, измерительных систем, систем числового программного управления стакками, систем обработки данных.

Микросхемы серии К589 выполнены на основе ТТЛ с диодами Шоттки (ТТЛШ). Они совместимы со всеми серийными ТТЛ-схемами

Таблица 9.1

Параметр	K589ИК02	K589ИК03	K589ИК01	K589ИК14	K589ИР12	K589АП16	K589АП26	K589ХЛ4
Напряжение питания, В	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25	5±0,25
Ток потребления, мА	145	95	170	90	90	95	95	95
Разрядность	2	8	9	8	8	4	4	4
Выходное напряжение лог. 1, В	2,4	2,4	2,4	2,4	3,65	3,65	3,65	2,4
Выходное напряжение лог. 0, В	0,5	0,5	0,5	0,5	0,5	0,4	0,4	0,5
Длительность цикла, нс	100	—	80	80	—	—	—	—
Время группового переноса, нс	—	10	—	—	—	—	—	—
Время сквозного переноса, нс	—	13	—	—	—	—	—	—
Время установления информации, нс	—	—	—	—	15	—	—	—
Время сохранения информации, нс	—	—	—	—	20	—	—	—
Время задержки распространения информации, нс	—	—	—	—	—	30	25	40
Тип корпуса	2121.28-1	2121.28-1	2123.40-1	239.24-2	239.24-2	238.16-2	238.16-2	238.16-2

(серий К155, К555 и др.), имеют одно напряжение питания 5 В ±5%, конструктивно выполнены в корпусах с двухрядовым вертикальным расположением выводов.

В состав серии микропроцессорного комплекта входят микросхемы:

K589ИК02 — центральный процессорный элемент (ЦПЭ);

K589ИК03 — схема ускоренного переноса (СУП);

K589ИК01 — блок микропрограммного управления (БМУ);

K589ИК14 — блок приоритетного прерывания (БПП);

K589ИР12 — многорежимный буферный регистр (МБР);

K589АП16 — шинный формирователь (ШФ);

K589АП26 — шинный формирователь с инверсией (ШФИ);

K589ХЛ4 — многофункциональное синхронизирующее устройство (МСУ).

Общие технические характеристики серии приведены в табл. 9.1.

При описании каждой схемы серии K589 в таблицах динамических параметров времена задержек распространения указаны при рези-

стивной нагрузке, соответствующей выходному току высокого и низкого уровня и емкостной нагрузке 30 пФ.

9.1. Микросхема K589ИК02

Микросхема K589ИК02 — центральный процессорный элемент (ЦПЭ), представляет собой 2-разрядную микропроцессорную секцию, которая:

выполняет арифметические операции в двоичном дополнительном коде;

выполняет логические функции И, ИЛИ, НЕ и исключающее ИЛИ;

выполняет положительное и отрицательное приращения;

выполняет сдвиг влево и вправо;

выполняет проверку слова, части слова или одного разряда на 0;

вырабатывает сигналы ускоренного переноса;

обладает возможностью наращивания разрядности;

имеет три типа шин входных данных, два типа шин выходных данных с тремя устойчивыми состояниями;

имеет 40 типов микрокоманд.

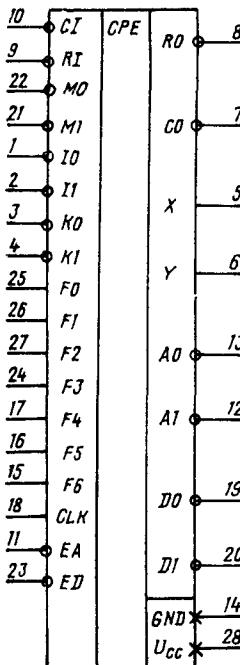


Таблица 9.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 2	<i>I₀, I₁</i>	Входы	Внешняя шина
3, 4	<i>K₀, K₁</i>	Входы	Маскирующая шина
5, 6	<i>X, Y</i>	Выходы	Ускоренный перенос
7	<i>CO</i>	Выход	Перенос
8	<i>RO</i>	Выход	Сдвиг вправо
9	<i>RI</i>	Вход	Сдвиг вправо
10	<i>CI</i>	Вход	Перенос
11	<i>EA</i>	Выход	Разрешение адреса
12, 13	<i>A₁, A₀</i>	Выход	Адреса памяти
14	<i>GND</i>	—	Общий
15—17	<i>F₆—F₄</i>	Входы	Коды микрокоманд
24—27	<i>F₃, F₀—F₂</i>	Вход	Синхронизация
18	<i>CLK</i>	Входы	Информация
19, 20	<i>D₀, D₁</i>	Входы	Информация
21, 22	<i>M₁, M₀</i>	Входы	Разрешение данных
23	<i>ED</i>	Вход	Напряжение питания
20	<i>U_{cc}</i>	—	
14	<i>GND</i>		
28	<i>U_{cc}</i>		

Причесания. 1. На выводах *X*, *Y*, *F₀—F₆* выходная и входная информация представляется в прямом коде, на остальных выводах — в обратном.

2. Выводы 5, 6 имеют два состояния, выводы 7, 8, 12, 13, 19, 20 — три состояния

Рис. 9.1. Условное графическое обозначение K589IK02

Микросхема содержит 11 регистров общего назначения и один накопительный регистр, не зависящий от адреса ЗУ, однотактную схему синхронизации.

Условное графическое обозначение микросхемы приведено на рис. 9.1, назначение выводов — в табл. 9.2, структурная схема показана на рис. 9.2, временная диаграмма работы — на рис. 9.3.

Микросхема выполняет арифметические, логические, регистровые функции 2-разрядного микропрограммируемого центрального процессора. Данные от внешних источников (таких, как главная память, внешние устройства и т. п.) поступают в ЦПЭ по одной из трех входныхшин. Данные от ЦПЭ передаются на внешние устройства по одной из двух выходныхшин. Внутри ЦПЭ данные хранятся в одном из 11 регистров сверхоперативного ЗУ (СОЗУ) или в аккумуляторе. Данные от входныхшин, из регистров и аккумулятора поступают в арифметико-логическое устройство (АЛУ) через два внутренних мультиплексора *A* и *B*. Дополнительные входы и выходы служат для обеспечения распространения переноса, сдвигов и выбора микрокоманды.

Семь линий входной шины микрокоманд (*F₀—F₆*) декодируются внутри ЦПЭ для выборки функций АЛУ, выработки адреса СОЗУ и управления мультиплексорами *A* и *B*.

Входная шина *M* предназначена для передачи данных из внешней главной памяти в ЦПЭ. Данные с шины *M* поступают через внутренний мультиплексор на вход АЛУ. Входная шина *I* предназначена для передачи дан-

ных от внешних систем ввода/вывода в ЦПЭ. Данные с шины *I* поступают также на вход АЛУ через мультиплексор, но независимо от шины *M*. Разделение на две шины обеспечивает относительно малую загрузку шин памяти даже в том случае, если к шине *I* подключено большое число устройств ввода/вывода.

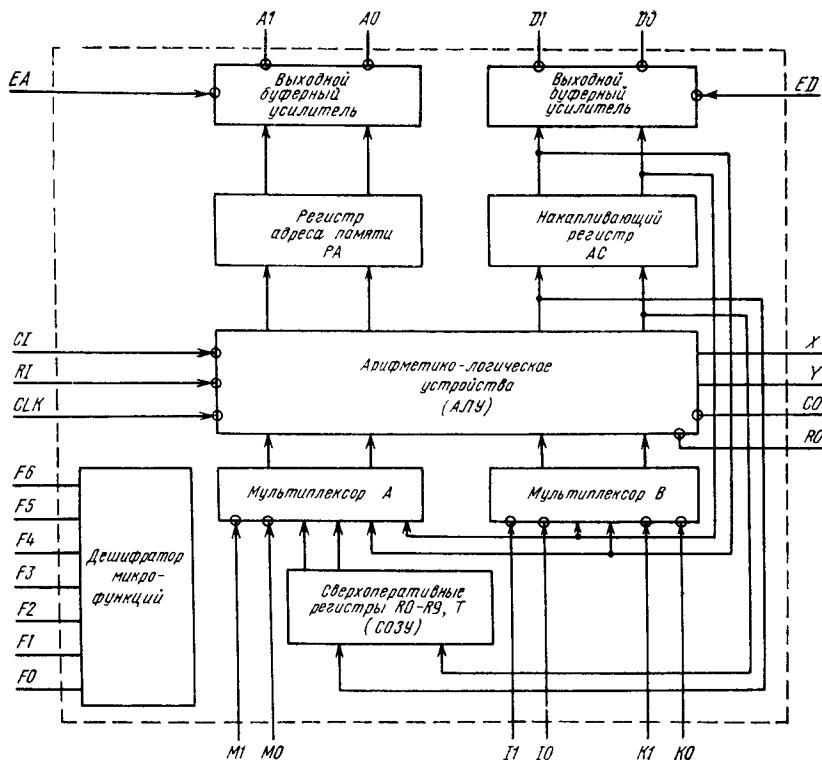
При другом варианте использования шины входы *I* могут быть соединены внешним монтажом с одной из выходных шин для получения операции сдвига на несколько разрядов (например, на байт). В этом случае устройства ввода/вывода коммутируются внешними схемами на входы *M*.

Сверхоперативное ЗУ содержит 11 регистров (*R₀—R₉* и *T*). Данные с выхода СОЗУ поступают через внутренний мультиплексор на вход АЛУ, а с выхода АЛУ, в свою очередь, на вход СОЗУ.

Для запоминания результата операции АЛУ в ЦПЭ имеется независимый регистр *AC* — аккумулятор. Выход аккумулятора связан через внутренний мультиплексор со входом АЛУ; кроме того, выход аккумулятора подключен к выходному буферному каскаду (на три состояния) для выдачи на выходную шину *D*. Обычно шина *D* используется для передачи данных во внешнюю главную память или внешние устройства ввода/вывода.

Мультиплексоры *A* и *B* выбирают данные для двух входов АЛУ в зависимости от данных на шине микрокоманд. На входы мультиплексора *A* подаются данные шины *M*, выход СОЗУ и аккумулятор, на входы мультиплексора *B* — данные шины *I*, аккумулятор и данные

Рис. 9.2.
Структурная схема
K589ИК02



шины K . Данные на выбранном входе мультиплексора B всегда логически умножаются на содержимое соответствующего входа K для обеспечения гибкого маскирования и возможности проверки разрядов.

Арифметико-логическое устройство способно выполнять арифметические и логические операции, включая двоичное сложение в дополнительном коде, прибавление и вычитание, поразрядное логическое сложение и умножение, поразрядное исключающее ИЛИ—НЕ и поразрядное логическое дополнение. Результат операции АЛУ может быть записан в аккумулятор или в один из регистров СОЗУ. Для выполнения операции сдвига вправо выведены отдельные шины «Вход сдвига вправо» (RI) и «Выход сдвига вправо» (RO). Линии входа и выхода переноса (CI и CO) предназначены для обеспечения нормального распространения последовательного переноса. Данные на выходы CO и RO поступают через два буферных усилителя (на три состояния каждый), причем разрешается выдача либо только на CO , либо только на RO . Кроме того, стандартные выходы для схем ускоренного переноса X и Y позволяют получить ускоренный перенос для произвольной длины слова.

Возможность маскировать входы АЛУ при помощи шины K значительно увеличивает

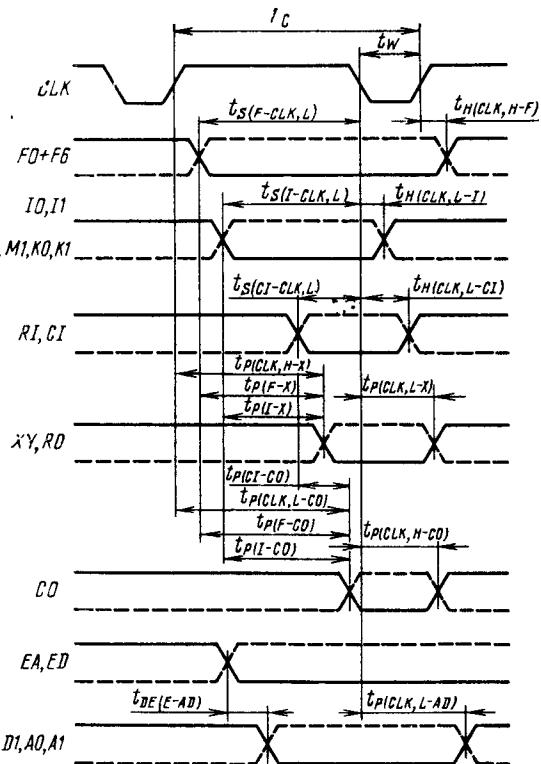


Рис. 9.3. Временная диаграмма работы K589ИК02

Таблица 9.3

Группа функций	Состояние входов			Группа функций	Состояние входов		
	F6	F5	F4		F6	F5	F4
0	0	0	0	4	1	0	0
1	0	0	1	5	1	0	1
2	0	1	0	6	1	1	0
3	0	1	1	7	1	1	1

универсальность АЛУ. При неарифметических операциях схемы переноса используются для получения логической сборки ИЛИ всех разрядов слова с целью анализа на 0 результата операции или одного из регистров (например, микрокоманды *ANR*, *ORR*).

Таким образом, ЦПЭ обеспечивает гибкую проверку содержимого разрядов. Шина *K* используется также при арифметических операциях для маскирования частей обрабатываемых полей. Дополнительной функцией шины *K* является передача констант из микропрограмм в ЦПЭ.

Состояния на выходах *X* и *Y* формируются в соответствии со следующим правилом: если обозначить информацию, поступающую на вход АЛУ с мультиплексора *A*, как *a1*, *a0*, а с мультиплексора *B* как *b1*, *b0*, то в группах функций 0, 1, 2, 3 (описываются ниже) уравнения для *X* и *Y* примут вид (с учетом того, что операция инвертирования происходит в мультиплексорах):

$$X = a1 \cdot b1 \vee a0 \cdot b0,$$

$$Y = a1 \cdot b1 \vee (a1 \vee b1) (a0 \vee b0).$$

В группах функций 4, 5, 6, 7 $Y=1$, а *X* определяется из сравнения с нулем результата логической операции, причем $X=0$, если результат логической операции равен нулю.

Таблица 9.4

Группа регистра	Обозначение регистра	Состояние входов				Группа регистра	Обозначение регистра	Состояние входов			
		F3	F2	F1	F0			F3	F2	F1	F0
1	<i>R0</i>	0	0	0	0	<i>R9</i>	1	0	0	1	
	<i>R1</i>	0	0	0	1		<i>T</i>	1	1	0	0
	<i>R2</i>	0	0	1	0		<i>AC</i>	1	1	0	1
	<i>R3</i>	0	0	1	1						
	<i>R4</i>	0	1	0	0	2	<i>T</i>	1	0	1	0
	<i>R5</i>	0	1	0	1		<i>AC</i>	1	0	1	1
	<i>R6</i>	0	1	1	0						
	<i>R7</i>	0	1	1	1	3	<i>T</i>	1	1	1	0
	<i>R8</i>	1	0	0	0		<i>AC</i>	1	1	1	1

Таблица 9.5

F-группа	R-группа	Микроинструкция
0	1	$R_n + (AC \wedge K) + CI \rightarrow R_n, AC$
	2	$M + (AC \wedge K) + CI \rightarrow AT$
	3	$AT0 \wedge (I0 \wedge K0) \rightarrow RO,$ $RI \vee [(I1 \wedge K1) \wedge AT1] \rightarrow AT1,$ $[AT0 \wedge (I0 \wedge K0)] \vee [AT1 \vee (I1 \vee K1)] \rightarrow AT0$
1	1	$K \vee R_n \rightarrow PA, R_n + K + CI \rightarrow R_n$
	2	$K \vee M \rightarrow PA, M + K + CI \rightarrow AT$
	3	$(\overline{AT} \vee K) + (AT \wedge K) + CI \rightarrow AT$
2	1	$(AC \wedge K) - 1 + CI \rightarrow R_n$
	2	$(AC \wedge K) - 1 + CI \rightarrow AT$
	3	$(I \wedge K) - 1 + CI \rightarrow AT$
3	1	$R_n + (AC \wedge K) + CI \rightarrow R_n$
	2	$M + (AC \wedge K) + CI \rightarrow AT$
	3	$AT + (I \wedge K) + CI \rightarrow AT$
4	1	$CI \vee (R_n \wedge AC \wedge K) \rightarrow CI,$ $R_n \wedge (AC \wedge K) \rightarrow R_n$
	2	$CI \vee (M \wedge AC \wedge K) \rightarrow CI,$ $M \wedge (AC \wedge K) \rightarrow AT$
	3	$CI \vee (AT \wedge I \wedge K) \rightarrow CO,$ $AT \wedge (I \wedge K) \rightarrow AT$
5	1	$CI \vee (R_n \wedge K) \rightarrow CO, K \wedge R_n \rightarrow R_n$
	2	$CI \vee (M \wedge K) \rightarrow CO, K \wedge M \rightarrow AT$
	3	$CI \vee (AT \wedge K) \rightarrow CO, K \wedge AT \rightarrow AT$
6	1	$CI \vee (AC \wedge K) \rightarrow CO,$ $R_n \vee (AC \wedge K) \rightarrow R_n$
	2	$CI \vee (AC \wedge K) \rightarrow CO,$ $M \vee (AC \wedge K) \rightarrow AT$
	3	$CI \vee (I \wedge K) \rightarrow CO,$ $AT \vee (I \wedge K) \rightarrow AT$
7	1	$CI \vee (R_n \wedge AC \wedge K) \rightarrow CO,$ $R_n \oplus (AC \wedge K) \rightarrow R_n$
	2	$CI \vee (M \wedge AC \wedge K) \rightarrow CO,$ $M \oplus (AC \wedge K) \rightarrow AT$
	3	$CI \vee (AT \wedge I \wedge K) \rightarrow CO,$ $AT \oplus (I \wedge K) \rightarrow AT$

Таблица 9.6

$K=00$	Мнемоника команд	$K=11$	Мнемоника команд
$R_n + CI \rightarrow R_n, AC$ $M + CI \rightarrow AT$ $AT_0 \rightarrow RO, AT_1 \rightarrow AT_0$ $RI \rightarrow AT_1$	ILR ACM SRA	$AC + R_n + CI \rightarrow R_n, AC$ $M + AC + CI \rightarrow AT$ (см. общее описание в табл. 9.5)	ALR AMA —
$R_n \rightarrow PA, R_n + CI \rightarrow R_n$ $M \rightarrow PA, M + CI \rightarrow AT$ $\bar{AT} + CI \rightarrow AT$	LMI LMM CIA	$I \rightarrow PA, R_n - 1 + CI \rightarrow R_n$ $I \rightarrow PA, M - 1 + CI \rightarrow AT$ $AT - 1 + CI \rightarrow AT$	DSM LDM DCA
$CI - 1 \rightarrow R_n$ $CI - 1 \rightarrow AT$ см. CSA	CSR CSA	$AC - 1 + CI \rightarrow R_n$ $AC - 1 + CI \rightarrow AT$ $I - 1 + CI \rightarrow AT$	SDR SDA LDI
$R_n + CI \rightarrow R_n$ см. ACM $AT + CI \rightarrow AT$	INR INA	$AC + R_n + CI \rightarrow R_n$ см. AMA $I + AT + CI \rightarrow AT$	ADR AIA
$CI \rightarrow CO, 0 \rightarrow R_n$ $CI \rightarrow CO, 0 \rightarrow AT$ см. CLA	CLR CLA	$CI \vee (R_n \wedge AC) \rightarrow CO, R_n \wedge AC \rightarrow R_n$ $CI \vee (M \wedge AC) \rightarrow CO, M \wedge AC \rightarrow AT$ $CI \vee (AT \wedge I) \rightarrow CO, AT \wedge I \rightarrow AT$	ANR ANM ANI
см. CLR см. CLA см. CLA		$CI \vee R_n \rightarrow CO, R_n \rightarrow R_n$ $CI \vee M \rightarrow CO, M \rightarrow AT$ $CI \vee AT \rightarrow CO, AT \rightarrow AT$	TZR LTM TZA
$CI \rightarrow CO, R_n \rightarrow R_n$ $CI \rightarrow CO, M \rightarrow AT$ см. NOP	NOP LMF NOP	$CI \vee AC \rightarrow CO, R_n \vee AC \rightarrow R_n$ $CI \vee AC \rightarrow CO, M \vee AC \rightarrow AT$ $CI \vee I \rightarrow CO, I \vee AT \rightarrow AT$	ORR ORM ORI
$CI \rightarrow CO, \bar{R}_n \rightarrow R_n$ $CI \rightarrow CO, \bar{M} \rightarrow AT$ $CI \rightarrow CO, \bar{AT} \rightarrow AT$	CMR LCM CMA	$CI \vee (R_n \wedge AC) \rightarrow CO, R_n \overline{\oplus} AC \rightarrow R_n$ $CI \vee (M \wedge AC) \rightarrow CO, M \overline{\oplus} AC \rightarrow AT$ $CI \vee (AT \wedge I) \rightarrow CO, I \overline{\oplus} AT \rightarrow AT$	XNR XNM XNI

Во всех случаях информация на выходе переноса CO определяется из уравнения $\overline{CO} = \overline{CI} \cdot Y \vee X \cdot Y$.

Отдельный выход АЛУ поступает на регистр адреса памяти (PA) и с него через выходной буферный каскад (на три состояния) — на выходную шину A. Обычно PA и шина A используются для пересылки адресов во внешнюю главную память. Регистр PA и

шина A могут быть использованы также для выборки внешнего устройства при выполнении операции ввода/вывода.

В каждом микроцикле на входы F ЦПЭ поступает микрокоманда. Она декодируется, мультиплексоры выбирают операнды, и АЛУ производит нужную операцию. По отрицательному фронту синхроимпульса результат операции АЛУ либо помещается в аккумулятор,

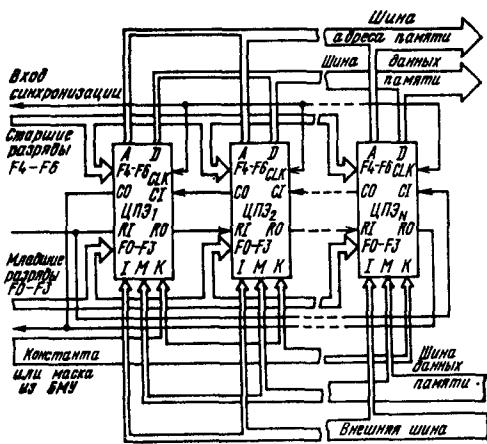


Рис. 9.4. Пример включения нескольких микросхем К589ИК02 для обработки операндов с разрядностью, кратной двум

либо записывается в выбранный регистр СОЗУ. Кроме того, в некоторых операциях результат операции АЛУ записывается в РА. Новая микрокоманда может быть подана толь-

Таблица 9.7

Параметр	Обозна- чение	Значения парамет- ров [мкА (мкА)]
Ток потребления, мА	I_{CC}	190
Входной ток низкого уровня при $U_{IL} = 0,45$ В, мА: для входов $F0-F6, CLK, K0, K1, EA, ED$ для входов $10, 11, RI, M1, MO$ для входа CI	I_{IL}	-0,25
Входной ток высокого уровня при $U_{IH} = 5,25$ В, мкА: для входов $F0-F6, CLK, K0, K1, EA, ED$ для входов $10, 11, RI, M1, MO$ для входа CI	I_{IH}	-1,5
Выходное напряжение низкого уровня, В	U_{OL}	-40
Выходное напряжение высокого уровня, В	U_{OH}	40
Выходной ток низкого уровня в состоянии «выключено» при $U_{oL} = 0,45$ В, мкА	I_{OZL}	60
Выходной ток высокого уровня в состоянии «выключено» при $U_{on} = 5,25$ В, мкА	I_{OZH}	180
		0,5
		(2,4)
		-100
		100

Примечание. Типовое значение тока потребления 145 мА.

ко с положительным фронтом синхроимпульса. При внешнем управлении синхросигналом ЦПЭ синхроимпульс в микроцикле может быть пропущен, и так как схемы переноса, сдвига и ускоренного переноса не синхронизируются, то их выходы в этом такте могут быть использованы для выполнения ряда проверок данных в аккумуляторе и СОЗУ. При операциях в отсутствие синхросигнала содержимое регистров не изменяется.

Содержание выполняемой микрокоманды определяется функциональной (F -группой) и регистровой (R -группой) группами, которые задаются кодом по F -шине. F -группа определяется тремя старшими разрядами данных $F4-F6$, а R -группа — четырьмя младшими разрядами $F0-F3$.

R -группа 1 включает регистры $R0-R9, T, AC$ и обозначается символом R_n . R -группа 2 и R -группа 3 содержат только регистр T и аккумулятор AC ; они обозначаются AT . Форматы и кодировка F - и R -групп приведены в табл. 9.3 и 9.4.

В большинстве случаев установка сигнала на входах шины K в 1 или 0 является соответственно либо выборкой, либо отсутствием выборки аккумулятора в данной микрокоманде. Миемоника микрокоманд включена в каждое описание для справочных целей и может быть использована как язык микроассемблера.

Список микрокоманд ЦПЭ приведен в табл. 9.5. Выполнение микрокоманд для состояний «все 0», «все 1» K шины приведены в табл. 9.6. При описании микрокоманд использовались следующие символы:

I, K, M — данные на шинах I, K, M соответственно;

CI, RI — данные на входе переноса и входе сдвига вправо соответственно;

CO, RO — данные на выходе переноса и выходе сдвига вправо соответственно;

R_n — содержимое регистра, номер которого указан в поле для группы регистров 1 (R -группа 1);

AC — содержимое аккумулятора;

AT — содержимое регистров AC или T , как указано в $F3-F0$, для R -группы 2 и R -группы 3;

PA — содержимое регистра адреса памяти;

$0, 1$ — обозначают младшие и старшие разряды соответственно;

$+, -$ — сложение (вычитание) с использованием дополнительного кода;

\wedge — логическая операция И;

\vee — логическая операция ИЛИ;

\oplus — инверсия исключающего ИЛИ;

\rightarrow — разместить в...;

CIV — логическая операция ИЛИ двоичного разряда CI со словом. 2-й operand считается равным лог. 1, если есть 1 хотя бы в одном разряде, и равным лог. 0, если все разряды равны 0.

В табл. 9.7 приведены статические, а в табл. 9.8 — динамические параметры микросхемы.

Таблица 9.8

Параметр	Обозначение	Значения параметров		
		мнн.	тип.	макс.
Время цикла, нс	T_C	100	70	—
Длительность импульса, нс	t_W	33	20	—
Время установления сигнала на входах относительно сигнала на входе CLK , нс:				
на входах $F0-F6$	$t_S(F-CLK, L)$	60	40	—
на входах $I0, I1, M0, M1, K0, K1$	$t_S(I-CLK, L)$	50	30	—
на входах $R1, CI$	$t_S(CI-CLK, L)$	27	13	—
Время сохранения сигнала на входах относительно сигнала на входе CLK , нс:				
на входах $F0-F6$	$t_H(CLK, H-F)$	5	—2	—
на входах $I0, I1, M0, M1, K0, K1$	$t_H(CLK, L-I)$	5	—4	—
на входах $R1, CI$	$t_H(CLK, L-CI)$	15	2	—
Время задержки распространения сигнала, нс:				
от входов $F0-F6$ до выходов X, Y, RO	$t_P(F-X)$	—	37	52
от входов $I0, I1, M0, M1, K0, K1$ до выходов X, Y, RO	$t_P(I-X)$	—	29	42
от положительного фронта синхроимпульса CLK до выходов X, Y, RO	$t_P(CLK, H-X)$	—	40	60
от отрицательного фронта синхроимпульса CLK до выходов X, Y, RO	$t_P(CLK, L-X)$	20	—	—
от положительного фронта синхроимпульса CLK до выхода CO	$t_P(CLK, H-CO)$	—	48	70
от отрицательного фронта синхроимпульса CLK до выхода CO	$t_P(CLK, L-CO)$	20	—	—
от входов $F0-F6$ до выхода CO	$t_P(F-CO)$	—	43	65
от входов $I0, I1, M0, M1, K0, K1$ до выхода CO	$t_P(I-CO)$	—	30	55
от входа CI до выхода CO	$t_P(CI-CO)$	—	14	25
от отрицательного фронта синхроимпульса CLK до выходов $A0, A1, D0, D1$	$t_P(CLK, L-AD)$	5	32	50
Время задержки перехода от входов EA, ED до выходов $A0, A1, D0, D1$, нс	$t_{DE}(E-AD)$	—	12	25

мы К589ИК02. На рис. 9.4 показан пример наращивания К589ИК02 для обработки операндов с разрядностью, кратной двум.

9.2. Микросхема К589ИК03

Микросхема К589ИК03 выполняет функции схемы ускоренного переноса (СУП), предназначеннной для формирования групповых переносов при совместном использовании с ЦПЭ или любой другой схемой, имеющей выходы предварительного просмотра переноса. Одна схема СУП позволяет организовать 16-разрядный сумматор на ЦПЭ или 32-разрядный на арифметико-логических схемах, имеющих четыре разряда. Она имеет 17 информационных входов, 8 информационных выходов и один управляющий вход, который позволяет управлять выходом самого старшего переноса, переводя его в 3-е состояние.

Условное графическое обозначение микросхемы приведено на рис. 9.5, назначение выводов — в табл. 9.9, структурная схема показана на рис. 9.6, временная диаграмма работы — на рис. 9.7.

Состояние каждого из восьми выходов схемы ускоренного переноса описывается соответствующим логическим уравнением:

$$\bar{C}_{n+1} = X0 \cdot Y0 \vee Y0 \cdot \bar{C}_n;$$

$$\bar{C}_{n+2} = X1 \cdot Y1 \vee Y1 \cdot Y0 \cdot X0 \vee Y1 \cdot Y0 \cdot \bar{C}_n;$$

$$\bar{C}_{n+3} = Y2 \cdot X2 \vee Y2 \cdot Y1 \cdot X1 \vee Y2 \cdot Y1 \cdot Y0 \times X0 \vee Y2 \cdot Y1 \cdot Y0 \cdot \bar{C}_n;$$

$$\begin{aligned} \bar{C}_{n+4} = & Y3 \cdot X3 \vee Y3 \cdot Y2 \cdot X2 \vee Y3 \cdot Y2 \cdot X1 \times \\ & \times X1 \vee Y3 \cdot Y2 \cdot Y1 \cdot Y0 \cdot X0 \vee Y3 \cdot Y2 \times \\ & \times Y1 \cdot Y0 \cdot \bar{C}_n; \end{aligned}$$

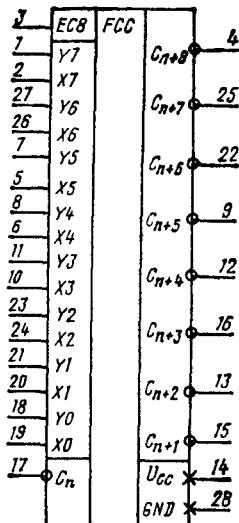


Таблица 99

Вывод	Обозначение	Тип вывода	Функциональное назначение вывода	Код представления информации
1, 2, 5—8, 10, 11, 18—21, 23, 24, 26, 27	X0—X7, Y0—Y7	Входы	Групповые переносы	Прямой
3	EC8	Вход	Разрешение переноса C _{n+8}	Обратный
4 9, 12, 13, 15, 16, 22, 25	C _{n+1} —C _{n+7}	Выход Выходы	Перенос Переносы	Обратный Обратный
14 17 28	U _{cc} C _n GND	Вход —	Напряжение питания Перенос Общий	— — —

Рис. 9.5. Условное графическое обозначение K589ИК03

Примечание Вывод 4 имеет три состояния, выводы 9, 12, 13, 15, 16, 22, 25 — два состояния

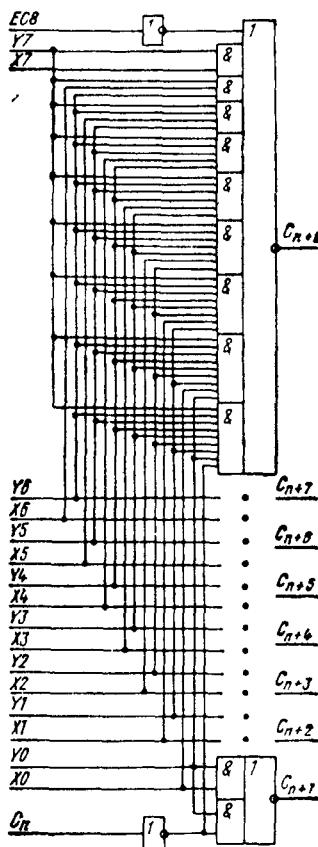


Рис. 9.6. Структурная схема K589ИК03

$$\bar{C}_{n+8} = Y_4 \cdot X_4 \vee Y_4 \cdot Y_3 \cdot X_3 \vee Y_4 \cdot Y_3 \cdot Y_2 \times \\ \times X_2 \vee Y_4 \cdot Y_3 \cdot Y_2 \cdot Y_1 \cdot X_1 \vee Y_4 \times \\ \times Y_3 \cdot Y_2 \cdot Y_1 \cdot Y_0 \cdot X_0 \vee Y_4 \cdot Y_3 \cdot Y_2 \times \\ \times Y_1 \cdot Y_0 \cdot \bar{C}_n;$$

$$\bar{C}_{n+6} = Y_5 \cdot X_5 \vee Y_5 \cdot Y_4 \cdot X_4 \vee Y_5 \cdot Y_4 \cdot Y_3 \times \\ \times X_3 \vee Y_5 \cdot Y_4 \cdot Y_3 \cdot Y_2 \cdot X_2 \vee Y_5 \cdot Y_4 \times \\ \times Y_3 \cdot Y_2 \cdot Y_1 \cdot X_1 \vee Y_5 \cdot Y_4 \cdot Y_3 \cdot Y_2 \times \\ \times Y_1 \cdot Y_0 \cdot X_0 \vee Y_5 \cdot Y_4 \cdot Y_3 \cdot Y_2 \cdot Y_1 \times \\ \times Y_0 \cdot \bar{C}_n;$$

$$\bar{C}_{n+7} = Y_6 \cdot X_6 \vee Y_6 \cdot Y_5 \cdot X_5 \vee Y_6 \cdot Y_5 \cdot Y_4 \times \\ \times X_4 \vee Y_6 \cdot Y_5 \cdot Y_4 \cdot Y_3 \cdot X_3 \vee Y_6 \times \\ \times Y_5 \cdot Y_4 \cdot Y_3 \cdot Y_2 \cdot X_2 \vee Y_6 \cdot Y_5 \cdot Y_4 \times \\ \times Y_3 \cdot Y_2 \cdot Y_1 \cdot X_1 \vee Y_6 \cdot Y_5 \cdot Y_4 \cdot Y_3 \times \\ \times Y_2 \cdot Y_1 \cdot Y_0 \cdot X_0 \vee Y_6 \cdot Y_5 \cdot Y_4 \cdot Y_3 \cdot Y_2 \times \\ \times Y_1 \cdot Y_0 \cdot \bar{C}_n;$$

$$C_{n+8} = Y_7 \cdot X_7 \vee Y_7 \cdot Y_6 \cdot X_6 \vee Y_7 \cdot Y_6 \cdot Y_5 \times \\ \times X_5 \vee Y_7 \cdot Y_6 \cdot Y_5 \cdot Y_4 \cdot X_4 \vee Y_7 \cdot Y_6 \times \\ \times Y_5 \cdot Y_4 \cdot Y_3 \cdot X_3 \vee Y_7 \cdot Y_6 \cdot Y_5 \cdot Y_4 \times \\ \times Y_3 \cdot Y_2 \cdot X_2 \vee Y_7 \cdot Y_6 \cdot Y_5 \cdot Y_4 \cdot Y_3 \times \\ \times Y_2 \cdot Y_1 \cdot X_1 \vee Y_7 \cdot Y_6 \cdot Y_5 \cdot Y_4 \cdot Y_3 \times \\ \times Y_2 \cdot Y_1 \cdot Y_0 \cdot X_0 \vee Y_7 \cdot Y_6 \cdot Y_5 \cdot Y_4 \times \\ \times Y_3 \cdot Y_2 \cdot Y_1 \cdot Y_0 \cdot \bar{C}_n$$

Рис. 9.7. Временная диаграмма работы K589ИК03

Выход C_{n+8} находится в 3-м состоянии, если на входе $EC8$ имеем 0.

В табл. 9.10 приведены статические параметры микросхемы K589ИК03, в табл. 9.11 — динамические. На рис. 9.8, а—в показаны примеры использования микросхемы K589ИК03 совместно с K589ИК02.

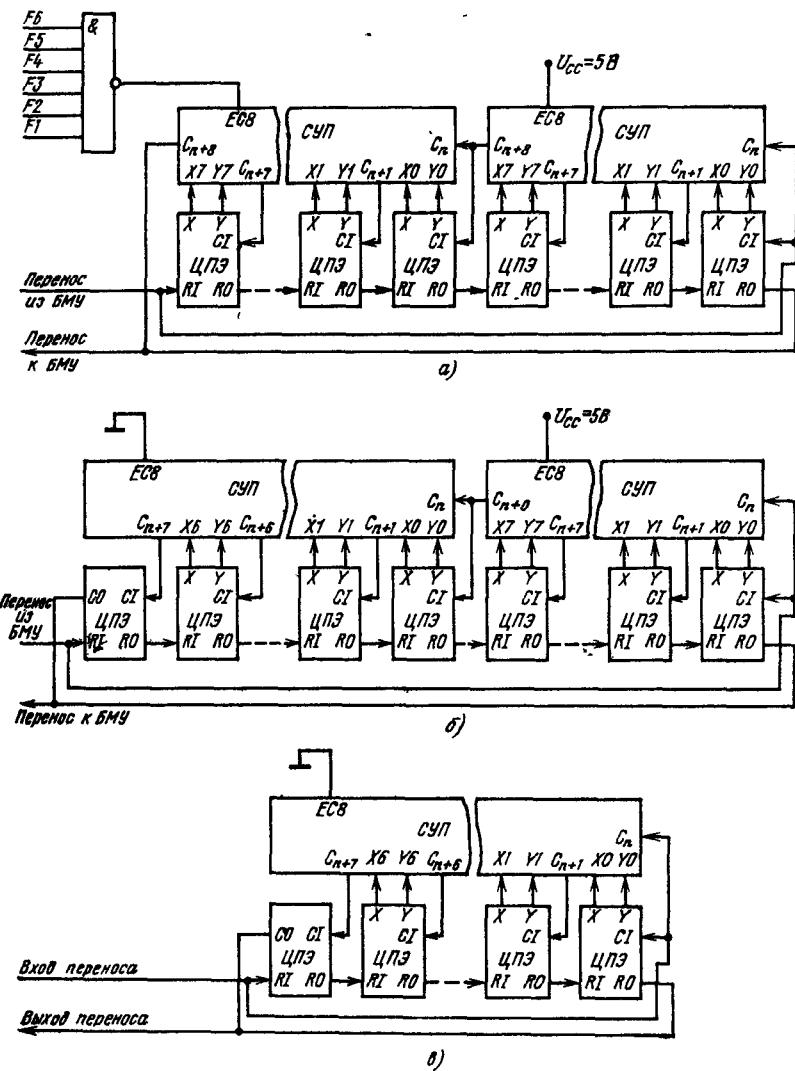
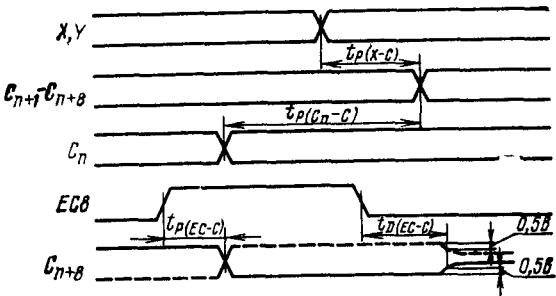


Рис. 9.8 Примеры совместного использования микросхем K589ИК03 и K589ИК02

Таблица 9.10

Параметр	Обозначение	Значение параметров [макс. (мин.)]
Ток потребления, мА	I_{CC}	130
Входной ток инверсного уровня при $U_{IL} = 0,45$ В, мА:	I_{IL}	-0,25
для входов C_n , EC8, X6, X7		
для входов $X0-X5$, Y7		-0,50
для входов $Y0-Y6$		-1,5
Входной ток высокого уровня при $U_{IH} = 5,25$ В, мкА:	I_{IH}	
для входов C_n , EC8		40
для остальных входов		100
Выходной ток низкого уровня в состоянии «выключено» для выхода C_{n+8} при $U_{OL} = 0,45$ В, мкА	I_{OZL}	-100
Выходной ток высокого уровня в состоянии «выключено» для выхода C_{n+8} при $U_{OH} = 5,25$ В, мкА	I_{OZH}	100
Выходное напряжение низкого уровня, В	U_{OL}	0,5
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)

Примечание Типовые значения тока потребления 95 мА, выходного напряжения низкого уровня 0,4 В

граммного управления. Она выполняет следующие операции:

- прием начального адреса микропрограмм по 8-разряднойшине данных;
- управление последовательностью выбора микрокоманд из памяти микропрограмм;
- хранение и анализ 4-разрядного кода команда на регистре команд;
- выдача трех разрядов регистра команд для адресации регистров в ЦПЭ;
- хранение двух признаков и условный переход по ним;
- управление прерываниями микропрограммного уровня;
- выдача на вход ЦПЭ или других устройств признаков, лог. 1 и лог. 0;
- непосредственная адресация стандартных биполярных ПЗУ и ППЗУ;
- адресация 512 микрокоманд с возможностью увеличения числа адресации ячеек дополнительными схемами.

Условное графическое обозначение микросхемы приведено на рис. 9.9, назначение выводов — в табл. 9.12, структурная схема показана на рис. 9.10, временная диаграмма работы — на рис. 9.11.

В состав БМУ входят следующие основные узлы: РАМК — регистр адреса микрокоманд; СОСА — схема определения следующего адреса микрокоманды; РК — регистр команд; ВБАС — выходной буферный каскад адреса строки; ВБРК — выходной буферный каскад регистра команд; TF — триггер F; TC — триггер C; TZ — триггер Z; ВБП — выходной буферный каскад признаков; И1, И2, И3 — логические элементы И; ВБАК — выходной буферный каскад адреса колонки.

При описании структурной схемы используются следующие условные обозначения внутренних сигналов:

- F — содержимое TF;
- C — содержимое TC;
- Z — содержимое TZ;
- ЗРК — сигнал разрешения записи в РК;
- ВРК — сигнал разрешения выдачи содержимого РК;
- C8—C0 — адрес следующей микрокоманды, поступающей на входы РАМК;
- РК2—РК0 — содержимое РК;

РАМК — 9-разрядный регистр адреса микрокоманд, состоящий из D-триггеров с записью информации по фронту сигнала синхронизации C. На входы D РАМК с выходов СОСА поступает информация, которая является адресом следующей микрокоманды. Информация с выходов РАМК поступает на ВБАС, ВБАК и СОСА;

СОСА — комбинационная схема, которая в зависимости от значений управляющих сигналов на входах ACO—AC6, EWA и информации, поступающей с шин K0—K7 и узлов TF, TC, TZ, РАМК и РК, формирует сигналы: C8—C0, СРП — сигнал разрешения прерывания, ЗРК, ВРК. Табл. 9.13 поясняет работу СОСА.

Таблица 9.11

Параметр	Обозначение	Значение параметров	
		тип.	макс
Время задержки распространения сигнала, нс:			
от входов X, Y до выходов $C_{n+1}—C_{n+8}$ от входа C_n до выходов $C_{n+1}—C_{n+8}$	$t_P(X-C)$	10	20
от входа C_n до выходов $C_{n+1}—C_{n+8}$	$t_P(C_n-C)$	13	30
Время задержки перехода от входа EC8 до выхода C_{n+8}	$t_D(EC--C)$	20	40

9.3. Микросхема К589ИК01

Микросхема К589ИК01 — блок микропрограммного управления (БМУ), предназначенный для использования в устройствах микропро-

Таблица 9.12

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов	Код представления информации
1—4 5, 6, 8, 10 7, 9, 11 12 13	K4—K7 K0—K3 PK2—PK0 FC3—FC2	Входы Входы Выходы Выходы	Первая часть команды Вторая часть команды Разряды регистра команд Управление выдачей признаков	Обратный Обратный Прямой Прямой
14 15, 16	FO FC0, FC1	Выход Входы	Признак Управление занесения и хранения признаков	Обратный Прямой
17 18	FI INE	Вход Выход	Признак Стробирующий сигнал разрешения прерывания	Обратный Прямой
19 20 21— 24, 37—39	CLK GND AC0—AC6	Вход — Входы	Синхронизация Общий Управление адресом следующей микрокоманды	— — Прямой
25	EN	Вход	Разрешение выдачи адреса микрокоманды	Прямой
26—29	A0—A3	Выходы	Адрес колонки микрокоманды	Прямой
30—34	A4—A8	Выходы	Адрес строки микрокоманды	Прямой
35	ERA	Вход	Разрешение выдачи адреса строки	Прямой
36	EWA	Вход	Разрешение выдачи адреса микрокоманды	Прямой
40	Ucc	—	Напряжение питания	—

Примечание Выводы 7, 9, 11 имеют открытый коллектор, выводы 14, 26-34 — трансistorного состояния

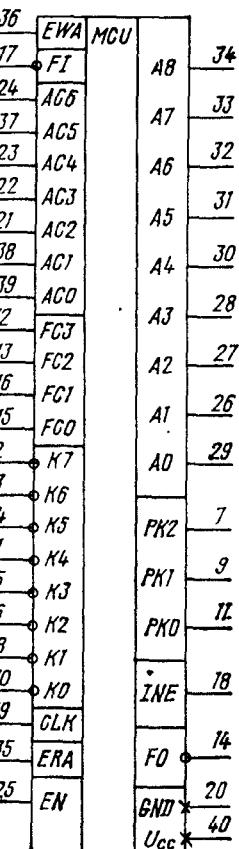


Рис. 9.9. Условное гра-
фическое обозначение
К589ИК01

РК — 4-разрядный регистр команд, состоящий из D -триггеров типа «защелка», записывающих информацию со входов $K3-K0$ при $ZPK=1$ и $C=0$. РК используется для хранения разрядов команды, по которым в дальнейшем можно выполнить условный переход, или при выдаче содеримого РК на выходы $PK0-PK2$ для определения адреса регистра в ЦПЭ;

ВБАС — служит для выдачи старших разрядов РАМК на выходы A_4 — A_8 , которые определяют адрес строки следующей микрокоманды. Выходы A_4 — A_8 переводятся в 3-е (высокоомное) состояние при $ERA=0$ или $EN=0$; если $ERA=1$ и $EN=1$, то на выходы A_4 — A_8 передается информация со старших разрядов РАМК;

ВБАК — служит для выдачи младших разрядов РАМК на выходы $A3-A0$, которые определяют адрес колонки следующей микрокоманды. Выходы $A3-A0$ переводятся в 3-е состояние при $EN=0$; если $EN=1$, то на выходы $A3-A0$ передается информация о младших разрядах РАМК;

ВБРК — служит для выдачи трех младших разрядов РК на выходы РК0—РК2. Выдача

информации происходит при $EN=1$ и $V_{PK}=1$; в противном случае на выходах $PK0-PK2$ — напряжение высокого уровня.

TF — *D*-триггер типа «зашелка» служит для хранения при $C=0$ инвертированной информации со входа *FI*. Информация *F* с выхода *TF* используется при условных переходах в COCA и поступает на *D* — входы *TC* и *TZ*. При $CLK=1$ *TF* отслеживает значение на выходе *FI*, причем $F=\overline{FI}$.

TC — D -триггер с записью информации по фронту. Запись в TC происходит при $FC0=0$ по фронту сигнала синхронизации. Содержимое TC используется в $COCA$ при условных переходах или может быть передано на выход FO при $FC3=0$ и $FC2=1$; при этом $FO=C$.

TZ — D -триггер с записью информации по фронту. Запись в TZ происходит при $FC1=0$ по фронту сигнала C . Содержимое TZ используется в $COCA$ при условных переходах или может быть передано на выход FO при $FC3=1$, $FC2=0$; при этом $FO=\bar{Z}$.

ВБП — служит для выдачи на выход FO содержимого TC , TZ лог. 1 или лог. 0 при $EN=1$. Если $EN=0$, то выход FO — в 3-м со-

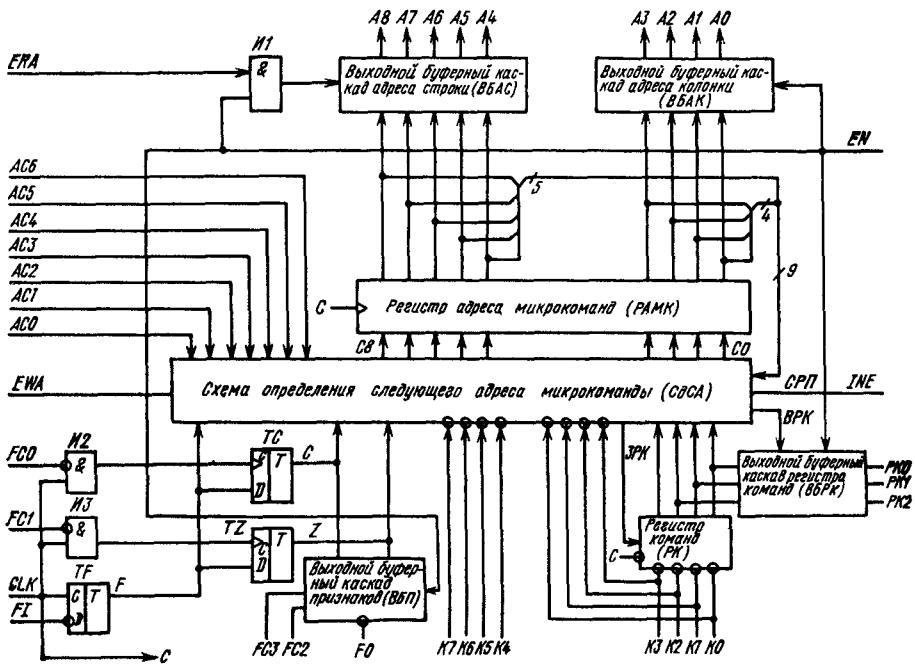


Рис. 9.10. Структурная схема К589ИК01

стояния. Информация, передаваемая на выход FO , выбирается с помощью управляющих входов $FC2$ и $FC3$. Табл. 9.14 поясняет работу ВБП.

Выборка следующего адреса микрокоманды БМУ обеспечивает выполнение функции безусловных и условных переходов. Эти функции используются для реализации операций безусловного и условного переходов в составе каждой микрокоманды. Каждая микрокоманда обычно содержит поле операции перехода, которое определяет команду перехода и, следовательно, следующий адрес микрокоманды.

Для минимизации числа выводов БМУ и упрощения логической схемы выборки следующего адреса массив адресов микропрограмм организован в виде двумерного массива (матрицы). Каждый адрес микрокоманды соответствует элементу матрицы на пересечении определенных строки и колонки. Таким образом, 9-разрядный адрес микрокоманд определяется двумя адресами: адресом строки (старшие пять разрядов) и адресом колонки (младшие четыре разряда). Следовательно, матрица адресов может содержать максимально 32 адреса строк и 16 адресов колонок — всего 512 адресов.

Логическая схема выборки следующего адреса БМУ широко использует эту двумерную схему адресации. Например, из любого места матрицы, определенного своей строкой и колонкой, можно безусловно передавать управление в любое место адресной матрицы. Действительно, для каждого данного адреса (элемента матрицы) существует фиксированное подмножество адресов микрокоманд, которые могут быть выбраны в качестве следующего адреса. Эти адреса, на которые возмо-

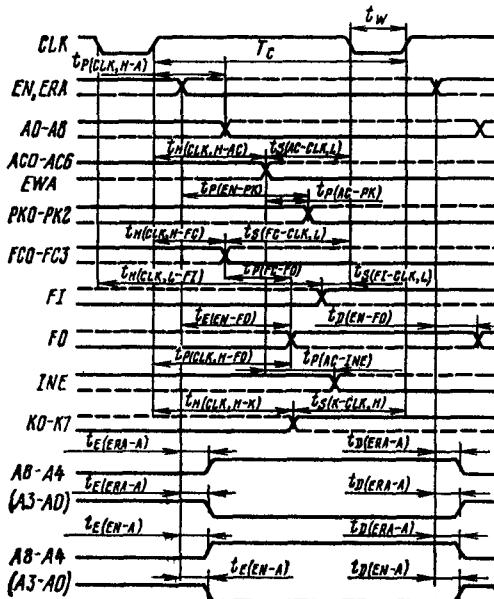


Рис. 9.11. Временная диаграмма работы К589ИК01

Таблица 9.13

Микронструкция	Обозна- чение	Состояния управляющих входов							Адрес следующей строки					Адрес следующей колонки				
		AC6	AC5	AC4	AC3	AC2	AC1	AC0	A8	A7	A6	A5	A4	A3	A2	A1	A0	
Переход в текущей колонке	JCC	0	0	Y4	Y3	Y2	Y1	Y0	Y4	Y3	Y2	Y1	Y0	M3	M2	M1	M0	
Переход в илевую строку	JZR	0	1	0	Y3	Y2	Y1	Y0	0	0	0	0	0	Y3	Y2	Y1	Y0	
Переход в текущей строке	JCR	0	1	1	Y3	Y2	Y1	Y0	M8	M7	M6	M5	M4	Y3	Y2	Y1	Y0	
Переход в текущей колонке в группе адресов строк	JCE	1	1	1	0	Y2	Y1	Y0	M8	M7	Y2	Y1	Y0	M3	M2	M1	M0	
Переход по содержимому триггера F	JFL	1	0	0	Y3	Y2	Y1	Y0	M8	Y3	Y2	Y1	Y0	M3	0	1	F	
Переход по содержимому триггера C	JCF	1	0	1	0	Y2	Y1	Y0	M8	M7	Y2	Y1	Y0	M3	0	1	C	
Переход по содержимому триггера Z	JZF	1	0	1	1	Y2	Y1	Y0	M8	M7	Y2	Y1	Y0	M3	0	1	Z	
Переход по содержимому регистра команд	JPR	1	1	0	0	Y2	Y1	Y0	M8	M7	Y2	Y1	Y0	PK3	PK2	PK1	PK0	
Переход по левым разрядам регистра команд	JLL	1	1	0	1	Y2	Y1	Y0	M8	M7	Y2	Y1	Y0	0	1	PK3	PK2	
Переход по правым разрядам регистра команд	JRL	1	1	1	1	1	Y1	Y0	M8	M7	1	Y1	Y0	1	1	PK1	PK0	
Переход по разрядам команды $K_4=K_7$	JPX	1	1	1	1	0	Y1	Y0	M8	M7	M6	Y1	Y0	K7	K6	K5	K4	

Примечание. Y_i — данные на шине A_i ; M_i — данные в i -м разряде регистра адреса микрокоманд; PK_i — данные в i -м разряде регистра команд (PK); K_i — данные на i -й шине K ; F , C , Z — содержимое триггеров F , C , Z соответственно.

Же переход, назовем множеством перехода. Каждый тип функции перехода БМУ обладает своим множеством переходов. В табл. 9.13 приведены множества переходов для каждой функции управления адресом.

Десять диаграмм, приведенных на рис. 9.12, показывают множество переходов 11 функций БМУ. Функции переходов находятся по адресу 342₁₀ (Х на рис. 9.12). Черными прямоугольниками отмечены адреса, один из которых может быть выбран в качестве следующего.

Логическая схема признаков БМУ обеспечивает хранение текущего значения признака, поступающего на вход FI , и выдачу его на выход признаков FO . Две различные группы функций управления признаками называются командами установки и выдачи признаков (см. табл. 9.14).

Функции переходов БМУ выбираются в зависимости от сигналов на семи входных шинах, обозначенных AC_0 — AC_6 . По фронту синхросигнала 9-разрядный адрес микрокоманд, выработанный логической схемой определения следующего адреса, загружается в регистр адреса микрокоманд. Этот адрес микрокоманд из РАМК выдается в память микрокоманд по девятым выходным шинам, обозначенным

A_0 — A_8 . Выходы адреса микрокоманд подразделяются на выходы адресов строк и колонок следующим образом: A_8 — A_4 — адрес строки; A_3 — A_0 — адрес колонки.

Каждой функции управления адресом соответствует своя кодовая комбинация на функциональных входных шинах AC . Разряды 2—6

Таблица 9.14

Микронструкция	Обоз- значе- ние	FC1	FC0
Установить TC и TZ по выходу TF	SCZ	0	0
Установить TZ по выходу TF	STZ	0	1
Установить TC по выходу TF	STC	1	0
Хранить TC и TZ	HCZ	1	1
Выдать 0 на выход FO	FF0	0	0
Выдать содержимое TC на выход FO	FFC	0	1
Выдать содержимое TZ на выход FO	FFZ	1	0
Выдать 1 на выход FO	FF1	1	1

этой кодовой комбинации определяют вид функции. Форматы и кодовая комбинация приведены в табл. 9.13. Ниже следует детальное описание каждой из 11 функций переходов. Для указания адресов строк и колонок используются следующие обозначения: CTP_n — 5-разрядный адрес следующей строки; KOL_n — 4-разрядный адрес следующей колонки; n — десятичный номер строки или колонки.

Для выработки следующего адреса микрокоманды по безусловному переходу использу-

зуется текущий адрес микрокоманды, т. е. содержимое регистра адреса микрокоманд перед приходом синхроимпульса, и некоторые разряды из кода на шинах AC .

Имеются следующие операции безусловных переходов:

JCC — переход в текущей колонке. Для задания следующего адреса микрокоманды используются шины $AC0—AC4$, текущая колонка определяется выходами $A0—A3$;

JZR — переход на нулевую строку. Для задания следующего адреса микрокоманды в строке CTP_0 используются $AC0—AC3$;

JCR — переход в текущей строке. Для задания следующего адреса микрокоманды в текущей строке, определяемой выходами $A4—A8$, используются шины $AC0—AC3$;

JCE — переход в текущей колонке в группе адресов строки и выдача на выходе $PK2—PK0$ содержимого РК. Для задания следующего адреса микрокоманды в группе адресов строки, определяемой содержимым шин $A7, A8$, используются шины $AC0—AC2$; текущая колонка определяется содержанием шин $A0—A8$. Одновременно производится выдача содержимого РК на выходах $PK2—PK0$.

Для выработки следующего адреса микрокоманды по содержимому триггеров признаков используется часть адреса текущей микрокоманды, содержимое выбранного триггера и некоторые разряды кода на шинах AC ;

JFL — условный переход по содержимому триггера TF . Для задания следующего адреса микрокоманды, находящегося в текущей группе адресов строки, который определяется содержимым шины $A8$, используется содержимое шин $AC0—AC6$. Если текущий адрес микрокоманды принадлежит к группе колонок $KOL0—KOL7$, определяемой содержанием шины $A3$, то следующий адрес микрокоманды в зависимости от содержимого триггера TF будет находиться в колонках $KOL2$ и $KOL3$. Если шина $A3$ определяет принадлежность текущего адреса к группе колонок $KOL8—KOL15$, то следующий адрес микрокоманды в зависимости от содержимого TF будет находиться в колонках $KOL10$ или $KOL11$;

JCF — условный переход по содержимому TC . Для задания следующего адреса микрокоманды, находящегося в текущей группе адресов строки, определяемой содержимым шин $A7, A8$, используется содержание шин $AC0—AC2$. Если текущий адрес микрокоманды принадлежит к группе колонок $KOL0—KOL7$, определяемой содержимым шины $A3$, то следующий адрес микрокоманды в зависимости от значения TC будет находиться в колонке $KOL2$ и $KOL3$. Если шина $A3$ определяет принадлежность текущего адреса к группе колонок $KOL8—KOL15$, то следующий адрес микрокоманды в зависимости от значения TC будет находиться в колонке $KOL10$ или $KOL11$;

JZF — условный переход по содержимому TZ . То же, что и переход по содержимому TC , но зависит от значения TZ .

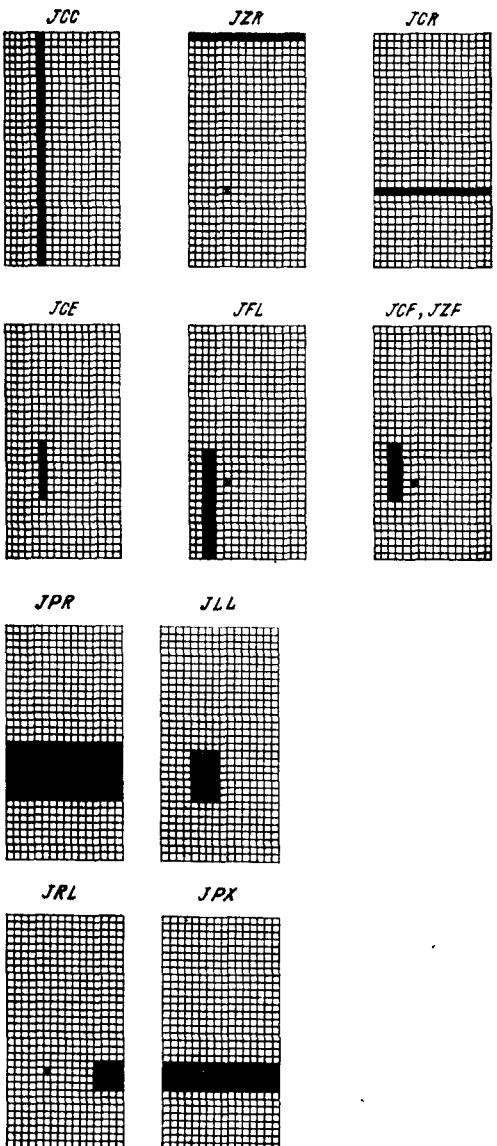


Рис. 9.12. Диаграммы, поясняющие множество переходов 11 функций блока микропрограммного управления

Для выработки следующего адреса микрокоманды по содержимому шин $K4-K7$ используются данные на шинах $K4-K7$, часть адреса текущей микрокоманды и несколько разрядов кода на шинах AC .

Для выработки следующего адреса микрокоманды по регистру команд РК используются данные, хранящиеся в РК, часть адреса текущей микрокоманды и несколько разрядов кода на шинах AC .

JPR — условный переход по содержимому РК. Для задания строки следующего адреса микрокоманды, находящейся в текущей группе адресов строки, определяемой содержимым шин $A7, A8$, используются шины $AC0-AC2$. Для задания адреса колонки следующей микрокоманды используются четыре разряда, хранящиеся в РК;

JLL — условный переход по левым разрядам РК. Для задания адреса строки следующей микрокоманды, который находится в текущей группе адресов строки, определяемой содержимым шин $A7, A8$, используются шины $AC0-AC2$. Для задания адреса колонки следующей микрокоманды используется содержимое шин $PK2, PK3$;

JRL — условный переход по правым разрядам РК. Для задания адреса строки следующей микрокоманды, который находится в текущей группе адресов строки, определяемой содержимым шин $A7, A8$, используется содержимое шин $AC0, AC1$. Для задания адреса колонки следующей микрокоманды используется содержимое шин $PK0$ и $PK1$;

JPX — условный переход по шинам $K4-K7$ и загрузка РК. Для задания адреса строки следующей микрокоманды, который находится в текущей группе адресов строки, определяемой содержимым шин $A6-A8$, используется содержимое шин $AC0, AC1$. Для задания адреса колонки следующей микрокоманды используется код на шинах $K4-K7$. Кроме того, в РК при нулевом значении синхросигнала записывается содержимое шин $K0-K3$.

Тип функции управления признаками БМУ выбирается в зависимости от сигнала на входных шинах $FC0-FC3$. Ниже приводится описание каждой из восьми функций управления признаками (см. табл. 9.14).

Данные со входа FI запоминаются в TF в период низкого уровня синхросигнала. Содержимое триггера F загружается в триггер C или Z по фронту синхросигнала:

SCZ — установить триггеры C и Z по выходу TF . Обоим триггерам приписывается значение TF ;

STZ — установить TZ по выходу TF . Триггеру Z приписывается значение TF . Содержимое триггера C не изменяется;

STC — установить TC по выходу TF ; TC приписывается значение TF . Содержимое TZ не изменяется;

HCZ — хранить TC и TZ . Значения TC и TZ не изменяются.

Таблица 9.15

EWA	Адрес следующей строки					Адрес следующей колонки				
	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
0	См. табл. 9.13									
1	0	K_3	K_2	K_1	K_0	K_7	K_6	K_5	K_4	

Функции управления выдачей признаков определяют значение сигнала, который выдается на линию выхода признаков FO :

F0 — выдать на выход лог. 0. На выходе FO устанавливается лог. 0 (высокий уровень напряжения);

FFC — выдать на выход FO содержимое триггера C . На выход FO выдается содержимое TC ;

FFZ — выдать на выход FO содержимое триггера Z . На выход FO выдается содержимое TZ ;

FF1 — выдать на выход FO лог. 1. На выходе FO устанавливается лог. 1 (низкий уровень напряжения).

Таблица 9.16

Параметр	Обозначение	Значения параметров [макс.(мин.)]
Ток потребления, мА	I_{CC}	240
Входной ток низкого уровня при $U_{IL} = 0,45$ В, мА:	I_{IL}	
для входа CLK		-0,75
для входа EN		-0,50
для остальных входов		-0,25
Входной ток высокого уровня при $U_{IH} = 5,25$ В, мкА:	I_{IH}	
для входа CLK		120
для входа EN		80
для остальных входов		40
Выходной ток высокого уровня, мкА	I_{OH}	100
Выходной ток низкого уровня в состоянии «выключено» для выводов $A0-A8, FO$, мкА	I_{OZL}	-100
Выходной ток высокого уровня в состоянии «выключено» для выводов $A0-A8, FO$, мкА	I_{OZH}	100
Выходное напряжение низкого уровня при $I_{OL} = 10$ мА, В	U_{OL}	0,5
Выходное напряжение высокого уровня при $I_{OH} = -1$ мА, В	U_{OH}	(2,4)

Примечание. Типовое значение тока потребления 170 мА.

Таблица 9.17

Параметр	Обозначение	Значения параметров		
		мин.	тип.	макс.
Время цикла, ис	T_C	85	60	—
Длительность импульса, ис	t_W	30	20	—
Время установки сигнала на входах относительно сигнала на входе CLK , ис:				
на входах $K0-K7$	$t_S (K-CLK, H)$	35	25	—
на входах $AC0-AC6, EWA$	$t_S (AC-CLK, L)$	10	0	—
на входе FI	$t_S (FI-CLK, L)$	15	5	—
на входах $FC0, FC1$	$t_S (FC-CLK, L)$	0	—	—
Время сохранения сигнала на входах относительно сигнала на входе CLK , ис:				
на входах $K0-K7$	$t_H (K-CLK, H)$	20	5	—
на входах $AC0-AC6$	$t_H (AC-CLK, H)$	5	0	—
на входе FI	$t_H (FI-CLK, L)$	22	8	—
на входах $FC0, FC1$	$t_H (FC-CLK, H)$	0	—	—
Время задержки распространения сигнала, ис:				
от входа CLK до выходов $A0-A8$	$t_P (CLK, H-A)$	10	30	45
от входов $AC0-AC6$ до выходов $PK0-PK2$	$t_P (AC-PK)$	—	26	40
от входов $FC2-FC3$ до выхода FO	$t_P (FC-FO)$	—	16	30
от входов $AC0-AC6$ до выхода INE	$t_P (AC-INE)$	—	24	40
от входа CLK до выхода FO	$t_P (CLK-FO)$	10	30	45
от входа EN до выходов $PK0-PK2$	$t_P (EN-PK)$	—	30	35
Время задержки перехода, ис:				
от входа ERA до выходов $A4-A8$	$t_D (ERA-A)$	—	30	35
от входа EN до выходов $A0-A3$	$t_D (EN-A)$	—	30	35
от входа EN до выхода FO	$t_D (EN-FO)$	—	30	35

Как уже отмечалось, информация на выходе FO представляется в обратном коде. Это надо учитывать при кодировке микрокоманд.

Функция загрузки БМУ подается на входную шину EWA загрузки микрокоманды. Табл. 9.15 поясняет функцию загрузки.

Если на шине EWA лог. 1, то по фронту синхросигнала данные с шин $K0-K7$ загружаются в регистр адреса микрокоманд. Содержимое шин $K4-K7$ загружается в триггеры РАМК с выходами $A0-A3$, а содержимое шин $K0-K3$ — в триггеры РАМК с выходами $A4-A7$. Старший разряд $A8$ регистра адреса микрокоманд устанавливается в лог. 0. В этом случае разряды РАМК с выходами $A0-A3$ задают один из 16 возможных адресов колонок. Соответственно разряды РАМК с выходами $A4-A7$ задают один из 16 адресов строки. Строб разрешения прерывания от БМУ выдается на выходную линию СРП. На линии устанавливается высокий уровень в том случае, если по команде перехода JZR передано управление на колонку $K0L15$. Обычно сигнал с шины БМУ подается на входную шину СРП блока приоритетного прерывания (БПП),

который может ответить на прерывание выдачу лог. 0 на вывод ERA БМУ, что блокирует выдачу следующего выбранного адреса строки из БМУ. Тогда при выдаче нового адреса микрокоманды на шины адреса строки можно подавать адрес извне, минуя БМУ, что позволит микропрограмме перейти на вход программы обработки прерывания. Измененный адрес строки, переданный на адресные шины памяти микрокоманды, не изменяет содержимого регистра адреса микрокоманд.

Таким образом, последующая функция перехода будет использовать адрес строки в регистре РАМК, а не измененный адрес строки. Заметим, что функция загрузки всегда блокирует функции переходов на шинах $AC0-AC6$. Однако по ней не блокируется разрешение на выдачу содержимого РК на шины $PK0-PK2$, а также разрешение на прием в РК содержимого шин $K4-K7$ при наличии на шинах функций JCE и JPX соответственно. Кроме того, по шине EWA не запрещается разрешение строва прерывания и всех функций управления признаками. При подаче лог. 0 на вход EN выполнение функции БМУ не блокирует

ся, но выходы $A0$ — $A8$, FO и $PK2$ — $PK0$ переводятся в 3-е состояние.

В табл. 9.16 и 9.17 приведены статические и динамические параметры K589ИК01.

9.4. Микросхема K589ИК14

Микросхема K589ИК14 — блок приоритетного прерывания (БПП), предназначена для построения многоуровневых систем прерывания. Система прерываний, построенная с использованием устройств БПП, обеспечивает:

восемь отдельных уровней прерывания на каждый блок БПП;

программируемый приоритет;

возможность расширения до 8К уровней прерывания, где K — число БПП;

автоматическую выработку вектора прерывания.

Условное графическое обозначение микросхемы приведено на рис. 9.13, назначение выводов — в табл. 9.18, структурная схема показана на рис. 9.14, временная диаграмма работы — на рис. 9.15.

Регистр запросов на прерывание состоит из восьми триггеров типа «защелка» и служит для запоминания запросов на прерывание на время обработки текущего прерывания.

Шифратор с приоритетом служит для кодирования номера поступившего запроса на прерывание ($IR0$ — $IR7$) в 3-разрядный код. Причем если на шифратор поступили одновременно несколько сигналов запроса на прерывание, например, с $IR1$, $IR0$, $IR2$, то на выходе шифратора будет код старшего запроса $IR2$.

Регистр текущего состояния состоит из четырех триггеров типа «защелка» и служит для запоминания кода обрабатываемого прерывания.

Схема сравнения приоритетов служит для сравнения кода, поступившего с шифратора запросов на прерывания, с кодом, хранящимся в регистре текущего состояния. Схема сравнения приоритетов вырабатывает разрешающий сигнал на выработку сигнала прерывания только в том случае, если код с шифратора запросов больше кода, хранящегося в регистре текущего состояния.

Триггер прерывания служит для выработки признака прерывания и запоминания этого признака до следующего такта. Триггер работает по фронту синхроимпульса.

Триггер блокировки прерывания служит для запрета приема запросов на прерывание на регистр запросов на прерывание при обработке текущего приоритета, а также блокирует выработку нового признака прерывания. Триггер блокировки сбрасывается по фронту сигнала EW .

Для работы БПП необходимо обеспечить следующие условия:

триггер прерывания сброшен (лог. 0);

на вывод ERC подать лог. 0;

на вывод EG подать лог. 1,

в регистр текущего состояния записать код текущего приоритета (в самом начале записываем нулевой код) по входам $P0$ — $P2$ и лог. 1 по входу GS . Запись производится сигналом по выводу EW . По фронту сигнала EW происходит сброс триггера блокировки прерывания в 0, и на регистр запросов прерывания

Таблица 9.18

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов	Код представления информации
1—3 4	$P0$ — $P2$ CS	Входы Вход	Уровень приоритета Выборка уровня приоритета	Обратный Обратный
5 6 7	IA CLK INE	Выход Вход Вход	Прерывание Синхронизация Стробирующий сигнал разрешения прерывания	Обратный Прямой Прямой
8—10 11	$IC0$ — $IC2$ ERC	Выходы Вход	Код прерывания Разрешение считывания кода прерывания	Обратный Обратный
12 13 14	GND EG GE	— Вход Вход	Общий Разрешение группы прерывания Разрешение следующей группы прерывания	Прямой Прямой Обратный
15—22 23 24	$IR0$ — $IR7$ EW U_{cc}	Входы Вход —	Запросы прерывания Разрешение записи Напряжение питания	Обратный

Примечание Выводы 5, 8—10 имеют открытый коллектор

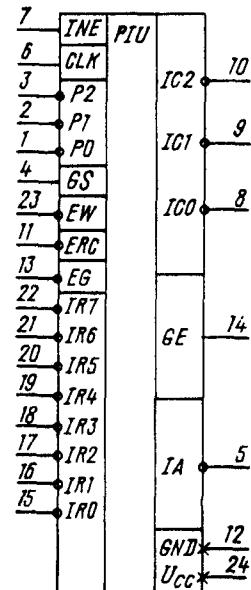


Рис. 9.13. Условное графическое обозначение K589ИК14

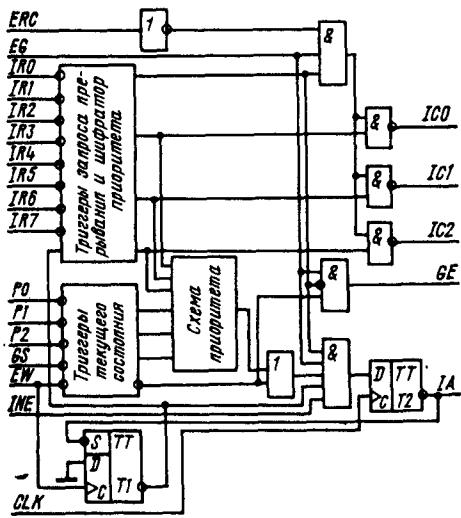


Рис. 9.14. Структурная схема К589ИК14:
T1 — триггер блокировки прерывания; T2 — триггер прерывания

приходит разрешающий сигнал записи информации с входов $IR0-IR7$.

Если на входах запроса прерывания $IR0-IR7$ нет ни одного запроса, то шифратор приоритета вырабатывает сигнал лог. 0, который закрывает выходные вентили кода прерывания (выходы $IC0-IC2$), запрещает выработку

сигнала подтверждения прерывания (выход IA) и разрешает выработку сигнала разрешения следующей (младшей) группе (выход GE).

Допустим, по входу $IR5$ пришел запрос на прерывание. Он записывается в регистр запросов на прерывание, так как триггер блокировки прерывания сброшен. Однако, хотя запись в регистр произошла, запрос о $IR5$ снимать нельзя, так как этот регистр выполнен на триггерах типа «зашелка» и запоминание информации в регистре произойдет только после установки триггера блокировки прерывания в 1.

Информация регистра запросов на прерывание поступает на шифратор с приоритетом. Шифратор вырабатывает сигнал лог. 1, который открывает выходные вентили, разрешает выработку сигнала подтверждения прерывания и вырабатывает запрещающий сигнал для младшей группы (вывод GE), а также 3-разрядный код приоритета, который через выходные вентили поступает на выводы $IC0-IC2$. Кроме того, код приоритета с шифратора поступает на схему сравнения приоритета, где сравнивается с кодом, который записан в регистре текущего состояния. Если код с шифратора больше кода, хранящегося в регистре текущего состояния, то схема сравнения приоритета выработает сигнал лог. 0. В этом случае разрешает выработку сигнала подтверждения прерывания (вывод IA). Если же код с шифратора меньше или равен коду с регистра текущего состояния, то схема сравнения приоритета выработает сигнал лог. 0. В этом случае сигнал подтверждения прерывания может быть выработан только в том случае, если в

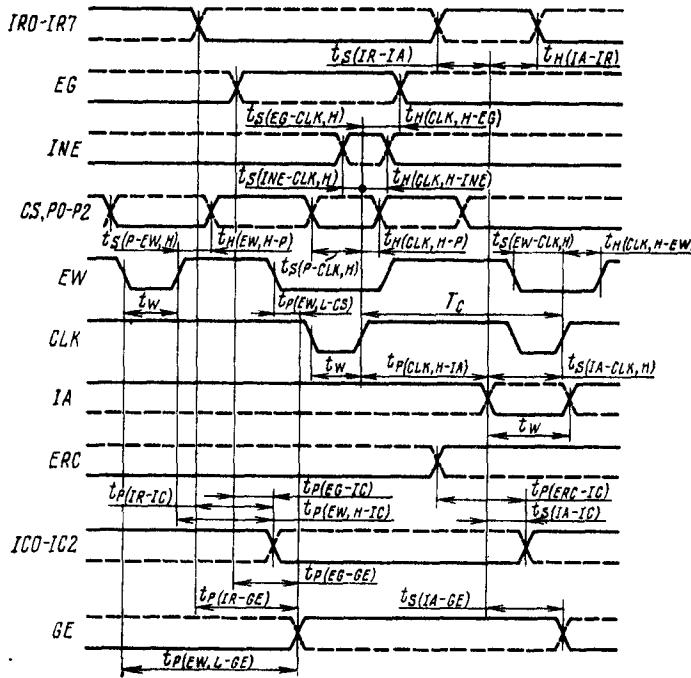


Рис. 9.15. Временная диаграмма работы К589ИК14

Таблица 9.19

Параметр	Обозначение	Значения параметров [макс (мнн.)]
Ток потребления, мА		
Входной ток низкого уровня при $U_{IL}=0,45$ В, для входа EG	I_{IL}	130
для остальных входов		-0,5
Входной ток высокого уровня при $U_{IH}=5,25$ В, мА:	I_{IH}	-0,25
для входа EG		80
для остальных входов		40
Выходной ток высокого уровня	I_{OH}	0,1
для выходов $IC0-IC2$, IA при $U_{OH}=5,25$ В, мА		
Выходное напряжение низкого уровня при $I_H=15$ мА, В	U_{OL}	0,5
Выходное напряжение высокого уровня при $I_H=-1,0$ мА, В	U_{OH}	(2,4)

Примечание Типовое значение тока потребления 90 мА

четвертый триггер регистра текущего состояния (по входу GS) будет записан лог. 0, так как инверсный выход этого триггера объединяется с выходом схемы сравнения приоритетов (см. рис. 9.14). В нашем случае четвертый триггер регистра текущего состояния обеспечивает лог. 0 на входе схемы ИЛИ, а схема сравнения приоритетов выдает на эту схему лог. 1, так как код с шифратора больше кода, хранящегося в регистре текущего состояния, тем самым разрешая выработку сигнала подтверждения прерывания. Если при этом на вход INE подать лог. 1, а на вход CLK — импульс, то по фронту этого импульса триггер прерывания установится в единичное состояние и на выходе IA появится сигнал подтверждения прерывания. Этим же сигналом по входу S триггер блокировки прерывания устанавливается в 1, тем самым запрещая прием новых запросов на прерывание в регистр запросов на прерывание и подготавливая триггер прерывания к сбросу в нулевое состояние. Вторым импульсом по входу CLK происходит сброс триггера прерывания в нулевое состояние, что означает окончание сигнала подтверждения прерывания. Таким образом, длительность сигнала подтверждения прерывания определяется периодом синхроимпульсов по входу CLK .

После обработки сигнала подтверждения прерывания (если это необходимо) код, соответствующий обрабатываемому запросу, надо записать в регистр текущего состояния. Тем самым исключается возможность двойного пре-

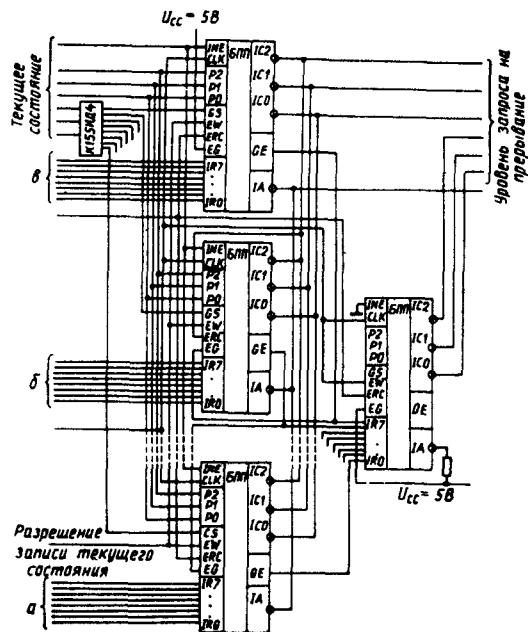
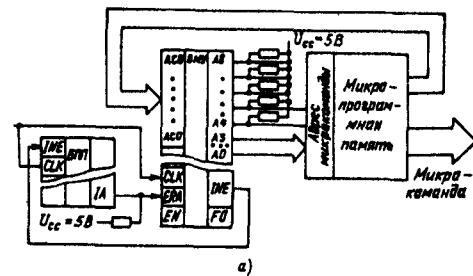
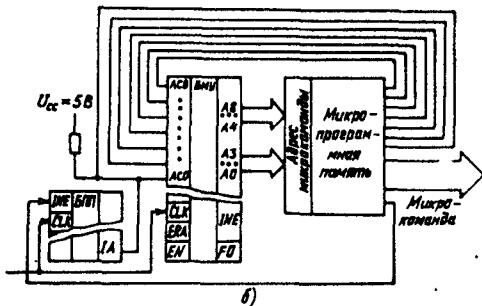


Рис. 9.16. Пример построения схемы для обработки более восьми прерываний:

а — низкая группа приоритета запроса на прерывание; б — средняя группа приоритета запроса на прерывание; в — высокая группа приоритета запроса на прерывание



а)



б)

Рис. 9.17. Варианты применения микросхемы К589ИК14

Таблица 9.20

Параметр	Обозначение	Значения параметров		
		мин.	тип.	макс
Время цикла, нс	T_C	80	—	—
Длительность импульса, нс	t_W	25	15	—
Время установления сигнала на входах относительно сигнала на входе CLK , ис:				
на входе INE	$t_S(INE-CLK, H)$	16	12	—
на входе EG	$t_S(EG-CLK, H)$	25	12	—
на входе EW	$t_S(EW-CLK, H)$	75	70	—
на входах $P0-P2, C$	$t_S(P-CLK, H)$	70	65	—
на входе IA	$t_S(IA-CLK, H)$	55	35	—
Время сохранения сигнала на входах относительно сигнала на входе CLK , ис:				
на входе INE	$t_H(CLK, H-INE)$	20	10	—
на входе EG	$t_H(CLK, H-EG)$	20	10	—
на входе EW	$t_H(CLK, H-EW)$	0	—	—
на входах $P0-P2, CS$	$t_H(CLK, H-P)$	15	10	—
Время установления сигнала на входах $IR0-IR7$ относительно сигнала IA , ис	$t_S(IR-IA)$	10	0	—
Время сохранения сигнала на входах $IR0-IR7$ относительно сигнала IA , ис	$t_H(IA-IR)$	35	20	—
Время установления сигнала на входах $PK0-PK2, CS$ относительно сигнала EW , ис	$t_S(P-EW, H)$	15	10	—
Время сохранения сигнала на входах $P0-P2, CS$ относительно сигнала EW , ис	$t_H(EW, H-P)$	15	10	—
Время задержки распространения сигнала, ис:				
от входов $IR0-IR7$ до выходов $IC0-IC2$	$t_P(IR-IC)$	—	80	100
от входа ERC до выходов $IC0-IC2$	$t_P(ERC-IC)$	—	40	55
от входа EW до выходов $IC0-IC2$	$t_P(EW, H-IC)$	—	—	—
от входа EG до выходов $IC0-IC2$	$t_P(EG-IC)$	—	35	70
от входов $IR0-IR7$ до выхода GE	$t_P(IR-GE)$	—	45	70
от входа EG до выхода GE	$t_P(EG-GE)$	—	20	25
от входа EW до выхода GE (при изменении состояния триггеров запроса)	$t_P(EW, I-GS)$	—	85	90
от входа EW до выхода GE (при приеме новой информации в регистр текущего состояния)	$t_P(EW, I-GE)$	—	35	55
от входа CLK до выхода IA	$t_P(CLK, H-IA)$	—	15	25
Время установления сигнала на выходах относительно сигнала IA , ис:				
на выходах $IC0-IC2$	$t_S(IA-IC)$	—	20	—
на выходе GE	$t_S(IA-GE)$	—	100	—

рывания по одному и тому же запросу, а также прерывания по всем младшим запросам относительно обработанного. Если в этом нет необходимости, то в регистр текущего состояния записывается снова нулевой код сигналом по выводу EW . По фронту импульса разрешения записи EW происходит сброс триггера блокировки состояния в нуль и подготовка БПП к приему следующего запроса на прерывание. Если по входам $IR0-IR7$ пришли одно-

временно два или более запросов, то на выходах $IC0-IC2$ будет выработан код старшего запроса.

Например, при записи в четвертый разряд регистра текущего приоритета лог. 1 (по входу GS) сигнал подтверждения прерывания по запросу $IR0$ выработан быть не может, так как код с шифратора приоритетов и код с регистра текущего состояния, поступающие на схему сравнения приоритетов, равны. В случае

записи лог. 0 в четвертый разряд регистра текущего приоритета, сигнал подтверждения прерывания по выходу *IA* будет вырабатываться всегда, независимо от состояния остальных трех разрядов этого регистра, в том числе и при наличии запроса на прерывание только по входу *IRO*.

На рис. 9.16 дан пример наращивания БПП для обработки более восьми запросов, на рис. 9.17 показаны типовые примеры применения микросхемы K589ИК14. В табл. 9.19 и 9.20 приведены статические и динамические параметры микросхемы K589ИК14 соответственно.

9.5. Микросхема K589ИР12

Микросхема К589ИР12 — многорежимный буферный регистр (МБР), является универсальным 8-разрядным регистром с выходами, имеющими три состояния. Он имеет встроенную логическую схему и независимый тринггер для формирования запроса на прерывание центрального процессора. Одни или несколько МБР могут использоваться для реализации многих типов интерфейсных и вспомогательных устройств, включая: простые регистры данных; буферные регистры со стробированием данных; мультиплексоры; двунаправленные шинные формирователи; прерываемые каналы ввода/вывода и др.

Условное графическое обозначение микросхемы приведено на рис. 9.18, назначение выводов — в табл. 9.21, структурная схема показана на рис. 9.19, временная диаграмма работы — на рис. 9.20.

Микросхема состоит из восьми информационных D -триггеров, восьми выходных буферных устройств с тремя устойчивыми состояниями, отдельного D -триггера для формирова-

ия запросов на прерывание и гибкой схемы управления режимами работы регистра.

Информационные D -триггеры повторяют входную информацию при высоком уровне входного сигнала MD и $(CS1 \cdot CS2) = 1$, а также при $EW = 1$ и $MD = 0$, при низком уровне сигнала на входе EW и $(CS1 \cdot CS2) = 1$ при $MD = 0$ происходит хранение входной информации. Выходы каждого информационного триггера соединены с выходными буферными каскадами с тремя устойчивыми состояниями. Внутренняя шина выдачи информации PB стробирует каждый выходной буферный каскад. При наличии лог. 1 нашине PB выходные буферные каскады разблокированы и данные поступают на выход соответствующей линии выходных данных ($Q1$ – $Q8$). Условие выработки появления сигнала: $PB = MD \vee CS1 \cdot CS2$. Внутренняя шина записи информации W стробирует каждый триггер регистра. При наличии лог. 1 нашине происходит запись информации в триггер с соответствующими входных информационных шин ($D1$ – $D8$). Условие появления сигнала: $W = EW \wedge MD \wedge CS1 \times CS2$. Информация в триггерах МБР обнуляется асинхронно входным сигналом CLR .

В МБР управляющими входами являются $\overline{CS_1}$, CS_2 , MD и EW . Эти входы используются для управления выборкой устройства, информацией регистра, состоянием выходных буферных каскадов и триггером запроса на прерывание.

Выборкой кристалла управляют входы $CS1$ и $CS2$. При наличии лог. 0 на входе $CS1$ и лог. 1 на входе $CS2$ устройство выбрано. Сигнал выборки кристалла ($CS1, CS2$) используется как синхросигнал для асинхронной установки состояния выходных буферных каскадов регистра и триггера запроса прерывания.

Таблица 9.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 13 2	<i>CS1, CS2</i> <i>MD</i>	Входы	Выбор кристалла Выбор режима
3, 5, 7, 9, 16, 18, 20, 22	<i>D1—D8</i>	Входы	Информация
4, 6, 8, 10, 15, 17, 19, 21	<i>Q1—Q8</i>	Выходы	Информация
11 12	<i>EW</i> <i>GND</i>	Вход	Стробирующий сигнал Общий
14 23	<i>GLR</i> <i>INR</i>	Вход	Установка нуля Запрос прерывания
24	<i>Ucc</i>	Выход	Напряжение питания

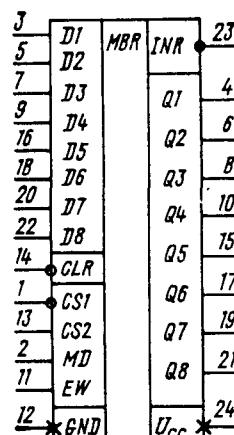


Рис. 9.18. Условное гра-
фическое обозначение
К589ИР12

Примечание. Выводы 4, 6, 8, 10, 15, 17, 19, 21 имеют три состояния.

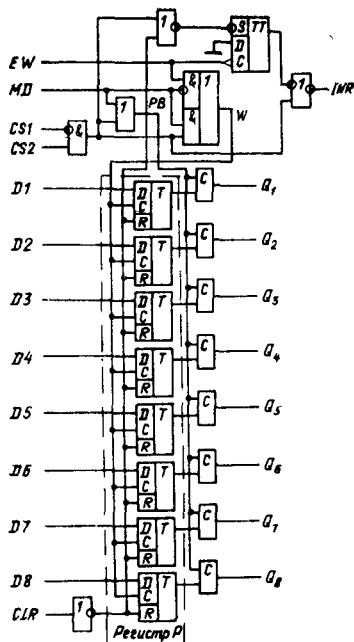


Рис. 9.19. Структурная схема К589ИР12

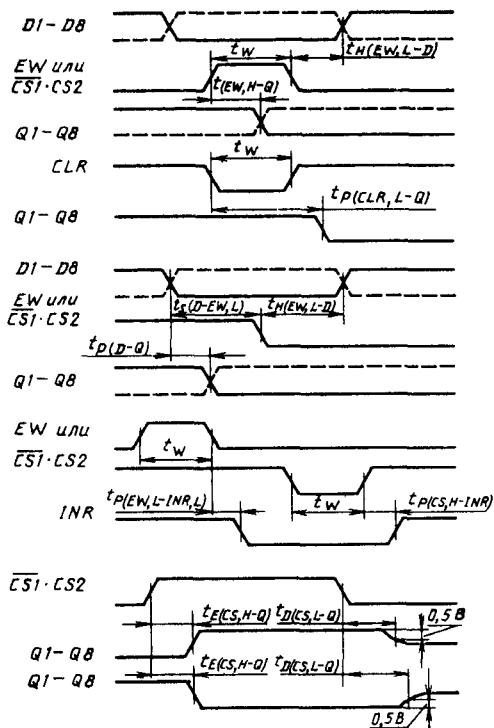


Рис. 9.20. Временная диаграмма работы К589ИР12

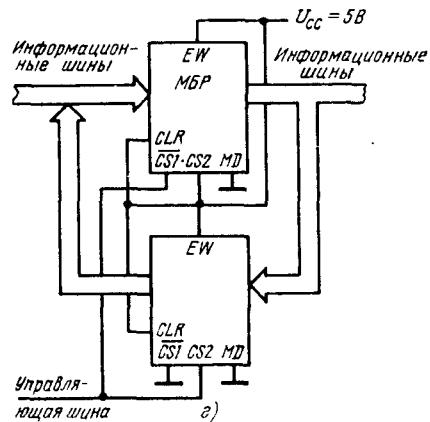
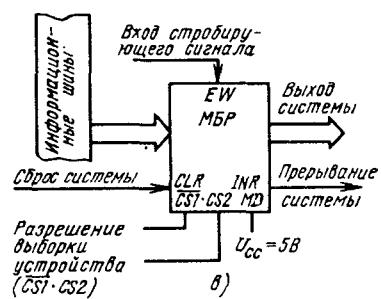
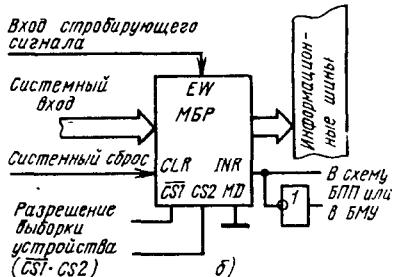
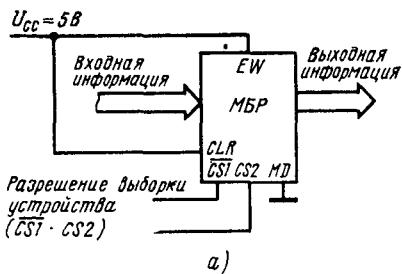


Рис. 9.21. Варианты применения микросхемы К589ИР12:

a — входной буферный регистр; *б* — устройство прерывания; *в* — выходной буферный регистр; *г* — двухнаправленная передача информации

Таблица 9.22

Параметр	Обозначение	Значения параметров [макс (мин.)]
Ток потребления, мА	I_{CC}	130
Входной ток низкого уровня при $U_{IL} = 0,45$ В, мА:	I_{IL}	
для входа $CS1$		(-1,0)
для входа MD		(-0,75)
для остальных входов		(-0,25)
Входной ток высокого уровня при $U_{IH} = 5,25$ В, мКА	I_{IH}	
для входа $CS1$		40
для входа MD		30
для остальных входов		10
Выходной ток высокого уровня в состоянии «выключено» для выходов $Q1-Q8$ при $U_{OH} = 5,25$ В, мКА	I_{OZH}	100
Выходное напряжение низкого уровня при $I_H = 15$ мА, В	U_{OL}	0,5
Выходное напряжение высокого уровня при $I_H = -1$ мА, В	U_{OH}	(3,65)

Примечание Типовые значения тока по потреблению 90 мА выходных напряжений низкого уровня 0,4 В, высокого уровня 4,0 В

Вход MD (выбор режима) определяет один из двух режимов работы. При наличии лог. 0 на входе MD устройство работает в режиме ввода. В этом режиме выходные буферные каскады открыты, когда устройство выбрано. Управление записью осуществляется сигналом по входу EW .

При наличии лог. 1 на входе MD устройство работает в режиме вывода. В этом случае выходные буферные каскады открыты независимо от выборки устройства.

Вход EW используется как синхросигнал для записи информации в регистр при $MD=0$ и для синхронной установки триггера запроса прерывания.

Триггер запроса прерывания служит для выработки сигнала запроса прерывания в процессорной системе. При установке системы в исходное состояние индикатор уровнем сигнала CLR триггер запроса прерывания устанавливается в 1, т. е. данное устройство не требует прерывания. Одновременно этим же сигналом происходит установка регистра в 0. Принято, что МБР находится в состоянии прерывания, когда выходу INR соответствует лог. 0, что позволяет обеспечить прямое соединение с входами запроса блока приоритетного прерывания. При работе в режиме ввода (т. е. на входе MD сигнал низкого уровня) входной сигнал EW производит запись информации в регистр данных и установку триггера запроса в 0. Триггер запроса прерывания устанавливается в 1 при условии выбора устройства (также вырабатывается сигнал прерывания на выходе INR).

На рис. 9.21 приведены типовые примеры применения микросхемы К589ИР12, в табл. 9.22 и 9.23 — статические и динамические параметры МБР соответственно.

Таблица 9.23

Параметр	Обозначение	Значения параметров [макс (мин.)]
Длительность импульса, нс	t_W	(25)
Время установления информации на входах $D1-D8$ относительно сигнала EW , нс	$t_S (D-EW, L)$	(15)
Время сохранения информации на входах $D1-D8$ относительно сигнала EW , нс	$t_H (EW, L-D)$	(20)
Время задержки распространения сигнала, нс.		
от входов $EW, \overline{CS1}, CS2$ до выходов $Q1-Q8$	$t_P (EW, H-Q)$	40
от входа CLR до выходов $Q1-Q8$	$t_P (CLR, L-Q)$	45
от входов $D1-D8$ до выходов $Q1-Q8$	$t_P (D-Q)$	30
от входа EW до выхода INR	$t_P (EW, L-INR, L)$	40
от входов $\overline{CS1}, CS2$ до выхода INR	$t_P (CS, H-INR)$	30
Время задержки перехода от входов $\overline{CS1}, CS2$ до выходов $Q1-Q8$, нс	$t_E (CS, H-Q)$	45
	$t_D (CS, L-Q)$	45

9.6. Микросхемы K589АП16 и K589АП26

Микросхемы K589АП16 — шинный формирователь (ШФ) и K589АП26 — шинный формирователь с инверсией (ШФИ), являются параллельными двунаправленными формирователями сигналов для управления магистралями (шинами) в цифровых вычислительных устройствах.

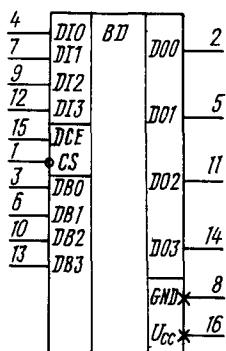


Рис. 9.22. Условное графическое обозначение K589АП16

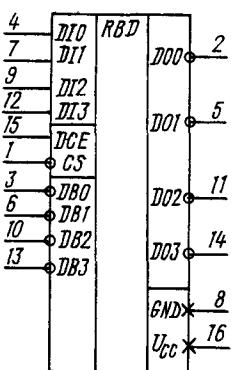


Рис. 9.23. Условное графическое обозначение K589АП26

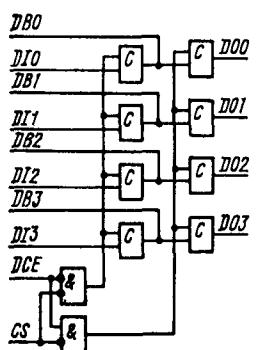


Рис. 9.24. Структурная схема K589АП16

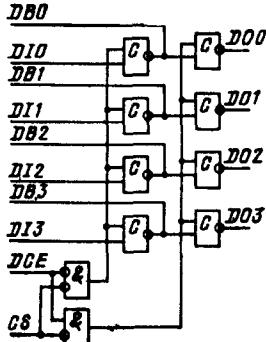


Рис. 9.25. Структурная схема K589АП26

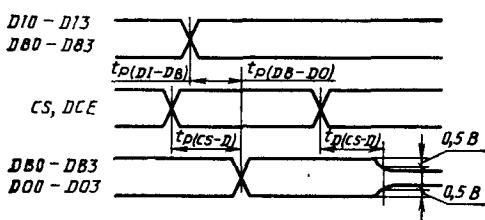


Рис. 9.26. Времениальная диаграмма работы K589АП16 и K589АП26

Таблица 9.24

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1	CS	Вход	Выборка кристалла
2, 5, 11, 14	D00—D03	Выходы	Информация
3, 6, 10, 13	DB0—DB3	Входы/выходы	Реверсивная передача информации
4, 7, 9, 12	DI0—DI3	Входы	Информация
8	GND	—	Общий
15	DCE	Вход	Управление выдачей информации
16	U _{cc}	—	Напряжение питания

Примечание. Выходы 2, 3, 5, 6, 10, 11, 13, 14 имеют три состояния

Таблица 9.25

Состояние входов	Направление передачи информации		Выходы в состоянии «выключено»
	CS	DCE	
0	0	От входов DI0—DI3 до выходов D00—D03	D00—D03
0	1	От входов DB0—DB3 до выходов D00—D03	DB0—DB3
1	1	Передача отсутствует	D00—D03, DB0—DB3

ствах и представляют собой 4-канальные коммутаторы, имеющие в каждом канале одну шину только для приема информации, одну шину только для выдачи информации и одну двунаправленную шину для приема и выдачи информации. В ШФ информация проходит без изменений, в ШФИ — с инверсией.

Условное графическое обозначение микросхем приведено на рис. 9.22 и 9.23, назначение выводов — в табл. 9.24, структурные схемы показаны на рис. 9.24 и 9.25, временные диаграммы работы — на рис. 9.26.

Для управления режимом работы и направлением выдачи информации служит схема, выполненная на двухвходовых логических элементах И. Формирователи обеспечивают передачу информации при наличии лог. 0 на входе CS выборки кристалла. При наличии лог. 1 на входе CS формирователи находятся в выключенном состоянии и выходы имеют высокое сопротивление (3-е состояние). При наличии на входе CS лог. 0 управление выдачей информации по шинам DO и DB осуществляется

Таблица 9.26

Продолжение табл. 9.26

Параметр	Обозна- чение	Значения параметров [макс (мин.)]	Параметр	Обозна- чение	Значения параметров [макс. (мин.)]
Ток потребления, мА	I_{CC}	130	для выходов $DB0—DB3$		100
Входной ток низкого уровня при $U_{IL}=0,45$ В, мА:	I_{IL}	(-0,25)	Выходные напряжения низкого уровня, В:	U_{OL}	0,5
для входов $DO0—DO3$, $DB0—DB3$			для выходов $DO0—DO3$ при $I_H=15$ мА		0,7
для входов CS , DCE		(-0,5)	для выходов $DB0—DB3$ при $I_H=50$ мА		
Входной ток высокого уровня при $U_{IH}=5,25$ В, мА:	I_{IH}	40	Выходное напряжение высокого уровня, В:	U_{OH}	
для входов $DO0—DO3$, $DB0—DB3$		80	для выходов $DO0—DO3$ при $I_H=-1$ мА		(3,65)
для входов CS , DCE		20	для выходов $DB0—DB3$ при $I_H=-10$ мА		(2,4)
Выходной ток высокого уровня, мА:	I_{OH}				
для выходов $DO0—DO3$					

Приложение. Типовые значения тока потребления 95 мА напряжения низкого уровня для выходов $DO0—DO3$ 0,4 В, для выходов $DB0—DB3$ 0,5 В.

Таблица 9.27

Параметр	Обозначение	Значения параметров			
		К589АП16		К589АП26	
		тип.	макс.	тип.	макс.
Время задержки распространения сигнала, ис:					
от входов $DI0—DI3$ до выходов $DB0—DB3$	$t_P(DI—DB)$	19	30	16	25
от входов $DB0—DB3$ до выходов $DO0—DO3$	$t_P(DB—DO)$	15	25	14	25
от входов CS , DCE до выходов $DB0—DB3$, $DO0—DO3$	$t_P(CS—D)$	42	65	36	55
Время задержки перехода от входов CS , DCE до выходов $DB0—DB3$, $DO0—DO3$	$t_D(CS—D)$	30	35	30	35

ется сигналом на входе управления выдачей информации DCE . Если на входе DCE присутствует напряжение лог. 0, то открыта передача информации с входов DI на выходы DB . При наличии на входе DCE лог. 1 происходит передача информации с входов DB на выходы DO (табл. 9.25).

Статические и динамические параметры микросхем ШФ и ШФИ приведены в табл. 9.26 и 9.27 соответственно.

9.7. Микросхема К589ХЛ4

Микросхема К589ХЛ4 — многофункциональное синхронизирующее устройство (МСУ), предназначено для построения блоков радиоэлектронной аппаратуры с автономными синхроизодаторами. Микросхема выполняет следующие операции:

деление частоты с переменным коэффициентом деления;
формирование импульсов дискретной линии задержки;
формирование переменного пакета импульсов;
формирование импульсов переменной длительности.

Условное графическое обозначение микросхемы приведено на рис. 9.27, назначение выводов — в табл. 9.28, структурная схема показана на рис. 9.28, временная диаграмма работы — на рис. 9.29.

В состав микросхемы входят: 1 — входная логическая схема И; 2 — трехвходовая логическая схема ИЛИ; 3 — схема формирования импульсов стандартной длительности из импульсов начальной установки; 4 — 4-разрядный двоичный счетчик; 5 — схема установки коэффициента перерасчета; 6 — генератор

Таблица 9.28

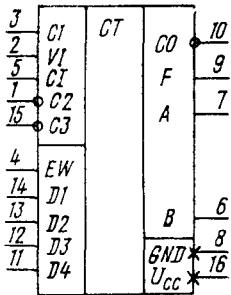


Рис. 927. Условное
графическое обозна-
чение К589ХЛ4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 15			
2	$C2, C3$ $V1$	Входы Вход	Переиосы синхронизирующие Формирование длительности импульса
3	$C1$	Вход	Синхронизация
4	EW	Вход	Разрешение записи
5	CI	Вход	Перенос
6	B	Выход	Формирование длительности импульса
7	A	Выход	Формирование пакета импульсов
8	GND	—	Общий
9	F	Выход	Делитель
10	CO	Выход	Перенос
11—14	$D1—D4$	Входы	Предустановки информационные
16	U_{cc}	—	Напряжение питания

отночных импульсов (ГОИ); 7 — формирователь сигнала переноса; 8 — схема И делителя частоты; 9 — схема ИЛИ приема импульсов записи на схему установки в исходное состояние; 10 — формирователь переменного пакета импульсов; 11 — формирователь длительности импульса.

Микросхема K589ХЛ4 может работать в следующих режимах.

Режим деления частоты. На вход 4 подается импульс произвольной длительности начальной установки с любого устройства, синхронизированного или не синхронизированного с импульсами тактовой частоты. Узел 3 формирует сигнал, который поступает на генератор одиночных импульсов 6 и подготавливает его для приема одного импульса тактовой ча-

стоты F_c , подаваемой на вход 3. С выхода узла 6 одиночный импульс поступает через схему ИЛИ 9 на вход узла установки в исходное состояние 5; при этом счетчик 4 устанавливается в исходное состояние, которое определяется кодом на входах 11—14.

С входа 3 импульсы тактовой частоты подаются на один из входов схемы узла 1, на другой вход этого узла с входа 2 подается

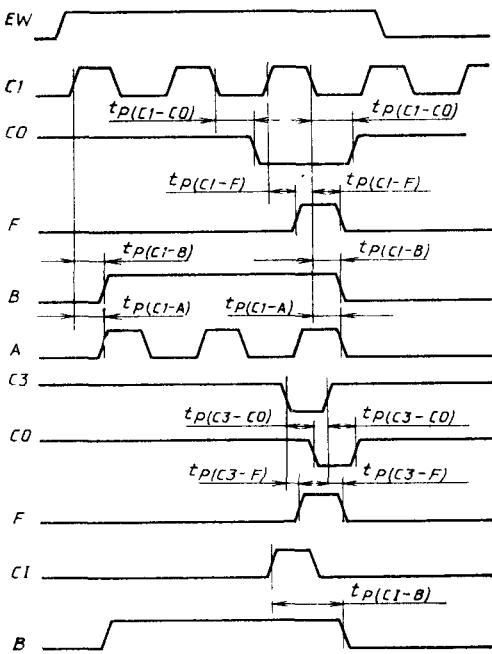
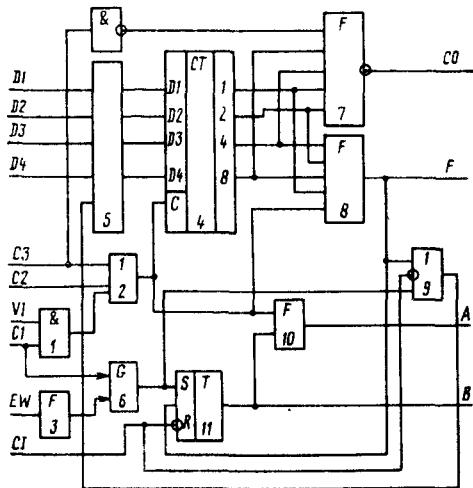


Рис. 9.29. Временная диаграмма работы К589ХЛ4

Таблица 9.29

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Ток потребления при $U_{CC} = 5,25$ В, мА	I_{CC}	—	95
Входной ток низкого уровня при $U_{CC} = 5,25$ В и $I_{IL} = 0,45$ В, мА:	I_{IL}	—	—
для входа $C1$		—0,75	—
для входа $C2$		—0,25	—
для остальных входов		—0,5	—
Входной ток высокого уровня при $U_{CC} = 5,25$ В и $I_{IH} = 5,25$ В, мА:	I_{IH}	—	—
для входа $C1$		—	120
для входа $C2$		—	40
для остальных входов		—	80
Ток короткого замыкания при $U_{CC} = 5,0$ В, мА	I_{OS}	—60	—
Выходное напряжение низкого уровня при $I_{OL} = 10$ мА, В	U_{OL}	—	0,5
Выходное напряжение высокого уровня при $I_{OH} = 1$ мА, В	U_{OH}	2,4	—

Таблица 9.30

Параметр	Обозначение	Максимальное значение параметра
Время задержки распространения сигнала, нс:		
от входа синхронизации до выхода переноса	$t_P(C1 - CO)$	50
от входа синхронизации до выхода делителя	$t_P(C1 - F)$	40
от входа синхронизации до выхода формирователя длительности	$t_P(C1 - B)$	60
от входа синхронизации до выхода формирователя пакета импульсов	$t_P(C1 - A)$	40
от входа переноса синхронизации до выхода переноса	$t_P(C3 - CO)$	20
от входа переноса синхронизации до выхода делителя	$t_P(C3 - F)$	30
от входа переноса до выхода формирователя длительности	$t_P(C1 - B)$	30
Частота синхронизации, МГц	F_c	10

сигнал разрешения положительной полярности. На входах 1, 15 узла 2, служащих для наращивания разрядности устройства, должен присутствовать лог. 0. При этом импульс тактовой частоты с выхода узла 2 поступает на вход счетчика 4 и формирователь переменного пакета импульсов 10.

Счетчик начинает вести отсчет импульсов от исходного состояния до состояния, когда все его разряды установятся в 1. С приходом следующего импульса на выходе элемента 8 появляется импульс, который поступает на вход схемы ИЛИ и вновь устанавливает счетчик в исходное состояние. На выходе узла 8 будут появляться импульсы каждый раз, когда все разряды счетчика находятся в единичном состоянии. Таким образом осуществляется деление частоты. Период повторения этих импульсов равен числу периодов тактовой частоты F_c , необходимых для просчета состояний счетчика от исходного до состояния, когда все его разряды установятся в 1. Код перерасчета, который необходимо подать на входы 11–14 для получения нужного коэффициента деления, определяется по формуле

$$K_n = 2^n - (t_i - \tau_i) F_c,$$

где n — число разрядов устройства, K — коэффициент деления устройства, K_n — код пересчета (десятичный эквивалент).

Режим формирования длительности импульса. Для работы устройства в этом режиме необходимо выход 6 микросхемы соединить со входом 2.

Схема работает следующим образом. На вход 4 подается импульс начальной установки. Выбранный из тактовой частоты схемой б одиночный импульс устанавливает счетчик в исходное состояние, определенное кодом пересчета на входах 11–14; одиночный импульс подается также на узел 11 (формирователь длительности импульса). При этом на выходе 6 формирователя появляется лог. 1, которая одновременно является разрешающим сигналом для прохождения тактовой частоты F_c через схемы 1 и 2. Счетчик начинает вести отсчет импульсов от заданного исходного состояния до состояния, когда все разряды установятся в 1. Появившийся при этом на выходе 9 схемы 8 положительный импульс подается на формирователь длительности импульса. По окончании этого импульса на выходе формирователя длительности импульса устанавливается лог. 0. Таким образом схемой формируется положительный импульс, длительность которого определяется кодом пересчета на входах 11–14. Код пересчета определяется по формуле

$$K_n = 2^n - (t_i - \tau_i) F_c,$$

где t_i — желаемая длительность импульса; n — число разрядов устройства; τ_i — длительность импульсов частоты F_c .

Режим формирования пакета импульсов. Выход 6 микросхемы соединяется с входом 2. На вход 4 подается импульс начальной уста-

новки, на выходе 6 узла 11 появляется положительный потенциал, длительность которого определяется кодом перерасчета на входах 11—14. Положительный потенциал подается на один из входов схемы И узла 10, на другой ее вход с выхода узла 2 подается тактовая частота. Число импульсов в пакете, которые появляются на выходе схемы И узла 10, определяется длительностью положительного потенциала на выходе 6 узла 11 и, следовательно, также кодом перерасчета на входах 11—14. Код перерасчета в режиме формирования пакета импульсов определяется по формуле

$$K_n = 2^n - (N - 1),$$

где N — число импульсов в пакете.

Режим дискретной линии задержки. Выход B соединяется с входом VI . Возможность использования устройства в качестве дискретной линии задержки видна из рассмотренных выше режимов. Действительно, импульс на выходе P появляется через определенное число тактов частоты после прихода сигнала начальной установки на вход $C4$.

Задержка сигнала на выходе CO по отношению к сигналу, поступающему на вход EW , определяется кодом перерасчета на входах $D1-D4$.

Увеличение разрядности устройства. При объединении нескольких микросхем используются входы $1, 5, 15$ и выход 10 .

Положительный перепад на входе 5 осуществляет запрет прохождения импульсов записи через схему 9 со схемой 8, а вход схемы 11 закрывается, и окончание импульса по сигналу с выхода узла 8 оказывается невозможным.

При использовании одного 4-разрядного устройства вход 5 должен быть заземлен. При использовании многоразрядного устройства на вход 5 подается низкий разрешающий потенциал с выхода 10 последней 4-разрядной группы. Разрешающий потенциал появляется на этом выходе в конце цикла работы устройства.

На входы $1, 15$ подается низкий разрешающий потенциал с выхода 10 предыдущих групп счетчиков, а входы $1, 15$ первой группы заземляются.

Статические и динамические параметры микросхемы K589ХЛ14 приведены в табл. 9.29 и 9.30 соответственно.

Глава 10

Микропроцессорный комплект серии K1800

Микропроцессорный комплект серии K1800 состоит из девяти типов секционированных быстродействующих микросхем, выполненных

на эмиттерно-связанной логике (ECL) (табл. 10.1).

Полнота функционального состава, универ-

Таблица 10.1

Тип микросхемы	Функциональное назначение	Разрядность	Тактовая частота, МГц	Число операций	Напряжение питания, В	Потребляемая мощность, Вт	Тип корпуса
K1800BC1	Арифметико-логическое устройство	4	16	68	-5,2; -2,0	1,4	2207.48-1
K1800BY1	Устройство микропрограммного управления	4	18	16	-5,2; -2,0	1,6	2207.48-1
K1800BБ2	Устройство синхронизации	4	36	8	-5,2	0,74	2120.24-1
K1800BT3	Устройство управления памятью	4	18	43	-5,2; -2,0	1,7	2207.48-1
K1800BA4	Двунаправленный преобразователь уровней	4	18	13	5,0; -5,2	0,7	2103.16-3
K1800P6	Двухадресная буферная память	9	18	14	-5,2	1,8	2207.48-1
K1800BA7	Двунаправленный приемопередатчик	5	18	13	-5,2	0,44	2103.16-3
K1800BP8	Многоразрядный программируемый сдвигатель	16	18	8	-5,2	1,5	2207.48-1
K1800P16	Буферная память	9	18	7	-5,2	1,8	2207.48-1

Таблица 10.2

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Напряжение питания, В	$U_{CC1}(U_{CC})$	-5,46	-4,94	$U_{SS} = U_{SS_0} = 0$
	U_{CC2}	-2,1	-1,9	
	U_{CC3}	4,75	5,25	
	I_O	—	25	
	I_O	—	24	
	t_{THL}, t_{TLH}	2	10	
	τ_I	5	—	
	T_A	-10	+75	
Нагрузка на выходе ECL, мА				$Z_L = 50 \text{ Ом}$
Нагрузка на выходе TTL, мА				$U_{OL} = 0,5 \text{ В}$
Время перехода на входах, ис				
Длительность входных сигна-				
лов, ис				
Температура окружающей сре-				
ды, °C				
Температура кристалла, °C				
Тепловое сопротивление кри-				
стал — окружающая среда,				
°C/Вт, для корпусов:				
2103.16-3			80	Без обдува
2120.24-1			55	То же
2207.48-1			48	»
2103.16-3			50	С обдувом воздуш-
				ным потоком со ско-
2120.24-1			32	ростью 3 м/с
2207.48-1			24	То же
				»

сальность, простота наращивания разрядности, совместимость с микросхемами серии K500 по уровням напряжений, условиям эксплуатации и конструктивному исполнению (вертикальное расположение выводов) позволяют использовать МПК серии K1800 для построения устройств вычислительной техники и цифровой автоматики высокого быстродействия. Комплект может служить элементной базой для

мини-ЭВМ, спецпроцессоров высокой производительности, процессоров обработки сигналов в реальном масштабе времени и рассчитан на реализацию структуры цифровых устройств с произвольной системой команд. Хорошие технико-экономические характеристики микросхем МПК позволяют организовать параллельные арифметико-логические устройства с производительностью более $3 \cdot 10^6$ операций регистр-регистр/c.

В табл. 10.2 приведены эксплуатационные, в табл. 10.3 предельные значения параметров микросхем серии K1800. Для всех микросхем комплекта значения основных параметров в диапазоне изменения температур от -10 до +75 °C и напряжений питания $\pm 5\%$ можно оценить с помощью следующих коэффициентов:

$$\begin{aligned} dU_{OH}/dT &= 1,2 - 1,8 \text{ мВ/}^{\circ}\text{C}; \\ dU_{OL}/dT &= 0,1 - 0,2 \text{ мВ/}^{\circ}\text{C}; \\ dI_{CC1}/dT &= -(0,2 - 0,3) \text{ мА/}^{\circ}\text{C}; \\ dI_{CC2}/dT &= -(0,3 - 0,4) \text{ мА/}^{\circ}\text{C}; \\ dU_{OH}/dU_{CC1} &= 0,3 - 0,5 \text{ мВ/}\% ; \\ dU_{OL}/dU_{CC1} &= 0,6 - 0,8 \text{ мВ/}\% ; \\ dI_{CC1}/dU_{CC1} &= 16 - 33 \text{ мА/В}; \\ dI_{CC2}/dU_{CC2} &= 80 - 100 \text{ мА/В}. \end{aligned}$$

Таблица 10.3

Параметр	Обозна- чение	Значения параметров		
		мин.	макс.	
Напряжение питания, В	U_{CC1}	-6	0	
	U_{CC3}	0	6	
Входное напряжение, В:				
ECL	U_I	-2	0	
TTL	U_I	-0,5	5	
Выходной ток, мА:				
ECL	I_O	—	40	
TTL	I_O	—	50	
Температура кристал- ла, °C	T_J	—	150	

Описание работы микросхем МПК 1800 и примеры их применения далее приведены с применением отрицательной логики, т. е. напряжение высокого уровня на входе U_{1H} и выходе U_{1L} принимаются за лог. 0 (0), а напряжение низкого уровня на входе U_{1L} и выходе U_{1H} — за лог. 1 (1).

10.1. Микросхема K1800BC1

Микросхема K1800BC1 — арифметико-логическое устройство (АЛУ) является центральным процессорным блоком, предназначено для выполнения арифметических, логических и сдвиговых операций с комбинациями из одной, двух или трех переменных. Операции умножения и деления выполняются при использовании соответствующей команды. Данное устройство является одним из немногих микропроцессорных АЛУ, в котором реализованы операции над двоично-кодирован-

ными десятичными числами. Устройство обеспечивает внутреннюю генерацию сигналов четности результата PR и переноса PC для контроля ошибок, а также генерирует сигналы признака переполнения OF , знака MBS , проверки на нуль ZD и переноса CRP , CPG и CRO .

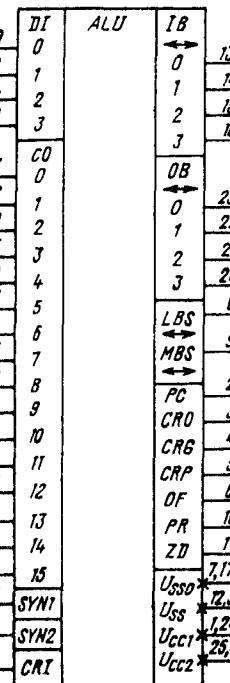
Условное графическое обозначение микросхемы приведено на рис. 10.1, назначение выводов — в табл. 10.4, структурная схема показана на рис. 10.2.

В состав микросхемы входят: фиксатор, мультиплексор выходной шины ($MUXO$), мультиплексор данных ($MUXD$), мультиплексор-маска ($MUXM$), формирователь кодов, арифметико-логический блок (сумматор), сдвигатель, накопитель (ACC), дешифратор уп-

Таблица 10.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	U_{CC1}	—	Напряжение питания —5,2 В
2	PC	Выход	Четность переноса
3	CRO	Выход	Перенос
4	CRG	Выход	Групповой перенос
5	CRP	Выход	Распространение группового переноса
6	OF	Выход	Признак переполнения
7, 17	U_{SS0}	—	Общий выходных транзисторов
8, 9	LBS, MBS	Входы/выходы	Двухуправляемые выводы младшего и старшего разрядов сдвигателя
10	PR	Выход	Признак четности результата
11	ZD	Выход	Признак проверки на нуль
12, 36	U_{SS}	—	Общий схемы
13—16	$IB0—IB3$	Входы/выходы	Двухуправляемые выводы шины IB , разряды 0—3
18, 19	$CO15, CO9$	Входы	Управление входной шиной и накопителем
20—23	$OB3—OB0$	Входы/выходы	Двухуправляемые выводы шины OB , разряды 0—3
25, 48	U_{CC2}	—	Напряжение питания —2 В
26	$SYN2$	Вход	Синхронизация фиксатора
27	$SYN1$	Вход	Синхронизация накопителя
28	$CO8$	Вход	Управление разрешением шины IB
29	$D1, D13$	Входы	Данные шины $D1$, разряды 0—3
30, 32	$DI1, DI2$	Входы	Управление выходной шиной и блоком управления
34	$CO6, CO5$	Вход	Управление передачей данных в сумматор
31, 33	$CO3, CO0, CO1, CO4, CO2$	Входы	
35, 37—40	$CO10$	Вход	
41	$CO11$	Вход	Управление режимом сложение — вычитание
42	$CO12$	Вход	Управление режимом двоичным, двоично-десятичным
43	CRI	Вход	Управление режимом арифметико-логическим
44	$CO7, CO14, CO13$	Вход	Перенос
45—47	$CO1$	Входы	Управление режимом сдвига

Рис. 10.1. Условное графическое обозначение K1800BC1



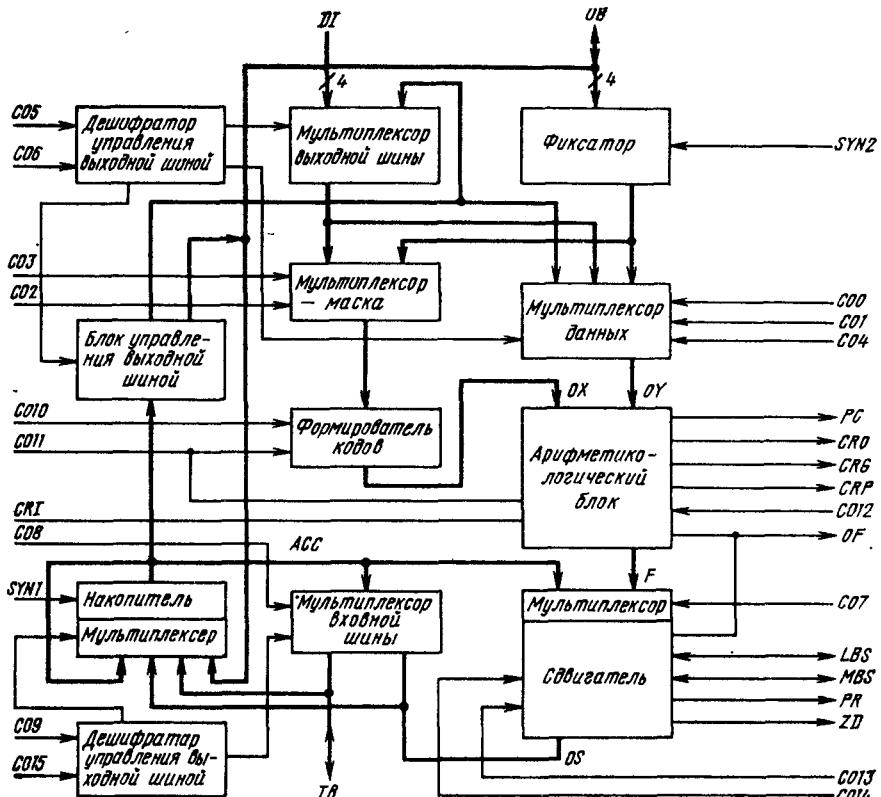


Рис. 10.2. Структурная схема K1800BC1

равления выходной шиной (DCO), дешифратор управления входной шиной (DCI), блок управления выходной шиной и мультиплексоры сдвигателя и накопителя. Для управления операциями внутри микросхемы используются 16 управляющих входов $C00$ – $C015$. Обмен информацией между блоками процессорных устройств осуществляется тремя 4-разрядными информационными шинами IB , DI и OB . Шина DI является односторонней и служит информационным входом для АЛУ ($D10$ —младший разряд, $D13$ —старший). Шины OB и IB являются двунаправленными и могут использоваться как для ввода, так и для вывода информации ($IB0$, $OB0$ —младшие разряды, $IB3$, $OB3$ —старшие). Вспомогательные входы служат для выдачи кодов состояния и условий перехода. Выходы CPI , CPO , LBS и MBS используются при параллельной работе нескольких АЛУ для увеличения разрядности, кратной разрядности одной микросхемы.

Основным блоком микросхемы является сумматор. Объединенный с фиксатором, формирователем кодов и мультиплексором наложения маски, он может выполнять различные логические операции, двоичные и двоично-де-

сятнические арифметические операции с одной, двумя или тремя логическими переменными. В качестве переменных могут использоваться данные из шин DI , OB и накопителя. Настройка микросхемы в один из данных режимов работы проводится с помощью управляющих сигналов на входах $C010$, $C011$ (табл. 10.5) и $C012$. Микросхема работает в логическом режиме при $C012=0$ и в арифметическом режиме при $C012=1$.

На входы сумматора поступают данные в виде операндов OX и OY , формирование которых проводится с помощью управляющих сигналов на входах $C00$ – $C06$. Операнд OX формируется блоками $MUXO$ и $MUXM$ с помощью сигналов $C02$ и $C03$ из информации, поступающей с шин DI и OB (табл. 10.6). Кроме того, $MUXM$ позволяет накладывать на любой разряд или группу разрядов маску, состоящую из лог. 1 или лог. 0.

На входы OY сумматора поступает информация из $MUXD$, на выходах которого можно получить информацию с $MUXO$, шины OB и накопителя либо лог. 1, либо лог. 0. Формирование операнда OY с помощью сигналов $C00$ и $C01$ приведено в табл. 10.7. На входы OY

Таблица 10.5

Функция	Вход $CO10$	Вход $CO11$
Двоично-десятичное вычитание (дополнение до 9)	0	0
Двоичное вычитание (инвертирование)	0	1
Двоично-десятичное сложение	1	0
Двоичное сложение	1	1

Таблица 10.6

OY	Вход $CO2$	Вход $CO3$
$MUXO$ и OB	0	0
OB	0	1
$MUXO$	1	0
$MUXO$ или OB	1	1

Таблица 10.7

Вход OY сумматора	Вход $CO0$	Вход $CO1$
0	0	0
Выход фиксатора шины OB	0	1
Выход $MUXO$	1	0
1	1	1

Таблица 10.8

Вход OY сумматора	$CO5 \cdot CO6$	Вход $CO0$	Вход $CO1$
Определяется сигналами $CO0$ и $CO1$	0	См. табл. 10.7	
ACC	1	0	0
ACC или OB	1	0	0
ACC или $MUXO$	1	1	0
1	1	1	1

Таблица 10.9

Вход OY сумматора	Вход $CO4$	Вход $CO0$	Вход $CO1$
Определяется сигналами $CO0$ и $CO1$	1	См. табл. 10.7	
Плюс 2 (0010)	0	0	0
Минус 2 (1110)	1	1	1

Таблица 10.10

Информация на входе накопителя	Информация на шине IB	Вход $CO9$	Вход $CO15$
Сдвигателя	Накопителя	0	0
Шины OB	Сдвигателя	0	0
Шины IB	Сдвигателя	1	0
Накопителя	Сдвигателя	1	1

Таблица 10.11

Шина OB	$MUXO$	Сумматор	Вход $CO5$	Вход $CO6$
OB	DI	0	0	0
OB	DI	ACC	0	1
$ACC \cdot OB$	DI	0	1	0
OB	ACC	0	1	1

можно подавать также информацию из накопителя при $CO0=CO1=0$ и сигналах на входах $CO5$, $CO6$ согласно табл. 10.8.

Сигнал на входе $CO4$ позволяет прибавлять и вычитать константу 2. Состояние лог. 1 на этом входе не оказывает влияния на работу микросхемы. При $CO4=0$ с помощью сигналов $CO0$ и $CO1$ на входы OY сумматора подается код 0010 (плюс 2) или 1110 (минус 2). В многоразрядном устройстве этот вход обычно используется только у микросхемы, обрабатывающей самые младшие разряды слова. Однако при другом включении данной микросхемы в разрядном формате с помощью этого входа можно организовать прибавление или вычитание таких констант, как 2, 32, 34, 512, 544, 546 и т. д. Совместное действие сигналов $CO4$, $CO0$ и $CO1$ иллюстрируется табл. 10.9. Комбинации $CO0 \cdot CO1 \cdot CO4$ и $CO0 \cdot CO1 \cdot \bar{CO4}$ обычно не используются. Комбинация $CO0 \cdot CO1 \times \bar{CO4}$ дает в результате $OY0=0$; $OY2=DI12$; $OY1=1$; $OY3=DI3$. Комбинация $CO0 \cdot CO1 \times CO4$ дает $OY0=0$; $OY2=OB2$; $OY1=1$; $OY3=OB3$.

Вычислительные возможности микросхемы ALU расширяет накопитель ACC , предназначенный для быстрого выполнения итерационных операций, например, сложение с суммой в накопителе, умножение и операции многократного сдвига. Управление выбором источника информации для накопителя и определение информации для шины IB проводится с помощью сигналов на входах $CO9$ и $CO15$ в дешифраторе управления входной шиной (табл. 10.10). Дешифратор управления выходной шиной и блок управления выходной шиной при воздействии сигналов $CO5$ и $CO6$ распределяют выходную информацию накопители по пяти адресам: шины IB и OB , $MUXO$, вход ACC и блокировку передачи данных (табл. 10.11).

Таблица 10.12

Операция сдвига	Вход $CO13$	Вход $CO14$
Логический сдвиг влево	0	0
Отсутствие сдвига	1	0
Логический сдвиг вправо	0	1
Арифметический сдвиг вправо	1	1

Таблица 10.13

Операция сдвига	Выход LBS	Выход MBS
Сдвиг влево	Вход сдвига	Выход сдвига
Отсутствие сдвига	Не используется	Выход старшего разряда
Логический сдвиг вправо	Выход сдвига	Вход сдвига
Арифметический сдвиг	То же	Выход старшего разряда

Кроме указанных пересылок, возможна пересылка информации из накопителя и на вход сдвигателя при $CO7=0$.

Сдвигатель, расположенный в микросхеме после сумматора, позволяет выполнять сдвиг влево, логический и арифметический сдвиг вправо и сквозную передачу данных с помощью управляющих сигналов $CO13$ и $CO14$ (табл. 10.12). Информация на сдвигатель поступает от накопителя при $CO7=0$ и от сумматора при $CO7=1$. Использование выводов LBS и MBS при выполнении операции сдвига приведено в табл. 10.13.

Работа фиксатора и накопителя синхронизируется входами $SYN2$ и $SYN1$ соответственно. Информация с шины OB заносится на D -триггеры фиксатора при $SYN2=0$. Синхронизация D -триггеров накопителя осуществляется положительным фронтом синхросигнала $SYN1$, и тогда информация со всех входов накопителя передается на его выходы.

Микросхема выполняет 28 логических операций, 23 операции двоичной арифметики, 17 операций двоично-десятничной арифметики, арифметический и логический сдвиги.

В логическом режиме работы микросхемы источником данных для сумматора могут быть D -триггеры фиксатора шины OB , $MUXO$ и ACC . Микросхема может выполнять полный набор логических операций, приведенных в табл. 10.14. В логическом режиме работы ($CO12=0$) сумматор осуществляет исключающее ИЛИ над данными на входах OX и OY . Формирователь кодов при $CO11=1$ выполняет функции инвертора по состоянию на входе $CO10$. Источник информации для входов OX выбирается с помощью сигналов $CO2$ и $CO3$, для входов OY — с помощью сигналов $CO0$ и $CO1=CO4=1$ и объединяется по ИЛИ с со-

держимым накопителя. Возможны и другие комбинации управляющих сигналов, дающие множество дополнительных операций и определяемые из предыдущих таблиц истинности.

В арифметическом режиме формирователь кодов и сумматор настроены на арифметический режим работы с помощью $CO12=1$, а $CO4$ используется для приращения или вычитания 2. Сигнал на входе $CO11$ выбирает двоичный или двоично-десятничный режим работы. Операнды, поступающие на входы сумматора внутри микросхемы, определяются видом выполняемой операции. Большинство двоичных функций имеют двоично-десятничный эквивалент. В табл. 10.15 показаны арифметические операции, выполняемые в зависимости от управляющих сигналов. Как и для логических операций, другие комбинации управляющих сигналов и функций возможны и могут (в случае необходимости) устанавливаться с помощью предыдущих таблиц истинности.

Таблица 10.14

Операция	$MUXD$		$MUXM$		Формирователь кодов	ACC
	$CO0$	\bar{CO}	$CO2$	$CO3$		
Установка 0	0	1	0	1	1	0
DI	0	0	1	0	1	0
OB	0	0	0	1	1	0
\bar{DI}	0	0	1	0	0	0
\bar{OB}	0	0	0	1	0	0
$DI \vee OB$	0	0	1	1	1	0
$DI \vee \bar{OB}$	0	1	0	0	0	0
$\bar{DI} \vee OB$	1	0	0	0	0	0
$DI \cdot OB$	0	0	0	0	1	0
$DI \cdot \bar{OB}$	0	1	1	1	1	0
$\bar{DI} \cdot OB$	0	1	0	0	1	0
$DI \oplus OB$	0	1	1	0	0	0
$DI \oplus \bar{OB}$	0	1	1	0	0	0
$\bar{DI} \oplus OB$	0	0	0	0	0	0
$DI \cdot \bar{OB}$	0	0	0	0	0	0
$DI + \bar{OB}$	0	0	1	1	0	0
Установка 1	0	1	0	1	0	0
$ACC \cdot DI$	1	0	1	0	1	1
$ACC \cdot \bar{OB}$	0	1	0	1	1	1
$ACC \vee DI$	1	0	1	0	0	1
$ACC \vee OB$	0	1	0	1	0	1
$ACC \oplus DI$	0	0	1	0	1	1
$ACC \oplus \bar{DI}$	0	0	1	0	0	1
$ACC \oplus OB$	0	0	0	1	1	1
$ACC \oplus \bar{OB}$	0	0	0	1	0	1
$ACC \oplus DI \cdot OB$	0	0	0	0	1	1
$ACC \oplus \bar{DI} \cdot OB$	0	0	0	0	0	1
$ACC \oplus DI \vee OB$	0	0	1	1	1	1
$ACC \oplus \bar{DI} \vee OB$	0	0	1	1	0	1

П р и м е ч а н и е. \vee — логическое сложение; \oplus — логическое умножение; \oplus — сложение по модулю 2.

Таблица 10.15

Двоичные операции (плюс CRI)	Двоично-десятичные операции (плюс CRI)	$MUXD$		$MUXO$		$MUXD$ (± 2)	ACC	Формиро- ватель кодов		
		$CO1=1$	$CO1=0$	$CO0$	$CO1$	$CO2$	$CO3$	$CO4$	$CO5 \cdot CO6$	$CO10$
$DI+OB$	$DI+OB$		1	0	0	1	1	0		1
$DI+OB$	$DI+\text{доп. 9 } OB$		1	0	0	1	1	0		0
$OB+\bar{DI}$	$OB+\text{доп. 9 } DI$		0	1	1	0	1	0		0
DI	DI		0	0	1	0	1	0		1
OB	OB		0	0	0	1	1	0		1
\bar{DI}	Доп. 9 DI		0	0	1	0	1	0		0
\bar{OB}	Доп. 9 OB		0	0	0	1	1	0		0
$-1+DI$	X		1	1	1	0	1	0		1
$-1+OB$	X		1	1	1	0	1	0		1
$-2+DI$	X		1	1	1	0	0	0		1
$-2+OB$	X		1	1	0	1	0	0		1
$+2+DI$	$+2+DI$		0	0	1	0	0	0		1
$+2+OB$	$+2+OB$		0	0	0	1	0	0		1
$DI+DI$	$DI+DI$		1	0	1	0	1	0		1
$OB+OB$	$OB+OB$		0	1	0	1	1	0		1
$ACC+DI$	$ACC+DI$		0	0	1	0	1	1		1
$ACC+OB$	$ACC+OB$		0	0	0	1	1	1		1
$ACC+\bar{DI}$	$ACC+\text{доп. 9 } DI$		0	0	1	0	1	0		1
$ACC+\bar{OB}$	$ACC+\text{доп. 9 } OB$		0	0	0	1	1	0		1
$ACC+\bar{DI} \cdot OB$	$ACC+\bar{DI} \cdot OB$		0	0	0	0	1	1		1
$ACC+\bar{DI} \cdot OB$	$ACC+\text{доп. 9 } DI \cdot OB$		0	0	0	0	1	0		1
$ACC+\bar{DI} \vee OB$	X		0	0	1	1	1	1		1
$ACC+\bar{DI} \vee \bar{OB}$	X		0	0	1	1	1	0		1

Приложение X — состояние не определено в двоично-десятичной арифметике, доп. 9 DI — дополнение до 9 шины DI .

В микросхеме K1800BC1 могут пересыпаться данные в накопитель и из него, в сдвигатель и из него. Пересылки определяются управляющими сигналами $CO5-CO9$ и $CO15$ (табл. 10.16).

Параллельное объединение микросхем K1800BC1 позволяет строить АЛУ любой разрядности, кратной четырем. На рис. 10.3 приведена структурная схема 16-разрядного АЛУ, построенного из четырех микросхем K1800BC1

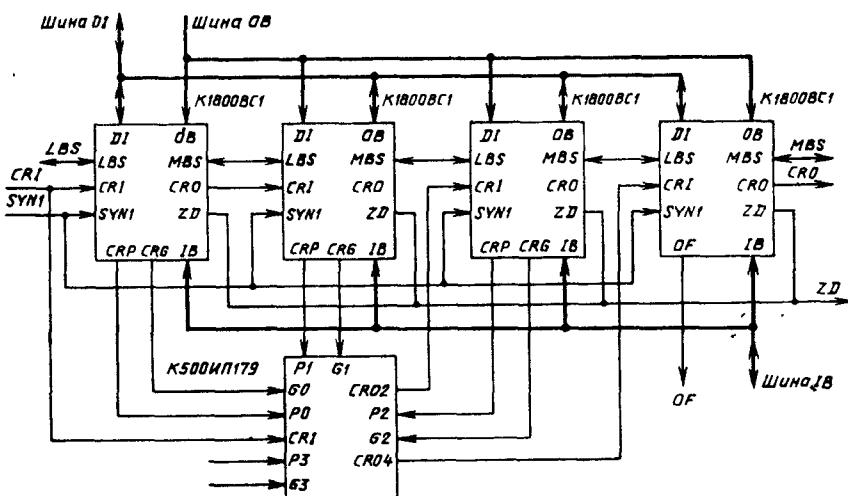


Рис. 10.3. Структурная схема 16-разрядного АЛУ, реализованного на микросхемах K1800BC1 и K500ИП179

Таблица 10.16

Источник информации для <i>ACC</i>	Источник информации для сдвигателя	Состояние шины <i>IB</i>	Входы			
			<i>CO7</i>	<i>CO8</i>	<i>CO9</i>	<i>CO15</i>
<i>OS</i>	<i>ACC</i>	Закрыта	0	0	0	0
<i>OB</i>		»	0	0	0	1
<i>IB</i>		»	0	0	1	0
<i>ACC</i>		»	0	0	1	1
<i>OS</i>		Выдача <i>ACC</i>	0	1	0	0
<i>OB</i>		Выдача <i>OS</i>	0	1	0	1
<i>IB</i>		То же	0	1	1	0
<i>ACC</i>		»	0	1	1	1
<i>OS</i>		Закрыта	1	0	0	0
<i>OB</i>		То же	1	0	0	1
<i>IB</i>	<i>F</i>	»	1	0	1	0
<i>ACC</i>		»	1	0	1	1
<i>OS</i>		Выдача <i>ACC</i>	1	1	0	0
<i>OB</i>		Выдача <i>OS</i>	1	1	0	1
<i>IB</i>		То же	1	1	1	0
<i>ACC</i>		»	1	1	1	1

одной микросхемы ускоренного переноса K500ИП179. Управляющие входы *CO0—CO15*, *SYN1* и *SYN2* объединяются параллельно для всех четырех микросхем, а шины *DI*, *OB* и *IB* распределены по соответствующим шинам микросхем. Схема ускоренного переноса использует вход *CR1* в младшей схеме и выходы *CRP*, *CRG* трех младших схем и образует выходной перенос для двух старших схем. Входной перенос *CR1* в младшей схеме определяется предыдущей логикой, входным переносом второй схемы является выходной перенос *CRO* младшей схемы. Выходным переносом всего блока АЛУ является выходной перенос *CRO* со старшей схемы. *MBS* каждой младшей схемы соединен со входом *LBS* следующей. Во время всех операций сдвигига сигналы *MBS* старшей схемы выдают также состояние двигателя. Сигналы *ZD* микросхемы с помощью операции И формируют нули в АЛУ. Переопределение старшей схемы является переопределением АЛУ. Все выходы состояния АЛУ могут быть использованы при выполнении микрокоманды

Таблица 10.17

Параметр	Обозначение	Вывод	Значения параметров [макс (мин)]	Режим измерения
Ток потребления, мА: от источника <i>U_{CC1}</i> от источника <i>U_{CC2}</i>	<i>I_{CC1}</i> <i>I_{CC2}</i>	1, 24 25, 48	240 190	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В
Входной ток высокого уровня, мкА	<i>I_{IH}</i>	8, 9, 13-16, 20-23 18, 19, 26, 29-25, 37-47 27	65 350 435	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В <i>U_I</i> = <i>U_{TH}</i> =-0,81 В
Входной ток низкого уровня, мкА	<i>I_{IL}</i>	18, 19, 26, 28-35, 27-47	(0,5)	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В, <i>U_I</i> = <i>U_{IL}</i> =-1,85 В
Выходное напряжение высокого уровня, В	<i>U_{OH}</i>	2-6, 8-11, 13-16, 20-23	-0,81 (-0,96)	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В, <i>U_{TH}</i> =-0,81 В, <i>U_{IL}</i> =-1,85
Выходное напряжение низкого уровня, В	<i>U_{OL}</i>	2-6, 10, 11 8, 9, 13-16, 20-23	-1,65 (-1,85) -1,65 (-1,90)	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В, <i>U_{TH}</i> =-0,81 В, <i>U_{IL}</i> =-1,85 В
Выходное пороговое напряжение высокого уровня, В	<i>U_{OTH}</i>	2-6, 8-11, 13-16, 20-23	(-0,98)	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В, <i>U_{TH}</i> =-1,105 В, <i>U_{IL}</i> =-1,475 В
Выходное пороговое напряжение низкого уровня, В	<i>U_{OTL}</i>	2-6, 8-11, 13-16, 20-23	-1,63	<i>U_{CC1}</i> =-5,2 В, <i>U_{CC2}</i> =-2 В, <i>U_{TH}</i> =-1,105 В, <i>U_{IL}</i> =-1,475 В

Параметр	Обозначение	Выход	Значение параметров [макс (мин.)]	Режим измерения
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL} , t_{PLH}	29 и 13 44 и 13 37 и 13 26 и 13 8 и 13 45 и 14 19 и 14 28 и 13 27 и 13 27 и 13 27 и 13 33 и 23	41 20 47 43 9 16 12 9 51 47 19 11 10	$U_{CC1} = -3,2$ В, $U_{SS} - U_{SS0} = 2,0$ В, $U_{CC2} = 0$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_L = 50$ Ом

В табл. 10.17 приведены основные параметры K1800BC1 при температуре окружающей среды 25 °С.

10.2. Микросхема K1800ВУ1

Микросхема K1800ВУ1 — устройство микропрограммного управления (MCU), формирует адрес микрокоманды и осуществляет управление последовательностью выполнения операций. Микросхема реализует 16 команд и осуществляет работу с управляющей памятью различной организации.

Условное графическое обозначение микросхемы приведено на рис. 10.4, назначение выводов — в табл. 10.18, структурная схема показана на рис. 10.5.

В состав микросхемы входят: регистр адреса RG0, регистр повторения RG1, регистр команд RG2, регистр состояния RG3, стек регистров RGS, содержащий четыре регистра (RG4—RG7), мультиплексор блока следующего адреса, блок следующего адреса, блок контроля состояния, блок приращения и переноса и блок управления выдачей адреса. Все регистры (за исключением регистра адреса) имеют на входе мультиплексоры, позволяющие принимать информацию из различных шин и блоков. Регистры RG0—RG1 предназначены для временного хранения данных, адресов и команд, изменяющихся в процессе работы микропроцессора. Все регистры построены на двухступенчатых синхронизируемых положительным фронтом RS-триггерах. При других состояниях сигнала синхронизации SYN (независимо от состояния на входах триггера) информация на их выходах не меняется. Регистры устанавливаются в исходное состояние сигналом \bar{SR} .

Передача данных и вычисления в микросхеме осуществляются с помощью 13 управляющих сигналов на входах CO0—CO8, IC0—IC3.

Операциями регистра RG3 управляют входы CO0—CO3, кроме того, состояние регистра RG3 может быть установлено по сигналу на входе DI. Управляющие входы CO6—CO8 определяют источник или место назначения информации IB и OB. Выходы условиого перехода BR и расширения EX определяют состояние внутри схемы. Микросхема выполняет 16 команд, выбираемых с помощью входов IC0—IC3. Каждая управляющая команда определяет источник данных для следующего адреса памяти, который записывается в регистр RG0. Ниже приводится обозначение, наименование и характеристика 16 команд MCU:

INC — приращение на 1, направляет содержимое RG0 через схему приращения, прибавляет CRI и возвращает результат ($RG0 + + CRI$) на входы регистра RG0. Команда используется для линейного шагового приращения адреса. При параллельной работе K1800ВУ1 вывод CRO младшей микросхемы соединен с CRI старшей, а вывод CRI младшей установлен в лог. 1;

JMP — переход к следующему адресу, обеспечивает безусловный переход к следующему адресу управляющей памяти. Место назначения перехода указывается входами NA, которые соединены обратной связью с управляющей памятью. Данные от входов NA к регистру RG0 поступают под воздействием положительного фронта синхросигнала;

JIB — переход по коду шины IB, является прямым переходом по адресной информации на входах шины IB. Обычно шина IB является внутренней информационной шиной в процессоре и может использоваться для ввода начального адреса команды программы. Информационная шина IB маскируется с помощью обратной связи между управляющей памятью и входами NA. Таким образом, следующий адрес определяется шинами IB и NA, объединенными схемой И;

JIN — переход по коду шины *IB* и загружает информацию с шин *IB* и *NA* через схему И в *RG0*, как и команда *JIB*. Кроме того, команда загружает информацию шины *IB* в регистр *RG2* на том же такте синхронизации. В *RG2* эта информация может затем использоваться в микропрограмме для первичной и вторичной модификации прохождения программы;

JPI — переход на основную команду, является переходом по результату операции И содержимого *RG2* и входов *NA*. Регистр *RG2* загружается при выполнении предыдущих команд *JIN* и *JL2*. Код, содержащийся в *RG2*, используется для начала новой последовательности микрокоманд или видоизменения микрокоманд существующей последовательности;

JEP — переход к внешнему входу, является прямым переходом информации по коду шины *OB*. Информация с шин *OB* и *NA* через схему И (*OB·NA*) поступает в регистр *RG0*. Эта команда разрешает ввод начального адреса

или видоизменение информации для потока микропрограмм;

JL2 — переход ко входам *NA* и загрузка *RG2*, является прямым переходом к шине *NA* и параллельной загрузкой *GR2* от шины *IB*. Эта команда может выполняться во время выполнения других команд. Она используется для запоминания вектора прерывания или адреса новой операции;

JLA — переход по входному коду *NA* и загрузка *RG1*, является прямым переходом по коду *NA* и параллельной загрузкой *RG1* измененным значением *RG0+CR1*. Команда может использоваться для прерывания или как дополнительная подпрограмма.

JSR — переход к подпрограмме, является безусловным переходом к подпрограмме. Адрес перехода определяется входами *NA*, которые загружаются в регистр *RG0*. Одновременно находящийся в *RG0* адрес направляется через блок приращения и загружается в регистр стека *RG5*. Команда *JSR* работает в

Таблица 10.18

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	<i>Ucc1</i>	—	Напряжение питания —5,2 В
2	<i>CRO</i>	Выход	Перенос
3—6	<i>RG01, RG02,</i> <i>RG03, RG00</i>	Выходы	Данные адресного регистра <i>RG0</i> , разряды 0—3
7, 17	<i>Uss0</i>	—	Общий выходных транзисторов
8—11	<i>OB3—OB0</i>	Входы/ выходы	Шина <i>OB</i> — двунаправленные выводы разрядов 0—3
12, 36	<i>Uss</i>	—	Общий схемы
13—16	<i>IB3—IB0</i>	Входы/ выходы	Шина <i>IB</i> — двунаправленные выводы разрядов 0—3
18, 26, 27	<i>CO6, CO7, CO8</i>	Входы	Управление шинами <i>IB</i> и <i>OB</i>
19—22	<i>RG30—RG33</i>	Выходы	Данные регистра состояния <i>RG3</i> , разряды 0—3
23	<i>EX</i>	Вход/ выход	Двунаправленный вывод расширения
25, 48	<i>Ucc2</i>	—	Напряжение питания —2,0 В
28, 30, 32	<i>CO2, CO0, CO1,</i> <i>CO3</i>	Входы	Управление регистром состояния
31	<i>DI</i>	Вход	Данные регистра состояния
33—35, 37	<i>NA3, NA1,</i> <i>NA2, NA0</i>	Входы	Следующий адрес <i>NA</i> , разряды 0—3
38	<i>CO4</i>	Вход	Управление условным переходом
39	<i>BR</i>	Вход	Условный переход
40	<i>SR</i>	Вход	Установка в исходное состояние
41—44	<i>IC3, IC0, IC1, IC2</i>	Входы	Команда управления <i>IC</i> , разряды 0—3
45	<i>SYN</i>	Вход	Синхронизация
46	<i>CR1</i>	Вход	Перенос
47	<i>CO5</i>	Вход	Управление разрешением адресного регистра

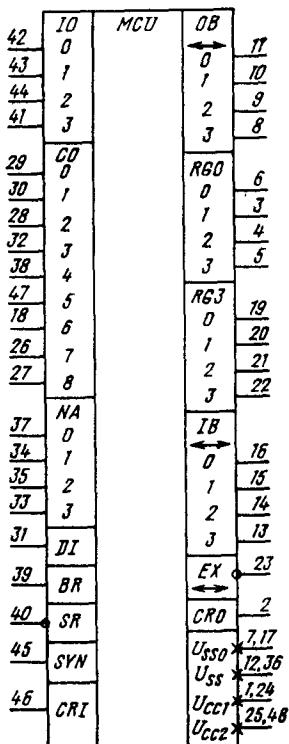


Рис. 10.4. Условное графическое обозначение K1800BY1

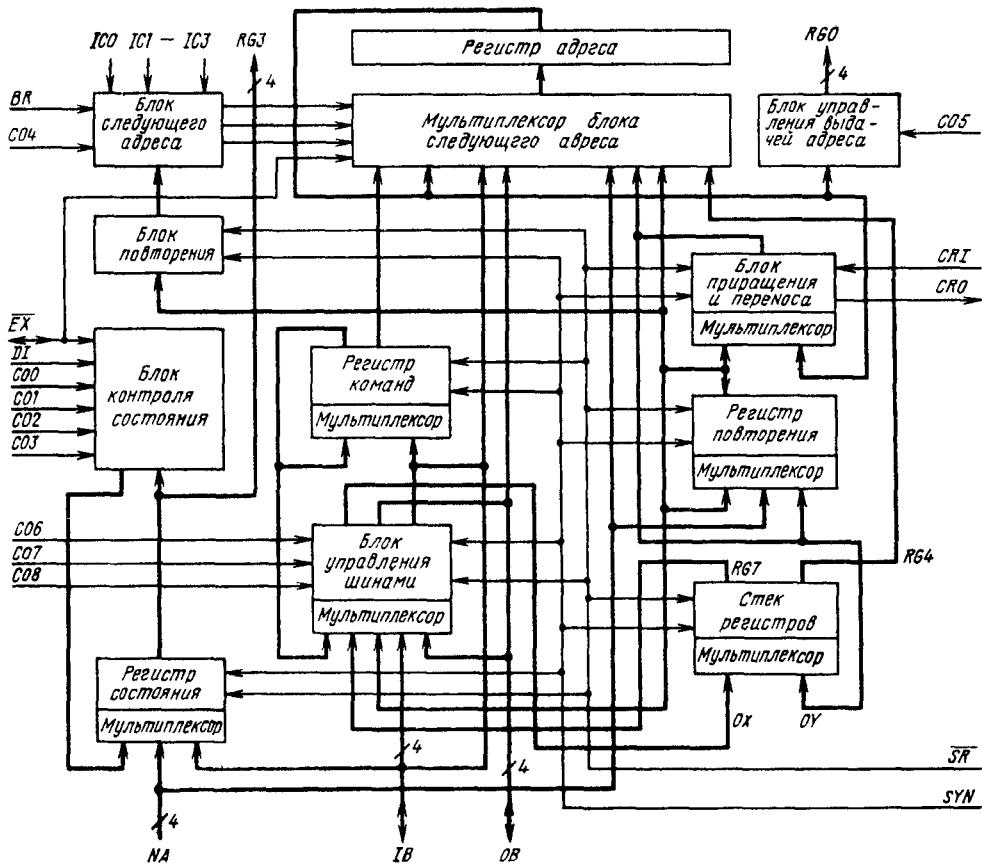


Рис. 10.5. Структурная схема К1800ВУ1

два режимах, зависящих от состояния тригера. Режим без повторения используется для обычной подпрограммы. Триггер сброшен ($RSQ=0$), находящийся в $RG0$ адрес увеличивается на 1 и загружается в стек. Таким образом, $RG0+CRI \rightarrow RG4$ и содержимое регистров $RG4-RG7$ переносится на один разряд вниз. При возвращении от программы увеличенный адрес ставит управление в основной программе на один разряд ниже адреса JSR .

Режим с повторением используется для многократного выполнения единичной подпрограммы. Триггер предварительно устанавливается ($RSQ=1$) командой RSR . Выдана информация из блока приращения запрещена и содержимое $RG0$ загружается в $RG4$. Регистры стека $RG0-RG7$ загружаются, как и в предыдущем режиме. При возвращении от подпрограммы первоначальный адрес JSR передается в $RG0$ и команда JSR повторяется. Этот цикл продолжается до тех пор, пока не достигает заданного числа повторений, о чем указывает сигнал $\overline{EX}=0$. Триггер определяет режим повторения и вывод \overline{EX} соединяется с регистром $RG1$ для определения числа повторений.

При выполнении команды *JSR* блок приращения управляется сигналом, определяемым уравнением

$$CRI \text{ (внутренний)} = CRI \cdot (\overline{RCQ} \vee \\ \vee (RG13 \cdot RG11 \dots RG10) \cdot \overline{EX});$$

RTN — возврат от подпрограммы, является безусловным возвратом от подпрограммы, при которой стек *RGS* разгружается, содержимое *RG4* передается в регистр *RG0*. Команда *RTN* используется совместно с командой *JSR* для выполнения подпрограммы или многочисленных вычислений в зависимости от состояния триггера. Если *RSQ*=0, то выполняется возврат, стек разгружается и содержимое *RG4* передается в регистр *RG0*. Если *RSQ*=1, то стек разгружается в *RG0* и содержимое *RG1* увеличивается на 1. Команда *RTN* продолжается в режиме повторения до тех пор, пока во всех разрядах регистра не установится 1, и триггер устанавливается в исходное состояние;

RSR — повторение подпрограммы, устанавливает в исходное состояние триггер и регистр *RG1* для повторяющихся микрокоманд или

подпрограмм. При выполнении команды *RSR* содержимое *RG0* увеличивается на 1 для следующего адреса ($RG0 + CIN \rightarrow RG0$), *RG1* загружается от входов *NA* и триггер устанавливается в 1. Регистр *RG1* определяет число повторений микрокоманды или подпрограммы. Содержимое *RG1*, используемого в качестве счетчика циклов, увеличивается до тех пор, пока все его разряды не будут заполнены единицами (полный счет). В этом случае число повторений, первоначально загруженное в *RG1*, может быть дополнением до 2 требуемого числа. Установка триггера в 1 позволяет с помощью команд *JSR* и *RTN* повторить подпрограммы и с помощью *RPI* повторить единичные микрокоманды;

RPI — повторение команды, используется для повторения единичных микрокоманд. В режиме повторения (триггер устанавливается в 1 с помощью команды *RSR*) *RPI* хранит константу адреса *RG0* управляющей памяти и увеличивает на 1 число повторений *RG1*. При конечном числе повторений (все 1 в *RG1*) триггер устанавливается в 0 и по команде *RPI* содержимое *RG1* и входов *NA*, объединенное операцией И, загружается в *RG0*. Команда *RPI* выполняет прямой переход по коду нового адреса после того, как последовательность повторения микрокоманд заканчивается и во всех разрядах *RG1* содержится 1. Вывод *EX* используется для заполнения регистра *RG1* всеми микросхемами K1800ВУ1. В режиме без повторения (*RSQ=0*) команда *RPI* становится прямым переходом по коду регистра *RG1*. Выход этого регистра соединяется со входами *NA* операций И и загружается в *RG0*. В этом режиме команда *RPI* используется совместно с *JLA* для одноуровневой подпрограммы, где адрес возврата (начальный адрес плюс *CRI*) соединяется операцией И с входами *NA*;

BRC — переход по условию, является условным переходом по коду входов *NA*. Разрешение условного перехода определяется выражением $\overline{EX} \cdot (CO4 \vee \overline{BR})$. Если $\overline{EX} \cdot (CO4 \vee \overline{BR}) = 0$, то *BRC* выполняет прямой переход по коду *NA*. Если значение условного перехода равно 1, то содержащийся в *RG0* адрес управляющей памяти увеличивается на 1 ($RG0 + CRI \rightarrow RG0$) и программа переходит к следующему шагу. Обычно контрольный разряд вводится на вход условного перехода *BR*. При соединении нескольких микросхем K1800ВУ1 вывод *EX* включен так, что все микросхемы реагируют на один и тот же сигнал условного перехода. По управляющему входу *CO4* разрешается управление входом *BR*, выбирающим ту микросхему K1800ВУ1, для которой проверяется выполнение условного перехода. Выбранный разряд *RG3* может также использоваться для условного перехода;

BSR — условный переход к подпрограмме, выполняется, если $\overline{EX} \cdot (CO4 \vee BR) = 0$. Адрес назначения подпрограммы со входов загружается в *RG0*, а содержащийся в *RG0* адрес уве-

личивается на 1 и загружается в стек ($RG0 + CRI \rightarrow RG4$). Если значение условного перехода равно 1, то настоящий адрес управляющей памяти увеличивается на 1 ($RG0 + CRI \rightarrow RG0$). Состояние триггера не влияет на команду *BSR*. Однако подпрограмма *BSR* может быть вложена в последовательность повторяющейся подпрограммы *JSR=RTN* без увеличения числа циклов регистра *RG1*. Далее используется команда *ROC* для возврата от перехода к команде *BSR*;

ROC — возврат по условию, является условным возвратом от подпрограммы. Если значение условного перехода *EX* ($CO4 \vee BR$) = 0, то возврат выполняется загрузкой содержания *RG4* в *RG0*. Если это значение равно 1, то выполняется прямой переход к подпрограмме загрузкой входов *NA* и *RG0*. Команда работает независимо от триггера и может использоваться совместно с командой *BSR* для вложения подпрограммы в повторяющуюся последовательность;

BRM — условный переход и переадресация, является переходом по коду входов *NA* с изменением адреса с помощью входов *BR* и *EX*. В *RG0* загружается следующая информация $RG03 = NA3$; $RG02 = NA2$; $RG01 = NA1 \cdot \overline{EX}$; $RG00 = NA0 \cdot BR$. Необходимо отметить, что сигнал *EX* инвертируется как модификатор. Изменение адреса разрешает условный переход на несколько направлений. По сигналу *CO4* переключается модификатор условного перехода.

Выполнение одной из 16 команд *MCU* проводится согласно условиям, приведенным в табл. 10.19. Возможными источниками информации являются регистры *RG1*, *RG2*, *RG4*, входы шин *NA*, *IB*, *OB* и блок приращения и переноса. После выполнения соответствующей команды информация заносится в адресный регистр *RG0* и может поступать на выходы *RG0—RG03* через блок управления выдачей адреса при *CO5=1*. Если *CO5=0*, то выдача информации из регистра *RG0* на внешние выводы запрещена и используется только для выполнения внутренних операций.

Регистр повторения *RG1* работает как счетчик для повторяющихся единичных микрокоманд или повторяющихся подпрограмм команд многократного сдвига, умножения и деления. Кроме этого, регистр *RG1* может выполнять функции накапливающего регистра адреса управляющей памяти. Регистр команд *RG2* используется в основном как регистр команд или регистр кода операции. Источником информации для *RG2* является входная шина *IB*. Работа регистра *RG2* (как и предыдущих регистров) контролируется кодом *IC0—IC3*.

Регистр состояния *RG3* используется для запоминания условий признака. Регистр может загружаться со входов *NA* и шины *IB* при воздействии управляющих сигналов *CO0—CO3* и входа *DI* (табл. 10.20). Информация с любого разряда *RG3* может поступать

Таблица 10.19

Команда	Управление				SR	Условия перехода или повторения	Выходы регистра или триггера				RSQ
	$IC3$	$IC2$	$IC1$	$IC0$			$RG0$	$RG1$	$RG2$	RGS	
INC	X	X	X	X	0	X	$RG0+CR1$ NA	0	0	Загрузка $RG0$ в RGS	0
JMP	1	0	1	0	1	X	$IB.NA$	—	—	—	—
JIB	1	0	0	0	1	X	$IB.NA$	—	—	—	—
JIN	1	0	0	1	1	X	$RG2.NA$	—	—	—	—
JPI	1	1	1	0	—	X	$OB.NA$	—	—	—	—
JEP	1	1	1	0	—	X	NA	—	—	—	—
$JL2$	0	0	0	1	—	X	NA	—	—	—	—
JLA	0	0	1	1	—	X	NA	—	—	—	—
JSR	0	0	0	0	1	$RSQ \vee RIN \cdot \bar{EX} = 0$	NA	—	—	Загрузка $RG0$ в RGS	—
					1	$RSQ \vee RIN \cdot \bar{EX} = 1$	NA	—	—	Загрузка $RG0+CR1$	—
RTN	1	1	1	1	1	$RSQ \vee RIN \cdot \bar{EX} = 0$	$RG4$	$RG1+CR1$	—	Разгрузка RGS в $RG0$	—
					1	$RSQ \vee RIN \cdot \bar{EX} = 1$	$RG4$	$RG1+CR1$	—	Разгрузка RGS в $RG0$	—
RSR	1	1	0	1	1	X	$RG0+CR1$	NA	—	—	1
RPI	1	0	1	1	1	$RSQ \vee RIN \cdot \bar{EX} = 0$	—	$RG1+CR1$	—	—	—
					1	$RSQ \vee RIN \cdot \bar{EX} = 1$	$RG1 \cdot NA$	$RG1+CR1$	—	—	0
BRC	0	1	0	1	1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 0$	NA	—	—	—	—
					1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 1$	$RG0+CR1$	—	—	—	—
BSR	0	1	0	0	1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 0$	NA	—	—	Загрузка $RG0+CR1$	—
					1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 1$	$RG0+CR1$	—	—	—	—
ROC	0	1	1	1	1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 0$	$RG4$	—	—	Разгрузка RGS в $RG0$	—
					1	$\bar{EX} \cdot (CO4 \vee \bar{BR}) = 1$	NA	—	—	—	—
BRM	0	1	1	0	1	$CO4 = 1$	NA	—	—	—	—
					1	$CO4 = 0$	$RG00=NA0 \cdot BR$ $RG01=NA1 \times$ $\times \bar{EX}$ $RG02=NA2$ $RG03=NA3$	—	—	—	—

Приложения. 1. RSQ — выход триггера в блоке повторения; X — состояние не определено; \leftrightarrow — состояние не изменяется; $RIN = RG13 \cdot RG12 \cdot RG11 \cdot RG10$.

2. Установка регистра и RS-триггеров происходит по положительному фронту синхросигнала.

на вывод расширения \bar{EX} . Другой функцией $RG3$ является расширение адреса управляющей памяти путем организации ее в формат слова-страница. Адрес слова в данном случае содержится в регистре адреса, а адрес страницы — в регистре состояния. Третий функцией регистра $RG3$ является запоминание всего кода операции или его части.

Стек регистров $RG4-RG7$ используется для хранения адресов возврата или обращений к подпрограммам и для запоминания состояния внутренних регистров при обработке с прерыванием. Стек регистров состоит из 16 триггеров с организацией 4×4 . Выход каждого триггера одного регистра подключен ко входу триггера того же разряда следующего регистра. Информация записывается в регистр $RG4$ через внутренние входы $OY0-OY3$, а в

регистр $RG7$ — через внутренние входы $OX0-OX3$. Состояние регистров стека $RG4-RG7$ определяется управляющими сигналами $CO6-CO8$ и состоянием на \bar{EX} , RSQ (табл. 10.21). При необходимости увеличить разрядность стека можно через внешние шины IB и OB подключить регистры на других микросхемах или объединить параллельно микросхемы K1800ВУ1. Занесение или выдача информации во внутренних регистрах K1800ВУ1 производится через шины IB и OB с помощью управляющих сигналов $CO6-CO8$ (табл. 10.22).

Блок приращения и переноса используется для увеличения на 1 содержимого регистров $RG0$, $RG1$ при выполнении команд или повторяющихся микрокоманд, а также для организации параллельной работы нескольких MCU . Блок повторения обеспечивает условия рабо-

Таблица 10.20

Управляющие входы				\overline{SR}	Выходы регистра RG3				\overline{EX}
CO_3	CO_2	CO_1	CO_0		$RG3\beta$	$RG3\gamma$	$RG3\delta$	$RG3\theta$	
X	X	X	X	0	0	0	0	—	—
0	0	0	0	1	—	—	—	DI	$RG3\alpha$
0	0	0	1	1	—	DI	—	—	$RG3\beta$
0	0	1	0	1	—	DI	—	—	$RG3\gamma$
0	0	1	1	1	DI	—	—	—	$RG3\delta$
0	1	0	0	1	—	—	—	—	$RG3\theta$
0	1	0	1	1	—	—	—	—	$RG3\alpha$
0	1	1	0	1	—	—	—	—	$RG3\beta$
0	1	1	1	1	—	—	—	—	$RG3\gamma$
1	0	0	0	1	—	—	DI	—	—
1	0	0	1	1	—	DI	—	—	—
1	0	1	0	1	DI	—	—	—	—
1	0	1	1	1	DI	—	—	—	—
1	1	0	0	1	0	0	0	1	—
1	1	0	1	1	IB_3	IB_2	IB_1	IB_0	1
1	1	1	0	1	NA_3	NA_2	NA_1	NA_0	1
1	1	1	1	1	—	—	—	—	1

ты и последовательность повторения команд. Триггер RSQ этого блока устанавливается в 1 при повторяющемся и в 0 при неповторяющемся режимах. Блок следующего адреса под воздействием сигнала условного перехода BR , сигнала расширения EX и сигнала CO_4 управляет выполнением операции повторения или условного перехода. Выполнение условного перехода определяется выражением $EX \times (CO_4 \vee \overline{BR})$. Состояние вывода EX описывается табл. 10.23, где функция повторения равна $RSQ \cdot (RG13 \cdot RG12 \cdot RG11 \cdot RG10)$.

Объединение двух микросхем микропрограммного управления K1800BV1 для 16-разрядного микропроцессора показано на рис. 10.6. Выводы IC_0 — IC_3 соединены параллельно, и обе микросхемы выполняют одинаковую команду. Параллельно подключены входы синхронизации SYN и установки \overline{SR} . Управляющие входы CO_0 — CO_3 работают независимо в каждой микросхеме и управляют регистрами $RG3$ отдельно. Регистр $RG3$ в микросхеме B является регистром адреса страницы управляющей микропрограммной памяти, а в микросхеме A — регистром битов состояния. Вход CRI микросхемы A подключен к напряжению низкого уровня при выполнении приращения на 1, а вход CRO микросхемы A выдает сигналы в CRI микросхемы B .

Вывод EX является общим и предназначен для выполнения функции условного перехода.

Таблица 10.21

Команда	Управление							Следующее состояние			
	\overline{SR}	\overline{EX}	RSQ	CO_6	CO_7	CO_8	$RG4$	$RG5$	$RG6$	$RG7$	
$RTN \vee RPI$	0	X	1	X	X	X	$RG1$	$RG4$	$RG5$	$RG6$	
$RTN \vee RPI$	0	X	0	X	X	X	$RG0$	$RG4$	$RG5$	$RG6$	
$RTN \vee RPI$	0	X	X	X	X	X	$RG0$	$RG4$	$RG5$	$RG6$	
JSR	1	X	0	X	X	X	RGU	$RG4$	$RG5$	$RG6$	
JSR	1	1	1	X	X	X	$RG0 + CRI$	$RG4$	$RG5$	$RG6$	
JSR	1	0	1	X	X	X	$RG0 + CRI$	$RG4$	$RG5$	$RG6$	
BSR	1	1	X	X	X	X	—	—	—	—	
BSR	1	0	X	X	X	X	$RG0 + CRI$	$RG4$	$RG5$	$RG6$	
RTN	1	X	X	X	0	0	$RG5$	$RG6$	$RG7$	0	
RTN	1	X	X	0	0	0	$RG5$	$RG6$	$RG7$	0	
RTN	1	X	X	0	0	1	$RG5$	$RG6$	$RG7$	IB	
RTN	1	X	X	1	0	1	$RG5$	$RG6$	$RG7$	OB	
ROC	1	1	X	X	X	X	—	—	—	—	
ROC	1	0	X	X	0	0	$RG5$	$RG6$	$RG7$	0	
ROC	1	0	X	X	1	X	$RG5$	$RG6$	$RG7$	0	
ROC	1	0	X	0	0	1	$RG5$	$RG6$	$RG7$	IB	
ROC	1	0	X	1	0	1	$RG5$	$RG6$	$RG7$	OB	
$JSR \vee BSR \vee$	1	X	X	X	X	X	—	—	—	—	
$\vee RTN \vee ROC$	—	—	—	—	—	—	—	—	—	—	

Примечание. X — состояние не определено; \leftrightarrow — состояние не изменяется.

Таблица 10.22

Команда	\overline{SR}	$CO7$	$CO8$	$CO6=0$		$CO6=1$	
				OB	IB	OB	IB
X	X	0	0	1	$RG1$	$RG1$	1
$JSR \vee BSR \cdot EX$	X	0	1	1	$RG7$	$RG1$	1
X	0	0	1	1	$RG7$	$RG7$	1
$RTN \vee ROC \cdot EX$	1	0	1	1	1	1	1
$JSR \vee RTN \vee (BSR \vee$	1	0	1	1			1
$\vee ROC) \cdot EX$					$RG4$	$RG4$	
X	X	1	0	1	$RG2$	$RG2$	1
X	X	1	1		1	1	1

Примечание X – состояние не определено

Таблица 10.23

\overline{EX}	Команд	$CO4$	$CO3$	$CO1$	$CO0$	Повторение функций	Примечание
$\overline{RG30}$	$JSR \vee RPI \vee RTN \vee$ $BR \vee BSR \vee ROC$	X	1 0 0 0 0	X 0 0 1 1	X 0 1 0 1	X	Вход условного перехода или функция повторения не может воздействовать на \overline{EX} в этой команде
$\overline{RG30}$	$BR \vee BSR \vee ROC$	1	1 0 0 0 0	X 0 0 1 1	X 0 1 0 1	X	Вход условного перехода не может воздействовать на \overline{EX} при $CO4=1$
\overline{BR}	$BR \vee BSR \vee ROC$	0	1 0 0 0 0	X 0 0 1 0	X 0 1 0 1	X	Вход условного перехода выбирается на линии \overline{EX} при $CO4=0$ и командой является BR , BSR или ROC
$\overline{RG30}$	$JSR \vee RPI \vee RTN$	X	1 0 0 1 0	X 0 1 0 1	X 0 0 1 1	0	Если функция повторения равна 0, то \overline{EX} не зависит от JSR , RPI или RTN
0	$JSR \vee RPI \vee RTN$	X	X	X	X	1	Если функция повторения равна 1, то \overline{EX} переходит в 0 при действии JSR , RPI или RTN

Примечание. X – состояние не определено.

Рис. 10.6. Пример объединения двух микросхем K1800ВУ1 в 16-разрядном микропроцессоре

Информация условного перехода проверяется на входе BR микросхемы А, и при $CO4=1$ запрещается вход условного перехода микросхемы В. Вход $CO5$ запрещает адрес слова — выход $RG0$. В регистр $RG3$ данные могут вводиться по входу DI . Две микросхемы K1800ВУ1 обеспечивают приращение прямой и условный переходы и подпрограмму для 256 слов управляющей памяти. При адресации более 256 слов память должна быть организована в формат слово-страница.

Устройство микропрограммного управления, реализованное на двух микросхемах К1800ВУ1, обеспечивает выбор слова в микропрограммной памяти для выполнения команд. Каждое микропрограммное слово делится на группы разрядов, называемых полями, которые позволяют одновременно организовать работу отдельных устройств микропроцессора. Данное свойство микропрограммного управления позволяет выполнять несколько микрокоманд одновременно при выполнении одной машинной команды и тем самым существенно улучшить быстродействие. Поэтому число микрокоманд в команде и скорость выполнения каждой ми-

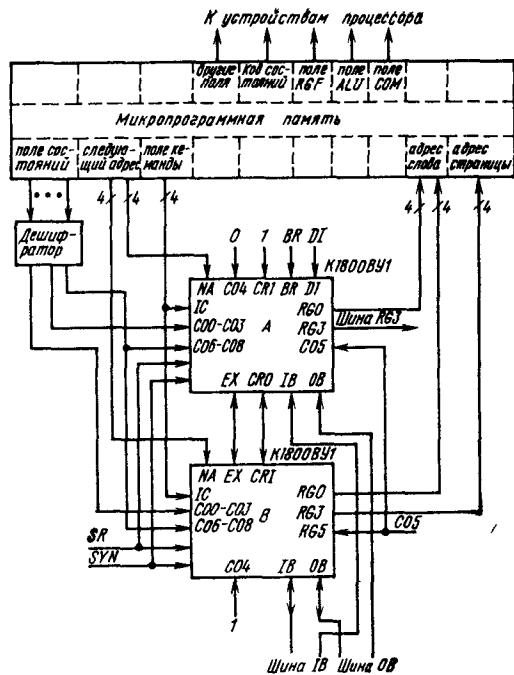


Таблица 10.24

Параметр	Обозначение	Вывод	Значения параметров [макс (мин)]	Режим измерения
Ток потребления, мА:				
от источника U_{CC1}	I_{CC1}	1, 24	250	$U_{CC1} = -5,2$ В,
от источника U_{CC2}	I_{CC2}	25, 48	300	$U_{CC2} = -2$ В
Входиой ток высокого уровня, мкА	I_{IH}	8—11, 13—16, 23 18, 26—32, 38, 39, 41—44, 46, 47 40, 45	45 370 470	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	8—11, 13—16, 18, 23, 26—32, 38—44, 46, 47	(0,5)	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	2—6, 8—11, 13—16, 19—23	-0,81 (-0,96)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное напряжение низкого уровня, В	U_{OL}	8—11, 13—16, 23 2—6, 19—22	-1,65 (-1,90) -1,65 (-1,85)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	2—6, 8—11, 13—16, 19—23	(-0,98)	$U_{ITH} = -1,105$ В $U_{ITL} = -1,475$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	2—6, 8—11, 13—16, 19—23	-1,63	$U_{ITL} = -1,105$ В, $U_{ITH} = -1,475$ В

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL} , t_{PLH}	45 и 22 45 и 23 46 и 2 43 и 2 44 и 23 41 и 8 26 и 13 47 и 5 40 и 8 23 и 13	16 21 7 26 21 33 24 10 28 31	$U_{CC1} = -3,2$ В, $U_{CC2} = 0$ В, $U_{SS} = U_{SS0} = 2$ В, $Z_L = 50$ Ом, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В

рограммы будут определять быстродействие микропроцессора в целом.

В табл. 10.24 приведены основные параметры K1800B61 при температуре окружающей среды 25 °C.

10.3. Микросхема K1800B62

Микросхема K1800B62 — устройство синхронизации (FT), предназначено для выработки синхросигналов, обеспечивающих синхрон-

Таблица 10.25

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	U_{SS0}	—	Общий выходных транзисторов
2, 21—23	$CP1, CP4,$ $CP3, CP2$	Выходы	Синхросигналы 1-й, 2-й, 3-й и 4-й фаз
3	LPO	Выход	Признак последней фазы синхросигнала
4	CCO	Выход	Контроль состояния
5	LPI	Вход	Разрешение выработки синхросигналов
6	SYN	Вход	Задающий генератор
7	ST	Вход	Асинхронный пуск
8—11	$CO0—CO3$	Входы	Управление длительностью синхросигнала
12	U_{CC}	—	Напряжение питания —5,2 В
13	$CO8$	Вход	Управление режимом «Запуск — останов»
14	$CO9$	Вход	Управление режимом «Работа — профилактика»
15	$CO10$	Вход	Управление режимом «Однократный тактовый — фазовый»
16	$CO7$	Вход	Управление длительностью синхросигнала последней фазы
17	SR	Вход	Установка в исходное состояние
18	$CO6$	Вход	Управление наращиванием
19, 20	$CO5, CO4$	Входы	Управление числом фаз синхросигнала
24	U_{SS}	—	Общий схемы

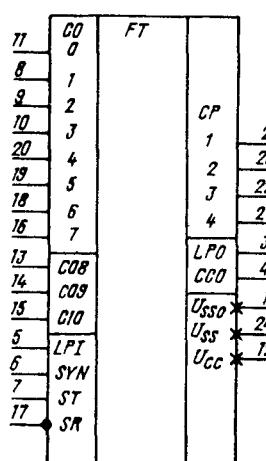


Рис. 10.7. Условное графическое обозначение K1800B62

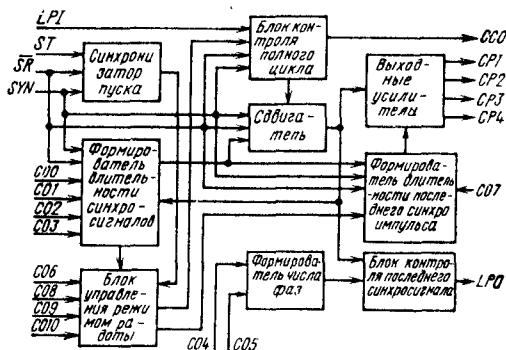


Рис. 10.8. Структурная схема K1800ВБ2

ную работу микросхем МПК К1800 в устройствах цифровой автоматики и вычислительной техники. Число выходных фаз, длительность синхросигналов каждой фазы, запоминание синхросигнала и другие режимы работы FT программируются с помощью внешних сигналов, поступающих на соответствующие входы. Микросхема может быть также использована для выработки синхросигналов в устройствах, построенных на базе микросхем серии К500.

Условное графическое обозначение микросхемы приведено на рис. 10.7, назначение выводов — в табл. 10.25, структурная схема показана на рис. 10.8.

Микросхема содержит: синхронизатор пуска, формирователь длительности синхросигналов, блок управления режимом работы, блок контроля полного цикла, сдвигатель, формирователь числа фаз, формирователь длительности последнего синхросигнала, блок контроля последнего синхросигнала и выходные усилители.

Запуск микросхемы производится асинхронным сигналом произвольной длительности на входе \$ST\$. В результате вырабатываются синхросигналы \$CP1\$-\$CP4\$, длительность которых определяется тактовой частотой импульсов на входе \$SYN\$. Сброс всех выходов синхросигналов в 0 выполняется сигналами лог. 0 на входе \$SR\$. С помощью управляющих сигналов на входах \$CO0\$-\$CO3\$ осуществляется программирование длительности синхросигналов \$CP1\$-\$CP4\$ соответственно, причем при \$CO_i=0\$ сигнал \$CP_i\$ имеет единичную длительность, при \$CO_i=1\$ \$CP_i\$ имеет двойную длительность.

Управляющие входы \$CO4\$, \$CO5\$ позволяют программировать число фаз синхросигналов от одной до четырех. Управление длительностью последнего выходного синхросигнала в режимах «однократная фаза» и «остановка на фазе» производится сигналом на входе \$CO7\$. При \$CO7=1\$ выходные синхросигналы имеют двойную длительность в зависимости от состояния управляющих сигналов на входах \$CO0\$-\$CO3\$. При \$CO7=0\$ в указанных режимах происходит хранение последнего синхросигнала в состоянии лог. 1.

Вход управления наращиванием \$CO6\$, выход признака последней фазы синхросигналов \$LPO\$ и вход разрешения выработки синхросигналов \$LPI\$ используются при объединении двух или более микросхем. Режим работы управляет сигналами \$CO10\$ (однократный — тактовый), \$CO9\$ (работа — профилактика), \$CO8\$ (запуск — остановка), различные комбинации которых приведены в табл. 10.26.

Микросхема имеет контрольный выход состояния \$CC0\$. Сигнал \$CC0=0\$ при поступле-

Таблица 10.26

Режим работы	Операция	Управление		
		\$CO8\$	\$CO10\$	\$CO9\$
Профилактический	Запуск	Остановка в конце цикла	1	1
		Остановка на фазе	1	0
	Остановка	Единичный цикл	0	1
Рабочий	Запуск	Остановка в конце цикла	1	1
		Остановка на фазе	1	0
	Остановка	Единичный цикл	0	1
		Единичная фаза	0	0

Таблица 10.27

Вход \$CO4\$	Вход \$CO5\$	Число фаз	Вход \$CO4\$	Вход \$CO5\$	Число фаз
0	0	1	.	.	.
1	0	2	0	1	3
			1	1	4

Таблица 10.28

Вход	Состояние на входе	Фаза синхросигнала	Длительность синхросигнала
\$CO0\$	0	1	Единичная
	1	1	Двойная
\$CO1\$	0	2	Единичная
	1	2	Двойная
\$CO2\$	0	3	Единичная
	1	3	Двойная
\$CO3\$	0	4	Единичная
	1	4	Двойная

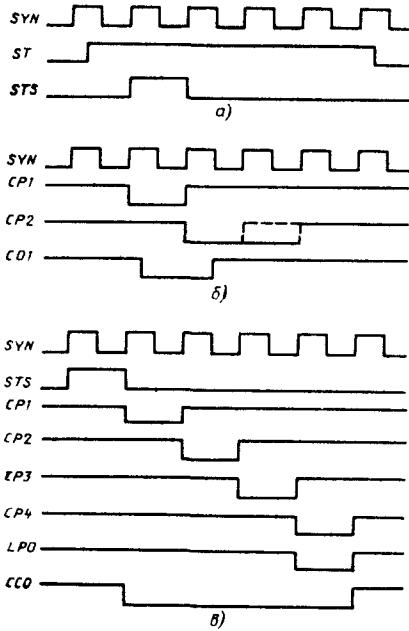


Рис. 10.9. Временные диаграммы.

a формирование синхросигнала пуска *STS*; *б* формирование второй фазы синхросигнала двойной длительности; *в* единичный цикл

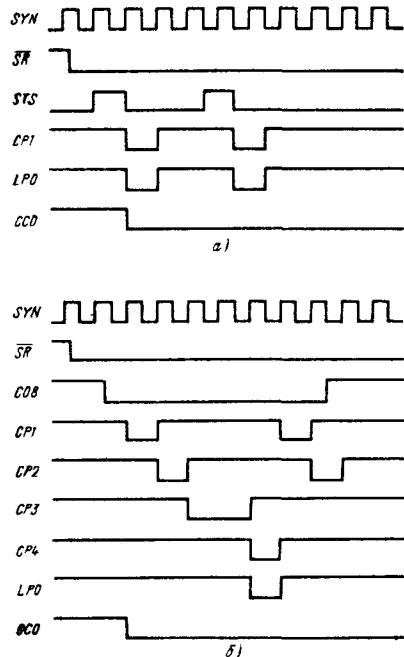
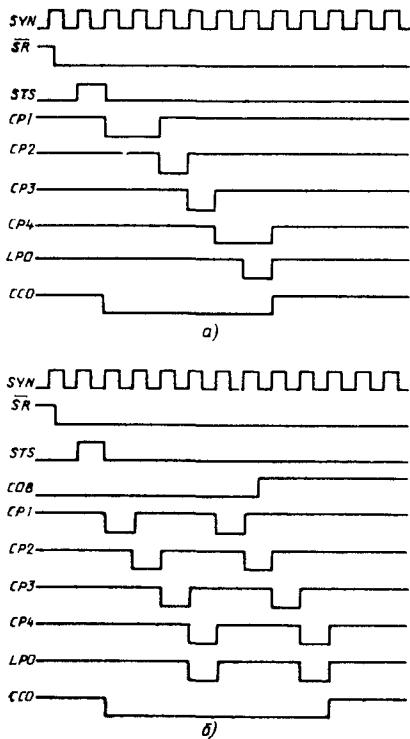


Рис. 10.11. Временные диаграммы работы микросхемы в рабочем режиме:

а единичная фаза; *б* остановка на фазе *CP3* двойной длительности



← Рис 10.10. Временные диаграммы работы микросхемы в профилактическом режиме:

а единичный цикл, четыре фазы, *CPI* и *CP4* двойной длительности; *б* – остановка в конце цикла, четыре фазы

ния сигнала \overline{SR} , либо при окончании операции «единичный цикл» либо при остановке в конце цикла, $CC0=1$ в остальных случаях.

Внешние сигналы произвольной длительности *ST* в синхронизаторе пуска преобразуются во внутренние синхронные сигналы *SYN*, длительность которых равна длительности периода синхросигналов (рис. 10.9, *а*). Формирователь числа фаз вырабатывает выходные импульсы-фазы, число которых зависит от состояния управляющих сигналов на входах *CO4* и *CO5* (табл. 10.27).

Формирователь длительности фаз синхросигналов позволяет увеличить с помощью управляемых сигналов на входах *CO0*–*CO3* длительность некоторых или всех выходных синхросигналов *CPI*–*CP4* в 2 раза. Длительность синхросигналов в единичном режиме равна длительности периода такирующих сигналов *SYN*. Программирование длительности фаз синхросигналов производится согласно табл. 10.28.

Сдвигатель обеспечивает определенную последовательность всех синхросигналов. Все четыре фазы появляются или отсутствуют на

входах в строго определенные моменты времени с соблюдением последовательности 1-2-3-4. Формирователь длительности последнего синхросигнала задает длительность последнего выходного синхросигнала в режимах «единичная фаза» и «остаивка на фазе». Режим работы блока управляется сигналом на входе $C07$.

Временные диаграммы работы микросхемы приведены на рис. 10.9—10.11. На рис. 10.10 временные диаграммы приведены для работы микросхемы в профилактическом режиме, на рис. 10.11 — в рабочем режиме.

При многофазной системе синхронизации выработку синхросигналов в процессоре обеспечивают объединением нескольких микросхем K1800BБ2. На рис. 10.12 показано соединение двух микросхем, которые могут вырабатывать до восьми синхросигналов. При объединении нескольких микросхем K1800BБ2 одна (A) является основной, а все остальные (B) подчиненными. Если работает одна микросхема, то она является основной. На вход $C06$ основ-

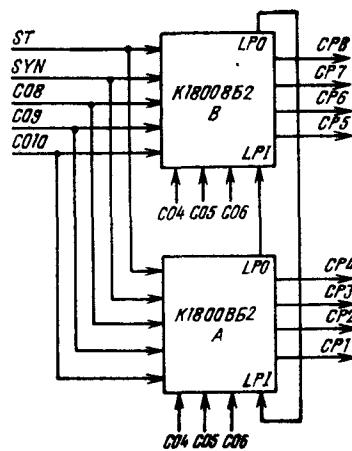


Рис. 10.12. Пример объединения двух микросхем K1800BБ2 в устройстве синхронизации

Таблица 10.29

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника U_{CC1} , мА	I_{CC1}	12	141	$U_{CC1} = -5,2$ В
Входной ток высокого уровня, мкА	I_{IH}	5—11, 13—20	320	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	5—11, 13—20	(0,5)	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	2—4, 21—23	-0,81 (-0,96)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное напряжение низкого уровня, В	U_{OL}	2—4, 21—23	-1,65 (-1,85)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	2—4, 21—23	(-0,98)	$U_{IH} = -1,105$ В, $U_{IL} = -1,475$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	2—4, 21—23	-1,63	$U_{IH} = -1,105$ В, $U_{IL} = 1,475$ В
Время задержки распространения сигнала между выводами при включении, нс	t_{P1H}	6 и 2 6 и 3 6 и 4 6 и 21 6 и 22 6 и 23	9 10 8 9 9 9	$U_{CC1} = -3,2$ В, $U_{SS} = U_{SS0} = -2$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_L = 50 \Omega$
Время задержки распространения сигнала между выводами при выключении, нс	t_{PHI}	17 и 2 17 и 3 17 и 21 17 и 22 17 и 23	11 14 15 13 12	$U_{CC1} = -3,2$ В, $U_{SS} = U_{SS0} = -2$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_L = 50 \Omega$

ной микросхемы должно постоянно подаваться напряжение низкого уровня (лог. 1), а на подчиненные CO_6 — напряжение высокого уровня (лог. 0). Сигналы управления режимом работы соединяются параллельно. Вход LPI основной микросхемы соединяется с выходом LPO последней подчиненной. Если работает одна микросхема, то выводы LPI и LPO соединяются.

В табл. 10.29 приведены основные параметры микросхемы K1800BT2 при температуре окружающей среды 25 °C.

10.4. Микросхема K1800BT3

Микросхема K1800BT3 — устройство управления памятью (COM), вырабатывает адреса памяти, запоминает их для передачи, выполняет арифметические и сдвиговые операции над данными и адресами. Микросхема выполняет 13 функций АЛУ над семью возможными operandами и 17 операций передачи данных. Высокая логическая гибкость достигается с помощью пяти независимых 4-разрядных информационных шин, три из которых дву направленные. Передача данных и вычисления осуществляются с помощью 15 входов управления.

Г а б л и ц а 10.30

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	U_{CC1}	—	Напряжение питания —5,2 В
2	$CRG-OF$	—	Признак группового переноса и переполнения
3—6	OB_3-OB_0	Входы/выходы	Двунаправленные выводы шины OB , разряды 0—3
7, 17	U_{SS_0}	—	Общий выходных транзисторов
8—11	IB_0-IB_3	Входы/выходы	Двунаправленные выводы шины IB , разряды 0—3
12, 36	U_{SS}	—	Общий схемы
13—16	DB_1, DB_0, DB_2, DB_3	Входы/выходы	Двунаправленные выводы шины данных DB , разряды 0—3
18—21	A_0, A_3, A_1, A_2	Выходы	Адрес A , разряды 0—3
22	$CR-MBS$	Вход/выход	Перенос и вход/выход старшего разряда при сдвиге
23	$CRP-ZD$	Выход	Распространение группового переноса и проверка на нуль
25, 48	U_{CC_2}	—	Напряжение питания —2 В
26	CO_4	Вход	Управление разрешением выходов адреса
27	CO_{14}	Вход	Управление разрешением шины данных и адреса
28	CO_5	Вход	Управление регистрами
29	$CO_6, CO_9, CO_7, CO_8,$	Входы	Управление режимом работы
30	CO_{11}, CO_{10}	—	Указатель P , разряды 0—3
31	P_2, P_3	Входы	Перенос и вход/выход младшего разряда при сдвиге
32	P_1, P_0	Входы	Управление передачей данных
33, 34	$CR-LBS$	—	Синхронизация
35	CO_{12}, CO_{13}	Входы	Управление выбором адреса регистрового массива
39—42	SYN	Вход	—
43	CO_{12}, CO_{13}	Входы	—
44, 45	CO_{12}, CO_{13}	Входы	—

Рис. 10.13. Условное графическое обозначение K1800BT3

Примечание. Разряд 0 — младший, разряд 3 — старший

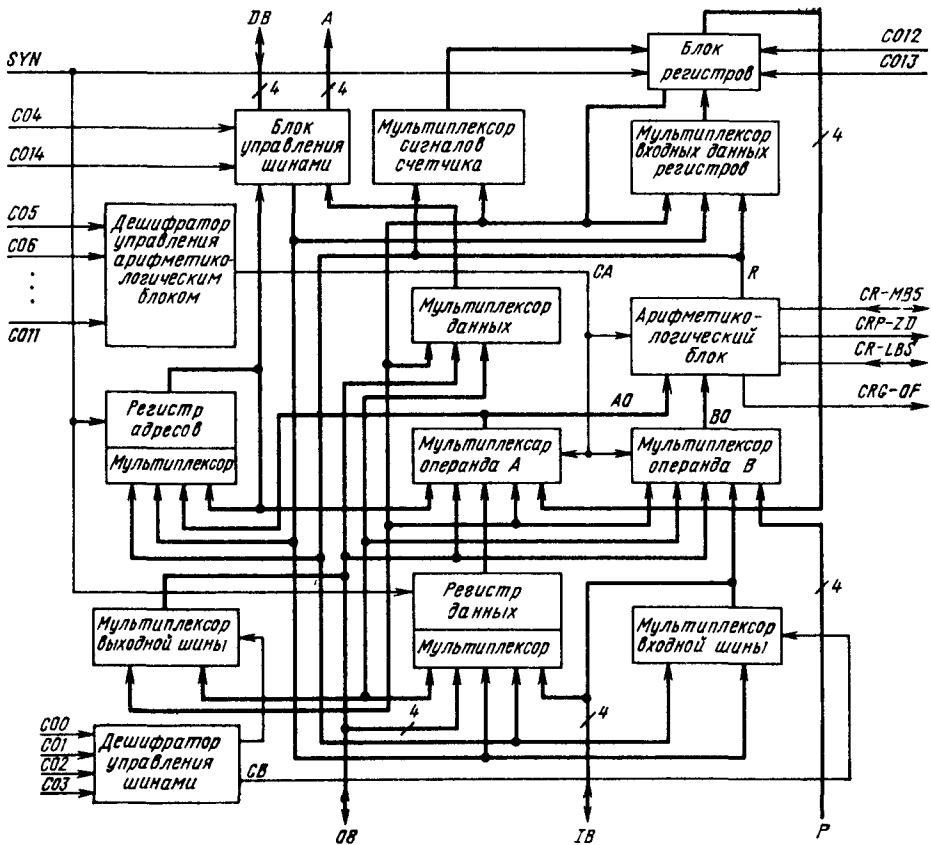


Рис. 10.14. Структурная схема К1800ВТ3

Условное графическое обозначение микросхемы приведено на рис. 10.13, назначение выводов — в табл. 10.30, структурная схема показана на рис. 10.14.

Микросхема состоит из регистра адресов *RGA*, регистра данных *RGD*, блока регистров *RGE*, арифметико-логического блока *ALU*, дешифратора управления блоком *DCA* и шинами *DC*, мультиплексора данных *MUXD*, операнда *A MUXA*, операнда *B MUXB*, сигналов счетчика *MUX RGO*, входных данных регистров, входной *MUXI* и выходной *MUXO* шин и блока управления шинами. Шины данных *OB*, *IB* и *DB* двунаправленные, шина адресов *A* (выходная) и шина указателя *B* (входная) односторонние. Восемь сигналов, вырабатываемых *ALU*, выводятся по четырем выводам: *CR—MBS* (перенос и старший разряд при сдвиге), *CRP—ZD* (распространение группового переноса и проверки на нуль), *CR—LBS* (перенос и младший разряд при сдвиге) и *CRG—OF* (генерация группового переноса и переполнения). Арифметические и логические операции, а также сдвиг в *ALU* выполняются над информацией, поступающей из шести возможных источников.

можных источников. регистры RGD и RGA , блок регистров RGF , шины IB , OB и P .

Операции передачи информации между блоками микросхемой *COM* имеют следующие обозначения: *FOB* — подключение блока регистров к шине *OB*; *ROB* — подключение регистра данных к шине *OB*; *AIB* — подключение выводов *ALU* к шине *IB*; *DIB* — подключение шины данных к шине *IB*; *FDB* — подключение регистра массива к шине данных; *ODB* — подключение шинны *OB* к шине данных; *RDB* — подключение регистра данных к шине данных, *ADR* — подключение выходов *ALU* к регистру данных; *DDR* — подключение шины данных к регистру данных; *IDR* — подключение шинны *IB* к регистру данных; *DRF* — подключение шинны данных к регистровому массиву (*CO5=0*); *ODR* — подключение шинны *OB* к регистру данных; *DAR* — подключение шинны данных к адресному регистру (*CO5=1*); *PIO* — поточная передача данных от шинны *IB* к шине *OB* через регистр данных; *PDO* — поточная передача данных от шинны данных к шинне *OB* через регистр данных; *PID* — поточная передача данных от шинны *IB* к шинне дан-

Таблица 10.31

Источник информации	Управление				Операция передачи
	CO0	CO1	CO2	CO3	
DB	0	1	1	X	DDR, PDO
ALU	1	1	0	0	ADR
OB	0	1	0	0	ODR
IB	1	1	1	0	IDR
IB	1	1	X	1	PID, PIO
RGD	0	1	0	1	ODB
RGD	X	0	X	X	—

Примечание. X — состояние на входе безразлично; $\leftarrow\rightarrow$ — информация не передается.

ных через регистр данных; NOP — нет передачи.

Выполнение перечисленных операций передачи информации проводится с помощью значительного числа мультиплексоров (*MUXD*, *MUXA*, *MUXB*, *MUX RGO*, *MUXI*, *MUXO*) и регистров (*RGA*, *RGD*, *RGF*). Все регистры микросхемы синхронизируются положительным фронтом сигнала *SYN*. Регистр *RGA* содержит информацию о текущем адресе памяти и через мультиплексор может быть загружен информацией от шин *DB*, *OB*, регистров *RGD* и *RGF* и выходов *ALU*. Управление работой *RGA* осуществляется сигналами *CO4*, *CO5* и *CO14*. При *CO5=1* *RGA* перезаписывает содержимое и может использоваться как аккумулятор. Сигнал *CO4* управляет передачей информации на шину *A*. На шину *A* передаются данные из *RGA* при *CO4=1* и устанавливаются 1 при *CO4=0*.

Регистр данных *RGD* служит для запоминания информации, поступающей или выходящей по шине *DB*, а также для записи информации из шин *OB*, *IB* и *ALU*. Мультиплексор регистра *RGD* управляется сигналами на входах *CO0—CO3* согласно табл. 10.31. Блок регистров *RGF* состоит из четырех регистров *RG0—RG3*, работа которых управляется сигналами *CO12* и *CO13* согласно табл. 10.32. Регистр *RG0* используется в качестве программ. Каждый регистр *RGF* может быть расширен до необходимого размера слова параллельным

Таблица 10.32

Регистр	Управление		Регистр	Управление	
	CO12	CO13		CO12	CO13
<i>RGO</i>	0	0	<i>RG2</i>	0	1
<i>RGI</i>	1	0	<i>RG3</i>	1	1

включением микросхем K1800BT3. Операции передачи информации в K1800BT3 выполняются согласно табл. 10.33 с помощью управляющих сигналов. Входящая и выходящая информация шин *DB* и *A* проходит через инвертор в блоке управления сигналами, управляемом сигналом *CO14*. При *CO14=0* входящая или выходящая информация шины *DB* и выходящая информация шины *A* инвертируются, при *CO14=1* происходит прямая передача.

Арифметико-логический блок микросхемы *C0M* выполняет 13 операций, которые имеют следующие обозначения: *ADD* — двоичное сложение; *SUB* — двоичное вычитание; *ASL*, *LSL* — сдвиг влево арифметический, логический; *ASR*, *LSR* — сдвиг вправо арифметический, логический; *EOR* — исключающее ИЛИ; *EORP* — исключающее ИЛИ указателя; *OR* — лог. ИЛИ; *AND* — лог. И; *POINT* — сложение с указателем; *REL* — изменение состояния; *MOD* — модификация адреса.

В табл. 10.34 показан порядок программирования операций, выполняемых *ALU* с помощью управляющих сигналов *CO6—CO11*, передача информации и выполняемые операции. Дешифратор управления блоком *DCA* дешифрирует управляющие виешение сигналы *CO6—CO11* во внутренние управляющие сигналы *CA0—CA16*, которые поступают на *ALU*, *MUXA* и *MUXB*. Выбор операции *ALU* производится параллельно с работой схемы управления передачей данных, что увеличивает быстродействие устройства.

Входы *P*, подсоединенные к *ALU*, позволяют модифицировать адрес или использовать константы при адресации памяти. Эти входы позволяют организовать операции памяти и приращения счетчика программ для побайтного адресуемой памяти, а также других функций, например ввода информации в блок регистров. Состояние выходов *ALU* определяется сигналами на управляющих выводах *CO6—CO9* и конкретное назначение их зависит от выполняемой операции (табл. 10.35). Четыре сигнала признаков состояния *ALU* определяются следующими уравнениями:

$$CR0 = CRG \vee CRP \cdot CRI;$$

$$OF = C3 \oplus CRO = C3 (\overline{AO3} \cdot \overline{BO3}) \vee \overline{C3} \times (\overline{AO3} \cdot BO3);$$

$$CRP = (AO3 \vee BO3) \cdot (AO2 \vee BO2) \cdot (AO1 \vee BO1) \times (AO0 \vee BO0);$$

$$CRG = (AO3 \cdot BO3) \vee (AO3 \vee BO3) \cdot (AO2 \cdot BO2) \vee (AO3 \vee BO3) \cdot (AO2 \vee BO2) \cdot (AO1 \cdot BO1) \vee (AO3 \vee BO3) \cdot (AO2 \vee BO2) \cdot (AO1 \vee BO1) \times (AO0 \cdot BO0);$$

$$C3 = (AO2 \cdot BO2) \vee (AO2 \vee BO2) \cdot (AO1 \cdot BO1) \vee (AO2 \vee BO2) \cdot (AO1 \vee BO1) \times (AO0 \cdot BO0) \vee$$

$$(AO2 \vee BO2) \cdot (AO1 \vee BO1) \cdot (AO0 \vee BO0) \cdot CRI;$$

$$ZD = \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0},$$

Таблица 10.33

Операция передачи			Управление						Шина			Состояние после передачи
Источник	Назначение	Обозначение	<i>CO0</i>	<i>CO1</i>	<i>CO2</i>	<i>CO3</i>	<i>CO5</i>	<i>CO14</i>	<i>DB</i>	<i>IB</i>	<i>OB</i>	
Нет передачи		<i>NOP</i>	0	0	0	0	X	X	1	1	1	—
<i>ALU</i>	<i>IB</i>	<i>AIB</i>	1	0	0	0	X	X	1	<i>A</i>	1	—
<i>OB</i>	<i>RGD</i>	<i>DDR</i>	0	1	0	0	X	X	1	1	1	<i>OB</i>
<i>ALU</i>	<i>RGD</i>	<i>ADR</i>	1	1	0	0	X	X	1	1	1	<i>ALU</i>
<i>DB</i>	<i>RGF</i>	<i>DRF</i>	0	0	1	0	0	0	1	1	1	—
<i>DB</i>	<i>RGF</i>	<i>DRF</i>	0	0	1	0	0	1	1	1	1	—
<i>DB</i>	<i>RGA</i>	<i>DAR</i>	0	0	1	0	1	0	1	1	1	—
<i>DB</i>	<i>RGA</i>	<i>DAR</i>	0	0	1	0	1	1	1	1	1	—
<i>DB</i>	<i>IB</i>	<i>DIB</i>	1	0	1	0	X	0	1	<i>DB</i>	1	—
<i>DB</i>	<i>IB</i>	<i>DIB</i>	1	0	1	0	X	1	1	<i>DB</i>	1	—
<i>DB</i>	<i>RGD</i>	<i>DDR</i>	0	1	1	0	X	0	1	1	1	<i>DB</i>
<i>DB</i>	<i>RGD</i>	<i>DDR</i>	0	1	1	0	X	1	1	1	1	<i>DB</i>
<i>IB</i>	<i>RGD</i>	<i>IDR</i>	1	1	1	0	X	X	1	1	1	<i>IB</i>
<i>RGF</i>	<i>DB</i>	<i>FDB</i>	0	0	0	1	X	0	<i>RGF</i>	1	1	—
<i>RGF</i>	<i>DB</i>	<i>FDB</i>	0	0	0	1	X	1	<i>RGF</i>	1	1	—
<i>DR</i>	<i>DB</i>	<i>RDB</i>	1	0	0	1	X	0	<i>RGD</i>	1	1	—
<i>DR</i>	<i>DB</i>	<i>RDB</i>	1	0	0	1	X	1	<i>RGD</i>	1	1	—
<i>OB</i>	<i>DB</i>	<i>ODB</i>	0	1	0	1	X	0	<i>OB</i>	1	1	—
<i>OB</i>	<i>DB</i>	<i>ODB</i>	0	1	0	1	X	1	<i>OB</i>	1	1	—
<i>IB</i>	<i>RGD</i>	<i>PID</i>	1	1	0	1	X	0	<i>RGD</i>	1	1	<i>IB</i>
<i>DR</i>	<i>DB</i>	<i>PID</i>	1	1	0	1	X	0	<i>RGD</i>	1	1	<i>IB</i>
<i>IB</i>	<i>RGD</i>	<i>PID</i>	1	1	0	1	X	1	<i>RGD</i>	1	1	<i>IB</i>
<i>RGD</i>	<i>DB</i>	<i>PID</i>	1	1	0	1	X	1	<i>RGD</i>	1	1	<i>IB</i>
<i>RGF</i>	<i>OB</i>	<i>FOB</i>	0	0	1	1	X	X	1	1	1	—
<i>RGD</i>	<i>OB</i>	<i>ROB</i>	1	1	1	1	X	X	1	1	1	—
<i>DB</i>	<i>RGD</i>	<i>PDO</i>	0	0	1	1	X	0	1	1	<i>RGD</i>	<i>DB</i>
<i>RCD</i>	<i>RGD</i>	<i>PDO</i>	0	1	1	1	X	0	1	1	<i>RGD</i>	<i>DB</i>
<i>DB</i>	<i>OB</i>	<i>PDO</i>	0	1	1	1	X	1	1	1	<i>RGD</i>	<i>DB</i>
<i>RGD</i>	<i>OB</i>	<i>PDO</i>	0	1	1	1	X	1	1	1	<i>RGD</i>	<i>DB</i>
<i>IB</i>	<i>RGD</i>	<i>PIO</i>	1	1	1	1	X		1	1	<i>RGD</i>	<i>IB</i>
<i>RGD</i>	<i>OB</i>	<i>PIO</i>	1	1	1	1	X		1	1	<i>RGD</i>	<i>IB</i>

Примечание. *X* — состояние не определено; \leftrightarrow — состояние не изменяется.

где R_i — i -й разряд выходной шины *ALU*; AO_i и BO_i — i -е разряды операндов AO и BO ; $i=0$ (*LBS*), 1, 2, 3 (*MBS*); P — входы шины указателя.

Результаты $R0-R3$ операций из *ALU* могут быть направлены в различные блоки (табл. 10.36). Передача информации на шину

IB и в регистр данных управляемся дешифраторм управления *ALU*. Информацию из *ALU* можно также передать в регистр адресов, блок регистров и в счетчик программ (регистр *RG0*). Эти передачи управляются сигналом *CO5* и выполняемой в *ALU* операцией. Если в качестве приемника выбран счетчик *RG0*

Таблица 10.34

CO_6	CO_7	CO_8	CO_6	CO_7	CO_8	CO_6	CO_7	CO_8	CO_6	CO_7	CO_8	CO_6	CO_7	CO_8	CO_6	CO_7	CO_8	CO_6	CO_7	CO_8
0	0	1	0	0	0	1	0	1	1	1	0	0	1	0	0	1	0	1	1	0
ADD_{CRG-OF} $CRP-ZD$	SUB_{CRF-OF} $CRP-ZD$	AND_{CRO-R3} $CRP-ZD$	OR_{CRO-R3} $CRP-ZD$	ASR_{CRO-R3} $CRP-ZD$ $CPG-I$	ASL_{CRG-OF} $CRP-ZD$	EOR_{CRO-R3} $CRP-ZD$														
$OB \leftarrow IB \cdot P$ $OB \oplus RGD \cdot P$ $RGF \oplus OB \cdot P$ $RGF \oplus RGD \cdot P$	$OB \leftarrow IB \cdot P$ $OB \oplus RGD \cdot P$ $PGF \oplus OB \cdot P$ $RGF \oplus RGP \cdot P$	$OB \cdot (IB \cdot P)$ $OB \cdot (RGD \cdot P)$ $RGF \cdot (OB \cdot P)$ $PGF \cdot (PGD \cdot P)$	$OB \vee (OB \cdot P)$ $OB \vee (RGD \cdot P)$ $RGF \vee (OB \cdot P)$ $RGF \vee (RGD \cdot P)$	OB_{RGD} RGF_{RGA}	OB_{RGD} RGF_{RGA}	$OB \oplus (IB \cdot P)$ $OB \oplus (RGD \cdot P)$ $RGF \oplus (OB \cdot P)$ $RGF \oplus (RGD \cdot P)$														
$ADD_{CRG-CRG}$ $CRP-CRP$	$SUB_{CRG-CRG}$ $CRP-CRP$	AND_{CRO-R3} $CRP-ZD$	EOR_{CRO-R3} $CRP-ZD$	LSR_{CRC-I} $CRP-ZD$	$LSL_{CRC-CRG}$ $CRP-CP$	$MOD_{CRG-CRG}$ $CRP-CRP$														
$OB \leftarrow IB \cdot P$ $OB \oplus RGD \cdot P$ $RGF \oplus OB \cdot P$ $RGF \oplus RGD \cdot P$	$OB \leftarrow IB \cdot P$ $OB \oplus RGD \cdot P$ $RGP \oplus OB \cdot P$ $RGF \oplus RGD \cdot P$	$OB \cdot P$ $RGD \cdot P$ $RGF \cdot P$ $RGA \cdot P$	$OB \oplus P$ $RGD \oplus P$ $PGF \oplus P$ $RGA \oplus P$	OB_{RGD} RGF_{RGA}	OB_{RGD} RGF_{RGA}	$RGA + P$ $PGA + PGD \cdot P$ $RGA + OB \cdot P$ $RGA + RGF \cdot P$														

Таблица 10.35

Состояние выходов RI $R4$	Операция ALU	Управление				Признак состояния				
		CO_6	CO_7	CO_8	CO_9	CRG	OF	$CRP-ZD$	$CR-MBS$	$CR-LBS$
$AO + \overline{BO} + CRI$	SUB	0	0	0	0 1	CRG	OF	ZD	CRO	CRI
$AO + BO + CRI$	ADD	0	0	1	0 1	CRG	OF	ZD	CRO	CRI
$AO + AO + CRI$	ASL LSL	0	1	0	0 1	$A3 \oplus A2$	CRG	ZD	CRO	CRI
$AO + P + CRI$ $AO + BO + CRI$	$POINT$ REL	0	1	1	0 1	CRG	CRG	CRP	CRO	CRI
$AO \cdot BO$ $AO \cdot P$	AND	1	0	0	0 1	$A3 \cdot B3$	$A3$	ZD	$R3$	CRI
$AO \vee BO$ $AO \oplus P$	OR $EORP$	1	0	1	0 1	CRG	0	ZD	$R3$	CRI
$R3 \cdot A03 \cdot A02 \cdot A01$ $R4 \cdot A03; A02 \cdot A01$	ASR ISP	1	1	0	0 1	CRG	1	ZD	MBS	AO
$AO \oplus BO$ $AO + BO + CRI$	EOR MOD	1	1	1	0 1	CRG	ZD	CRO	$R3$	CRI

<i>CO6</i>	<i>CO7</i>	<i>CO8</i>	<i>CO9</i>	<i>CO10</i>	<i>CO11</i>
0	1	1			
<i>POINT</i>					
<i>CRG</i>	<i>CRG</i>				
<i>CRP</i>	<i>CRP</i>				
<i>DB</i> <i>P</i>	0	0	0		
<i>RGF</i> <i>P</i>	0	0	1		
<i>RGI</i> <i>P</i>	0	1	0		
<i>RGO</i> <i>P</i>	0	1	1		
<i>RF1</i>					
<i>CRG</i>	<i>CRG</i>				
<i>CRP</i>	<i>CRP</i>				
<i>RGO</i> <i>IB</i> <i>R</i>	1	0	0		
<i>RGO</i> <i>RGD</i> <i>P</i>	1	0	1		
<i>RGO</i> <i>OB</i> <i>P</i>	1	1	0		
<i>RGO</i> , <i>RGE</i> <i>P</i>	1	1	1		

(*CO12*=0, *CO13*=0), то в него пересыпается информация $DB + ALU \rightarrow RGO$. Если управляющий сигнал *CO14*=0, то значение *DB* следует заменить на инверсное \overline{DB} .

Расширение разрядности микросхемы управления памятью K1800BT3 до 16 показано на рис. 10.15. В данной схеме соединены четыре микросхемы K1800BT3, одна микросхема ускоренного переноса K500ИП179 и две микросхемы серии K500 для передачи сигналов при выполнении операции сдвига вправо. Если достаточно иметь 8 или 12 разрядов вместо четырех, то используются две или три микросхемы K1800BT3 и дополнительные микросхемы (кроме микросхемы ускоренного переноса) не нужны. При соединении микросхем K1800BT3 ускоренный перенос выполняется при условии, когда во всех микросхемах K1800BT3 (кроме содержащей самый старший разряд) на управляющем входе *CO8* имеется 0.

Таблица 10.36

Операция передачи	<i>CO5</i>	Назначение			Операция <i>ALU</i>
		<i>RGA</i>	<i>RGF</i>	<i>RGO</i>	
<i>DRF</i> <i>DAR</i>	0	<i>A</i>	<i>DB</i>	<i>DB</i>	
<i>ADR</i> или <i>AIB</i>	1	<i>DB</i>	<i>ALU</i>		
Другие	0 1	<i>A</i> <i>ALU</i>	<i>ALU</i> <i>ALU</i>		<i>POINT</i> (кроме <i>RGO</i> + <i>P</i>)
<i>DRF</i>	0 1	<i>RGO</i> <i>DB</i>	<i>DB</i>	<i>ALU</i> <i>ALU</i>	<i>POINT</i> (<i>RGO</i> + <i>P</i>)
Другие	0 1	<i>RGO</i> <i>ALU</i>		<i>ALU</i> <i>ALU</i>	
<i>DRF</i> <i>DAR</i>	0 1	<i>DB</i>	<i>DB</i> -	<i>ALU</i> <i>ALU</i>	<i>REL</i>
<i>ADR</i> или <i>AIB</i>	0 1	<i>ALU</i>	—	<i>ALU</i>	
Другие	0 1	<i>ALU</i>	—	<i>ALU</i>	
<i>DRF</i> <i>DAR</i>	0 1	<i>DB</i>	<i>DB</i> -	-	<i>SUB</i> , <i>ADD</i> , <i>ASL</i> - <i>LSL</i> , <i>ADD</i> <i>OR</i> - <i>EORP</i> , <i>ASR</i> - <i>LSR</i> , <i>EOR</i> - <i>MOD</i>
<i>ADR</i> или <i>AIB</i>	0 1	—	<i>ALU</i>	—	
Другие	0 1	<i>ALU</i>	<i>ALU</i>	—	

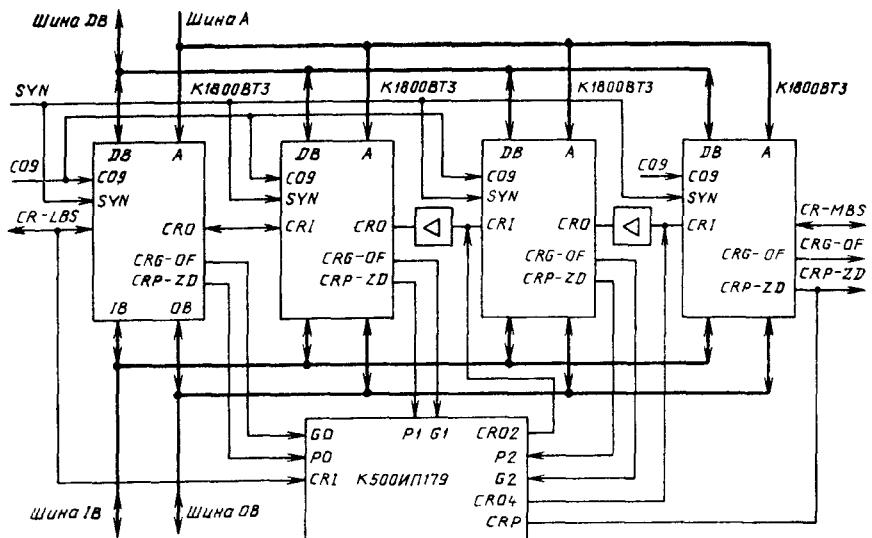


Рис. 10.15 Структурная схема 16-разрядного устройства управления памятью на микросхемах К1800ВТ3 и К500ИП179

Таблица 10.37

Параметр	Обозначение	Выход	Значения параметров [макс (мин)]	Режим измерения
Ток потребления, мА.				
от источника U_{CC1}	I_{CC1}	1, 24	240	$U_{CC1} = -5,2$ В,
от источника U_{CC2}	I_{CC2}	25, 48	230	$U_{CC2} = -2$ В
Входной ток высокого уровня, мкА	I_{IH}	3—6, 8—11, 13—16 22, 26—35, 37—42, 44—47 43	90 370 550	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	26—34, 37—47	(0,5)	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	2—6, 8—11, 13—16, 18—23, 35	-0,81 (-0,96)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное напряжение низкого уровня, В	U_{OL}	2, 18—21, 23	-1,65 (-1,85)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	3—6, 8—11, 13—16, 22, 35	-1,65 (-1,90)	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	2—6, 8—11 13—16, 18—23, 35	-1,63	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL} , t_{PLH}	35 и 10 35 и 22 22 и 11 42 и 14 26 и 18 27 и 18 29 и 2 27 и 8 14 и 8 11 и 23 34 и 11 43 и 4 3 и 10 43 и 14 44 и 3 43 и 8	22 8 19 21 13 13 29 20 16 27 23 19 32 19 25	$U_{CC1} = -3,2$ В, $U_{CC2} = 0$ В, $U_{SS} = U_{SSO} = 2$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_i = 50$ Ом

В табл. 10.37 приведены эксплуатационные электрические параметры микросхемы K1800BT3 при температуре окружающей среды 25 °C.

10.5. Микросхема K1800BA4

Микросхема K1800BA4 — двунаправленный преобразователь уровней ECL—TTL (IBT), выполняет преобразование уровней напряжения ECL-выходов в уровня напряжения TTL-входов или наоборот по двунаправленным

шинам ECL и TTL. Передаваемые сигналы могут запоминаться в фиксаторе или проходить с одной шины на другую без запоминания. При передаче информация инвертируется. Микросхема IBT — 4-разрядная, и разрядность обрабатываемой информации можно увеличить кратно четырем.

Условное графическое обозначение микросхемы приведено на рис. 10.16, назначение выводов — в табл. 10.38, структурная схема показана на рис. 10.17.

Структурная схема IBT состоит из четырех одинаковых частей для каждого разряда.

Таблица 10.38

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 16	U_{SS}	—	Общий
2—5	$ECL1-ECL4$	Входы/выходы	Двунаправленные выводы шины ECL, разряды 1—4
6	BYP	Вход	Управление обходом регистра-фиксатора
7	DE	Вход	Управление запретом выходов
8	U_{CC1}	—	Напряжение питания —5,2 В
9	U_{CC2}	—	Напряжение питания +5,0 В
10	$ECL-TTL$	Вход	Выбор направления передачи ECL—TTL
11	SYN	Вход	Синхронизация
12—15	$TTL4-TTL1$	Входы/выходы	Двунаправленные выводы шины TTL, разряды 1—4

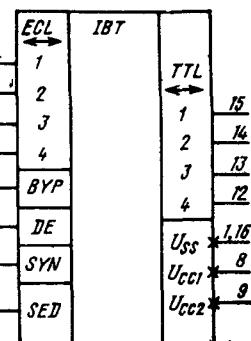


Рис. 10.16. Условное графическое обозначение K1800BA4

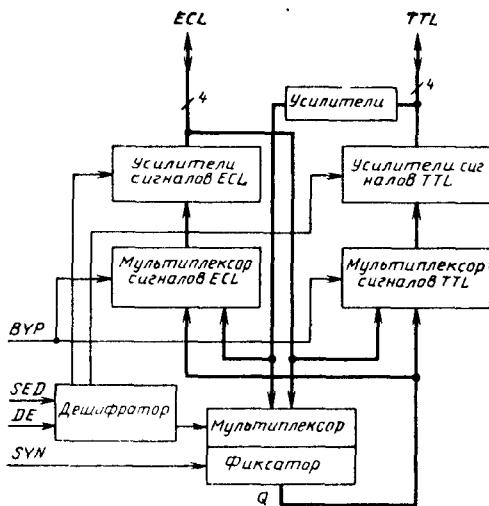


Рис. 10.17. Структурная схема K1800BA4

Только дешифратор выбора режима работы и сигналы управления являются общими для всех разрядов. Схема состоит из фиксатора с мультиплексором, мультиплексоров сигналов *ECL* и *TTL*, усилителей сигналов *ECL* и *TTL* и усилителя для преобразования уровней напряжения. Три управляющих вывода: *SED* — выбор направления передачи, *BYP* — управление обходом фиксатора, *DE* — управление запретом выходов, определяют режимы работы микросхемы. Сигнал на входе *SYN* синхронизирует работу триггеров фиксатора.

При $DE=1$ вывод информации с шин микросхемы запрещен. Обе шины на выходе устанавливаются в закрытое состояние. Когда на вход *DE* поступает 0, оба выхода открыты и могут принимать и выдавать информацию. Не зависимо от состояния входа *DE* информация с шины может быть передана в фиксатор при появлении синхросигнала на входе *SYN*. По сигналу на входе *SED* выбирается направление передачи информации. При напряжении высокого уровня на входе *SED* информация передается с шины *ECL* на шину *TTL*, а при напряжении низкого уровня — с шины *TTL* на шину *ECL*.

Если сигнал на входе *BYP* = 1, то информация с входной шины поступает одновременно на выходную шину и на фиксатор. Для записи информации в фиксатор с последующей передачей сигнала на входе *BYP* устанавливается в 0. Сигнал синхронизации общий для всех триггеров фиксатора. При *SYN* = 1 фиксатор открыт и данные проходят с его входа на выход. Данные запоминаются при переходе сигнала $SYN(U_L \rightarrow U_H)$. Режим на управляющих выводах и функциях, выполняемые шинами и фиксаторами микросхемы, приведены в табл. 10.39. Все сигналы, поступающие на управляющие входы микросхемы, действуют при напряжении с уровнем *ECL*.

Расширение разрядности микросхемы K1800BA4 проводится при объединении управляющих входов *BYP*, *DE*, *SED*, *SYN* и параллельном соединении информационных шин.

В табл. 10.40 приведены электрические параметры микросхемы K1800 при температуре окружающей среды 25 °C.

Таблица 10.39

Фиксатора	Функции		Управляющие входы (уровни <i>ECL</i>)			
	шины <i>TTL</i>	шины <i>ECL</i>	<i>DE</i>	<i>SED</i>	<i>BYP</i>	<i>SYN</i>
	Выход. \bar{Q}	Закрыта	0	0	0	0
$Q = ECI$	Выход $\bar{Q} = 1$ $\bar{Q} = 0$	Вход: 0 1	0	0	0	1
Обход (<i>ECL</i> \rightarrow <i>TTL</i>)	Выход. 1 0	Вход: 0 1	0	0	1	0
$Q = ECI$	Выход 1 0	Вход 0 1	0	0	1	1
—	Закрыта	Выход. \bar{Q}	0	1	0	0
$Q = TTL$	Вход 0 1	Вход: $\bar{Q} = 1$ $\bar{Q} = 0$	0	1	0	1
Обход (<i>TTL</i> — <i>ECL</i>)	Вход 0 1	Выход 1 0	0	1	1	0
	Закрыта	Закрыта	1	0	0	0
$Q = ECI = 0$ $Q = ECI = 1$	Закрыта	Вход 0 1	1	0	0	1
	Закрыта	Закрыта	1	0	1	0
$Q = ECL = 0$ $Q = ECL = 1$	Закрыта	Вход: 0 1	1	0	1	1
	Закрыта	Закрыта	1	1	0	0
$Q = TTL = 0$ $Q = TTL = 1$	Вход: 0 1	Закрыта	1	1	0	1
—	Закрыта	Закрыта	1	1	1	0
$Q = TTL = 0$ $Q = TTL = 1$	Вход. 0 1	Закрыта	1	1	1	1

Примечание «—» — состояние не изменяется.

Таблица 10.40

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления, мА. от источника U_{CC1} от источника U_{CC2}	I_{CC1} I_{CC2}	8 9	130 80	$U_{CC1} = -5,2$ В $U_{CC2} = 5$ В
Входной ток высокого уровня, мкА	I_{IH}	6, 7, 10, 11 2—5 12—15	350 485 45	$U_{IH1} = -0,81$ В $U_{IH1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{IH2} = 2,5$ В, $U_{IH1} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	2—7, 10—11, 12—15	(0,5)	$U_{IL1} = -1,85$ В, $U_{IL2} = 0,5$ В
Ток утечки на выходе, мкА	I_{OLK}	12—15	100	$U_{IH1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{IH2} = 5$ В
Ток короткого замыкания, мА	I_{OS}	12—15	300 (170)	$U_{IN1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{IL2} = 0$
Выходное напряжение высокого уровня, В	U_{OH}	2—5 12—15	-0,81 (-0,96) — (2,5)	$U_{CC2} = -5,2$ В. $U_{CC2} = 5$ В, $U_{ITL2} = 0,8$ В $U_{CC1} = -5,2$ В, $U_{CC2} = 5,0$ В
Выходное напряжение низкого уровня, В	U_{OL}	2—5 2—5 12—15 12—15	-1,65 (-1,85) (-1,98) 0,5 0,6	$U_{IH1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{IH2} = 2,0$ В Выходы закрыты $I_0 = 25$ мА $I_0 = 50$ мА
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	2—5 12—15	(-0,98) (2,5)	$U_{IH1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{ITL2} = 0,8$ В $U_{IH1} = -0,81$ В, $U_{IL1} = -1,85$ В, $U_{ITL1} = -1,475$ В

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	2—5 12—15 21—16	-1,63 0,5 0,6	$U_{IHI} = -0,81$ В, $U_{ILI} = -1,85$ В, $U_{ITH2} = 2$ В $U_{ITH1} = -1,105$ В, $I_0 = 25$ мА $U_{ITH1} = -1,105$ В. $I_0 = 50$ мА
Время задержки распространения при включении или выключении, нс	t_{PHL}, t_{PLH}	2—15 4—13 6—15, 7—14, 10—13, 11—12 14—3 12—5, 7—3, 10—4, 11—5, 6—2	8 10 20 8 10	$U_{CC1} = -5,2$ В, $U_{CC2} = 5,0$ В $U_{IHI} = -0,89$ В. $U_{ILI} = -1,69$ В $U_{CC1} = -3,2$ В, $U_{SS} = U_{SS0} = 2,0$ В, $U_{IL2} = 2,0$ В $U_{CC2} = 7,0$ В, $U_{IHI} = 1,11$ В, $U_{ILI} = 0,31$ В, $U_{IH2} = 4,0$ В

10.6. Микросхема K1800РП6

Микросхема K1800РП6 — двухадресная буферная память (DAM), предназначена для организации быстродействующего буфера данных или регистрового массива. Память состоит из двух частей, адресуемых независимо, поэтому запись данных на одну ее часть может производиться одновременно со считыванием данных из другой. Благодаря этому свойству микросхема может выполнять функции буфера связи между быстродействующим процессором и более медленными устройствами ввода/вывода. Емкость памяти (матрицы) составляет 32 слова по 9 бит в каждой части и может быть увеличена наращиванием. Запись и считывание данных по двум отдельным шинам может производиться одновременно. При записи данных в ячейку памяти одной части матрицы они автоматически записываются в аналогичную ячейку другой ее части.

Условное графическое обозначение микросхемы приведено на рис. 10.18, назначение выводов — в табл. 10.41, структурная схема пока зана на рис. 10.19.

Структурная схема DAM состоит из двух одинаковых частей, каждая из которых включает в себя усилители и формирователи записи данных AD и BD , дешифраторы адресов AA и BA , блоки контроля четности адресов AA и BA и данных, усилители считывания дан-

ных и регистры данных AD и BD , триггеры ошибки и матрицу памяти двойного доступа (32×9). Общая частью является блок сравнения адресов. Шины данных — 9-разрядные двухнаправленные, шины адресов AA и BA — входные, 5-разрядные. Каждая часть матрицы имеет входы разрешения записи с шиной данных в память и входы разрешения выдачи данных из памяти на выходные шины. Синхронизация работы обеих частей микросхемы осуществляется синхросигналами $SYNA$ и $SYNB$, которые поступают на регистры данных, блок сравнения адресов и триггеры ошибки четности.

Вход управления SR устанавливает в исходное состояние триггеры ошибки и регистры данных. Сигнал на выходе равенства адресов $EG-ER$ указывает на то, что адреса AA и BA равны и разрешение записи одной шины совпадает с разрешением записи другой. Преимущество данной структуры микросхемы заключается в том, что матрица может быть использована как два регистра разрядностью 32×9 бит каждый, в которых считывание и запись может одновременно производиться по двум шинам адресов и данных независимо. Данные из одной шины могут записываться в ячейку памяти одной части, в то же время по другойшине данные считаются из ячейки другой части. Информация из памяти может считываться при $SYNA=0$ или $SYNB=0$ и

Таблица 10.41

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	U_{CC}	—	Напряжение питания —5,2 В
2—6, 8—11	$BD_1, BD_2, BD_0, BD_7, BD_8,$ $BD_6—BD_3$	Входы/выходы	Двунаправленные выводы шины данных BD , разряды 0—8
7, 17	U_{SS_0}	—	Общий выходных транзисторов
12, 36	U_{SS}	—	Общий схемы
13—16, 18—22	$AD_3—AD_6, AD_8, AD_7, AD_0, AD_2, AD_1$	Входы/выходы	Двунаправленные выводы шины данных AD , разряды 0—8
23	\overline{ERA}	Выход	Ошибка четности данных или адреса AA
26	\overline{SYNA}	Вход	Синхронизация выходного регистра AA
27	\overline{EAD}	Вход	Разрешение выдачи данных на шину AD
28	\overline{EWA}	Вход	Разрешение записи из шины AD в память
29—34	$AA_0, AA_1—AA_5$	Входы	Адреса AA разрядов 0 (на четность), 1 (младшего) — 5 (старшего)
35, 37—41	$BA_5—BA_1, BA_0$	Входы	Адреса BA разрядов 0 (на четность), 1 (младшего) — 5 (старшего)
42	\overline{EWB}	Вход	Разрешение записи из шины BD в память
43	\overline{EBD}	Вход	Разрешение выдачи данных на шину BD
44	\overline{SYNB}	Вход	Синхронизация выходного регистра BA
45	\overline{SR}	Вход	Установка в исходное состояние триггеров ошибки и выходных регистров
46	$\overline{EG—ER}$	Выход	Признак равенства адресов AA и BA и признак ошибки
47	\overline{ERB}	Выход	Ошибка четности данных или адреса BA
48	CO	Выход	Управление режимом установки

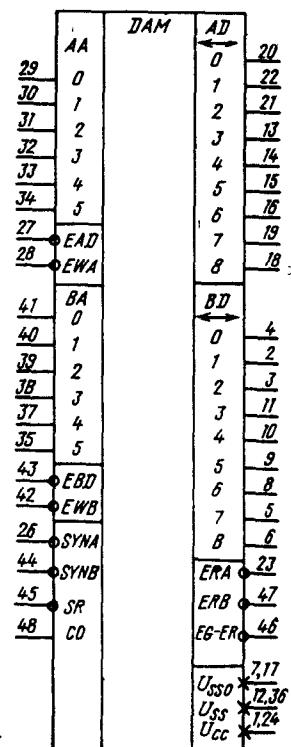


Рис. 10.18. Условное графическое обозначение K1800P16

фиксируется в регистре при $\overline{SYNA}=1$ или $\overline{SYNB}=1$.

Триггеры ошибки используются для проверки четности адреса и данных. Выход триггера ошибки (\overline{ERA} или \overline{ERB}) переходит в 0, если есть ошибка четности, и в 1, если нет ошибки четности при переходе синхросигнала

из 0 в 1. Блок контроля четности адреса и данных срабатывает, если есть ошибка четности адреса. Блок контроля ошибки адреса может быть запрещен подсоединением входов четности адреса (AA_0 и BA_0) к напряжению источника —2 В. Блок сравнения адресов выдает на выходе сигнал $EG—ER$, когда из памяти считывается неправильная информация

запись ошибочная. Выходы триггеров регистра устанавливаются в 0, если вход CO подключается к напряжению U_{IL} . Если вход CO отключен, то входы регистров устанавливаются в состояние 01111111 (0 соответствует позиции младшего бита в слове). При управлении входом CO на входе \overline{SR} в обоих случаях необходимо установить 0.

Работа микросхемы при выполнении основных операций показана в табл. 10.42. Запись в память запрещена, если сигнал на входе $\overline{EWA}=1$ или $\overline{EWB}=1$. Считывание из памяти в регистр данных запрещено и содержимое не изменяется, если сигналы синхронизации на входах $\overline{SYNA}=1$ или $\overline{SYNB}=1$. Передача содержимого из регистров данных запрещена, если сигнал на входе $\overline{EAD}=1$ или $\overline{EBD}=1$.

При выполнении операции считывания возможны три режима работы. В режиме разрешенного доступа $\overline{EAD}=0$ или $\overline{EBD}=0$ выполняется передача содержимого регистров данных на шину AD или BD . В режиме адресной выборки при выполнении операции считывания адресные входы выбирают ячейку па-

мяти и после определенной задержки на шине появляются данные при установлении лог. 0 на входах \overline{SYNA} , \overline{SYNB} и \overline{EAD} , \overline{EAB} . В третьем режиме происходит считывание данных при $\overline{SYNA}=0$ или $\overline{SYNB}=0$. Для этого адреса ячейки должны быть выбраны заранее, и если $\overline{EAD}=0$ или $\overline{EAB}=0$, то на шине AD или BD появляются данные. Выбранные из матрицы данные запоминаются в регистре данных AD (табл. 10.43) при переходе \overline{SYNA} или \overline{SYNB} из 0 в 1. Запись данных в регистр BD описывается аналогичной таблицей. Выполнение операции записи производится от внешних источников данных при $\overline{EAD}=1$ и $\overline{EBD}=1$. Однако входы \overline{EAD} и \overline{EBD} должны быть в открытом состоянии, если источником записываемой информации является внутренний регистр данных AD или BD . Входы шины адреса открываются раньше входов, разрешающих запись, для того, чтобы четность адреса можно было проверить и не разрешить запись при наличии ошибки (табл. 10.44).

Информация с шинны данных записывается в ячейку памяти, когда разрешающий запись вход $\overline{EWA}=0$ или $\overline{EWB}=0$. Информация не

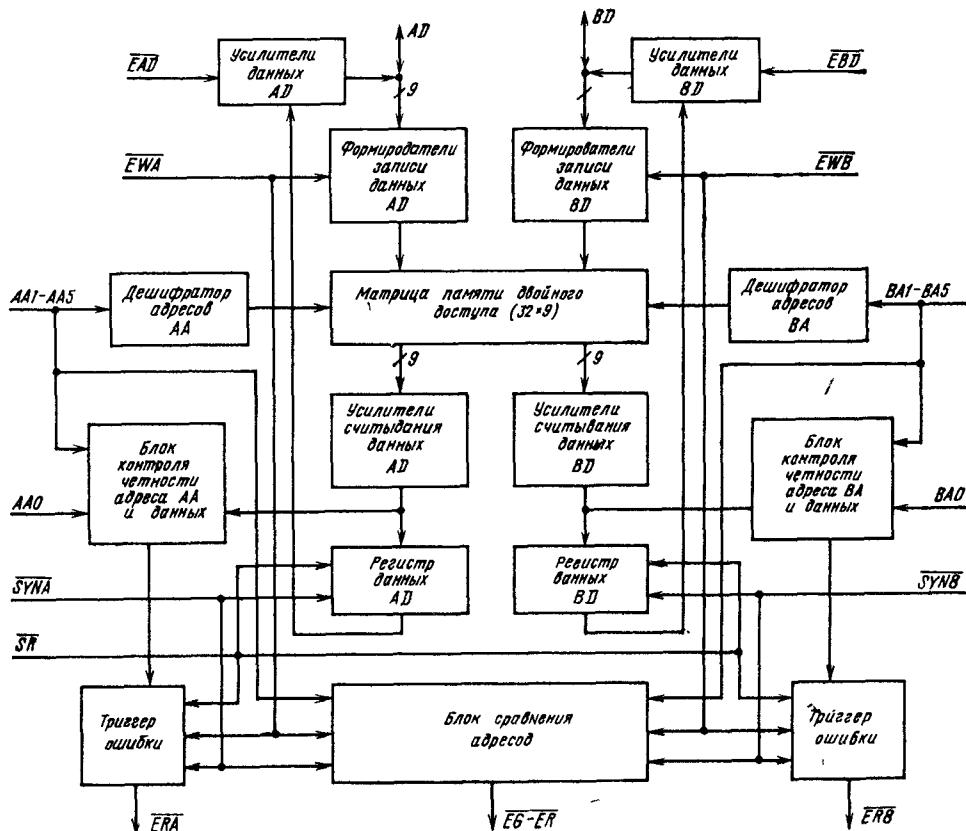


Рис. 10.19. Структурная схема К1800РП16

Таблица 10.42

Операция	Содержание матрицы памяти		Считывание с выхода усилителя		\bar{EWA}	Ошибка четности адреса ААО	\bar{EWB}	Ошибка четности адреса ВАО	Состояние равенства адресов
	Адрес АА	Адрес ВА	AD	BD					
Считывание AD, считывание BD	—	—	MA0—MA8	MB0—MB8	1	X	1	X	X
Запись AD, считывание BD	AD0—AD8	—	AD0—AD8	MB0—MB8	0	0	1	X	0
Запись AD, считывание с усил. BD все 1	AD0—AD8	AD0—AD8	AD0—AD8	Все 1	0	0	1	X	1
Ошибка четности, нет записи AD, считывание BD	—	—	MA0—MA8	MB0—MB8	0	1	1	X	X
Считывание AD, запись BD	—	BD0—BD8	MA0—MA8	BD0—BD8	1	X	0	0	0
Считывание с усил. AD все 1, запись BD	BD0—BD8	BD0—BD8	Все 1	BD0—BD8	1	X	0	0	1
Считывание AD, ошибка четности, нет записи BD	—	—	MA0—MA8	MB0—MB8	1	X	0	1	X
Запись AD, запись BD	AD0—AD8	BD0—BD8	AD0—AD8	BD0—BD8	0	0	0	0	0
Ошибка четности, нет записи AD, запись BD	—	BD0—BD8	MA0—MA8	BD0—BD8	0	1	0	0	0
Запись AD, ошибка четности, нет записи BD	AD0—AD8	—	AD0—AD8	MB0—MB8	0	0	0	1	0
Ошибка четности, нет записи AD, ошибка четности, нет записи BD	—	—	MA0—MA8	MB0—MB8	0	1	0	1	X
Запись запрещена	BD0—BD8	BD0—BD8	Все 1	Все 1	0	0	0	0	1
Ошибка четности, нет записи AD, запись BD	—	BD0—BD8	Все 1	BD0—BD8	0	1	0	0	1
Запись AD, ошибка четности, нет записи BD	AD0—AD8	AD0—AD8	AD0—AD8	Все 1	0	0	0	1	1

Примечания. 1. MA0—MA8 представляют данные в матрице памяти в ячейке, адресуемой с помощью AA1—AA5.

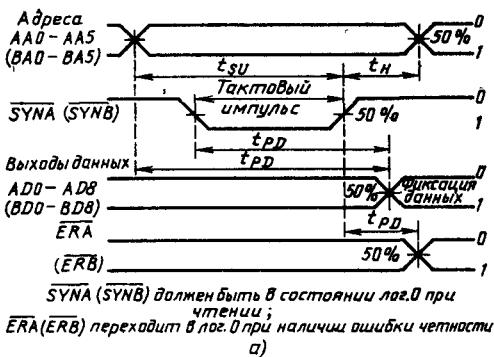
2. MB0—MB8 представляют данные в матрице памяти в ячейке, адресуемой с помощью BA1—BA5.

3. X — состояние не определено; \leftrightarrow — состояние не изменяется.

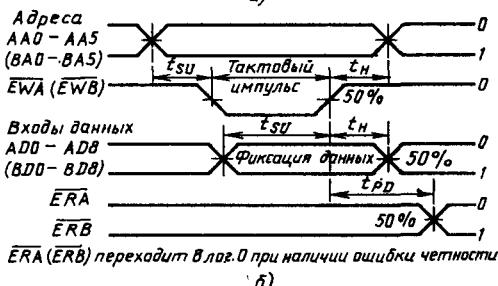
должна изменяться в течение времени установки, хранения и перехода напряжения на входах \bar{EWA} , \bar{EWB} из U_{on} в U_{off} . Триггеры ошибки выдают ошибку четности адреса или данных при $\bar{EWA}=1$ или $\bar{EWB}=1$. Кроме того, информацию можно считывать из регистра данных сигналом синхронизации той же шины, по которой производилась запись. Ошибочная запись данных в матрицу памяти возможна при условии, что обе шины данных (AD и BD) записывают по одному адресу. Ошибочная запись возникает также, когда запись производится из одной шины данных, например

AD, а синхросигнал появляется на входе регистра данных другой шины, например BD.

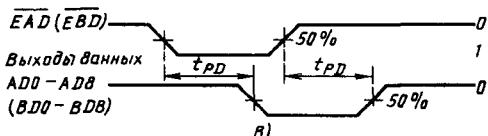
Если синхросигнал остается в состоянии лог. 0, достаточно длительное время после появления управляющего импульса разрешения записи на входах \bar{EWA} (\bar{EWB}), то содержимое регистров корректируется данными из матрицы и ошибки четности не возникает. Ошибка возникает в том случае, когда $SYNA=1$, или $SYNB=1$ во время появления всех единиц в регистре данных, так как все единицы являются признаком нечетности. Сигнал на выходе микросхемы $EG-ER=0$, когда



a)



б)



в)

Рис. 10.20. Временные диаграммы работы микросхемы в режимах выбора адреса — считывания (а), записи по выбранному адресу (б) и считывания при разрешении выбора (в)

Микропрограммная память

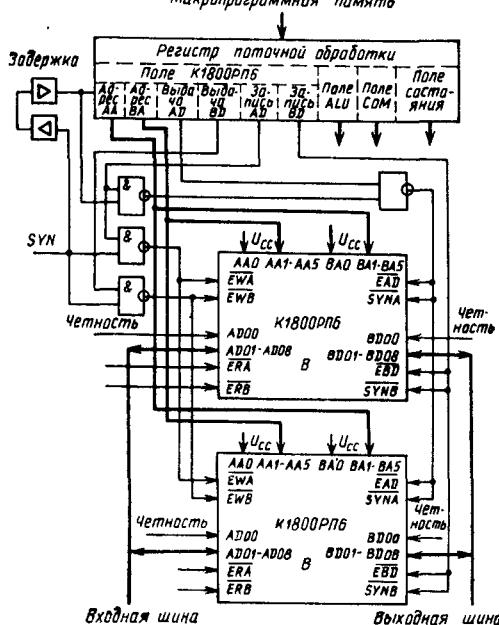


Рис. 10.21. Пример подключения двух микросхем К1800РП6 в блоке регистров процессора

Таблица 10.43

CO	\overline{SR}	SYNA	Регистр данных							
			AD0	AD1	AD2	AD3	AD4	AD5	AD6	AD7
Отключчен	0	X	0	1	1	1	1	1	1	1
-2	B	0	X	0	0	0	0	0	0	0
X	1	1	—	—	—	—	—	—	—	—
X	1	0	Считывание с усилителя AD							

Примечания. 1. X — состояние не определено.

2. Информация фиксируется, когда $SYNA=1$.

3 Считывание с усилителя AD разрешено с выходов регистра AD при $SYNA=0$.

Таблица 10.44

Выход усилителя считывания данных (AD, BD)	ERA, ERB	\overline{SR}	Синхронизация, $SYNA,$ $SYNB$		$EW A, EW B$	Ошибка че- тности адреса (AA, BA)
			SYNA	SYNB		
X	1	0	X	X	X	X
X	X	1	0	X	X	X
X	X	1	X	0	0	X
X	X	1	1 или 1 → 0	1 или 0 → 1	1	0
Четное число единиц	1	1	0 → 1	1	1	0
X	0	1	0 → 1	1	1	1
Нечетное число единиц	0	1	0 → 1	1	1	X
Четное число единиц	1	1	1	0 → 1	1	0
X	0	1	1	0 → 1	1	1
Нечетное число единиц	0	1	1	0 → 1	1	X

Примечания. 1. Запись 1 → 0 или 0 → 1 означает переход сигнала из лог. 1 в лог. 0 или наоборот.

2. X — состояние не определено; \leftrightarrow — состояние не изменяется.

Таблица 10.45

EG-ER	Адреса равны	$EW A$	$EW B$	SYNA		$SYNB$
				1	0	
1	0	X	1	X	X	X
1	X	1	1	1	X	X
1	1	X	0	0	1	X
0	1	1	0	0	0	X
1	1	0	1	1	X	1
0	1	0	0	X	X	0
0	1	0	0	0	X	X

Примечание. X — состояние не определено.

создаются условия для возникновения ошибки (табл. 10.45).

Временные диаграммы работы микросхемы DAM в различных режимах считывания показаны на рис. 10.20. Входы, разрешающие выдачу данных EAD или EBD , поддерживаются в состоянии лог. 0 (U_{0H}) при выборе адреса считывания и в состоянии лог. 1 (U_{0L}) при записи по выбранному адресу.

Число 9-разрядных слов можно увеличить при организации блока регистров с применением двух микросхем K1800РП6 и микросхем серии K500. Пример соединения данных микросхем в блоке регистров 16-разрядного процессора показан на рис. 10.21. В приведенной схеме две двунаправленные шины данных IB (входная) и OB (выходная) микросхем со-

единены с двунаправленными 16-разрядными шинами процессора. Адреса $AA1-AA5$ и $BA1-BA5$ и управляющие входы EAD , EBD , $SYNA$, $SYNB$, EWA , EWB соединены с управляющей памятью через регистр поточной обработки и логические схемы серии K500.

Рассматриваемый блок регистров на микросхемах K1800РП6 служит для записи, хранения и считывания информации, обрабатываемой в ALU (K1800BC1 или K1800BT3). Блок регистров позволяет считывать слова для проведения операции в ALU и записывать результат обратно в тот же тakt. Синхронизация работы блока регистров производится синхросигналами SYN длительностью не менее 5 нс, с помощью которых формируются синхросигналы $SYNA$ и $SYNB$ и синхросигна-

Таблица 10.46

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника U_{CC} , мА	I_{CC}	1, 24	413	$U_{CC} = -5,2$ В
Входной ток высокого уровня, мкА	I_{IH}	2—6, 8—11, 13—16, 18—22 29—41 30—35, 37—40 26—28, 42—45	50 310 370 435	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	26—35, 37—45	(0,5)	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	2—6, 8—11, 13—16, 18—23, 46, 47	-0,81 (-0,96)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное напряжение низкого уровня, В	U_{OL}	2—6, 8—11, 13—16, 18—23, 46, 47 2—6, 8—11, 13—16, 18—22	-1,65 (-1,85) (-1,98)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В Выходы закрыты
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	2—6, 8—11, 13—16, 18—23, 46, 47	(-0,98)	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	13—16, 18—22, 46 2—6, 8—11 2—6, 8—11, 13—16, 18—22	-1,63 -1,98	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В $U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В Выходы закрыты
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL} , t_{PLH}	27 и 10, 43 и 4 26 и 23, 44 и 47, 26 и 46 44 и 46, 28 и 46, 42 и 46 45 и 4, 45 и 20 30 и 20, 40 и 4 26 и 20, 44 и 4	10 13 18 27 12	$U_{CC} = -3,2$ В, $U_{SS} = U_{SS0} = 2$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_L = 50$ Ом

лы для других устройств процессора (*ALU*, *MCU*, *COM* и др.).

В табл. 10.46 приведены электрические параметры микросхемы K1800РП6 при температуре окружающей среды 25 °C.

10.7. Микросхема K1800BA7

Микросхема K1800BA7 — двунаправленный приемопередатчик (*BDT*), предназначенный для организации обмена информацией между отдельными блоками процессора. Данные могут передаваться с одной шины *AB* на другую *BB* или в обратном направлении и направляться для запоминания в фиксаторе.

Условное графическое обозначение микросхемы приведено на рис. 10.22, назначение вы-

водов — в табл. 10.47, структурная схема показана на рис. 10.23.

Структурная схема *BDT* состоит из пяти каналов, одинаковых для каждого разряда, общего дешифратора и цепей сигналов управления. Каждый канал состоит из триггера с мультиплексором, мультиплексоров *A*, *B* и усилителей *A*, *B*. Триггеры фиксатора реализованы на двухступенчатых, синхронизируемых фронтами синхросигнала *D*-триггерах.

Вход *SED* выбирает направление передачи. Когда *SED*=1, информация с шины *BB* направляется на вход фиксатора и считывается из фиксатора на шину *AB*. При *SED*=0 направление передачи изменяется. При *DE*=1 данные из выбранной шины могут быть переданы в фиксатор с помощью сигнала *SYN*. При *DE*=0 разрешается выдача данных на

Таблица 10.47

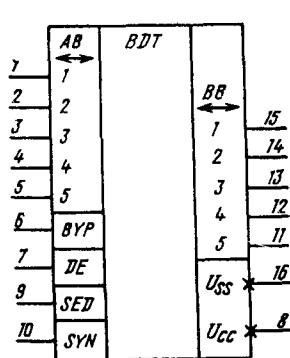
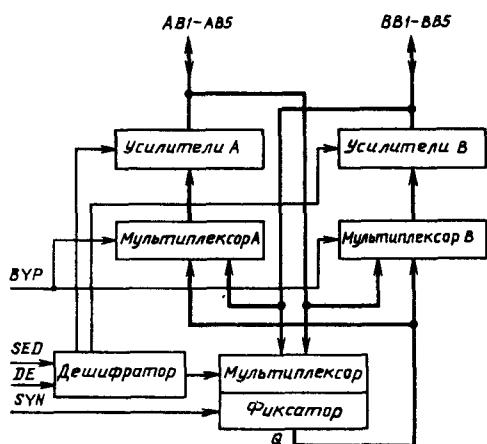


Рис. 10.22. Условное графическое обозначение K1800BA7

Выход	Обозначение	Тип вывода	Функциональное назначение выводов
1—5	<i>AB1—AB5</i>	Входы/выходы	Двунаправленные выводы шины <i>AB</i> , разряды 1—5
6	<i>BYP</i>	Вход	Управление обходом регистра-фиксатора
7	<i>DE</i>	Вход	Управление запретом выходов
8	<i>Ucc</i>	—	Напряжение питания —5,2 В
9	<i>SED</i>	Вход	Выбор направления передачи <i>AB</i> — <i>BB</i>
10	<i>SYN</i>	Вход	Синхронизация
11—15	<i>BB5—BB1</i>	Входы/выходы	Двунаправленные выводы шины <i>BB</i> , разряды 1—5
16	<i>Uss</i>	—	Общий



выбранную шину. При *BYP*=1 данные передаются одновременно на выход и на вход фиксатора. При *BYP*=0 данные загружаются в фиксатор и не передаются на выбранную шину. Они хранятся в фиксаторе, если сигнал *SYN* изменяется ($U_{IL} \rightarrow U_{IH}$), и проходят через него без запоминания, если *SYN*=1. Функции, выполняемые микросхемой, приведены в табл. 10.48.

Расширение разрядности микросхем K1800BA7 проводится объединением управляющих входов *BYP*, *DE*, *SED* и *SYN* и параллельным соединением информационных шин отдельных микросхем.

В табл. 10.49 приведены основные эксплуатационные параметры K1800BA7 при температуре окружающей среды 25 °C.

Рис. 10.23. Структурная схема K1800BA7

Таблица 10.48

Окончание табл. 10.48

Функции			Управляющие входы			
фиксатора	шины <i>AB</i>	шины <i>BB</i>	<i>DE</i>	<i>SED</i>	<i>BYP</i>	<i>SYN</i>
<i>Q-AB-0</i> <i>Q-AB-1</i> Обход (<i>AB</i> → <i>BB</i>)	Закрыта	Выход: <i>Q</i>	0	0	0	0
	Вход: 0	Выход: <i>Q-0</i>	0	0	0	1
	1	<i>Q-1</i>	—	—	—	—
	Вход: 0	Выход: 0	0	0	1	0
	1	1	—	—	—	—
	Вход: 0	Выход: 0	0	0	1	1
	1	1	—	—	—	—
	Выход: <i>Q-0</i>	<i>Q-1</i> Закрыта	0	1	0	0
	<i>Q-1</i>	—	—	—	—	—
	<i>Q-BB-0</i> <i>Q-BB-1</i> Обход (<i>BB</i> → <i>AB</i>)	Выход: <i>Q-0</i>	Вход: 0	0	1	0

Функции			Управляющие входы			
фиксатора	шины <i>AB</i>	шины <i>BB</i>	<i>DE</i>	<i>SED</i>	<i>BYP</i>	<i>SYN</i>
<i>Q-BB-0</i> <i>Q-BB-1</i> Закрыта <i>Q-AB-0</i> <i>Q-AB-1</i> — <i>Q-BB-0</i> <i>Q-BB-1</i> Закрыта <i>Q-BB-0</i> <i>Q-BB-1</i> — <i>Q-BB-0</i> <i>Q-BB-1</i>	Выход: <i>B-0</i>	Вход: 0	0	1	1	1
	<i>B-1</i>	1	1	0	0	0
	—	Закрыта	—	—	—	—
	Закрыта	Закрыта	1	0	1	0
	Вход: 0	Закрыта	1	0	1	1
	1	Закрыта	1	1	0	0
	Закрыта	Вход: 0	1	1	0	1
	1	Закрыта	1	1	1	0
	Закрыта	Вход: 0	1	1	1	1
	1	—	—	—	—	—

Примечание. ↔ — состояние не изменяется.

Таблица 10.49

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника <i>U_{CC}</i> , мА	<i>I_{CC}</i>	8	130	<i>U_{CC}</i> = -5,2 В
Входной ток высокого уровня, мкА	<i>I_{IH}</i>	6, 7, 9, 10 1—5, 11—15	350 410	<i>U_{CC}</i> = -5,2 В, <i>U_{IH}</i> = -0,81 В
Входной ток низкого уровня, мкА	<i>I_{IL}</i>	1—7, 9—15	(0,5)	<i>U_{CC}</i> = -5,2 В, <i>U_{IL}</i> = -1,85 В
Выходное напряжение высокого уровня, В	<i>U_{OH}</i>	1—5, 11—15	-0,81 (-0,96)	<i>U_{IH}</i> = -0,81 В, <i>U_{IL}</i> = -1,85 В
Выходное напряжение низкого уровня, В	<i>U_{OL}</i>	1—5, 11—15	-1,65 (-1,85) -1,98	Выходы закрыты
Выходное пороговое напряжение высокого уровня, В	<i>U_{OTH}</i>	1—5, 11—15	(-0,98)	<i>U_{IH}</i> = -0,81 В, <i>U_{IL}</i> = -1,85 В
Выходное пороговое напряжение низкого уровня, В	<i>U_{OTL}</i>	1—5, 11—15	-1,63	<i>U_{ITH}</i> = -1,05 В
Время задержки распространения сигнала между выводами при включении или выключении, нс	<i>t_{PHL}</i> , <i>t_{PLH}</i>	1 и 15, 14 и 2 3 и 16, 6 и 5, 12 и 4 7 и 14 9 и 1, 9 и 3 10 и 11, 10 и 12	6 8 12 11 10	<i>U_{SS}</i> = 2 В, <i>U_{CCI}</i> = -3,2 В, <i>U_{IH}</i> = 1,11 В, <i>U_{IL}</i> = 0,31 В, <i>Z_L</i> = 50 Ом

10.8. Микросхема K1800BP8

Микросхема K1800BP8 — многоразрядный программируемый сдвигатель (*PS*), предназначена для сдвига 16-разрядных данных при выполнении операций с плавающей запятой для предварительной денормализации и выравнивания порядков. Вход знака определяет полярность бита знака и позволяет микросхеме работать как с положительной, так и с отри-

цательной логикой. Микросхема выполняет восемь операций сдвига: арифметический сдвиг влево и вправо, циклический сдвиг влево и вправо, сдвиг влево и вправо в дополнительном коде, блокировку выходов, распространение знакового разряда по всем выходам. Каждая операция сдвига задается с помощью управляющих сигналов на семи входах микросхемы. Структура микросхемы позволяет организовать устройства сдвига необходимой разрядности.

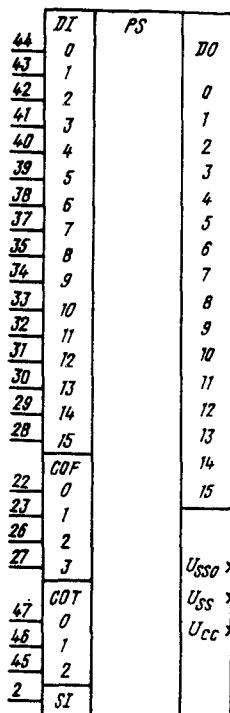


Таблица 10.50

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	U_{CC}	—	Напряжение питания —5,2 В
2	SI	Вход	Знаковый разряд
3-6, 8-11, 13-16, 18-21	$DO12, DO8, DO4,$ $DO0, DO1, DO5,$ $DO9, DO13, DO2,$ $DO6, DO10, DO14,$ $DO15, DO11, DO7,$ $DO3$	Выходы	Данные DO_0 — DO_{15} (младшего) — DO_0 — DO_7 (старшего) разрядов
7, 17	U_{SS0}	—	Общий выходных транзисторов
12, 36	U_{SS}	—	Общий схемы
22, 23, 26, 27	$COF0-COF3$	Входы	Управление величиной сдвига
28-35, 37-44	$DI15-DI0$	Входы	Данные DI_0 — DI_7 (младшего) — DI_0 — DI_3 (старшего) разрядов
45-47	$COT2-COT0$	Входы	Управление видом сдвига

Рис. 10.24. Условное графическое обозначение K1800BP8

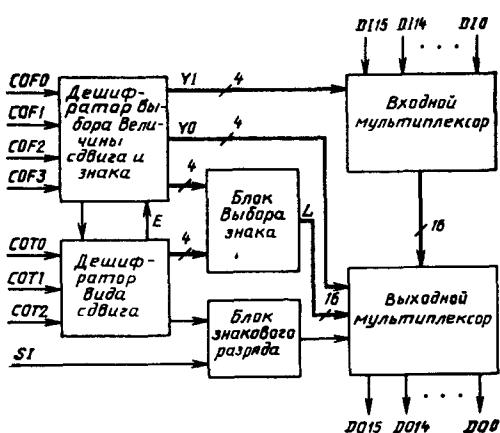


Рис. 10.25. Структурная схема K1800BP8

Условное графическое обозначение микросхемы приведено на рис. 10.24, назначение выводов — в табл. 10.50, структурная схема показана на рис. 10.25.

Микросхема *PS* состоит из дешифраторов вида сдвига *DCT* и выбора величины сдвига и знака *DCF*, входного *MUX1* и выходного *MUX0* мультиплексоров, блока выбора знака и блока знакового разряда. Информация приходит из 16 входов данных DI_0 — DI_{15} и после выполнения сдвига передается на 16 выходов данных DO_0 — DO_{15} . Выбор одной из восьми операций вида сдвига осуществляют сигналы на входах *COT0*—*COT2*, а величина сдвига устанавливается сигналами на входах *COF0*—*COF3*. Вход *SI* используется для определения знака операций арифметического сдвига и распространения знакового разряда.

Дешифратор вида сдвига в зависимости от значения управляющих сигналов на входах

COT0, COT1, COT2 выбирает одну из восьми операций вида сдвига (табл. 10.51).

Дешифратор выбора сдвига и знака с помощью управляющих сигналов на входах *COF0—COF3* устанавливает число разрядов, на которые необходимо произвести сдвиг, и определяет разряды, в которые должен быть помещен знак (табл. 10.52).

Входной мультиплексор осуществляет передачу 16-разрядной входной информации *DI0—DI15* прямым кодом или с циклическим сдвигом вправо на один, два или три разряда. Ниже приведены выходные логические функции входного мультиплексора:

$$B0 = DI0 \cdot \overline{Y10} \vee DI1 \cdot \overline{Y11} \vee DI2 \cdot \overline{Y12} \vee \vee DI3 \cdot \overline{Y13},$$

$$B1 = DI1 \cdot \overline{Y10} \vee DI2 \cdot \overline{Y11} \vee DI3 \cdot \overline{Y12} \vee \vee DI4 \cdot \overline{Y13},$$

$$B2 = DI2 \cdot \overline{Y10} \vee DI3 \cdot \overline{Y11} \vee DI4 \cdot \overline{Y12} \vee \vee DI5 \cdot \overline{Y13};$$

$$B3 = DI3 \cdot \overline{Y10} \vee DI4 \cdot \overline{Y11} \vee DI5 \cdot \overline{Y12} \vee \vee DI6 \cdot \overline{Y13};$$

$$B4 = DI4 \cdot \overline{Y10} \vee DI5 \cdot \overline{Y11} \vee DI6 \cdot \overline{Y12} \vee \vee DI7 \cdot \overline{Y13};$$

$$B5 = DI5 \cdot \overline{Y10} \vee DI6 \cdot \overline{Y11} \vee DI7 \cdot \overline{Y12} \vee \vee DI8 \cdot \overline{Y13},$$

$$B6 = DI6 \cdot \overline{Y10} \vee DI7 \cdot \overline{Y11} \vee DI8 \cdot \overline{Y12} \vee \vee DI9 \cdot \overline{Y13},$$

$$B7 = DI7 \cdot \overline{Y10} \vee DI8 \cdot \overline{Y11} \vee DI9 \cdot \overline{Y12} \vee \vee DI10 \cdot \overline{Y13},$$

$$B8 = DI8 \cdot \overline{Y10} \vee DI9 \cdot \overline{Y11} \vee DI10 \cdot \overline{Y12} \vee \vee DI11 \cdot \overline{Y13},$$

$$B9 = DI9 \cdot \overline{Y10} \vee DI10 \cdot \overline{Y11} \vee DI11 \cdot \overline{Y12} \vee \vee DI12 \cdot \overline{Y13},$$

$$B10 = DI10 \cdot \overline{Y10} \vee DI11 \cdot \overline{Y11} \vee DI12 \cdot \overline{Y12} \vee \vee DI13 \cdot \overline{Y13},$$

$$B11 = DI11 \cdot \overline{Y10} \vee DI12 \cdot \overline{Y11} \vee DI13 \cdot \overline{Y12} \vee \vee DI14 \cdot \overline{Y13},$$

$$B12 = DI12 \cdot \overline{Y10} \vee DI13 \cdot \overline{Y11} \vee DI14 \cdot \overline{Y12} \vee \vee DI15 \cdot \overline{Y13},$$

$$B13 = DI13 \cdot \overline{Y10} \vee DI14 \cdot \overline{Y11} \vee DI15 \cdot \overline{Y12} \vee \vee DI16 \cdot \overline{Y13},$$

$$B14 = DI14 \cdot \overline{Y10} \vee DI15 \cdot \overline{Y11} \vee DI16 \cdot \overline{Y12} \vee \vee DI17 \cdot \overline{Y13},$$

$$B15 = DI15 \cdot \overline{Y10} \vee DI16 \cdot \overline{Y11} \vee DI17 \cdot \overline{Y12} \vee \vee DI18 \cdot \overline{Y13},$$

Таблица 10.51

Операция	Управляющие			Выполняемая функция
	<i>COT2</i>	<i>COT1</i>	<i>COT0</i>	
<i>SBO</i>	0	0	0	Распространение знакового разряда по всем выходам
<i>CDA</i>	0	0	1	Блокировка выходов. Все выходы <i>DO15—DO0</i> устанавливаются в 1
<i>SIC</i>	0	1	0	Сдвиг влево в дополнительном коде. Входы <i>DI15—DI0</i> в соответствии с дополнительным кодом слова на управляющих шинах <i>COF3—COF0</i> . Освобождающиеся разряды заполняются 1
<i>SRC</i>	0	1	1	Сдвиг вправо в дополнительном коде. Входы <i>DI15—DI0</i> сдвигаются вправо на выходы <i>DO15—DO0</i> в соответствии с дополнительным кодом слова на управляющих шинах <i>COF3—COF0</i> . Освобождающиеся разряды заполняются 1
<i>RPT</i>	1	0	0	Циклический сдвиг вправо
<i>RLT</i>	1	0	1	Циклический сдвиг влево
<i>ARS</i>	1	1	0	Арифметический сдвиг вправо. Освобождающиеся разряды заполняются информацией знакового разряда
<i>ALS</i>	1	1	1	Арифметический сдвиг влево. Освобождающиеся разряды заполняются информацией знакового разряда

Таблица 10.52

Состояние входов				Величина сдвига	Состояние входов				Величина сдвига
<i>COF3</i>	<i>COF2</i>	<i>COF1</i>	<i>COF0</i>		<i>COF3</i>	<i>COF2</i>	<i>COF1</i>	<i>COF0</i>	
0	0	0	0	—	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	0	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

Сигналы управления $\overline{Y10}-\overline{Y13}$ поступают из дешифратора. При выполнении операции только один из четырех сигналов может быть равен 1. При $\overline{Y10}=1$ нет сдвига, при $\overline{Y11}=1$ сдвиг на один разряд, при $\overline{Y12}=1$ — на два разряда, при $\overline{Y13}=1$ — на три разряда. Выходной мультиплексор осуществляет передачу 16-разрядной информации прямым кодом или с циклическим сдвигом вправо на 4, 8 или 12 разрядов на выходах $DO0-DO15$ и устанавливает знак в соответствии с управляющими сигналами $L1-L16$ из блока выбора знака. Управляющие сигналы $L1-L16$ определяют число разрядов, заполняемых знаковым разрядом при операции сдвига. Работа схемы выходного мультиплексора определяется следующими выходными функциями:

$$DO0 = \overline{L15} \cdot \bar{F} \vee L15 \cdot (B0 \cdot \overline{Y0} \vee B4 \cdot \overline{Y1} \vee$$

$$\vee B8 \cdot \overline{Y2} \vee B12 \cdot \overline{Y3}),$$

$$DO1 = \overline{L1} \cdot \bar{F} \vee L1 \cdot (B1 \cdot \overline{Y0} \vee B5 \cdot \overline{Y1} \vee$$

$$\vee B9 \cdot \overline{Y2} \vee B13 \cdot \overline{Y3}),$$

$$DO2 = \overline{L3} \cdot \bar{F} \vee L3 \cdot (B2 \cdot \overline{Y0} \vee B6 \cdot \overline{Y1} \vee$$

$$\vee B10 \cdot \overline{Y2} \vee B14 \cdot \overline{Y3}),$$

$$DO3 = \overline{L9} \cdot \bar{F} \vee L9 \cdot (B3 \cdot \overline{Y0} \vee B7 \cdot \overline{Y1} \vee$$

$$\vee B11 \cdot \overline{Y2} \vee B15 \cdot \overline{Y3}),$$

$$DO4 = \overline{L14} \cdot \bar{F} \vee L14 \cdot (B4 \cdot \overline{Y0} \vee B8 \cdot \overline{Y1} \vee$$

$$\vee B12 \cdot \overline{Y2} \vee B0 \cdot \overline{Y3}),$$

$$DO5 = \overline{L2} \cdot \bar{F} \vee L2 \cdot (B5 \cdot \overline{Y0} \vee B9 \cdot \overline{Y1} \vee$$

$$\vee B13 \cdot \overline{Y2} \vee B1 \cdot \overline{Y3}),$$

$$DO6 = \overline{L8} \cdot \bar{F} \vee L8 \cdot (B6 \cdot \overline{Y0} \vee B10 \cdot \overline{Y1} \vee$$

$$\vee B14 \cdot \overline{Y2} \vee B2 \cdot \overline{Y3}),$$

$$DO7 = \overline{L16} \cdot \bar{F} \vee L16 \cdot (B7 \cdot \overline{Y0} \vee B11 \cdot \overline{Y1} \vee$$

$$\vee B15 \cdot \overline{Y2} \vee B3 \cdot \overline{Y3}),$$

$$DO8 = \overline{L13} \cdot \bar{F} \vee L13 \cdot (B8 \cdot \overline{Y0} \vee B12 \cdot \overline{Y1} \vee$$

$$\vee B0 \cdot \overline{Y2} \vee B4 \cdot \overline{Y3}),$$

$$DO9 = \overline{L4} \cdot \bar{F} \vee L4 \cdot (B9 \cdot \overline{Y0} \vee B13 \cdot \overline{Y1} \vee$$

$$\vee B1 \cdot \overline{Y2} \vee B5 \cdot \overline{Y3}),$$

$$DO10 = \overline{L7} \cdot \bar{F} \vee L7 \cdot (B10 \cdot \overline{Y0} \vee B14 \cdot \overline{Y1} \vee$$

$$\vee B2 \cdot \overline{Y2} \vee B6 \cdot \overline{Y3}),$$

$$DO11 = \overline{L12} \cdot \bar{F} \vee L12 \cdot (B11 \cdot \overline{Y0} \vee B15 \cdot \overline{Y1} \vee$$

$$\vee B3 \cdot \overline{Y2} \vee B7 \cdot \overline{Y3}),$$

$$DO12 = \overline{L10} \cdot \bar{F} \vee L10 \cdot (B12 \cdot \overline{Y0} \vee B0 \cdot \overline{Y1} \vee$$

$$\vee B4 \cdot \overline{Y2} \vee B8 \cdot \overline{Y3}),$$

$$DO13 = \overline{L5} \cdot F \vee L5 \cdot (B13 \cdot \overline{Y0} \vee B1 \cdot \overline{Y1} \vee$$

$$\vee B5 \cdot \overline{Y2} \vee B9 \cdot \overline{Y3}),$$

$$DO14 = \overline{L6} \cdot \bar{F} \vee L6 \cdot (B14 \cdot \overline{Y0} \vee B2 \cdot \overline{Y1} \vee$$

$$\vee B6 \cdot \overline{Y2} \vee B10 \cdot \overline{Y3}),$$

$$DO15 = \overline{L11} \cdot \bar{F} \vee L11 \cdot (B15 \cdot \overline{Y0} \vee B3 \cdot \overline{Y1} \vee$$

$$\vee B7 \cdot \overline{Y2} \vee B11 \cdot \overline{Y3}).$$

Сигналы $Y0-Y3$ поступают из дешифратора DCF и определяют число разрядов, на которое должна быть сдвинута информация (0, 4, 8 или 12). При этом только один из четырех сигналов принимает значение 1: $Y0$ — нет сдвига, $Y1$ — сдвиг на 4 разряда, $Y2$ — сдвиг на 8 разрядов, $Y3$ — сдвиг на 12 разрядов, F — знаковый разряд.

Микросхема K1800BP8 выполняет восемь видов сдвига:

ALS — арифметический сдвиг влево ($COT2=1$, $COT1=1$, $COT0=1$). Входные данные сдвигаются влево с заполнением освобождающихся разрядов информацией знакового разряда, на который может быть подано напряжение высокого или низкого уровня в зависимости от использования положительной или отрицательной логики;

ARS — арифметический сдвиг вправо ($COT2=1$, $COT1=1$, $COT0=0$). Входные данные сдвигаются вправо с заполнением освобождающихся разрядов информацией знакового разряда;

RLT — циклический сдвиг влево ($COT2=1$, $COT1=0$, $COT0=1$). При циклических сдвигах информация выдвигаемых разрядов устанавливается во вдвигаемых разрядах;

RRT — циклический сдвиг вправо ($COT2=1$, $COT1=0$, $COT0=0$). Этот вид сдвига используется при построении сдвигателя на 16, 32, 64, 128 или 256 разрядов;

SPC — сдвиг вправо в дополнительном коде ($COT2=0$, $COT1=1$, $COT0=1$). Сдвиг вправо в дополнительном коде означает сдвиг вправо на число разрядов, равное дополнительному коду от числа сдвигов. Освободившиеся разряды заполняются 1. Сдвиг вправо в дополнительном коде используется при построении сдвиговых матриц, многоразрядных сдвигателей, имеющих минимальную задержку для сдвигов влево;

SLC — сдвиг влево в дополнительном коде ($COT2=0$, $COT1=1$, $COT0=0$). Сдвиг производится на число разрядов, равное дополнительному коду от числа сдвигов. Они используются в многоразрядных сдвигателях для выполнения операции сдвига вправо;

ODA — блокировка выходов ($COT2=0$, $COT1=0$, $COT0=1$). Эта функция сдвигателя используется для записи 1 по всем выходам независимо от кода числа сдвигов;

SBO — распространение знакового разряда по всем выходам ($COT2=0$, $COT1=0$, $COT0=0$). При этой операции знаковый разряд заполняет все выходы независимо от кода числа сдвигов, что может быть использовано

при распространении зиака в многоразрядном сдвигателе для арифметического сдвига вправо.

Микросхема многоразрядного программируемого сдвигателя К1800ВР8 позволяет реализовать различные по структуре и быстродействию устройства сдвига информации. На рис. 10.26 приведена структурия схемы 16-разрядного сдвигателя. Для выполнения операций сдвига необходимо дополнителью к микросхеме К1800ВР8 добавить три двухвходовых логических элемента (два ИЛИ и один И) для управления видом сдвига и знаком.

Структурная схема 32-разрядного сдвигателя показана на рис. 10.27. Схема состоит из четырех микросхем К1800ВР8 и девяти дополнительных логических элементов серий К500. Время выполнения сдвига в таком сдвигателе определяется временем задержки одной микросхемы К1800ВР8. Управление выбором сдвига осуществляется дешифратором схемой, реализованной на микросхемах серии К500 и формирующей управляющие сигналы.

Для построения схем сдвигателей на число разрядов более 16 можно выбирать одно из двух возможных технических решений. Если операции сдвига необходимо выполнить за более короткое время, то число микросхем К1800ВР8 и дополнительных микросхем

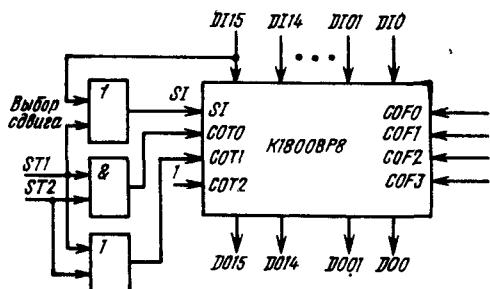


Рис. 10.26. Пример подключения микросхем К1800ВР8 в 16-разрядном программируемом сдвигателе

К500 возрастает. Сравнение двух 64-разрядных сдвигателей, выполняющих операцию сдвига с временем задержки одной микросхемы К1800ВР8 и временем задержки двух микросхем, показывает, что в первом случае сдвигатель содержит 16 микросхем К1800ВР8 и 26 микросхем серий К500, а для схемы второго сдвигателя необходимо иметь 10 микросхем К1800ВР8 и 3 микросхемы серии К500.

В табл. 10.53 приведены основные параметры К1800ВР8 при температуре окружающей среды 25 °C.

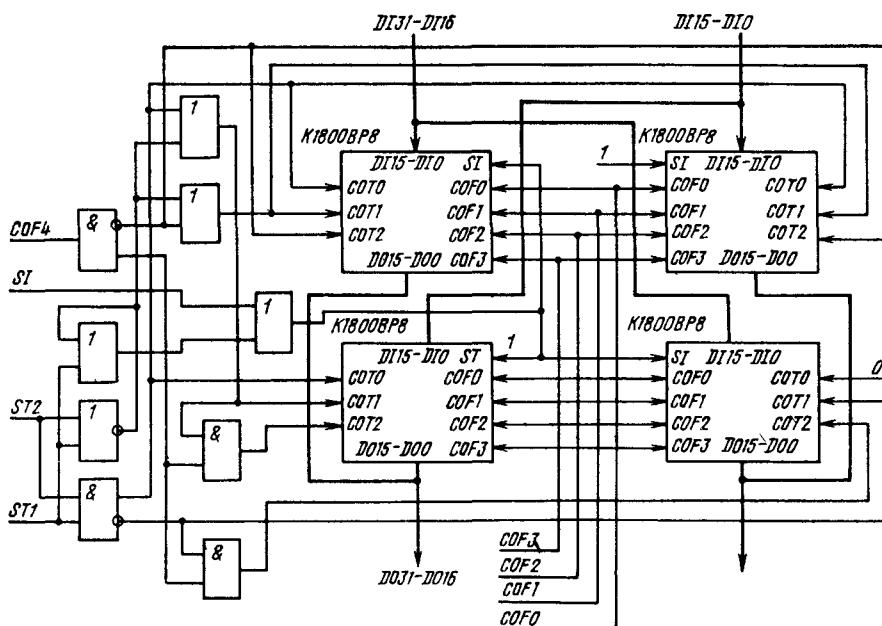


Рис. 10.27. Структурная схема 32-разрядного программируемого сдвигателя на четырех микросхемах К1800ВР8 и микросхемах серии К500

Таблица 10.53

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника U_{CC} , мА	I_{CC}	1, 24	348	$U_{CC} = -5,2$ В, $U_{SS} = U_{SS0} = 0$
Входной ток высокого уровня, мкА	I_{IH}	22, 23, 26, 27, 45—47 2 28—35, 37—44	330 390 435	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	2, 22, 23, 26—35, 37—47	(0,5)	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	3—6, 8—11, 13—16, 18—21	-0,81 (-0,96)	$U_{IH} = -0,81$ В
Выходное напряжение низкого уровня, В	U_{OL}	3—6, 8—11, 13—16, 18—21	-1,65 (-1,85)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	3—6, 8—11, 13—16, 18—21	(-0,98)	$U_{ITH} = -1,105$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	3—6, 8—11, 13—16, 18—21	-1,63	$U_{ITL} = -1,475$ В
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL}, t_{PLH}	22 и 10, 26 и 9, 23 и 14, 27 и 5, 47 и 21, 45 и 8, 46 и 13 2 и 6, 28 и 18, 29 и 16, 30 и 11, 31 и 3, 32 и 19, 33 и 15, 34 и 10, 35 и 4, 37 и 20, 38 и 14, 39 и 9, 40 и 5, 41 и 21, 42 и 13, 43 и 8, 44 и 6	16	$U_{CC} = -3,2$ В, $U_{SS} = U_{SS0} = 2$ В, $U_{IH} = 1,11$ В $U_{IL} = 0,31$ В, $Z_L = 50$ Ом

10.9. Микросхема K1800РП16

Микросхема K1800РП16 — буферная память (*RAM*), предназначена для выполнения функций блока регистров в процессоре, а также буферного интерфейса памяти для периферийных устройств. Емкость матрицы регистров составляет 32×2 слова по 9 бит. Емкость памяти может быть увеличена наращиванием.

Условное графическое обозначение микросхемы приведено на рис. 10.28, назначение выводов — в табл. 10.54, структурная схема показана на рис. 10.29.

Микросхема *RAM* состоит из двух одинаковых частей, каждая из которых включает усилители и формирователи записи данных *AD* и *BD*, дешифраторы адресов *AA* и *BA*, блоки контроля четности адресов *AA* и *BA* и данных, усилители считывания данных *AD* и *BD* регистры данных *AD* и *BD*, матрицы памяти *A* и *B* и триггеры ошибки. Шины данных — 9-разрядные дву направленные, шины

адресов *AA* и *BA* — входные 5-разрядные. Каждая часть имеет входы разрешения записи с шиной данных в память и входы разрешения выдачи данных из памяти на выходные шины. Синхронизация работы обеих частей микросхемы осуществляется синхросигналами *SYNA* и *SYNB*. Вход управления *SR* общий и устанавливает в исходное состояние триггеры ошибки и регистры данных.

Микросхема K1800РП16 является модификацией K1800РП6, поэтому принципы работы отдельных блоков микросхем аналогичны (см. § 10.6). В микросхеме K1800РП16 исключена возможность автоматической перезаписи данных из одной части матрицы в другую, что позволило в 2 раза увеличить емкость матрицы памяти (с 32 до 64 слов) по сравнению с K1800РП6.

В табл. 10.55 приведены основные эксплуатационные параметры K1800РП16 при температуре окружающей среды 25 °С.

Таблица 10.54

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 24	U_{CC}	—	Напряжение питания —5,2 В
2—6, 8—11	BD_1, BD_2, BD_0 $BD_7, BD_8,$ $BD_6—BD_3$	Входы / выходы	Двунаправленные выводы шины данных BD , разряды 0—8
7, 17	U_{SS_0}	—	Общий выходных транзисторов
12, 36	U_{SS}	—	Общий схемы
13—16, 18—22	$AD_3—AD_6, AD_8,$ $AD_7, AD_0, AD_2,$ AD_1	Входы / выходы	Двунаправленные выводы шины данных AD , разряды 0—8
23	\overline{ERA}	Выход	Ошибка четности данных или адреса AA
26	\overline{SYNA}	Вход	Синхронизация выходного регистра AA
27	\overline{EAD}	Вход	Разрешение выдачи данных на шину AD
28	\overline{EWA}	Вход	Разрешение записи из шины AD в память
29—34	$AA_0, AA_1—AA_5$	Входы	Адреса AA — разрядов 0 (на четность), 1 (младшего) — 5 (старшего)
35, 37—41	$BA_5—BA_1, BA_0$	Входы	Адреса BA — разрядов 0 (на четность), 1 (младшего) — 5 (старшего)
42	\overline{EWB}	Вход	Разрешение записи из шины BD в память
43	\overline{EBD}	Вход	Разрешение выдачи данных на шину BD
44	\overline{SYNB}	Вход	Синхронизация выходного регистра BA
45	\overline{SR}	Вход	Установка в исходное состояние триггеров ошибки и выходных регистров
47	\overline{ERB}	Выход	Ошибка четности данных или адреса BA
48	CO	Вход	Управление режимом установки

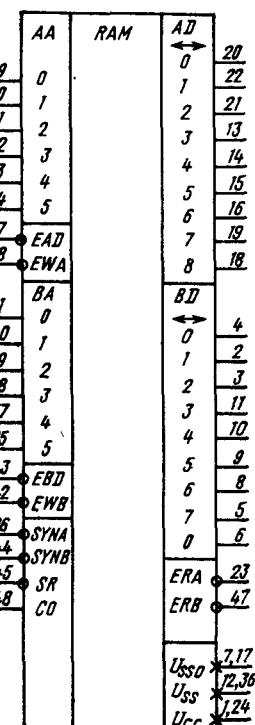


Рис. 10.28. Условное графическое обозначение K1800RPI16

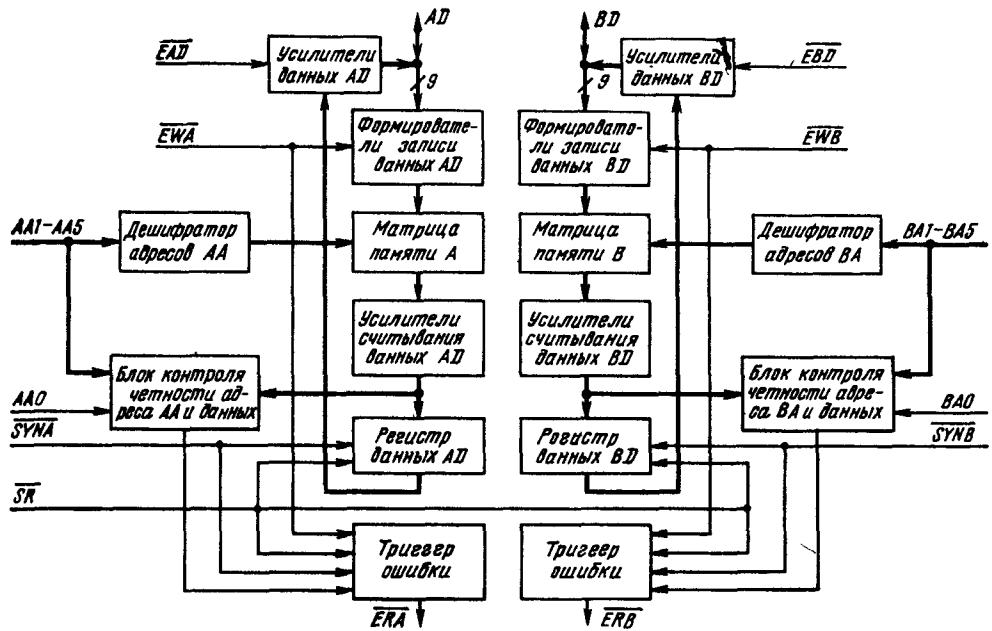


Рис. 10.29. Структурная схема К1800РП16

Таблица 10.55

Параметр	Обозначение	Вывод	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника U_{CC} , мА	I_{CC}	1, 24	415	$U_{CC} = -5,2$ В
Входной ток высокого уровня, мкА	I_{IH}	2—6, 8—11, 13—16, 18—22 26—35, 37—45	50 435	$U_{IH} = -0,81$ В
Входной ток низкого уровня, мкА	I_{IL}	26—35, 37—45	(0,5)	$U_{IL} = -1,85$ В
Ток выключенного состояния, мкА	I_{LO}	2—6, 8—11, 13—16, 18—22	400	$U_{IL} = -1,85$ В
Выходное напряжение высокого уровня, В	U_{OH}	2—6, 8—11, 13—16, 18—23, 47	-0,81 (-0,96)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное напряжение низкого уровня, В	U_{OL}	2—6, 8—11, 13—16, 18—23, 47	-1,65 (-1,85)	$U_{IH} = -0,81$ В, $U_{IL} = -1,85$ В
Выходное пороговое напряжение высокого уровня, В	U_{OTH}	2—6, 8—11, 13—16, 18—23, 47	(-0,98)	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В
Выходное пороговое напряжение низкого уровня, В	U_{OTL}	13—16, 18—22, 2—6, 8—11	-1,63	$U_{ITH} = -1,105$ В, $U_{ITL} = -1,475$ В
Время задержки распространения сигнала между выводами при включении или выключении, нс	t_{PHL} , t_{PLH}	27 и 20, 43 и 47 26 и 23, 44 и 47 45 и 4, 45 и 20 30 и 20, 40 и 4 26 и 20, 44 и 4	10 13 18 27 12	$U_{CC} = -3,2$ В, $U_{SS} = U_{SS0} = 2$ В, $U_{IH} = 1,11$ В, $U_{IL} = 0,31$ В, $Z_L = 50$ Ом

10.10. Рекомендации по применению

Наличие широкой номенклатуры микросхем серии K500 (табл. 10.56), накопленный богатый опыт по их применению и полная совместимость по электрическим параметрам и условиям эксплуатации с секционированными микросхемами серии K1800 создают благоприятные условия для реализации аппаратуры с широкими функциональными возможностями и высокой производительностью. Кроме того, наличие двухнаправленного преобразователя уровней $ECL-TTL$ (K1800BA4) обеспечивает совместную работу устройств на микросхемах ECL и TTL , а также стыковку с памятью MOS .

Таблица 10.56

Тип микросхемы	Выполняемая функция
K500ЛМ101	Четыре логических элемента 2ИЛИ — НЕ/2ИЛИ
K500ЛМ102	Три логических элемента 2ИЛИ — НЕ и логический элемент 2ИЛИ — НЕ/2ИЛИ
K500ЛМ105	Два логических элемента 2ИЛИ — НЕ/2ИЛИ и логический элемент 2ИЛИ — НЕ/ЗИЛИ
K500ЛЕ106	Два логических элемента 2ИЛИ — НЕ/2ИЛИ и логический элемент ЗИЛИ — НЕ/ЗИЛИ
K500ЛП107	Три логических элемента исключающее 2ИЛИ — НЕ/2ИЛИ
K500ЛМ109	Два логических элемента 5ИЛИ — НЕ/5ИЛИ, 4ИЛИ — НЕ/4ИЛИ
K500ЛЛ110	Два логических элемента ЗИЛИ с мощным выходом
K500ЛЕ111	Два логических элемента ЗИЛИ — НЕ с мощным выходом
K500ЛП114	Три приемника с линии
K500ЛП115	Четыре приемника с линии
K500ЛП116	Три приемника с линии
K500ЛК117	Два логических элемента 2 — ЗИЛИ — 2И — НЕ/2 — ЗИЛИ — 2И
K500ЛС118	Два логических элемента 3—3 ИЛИ—2И
K500ЛС119	Логический элемент 3—3—3—4ИЛИ — 4И
K500ЛК121	Логический элемент 3—3—3—ЗИЛИ — 4И — НЕ/3—3—3—ЗИЛИ — 4И
K500ЛЕ123	Два логических элемента ЗИЛИ—НЕ и логический элемент 4ИЛИ — НЕ с мощным выходом (магистральные усилители)

Окончание табл. 10.56

Тип микросхемы	Выполняемая функция
K500ПУ124	Четыре преобразователя уровня $ECL-ECL$
K500ПУ125	Четыре преобразователя уровня $ECL-TTL$
K500ЛП128	Возбудитель линии (2-разрядный)
K500ЛП129	Пременик с линии (4-разрядный)
K500TM130	Два триггера типа «зашелка»
K500TM131	Два D-триггера
K500TM133	Четыре триггера типа «зашелка»
K500TM134	Два D-триггера с мультиплексором
K500TM135	Два JK-триггера
K500IE136	Универсальный 4-разрядный двоичный счетчик
K500IE137	Универсальный 4-разрядный десятичный счетчик
K500IP141	Универсальный 4-разрядный регистр сдвига
K500РУJ45	ОЗУ на 64 бита (64×4 разряда) со схемами управления
K500РУ148	ОЗУ на 64 бита с произвольной выборкой (64 слова $\times 1$ разряд)
K500РЕ149	Программируемое постоянное ЗУ на 1024 бит
K500IE160	Двенадцативходовая схема контроля четности
K500ID161	Трехразрядный дешифратор напряжения низкого уровня
K500ID162	Трехразрядный дешифратор напряжения высокого уровня
K500ID164	Восьмиканальный мультиплексор
K500IB165	Кодирующий элемент с приоритетом
K500TM173	Четыре триггера типа «зашелка» с мультиплексором
K500KP174	Сдвоенный четырехходовой мультиплексор
K500IP179	Схема ускоренного переноса
K500IM180	Сдвоенный высокоскоростной сумматор-вычитатель
K500IP181	Арифметико-логическое устройство на 16 операций с двумя 4-битовыми словами
K500HP140	Матрица резисторов
K500РУ401	ОЗУ на 16 бит со схемами управления
K500РУ402	Ассоциативная память со считыванием (2 слова $\times 2$ разряда)
K500РУ410	ОЗУ на 256 бита (256 слова $\times 1$ разряд) со схемами управления
K500РУ415	ОЗУ на 1024 бита (1024 слова $\times 1$ разряд) со схемами управления
K500ПУ470	ОЗУ на 4096 слова

Микросхемы серии К1800 применяются для построения быстродействующих специализированных процессоров

измерительных устройств времяпролетных масс-спектрометров, позволяющих выполнять предварительную обработку и накопление информации до 400 Мбайт/с;

обработки изображения, поступающего с датчика волнового фронта лазерного пучка, и выдачи управляющих сигналов;

обработки сигналов цифровой фильтрации, коммутации телеграфной связи, где тактовая частота достигает 30 Гц;

измерительных устройств различного назначения, где требуется высокая скорость обработки цифровой информации.

Типовая структурная схема соединения микросхем серии К1800 (рис. 10.30) показывает принцип реализации микропрограммируемого микропроцессора в вычислительной системе. Для хранения информации, организации связи с внешними устройствами и ОЗУ используются микросхемы серии К500 (например, К500РУ124, К500РУ145, К500РУ148, К500РЕ149, К500ТМ173 и К500КП174), а также ОЗУ на микросхемах К565РУ5.

Микропрограммная память (К500РУ148 или К500РЕ149) после поступления сигналов управления из микросхемы К1800ВУ1 и синхронизированного сигнала выдает управляющее слово для выполнения очередной микрокоманды. Слово

микропрограммы раздelenо на поля (группы битов), которые независимо управляют работой отдельных устройств микропроцессора. Все устройства работают одновременно, что значительно повышает производительность системы, которая определяется числом микрокоманд в машинной команде и временем выполнения микрокоманды. Время выполнения микрокоманды в показанной системе составляет около 100 нс.

Арифметический блок, реализованный на микросхеме К1800ВС1, выполняет арифметические, логические и сдвиговые операции над данными. Устройство микропрограммного управления построено на микросхеме К1800ВУ1 и связано обратной связью с микропрограммной памятью, два поля которой генерируют адрес каждой следующей микрокоманды. Данное устройство обрабатывает поступающую информацию (признаки нуля, переполнения, знака и т. п.) от других устройств (ALU и COM) и изменяет ее.

В качестве блока регистров используется микросхема К1800РП6 или К500РУ145 (К500РУ148). Преимущество К1800РП6 состоит в более высокой скорости работы, так как считывать и записывать информацию она позволяет одновременно. Процессоры и другие цифровые устройства могут быть реализованы иначе, в зависимости от решаемых задач и областей применения.

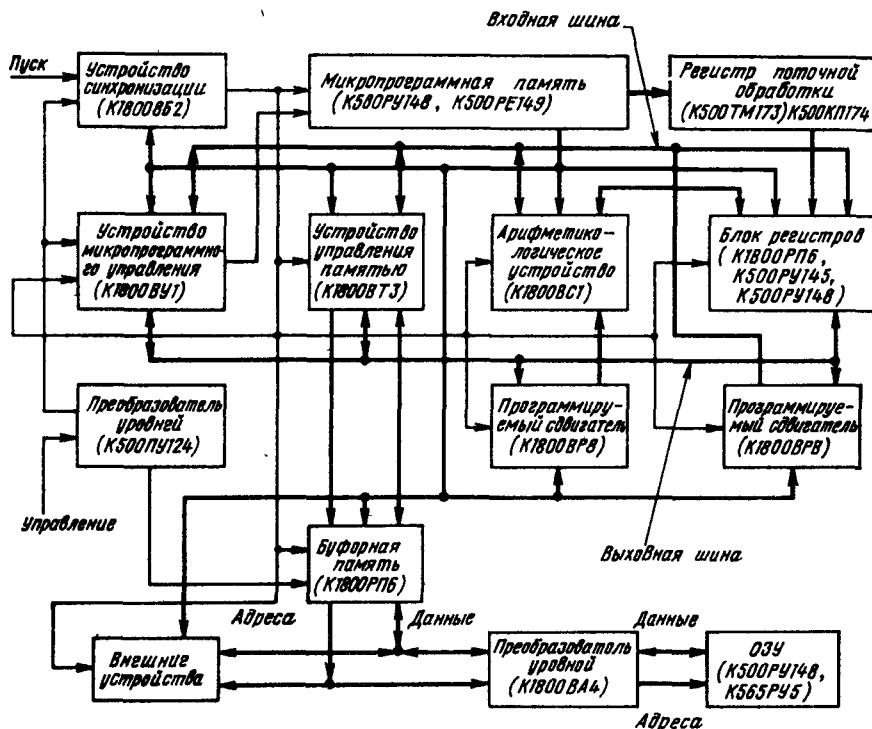


Рис. 10.30 Структурная схема микропрограммируемого процессора в вычислительной системе

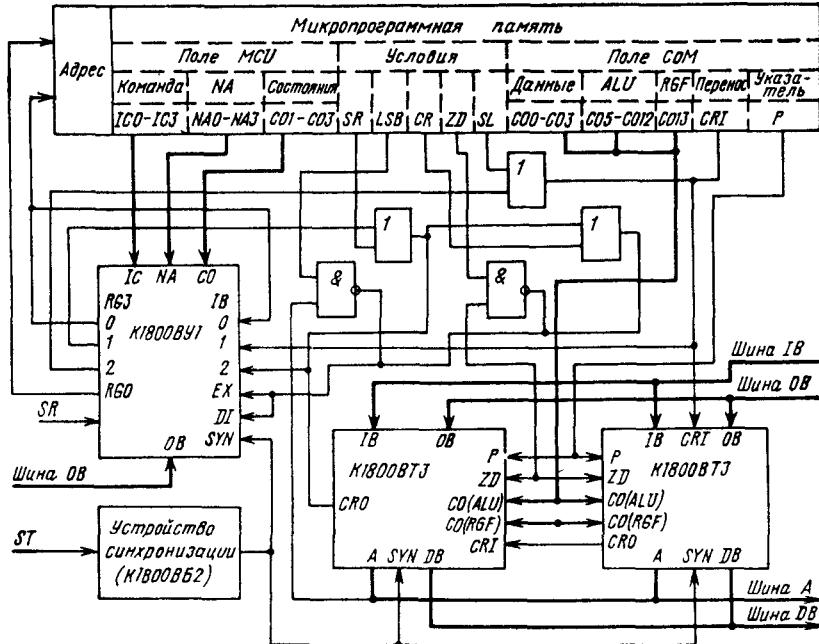


Рис. 10.31. Структурная схема быстродействующего процессора, реализованного на микросхемах серий К1800 и К500

Структурная схема быстродействующего процессора, реализованного на МПК серии К1800, приведена на рис. 10.31. Система команд процессора выбирается разработчиком применительно к устройству, в котором процессор будет использован. В качестве памяти должна использоваться память ППЗУ, реализованная на К500РЕ149. Для выполнения арифметико-логических операций в процессоре применена микросхема К1800ВТ3, имеющая блок регистров. Две микросхемы К1800ВТ3 управляют также 16-разрядными шинами входа и вывода данных. Одна микросхема К1800ВУ1 осуществляет микропрограммное управление и адресацию. Программа процессора хранится в микропрограммной памяти. Синхронизацию, запуск и профилактику процессора обеспечивает микросхема К1800ВБ2. Для реализации условных переходов используются несколько микросхем серии К500. Таким образом, на одной печатной плате можно разместить весь процессор.

Сигнал синхронизации микросхемы К1800ВУ1 выдается на адресиую шину начальный адрес управляющей памяти. Затем из микропрограммной памяти на входы микросхемы К1800ВТ3 передаются коды для считывания и обработки данных и вывода результата или его записи в память. Одновременно с работой ALU из памяти микропрограммы и блока условных переходов выдается новый адрес на входы К1800ВУ1.

Микропрограммирование позволяет с помощью такого процессора выполнять различ-

ные операции (табл. 10.57). Пять программ: сложение, вычитание, исключающее ИЛИ, умножение и деление — это только часть программы такого процессора. При необходимости можно увеличить аппаратную часть процессора. Процессор работает с входными данными в виде одного 16-разрядного слова или двух слов параллельно по восемь разрядов каждый. Ответ выдается в виде 16-разрядного слова или двух 8-разрядных слов параллельно. Два 8-разрядных операнда считывают программы операций сложения, вычитания и исключающее

Таблица 10.57

Команда	Операция
INC	$RGO + 1 \rightarrow RGO$
JMP	$NA \rightarrow RGO$
JEP	$OB \cdot NA \rightarrow RGO$
RSR	$RGO + 1 \rightarrow RGO, NA \rightarrow RG1$
JSR	$NA \rightarrow RGO, RGO + 1 \rightarrow RGS$
JSR	$NA \rightarrow RGO, RGO + 1 \rightarrow RGS$
RTN	$RGS \rightarrow RGO$
RTN	$RGS \rightarrow RGO, RG1 + 1 \rightarrow RGS$
BRC	$RGO + 1 \rightarrow RGO$ (проверка 0)
BSR	$NA \rightarrow RGO$ (проверка 1)
	$RGO + 1 \rightarrow RGO$ (начало)
	$NA \rightarrow RGO$

ИЛИ и выдают ответ в виде 8-разрядного слова. Остальные младшие разряды устанавливаются в 0. Программа умножения считывает 8-разрядные множимое и множитель и выдает 16-разрядный ответ. Программа деления сначала считывает 16-разрядное делюмое, затем 8-разрядный делитель. Результатом деления является 8-разрядное частное и 8-разрядный остаток. Программа выполнения операции в процессоре представлена в табл. 10.58.

Рассмотрим пример выполнения неповторяющейся подпрограммы (рис. 10.32, а). Для реализации данной подпрограммы используются три команды: *JSR*, *INC* и *RTN*. При адресе слова 30 адрес 31 заносится в *RG0*, к настоящему адресу (31) прибавляется 1 и он пересыпается в *RG5*. Подпрограмма начинается с адреса 40 и заканчивается адресом 43. Затем по команде *RTN* содержимое *RG5* пересыпается в *RG0* и продолжается выполнение основной программы, начиная с адреса 32.

На рис. 10.32, б приведен пример повторяющейся подпрограммы, выполняемой по команде *RSR*, которая загружает регистр *RG1* числом повторений (*FF*), являющимся дополнением до 2 требуемого числа. Выход 0 триггера

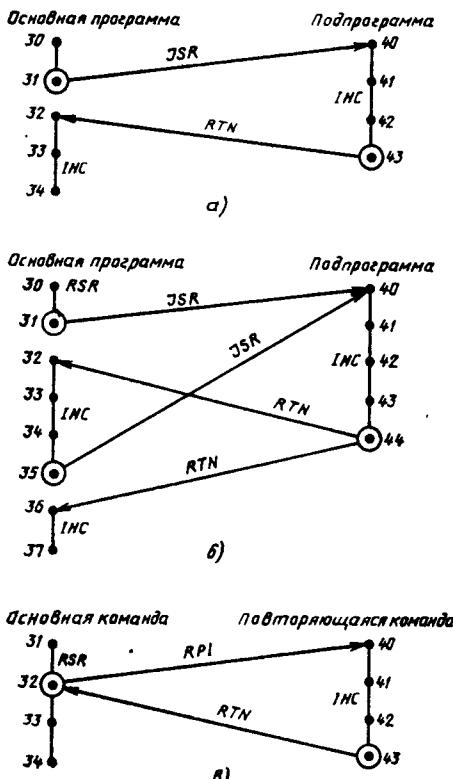


Рис. 10.32. Схема выполнения неповторяющейся подпрограммы (а), повторяющейся подпрограммы (б) и повторяющейся команды (в)

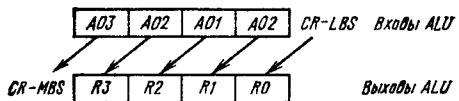


Рис. 10.33. Передача информации в АЛУ микросхемы K1800BT3 при сдвиге влево

RSQ блока управления шинами устанавливается в 1. Подпрограмма начинается с выполнения команды *JSR* (переход к подпрограмме). Адрес подпрограммы 40 передается в *RG0*, сумма настоящего адреса 31 и переноса передается в *RG4*. В конце каждого цикла подпрограммы (адрес 44) выполняется команда *RTN* и содержимое *RG4* передается в *RG0* (адрес 32), и если при этом *RSQ*=1 и *RG1*≠*FF*, то содержимое *RG1* увеличивается на 1. Если же *RG1*=*FF*, то *RSQ* устанавливается в 0 и *RTN* переходит к выполнению основной программы по адресу 36, а содержимое *RG1* приравнивается *FF*.

В повторяющейся команде (рис. 10.32, в), как и в повторяющейся подпрограмме, выполняется команда *RSR*, в *RG1* загружается код 11111100, *RSQ* устанавливается в 1 и число циклов команды равным 4. Затем выполняется команда *RPI*. При выполнении первых трех циклов повторения содержимое *RG1* увеличивается на 1. В течение последнего цикла триггер *RSQ* устанавливается в 0 и *RG0* переходит в следующий адрес 32, который продолжает программу. При 8-разрядном адресе слова максимальное число повторений подпрограмм в команде равно 256.

Программирование выполнения арифметических и логических операций, а также выполнение сдвига рассмотрим на примере программирования работы микросхемы K1800BT3. Операции сложения и вычитания (*ADD*, *SUB*) выполняются следующим образом:

$$\begin{aligned} ADD : & (AO) + (BO) \cdot P + CR - LBS; \\ SUB : & (AO) + \overline{(BO) \cdot P} + CR - LBS. \end{aligned}$$

При операции сдвига влево (*ASL*, *LSD*) происходит сложение выбранного операнда с самим собой. Для *ASL* (*CO8*=0) признак переполнения вырабатывается при изменении состояния в знаковом разряде (рис. 10.33). Как при сложении, так и при вычитании, ускоренный перенос минимизирует время задержки распространения сигнала.

При арифметическом сдвиге вправо (*ASR*) во всех K1800BT3, кроме микросхемы, содержащей самый старший разряд, производится логический сдвиг (*CO8*=0). В микросхеме, содержащей самый старший разряд, сигнал *CO8* должен быть равен нулю. При этом знаковый разряд сохраняет свое значение и передается на выход *CR0* и на следующий разряд вправо.

При использовании схемы ускоренного переноса, для выполнения операции *ASR*, *LSR* (рис. 10.34) ее работа блокируется. На выводе *CRP-ZD* вырабатывается признак нуля, а

Таблица 10.58

Операция	Адрес	Команда	Байтовый формат	$\overline{RG3}$	\overline{EX}	C _{ARRY}	Данные	Операция ALU		RGF	CRT	d
								RGF	RGF			
READ	0	BSR	0	$IB \rightarrow RG30$	—	—	$RGF \rightarrow DB (FDB)$	$IB \rightarrow RGD (IDR)$	$RGF \cdot P \rightarrow RGF$	—	0	0
SR RGF, RG30	1	RSR	8	$IB \rightarrow RG30$	—	—	$RGF \rightarrow DB (FDB)$	$RGD \cdot P \rightarrow RGA$	$RGD \cdot P \rightarrow RGA$	—	0	0
PROG, TEST	2	JEP	F	$RG31 \rightarrow EX (L)$	—	—	$RGD \rightarrow RGD (ODR)$	—	—	—	—	1
MULT P	3	JMP	0	$IB \rightarrow RG30$	$LSB \rightarrow EX$	—	—	—	—	—	—	—
END	4	BRC	A	$IB \rightarrow RG30$	—	—	—	—	—	—	—	—
TEST RG3	5	BRC	9	$IB \rightarrow RG30$	—	—	—	—	—	—	—	—
TEST LBS	6	BRC	—	$IB \rightarrow RG30$	—	—	—	—	—	—	—	—
SR MSB	7	INC	—	RTN	—	SR	ASR	$RGF \rightarrow RGF$	$RGF \rightarrow RGF$	0	1	0
SR LSB	8	JMP	7	RTN	$LSB \rightarrow EX$	—	—	$RGF \rightarrow RGA$	$RGF \rightarrow RGA$	0	1	1
SUB	9	BRC	7	RTN	—	—	—	SUB	$RGF \rightarrow RGD \cdot P \rightarrow RGF$	0	1	1
TEST LSB	A	BRC	7	RTN	$LSB \rightarrow EX$	—	—	$RGF + RGD \cdot P \rightarrow RGF$	$OB + IB \cdot P \rightarrow RGA$	0	0	—
ADD	B	JMP	7	RTN	—	—	—	$OB + IB \cdot P \rightarrow RGA$	$OB - IB \cdot P \rightarrow RGA$	0	0	1
ADD P	C	JMP	0	RTN	—	—	—	$OB \oplus IB \cdot P \rightarrow RGA$	$OB \oplus IB \cdot P \rightarrow RGA$	0	—	1
SUB P	D	JMP	0	RTN	—	—	—	$OB \cdot P \rightarrow RGF$	$OB \cdot P \rightarrow RGF$	0	—	1
EORP	E	JMP	0	$DI \cdot (\overline{EX}) \rightarrow RG30$	—	—	—	$IB \rightarrow RGD (IDR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
DIVIDE P	F	BSR	F	$DI \cdot (\overline{EX}) \rightarrow RG30$	—	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
RGD, RGD	10	JSR	2	$IB \rightarrow RG30(0)$	—	—	—	$IB \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
SL RGA \leftarrow 1	11	JMP	7	$IB \rightarrow RG30(0)$	—	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
SET RG3	12	INC	—	$IB \rightarrow RG30$	$LSB \rightarrow EX$	—	—	$IB \rightarrow RGD (ADR)$	$IB \rightarrow RGD (ADR)$	0	—	1
SL RGA	13	INC	—	$IB \rightarrow RG30$	—	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
SL RGF	14	BRC	6	$IB \rightarrow RG30$	$LSB \rightarrow EX$	1	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
ADD	15	RTN	—	$IB \rightarrow RG30$	—	—	—	$IB \rightarrow RGD (IDR)$	$IB \rightarrow RGD (IDR)$	0	—	1
SUB	16	RTN	—	$IB \rightarrow RG30$	$ZD \rightarrow EX$	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
SUB TEST	17	BRC	C	$DI \cdot (\overline{EX}) \rightarrow RG30$	$ZD \rightarrow EX$	—	—	$IB \rightarrow RGD (IDR)$	$IB \rightarrow RGD (IDR)$	0	—	1
ZERO TEST	18	BRC	0	$DI \cdot (\overline{EX}) \rightarrow RG30$	$ZD \rightarrow EX$	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
ADD TEST	19	BRC	E	$DI \cdot (\overline{EX}) \rightarrow RG30$	$ZD \rightarrow EX$	—	—	$IB \rightarrow RGD (IDR)$	$IB \rightarrow RGD (IDR)$	0	—	1
\oplus MSB TEST	1A	BRC	0	$DI \cdot (\overline{EX}) \rightarrow RG30$	$CRO \rightarrow EX$	—	—	$ALU \rightarrow RGD (ADR)$	$ALU \rightarrow RGD (ADR)$	0	—	1
MSB TEST	1B	BRC	E	$DI \cdot (\overline{EX}) \rightarrow RG30$	$CRO \rightarrow EX$	—	—	$IB \rightarrow RGD (IDR)$	$IB \rightarrow RGD (IDR)$	0	—	1
INC	1C	INC	—	$DI \rightarrow RG30$	—	—	—	$IB \rightarrow RGD (IDR)$	$IB \rightarrow RGD (IDR)$	0	—	1
SUB	1D	JMP	0	$RG30 \rightarrow EX$	$DI \rightarrow RG30$	—	—	SUB	$RGF \rightarrow RGD \cdot P \rightarrow RGF$	0	1	1
DEC	1E	INC	—	$RG30 \rightarrow EX$	$DI \rightarrow RG30$	—	—	ADD	$RGF + P \rightarrow RGA$	0	0	1
ADD	1F	JMP	0	$RG30 \rightarrow EX$	$RG30 \rightarrow EX$	—	—	ADD	$RGF + RGD \cdot P \rightarrow RGF$	0	0	1

Приимечание. \leftrightarrow — нет операции, состояние не изменяется.

сигнал $CRG-OF$ удерживается в состоянии 1. При выполнении операций изменение содержания счетчика программ, изменение содержания указателя и изменение содержания адресного регистра описываются выражениями

$MOD\ RGO-RGO+(BO)\cdot P+CR-LBS;$

$MOD\ POINT-AO+P+CR-IBS;$

$MOD\ RGA-RGA+(BO)\cdot P-CR-LBS.$

Операции изменения в COM оперируют обычно с числами без знака или положительными числами (операнды AO и BO), и при знак переполнения в ALU не вырабатывается. Модификация RGO обеспечивает переход к выполнению другой программы. Модификация RGA обеспечивает простой переход в программе без изменения содержимого RGO . Мо-

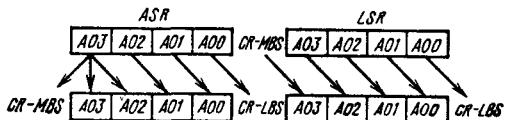


Рис. 10.34. Передача информации в АЛУ микросхемы K1800BT3 при сдвиге вправо

дификация P с помощью входов P увеличивает или уменьшает содержимое RGO без изменения содержимого других регистров в COM . Операции изменения особенно полезны при организации стека. Информация, хранящаяся в стеке, может быть преобразована, передана в RGA и сохранена в течение нескольких циклов.

Приложение 1

Корпуса микропроцессорных микросхем

Таблица П1

Тип корпуса	Габариты, мм (с учетом выводов)	Масса микросхемы, г, не более	Материал корпуса	Тип микросхемы	Номер рисунка
238.16-2	21,5×7,5×5,0	2,0	Полимерный	KP580ГФ24, K589АП16, K589АП26, K589ХЛ4	1
2103.16-3	19,5×7,5×5,5	2,0	Стеклокерамический	K1800ВА4, K1800ВА7	2
2107.18-2	22,5×10,5×5,0	3,0	Полимерный	KР588ВГ2	3
2140.20-1	26,5×7,5×4,5	4,0	Полимерный	KР580ВА86, KР580ВА87	4
2140.20-2	27,0×7,5×4,5	4,0	Полимерный	KР580ИР82, KР580ИР83	5
2105.24-5	29,5×15,0×6,0	6,0	Металлокерамический	K573РФ3	6
239.24-2	31,5×15,3×4,0	4,0	Полимерный	K589ИР12, K589ИК14	1
2120.24-1	29,4×15,0×5,0	4,5	Металлокерамический	K1800ВБ2	7
2120.24-3	31,0×15,0×5,0	4,5	Полимерный	KР580ВИ53	8
2121.28-1	36,5×15,3×5,0	4,0	Полимерный	K589ИК02, K589ИК03	1
2121.28-4	35,0×15,0×5,0	5,0	Полимерный	KР580ВК28, KР580ВК38	9
2121.28-5	36,0×15,0×5,0	5,0	Полимерный	KР580BB51A, KР580BH59	10
2121.28-10	37,0×15,0×5,0	6,0	Полимерный	KР580ВА93	11
2123.40-1	51,0×15,3×5,0	6,0	Полимерный	K589ИК01	1
2123.40-2	51,5×15,0×5,2	6,0	Полимерный	KР580BB55A, KР580BB79, KР580ВГ75, KР580BM80A, KР580BT57, KР580BK91A	12
2204.42-1	27,0×25,0×4,45	5,0	Полимерный	KР587ИК1, KР587ИК2, KР587ИК3	13
244.48-5	32,0×25,0×5,0	5,0	Полимерный	K145ИК1807, K145ИК1809, K145ИК1810, K145ИК1812, K145ИК1814, K145ИК1901, K145ИК1906, K145ИК1907, K145ИК1908, K145ИК1914, K145ИК1915, K145ИК1801-2	14
2207.48-1	30,8×20,0×4,0	4,0	Металлокерамический	K1800ВР8, K1800РП6, K1800ВТ3, K1800ВУ1, K1800ВС1, K1800РГ16	15
4116.18-2	10,47×31,6×2,5	4,0	Металлокерамический	K588ВГ2	16
405.24-2	19,5×34,0×2,8	1,6	Металлокерамический	K583ВА1	17
4118.24-2	15,6×24,1×3,2	1,9	Металлокерамический	K588ВР2	18
4119.28-1	18,25×26,5×3,0	2,5	Металлокерамический	K583ВГ1, K583ВА2	19
4119.28-4	18,25×26,4×3,26	8,0	Металлокерамический	K588ВА1, K588ИР1	20
429.42-3	25,6×33,7×3,13	4,0	Металлокерамический	K588ВС2, K588ВУ2, K588ВГ1, K588ВТ1	21
413.48-5	32,0×38,0×5,0	6,0	Металлокерамический	KР581ИК1, KР581ИК2, KР581РУ1, KР581РУ2, KР581РУ3, KР581ВЕ1	22
4134.48-2	30,4×42,0×3,2	7,0	Металлокерамический	K583ВС1, K583ВА3, K583ВА4, K583ВМ1, K583ИК1, K583КП1, K583ХЛ1, K584ВВ1, K584ВГ1, K584ВМ1, K584ВУ1	23

Конструктивное исполнение корпусов микросхем

238.16-2, 239.24-1,
239.24-2, 2121.28-1, 2123.40-1

Корпус	<i>n</i>	<i>L₁</i> , мм	<i>L₂</i> , мм	<i>b₁</i> , мм	<i>b₂</i> , мм	<i>h</i> , мм
238.16-2	16	21,5	17,5	6,5	7,8	3,5
239.24-1 239.24-2	24	31	27,5	13,2	15,3	4,0
2121.28-1	28	35	32,5	13,2	15,3	4,0
2123.40-1	40	51	47,5	13,2	15,3	4,0

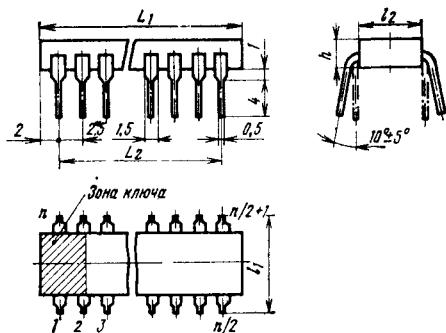


Рис. 1

2107.18-2

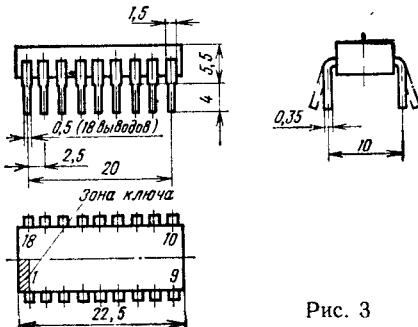


Рис. 3

2140.20-1

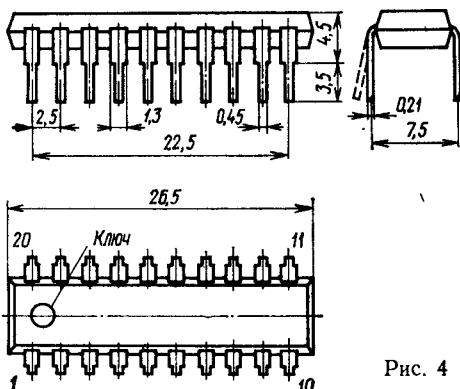


Рис. 4

2103.16-3

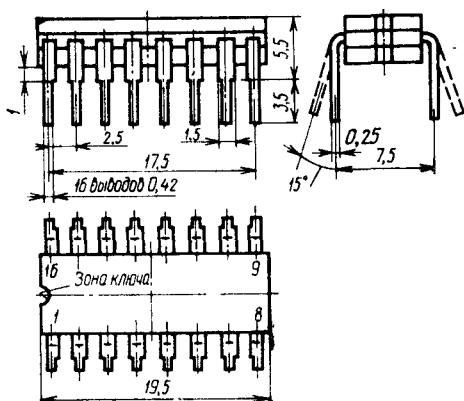


Рис. 2

2140.20-2

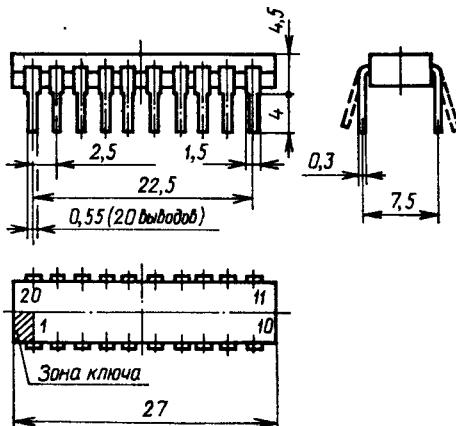


Рис. 5

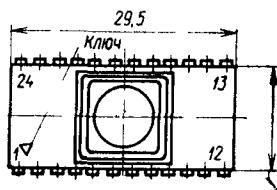
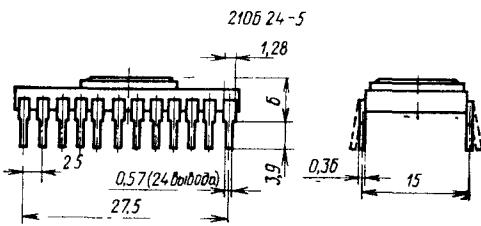


Рис. 6

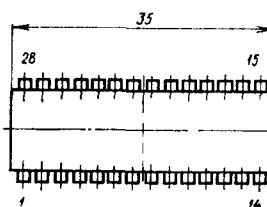
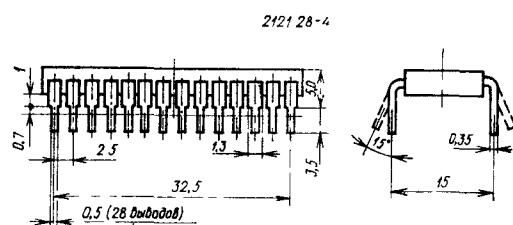


Рис. 9

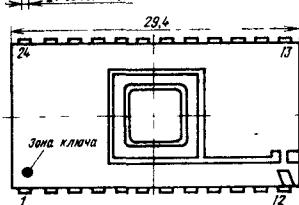
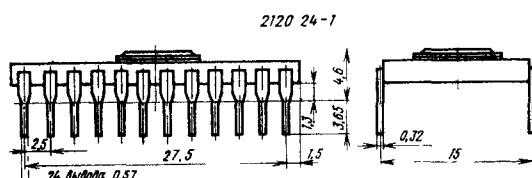


Рис. 7

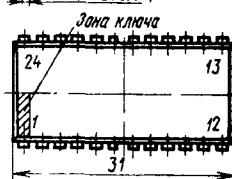
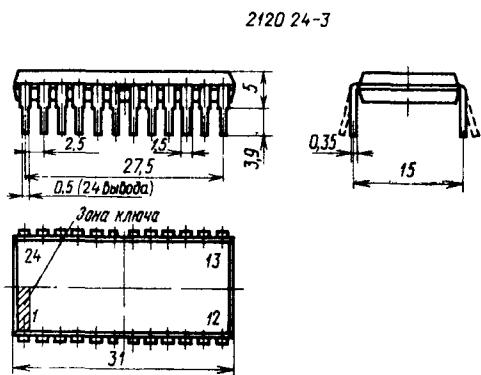


Рис. 8

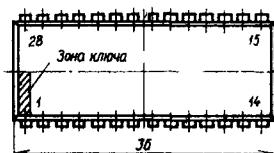
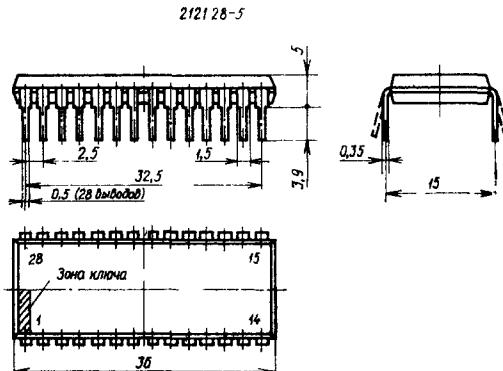


Рис. 10

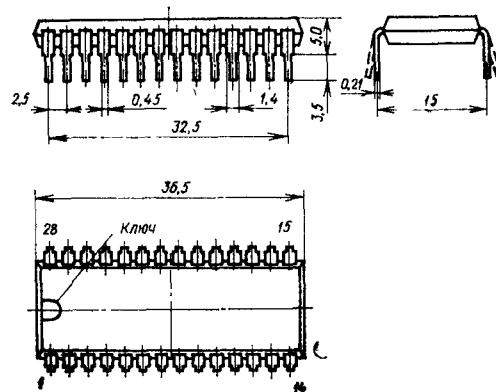


Рис. 11

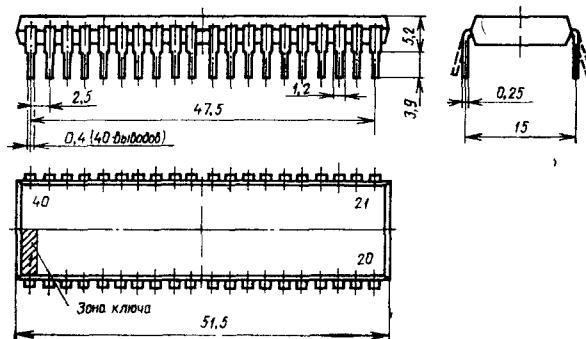


Рис. 12

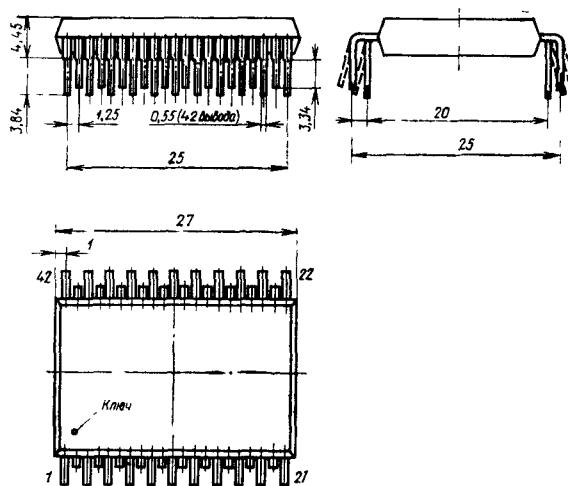


Рис. 13

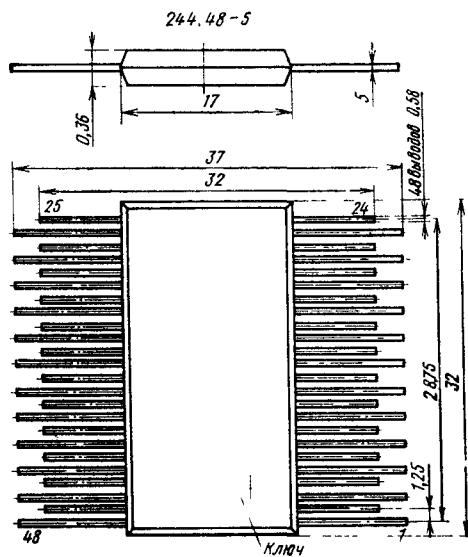


Рис. 14

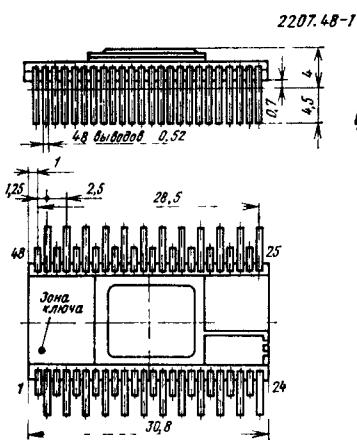


Рис 15

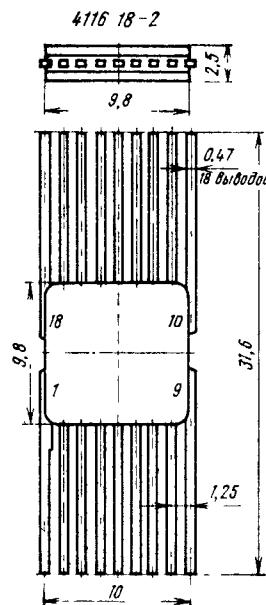


Рис. 16

4118 24-2

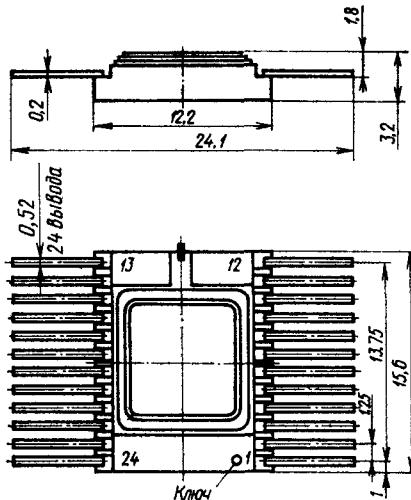


Рис. 18

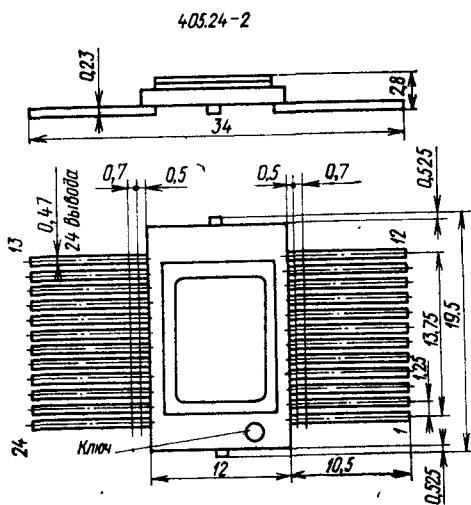


Рис. 17

4119 28-1

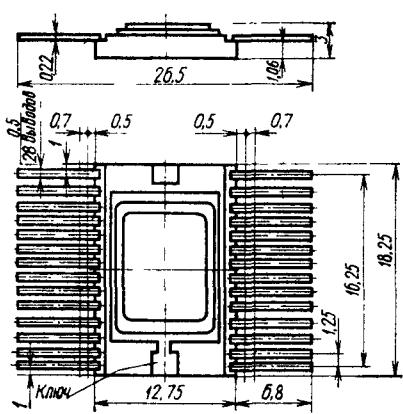


Рис. 19

4119.28-4

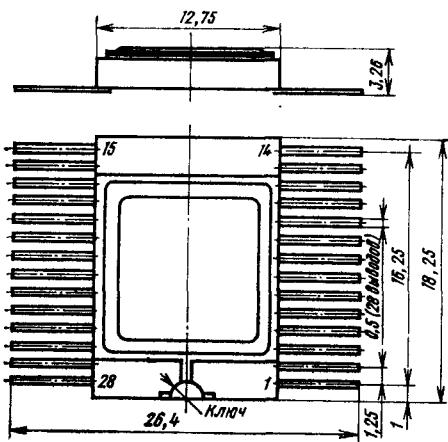


Рис. 20

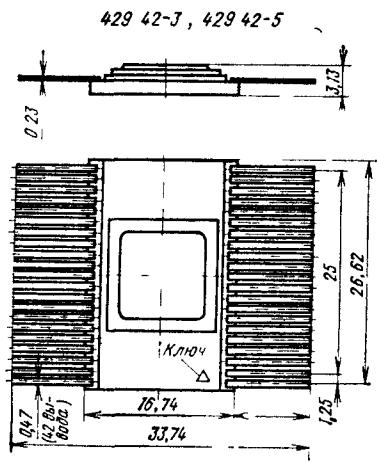


Рис. 21

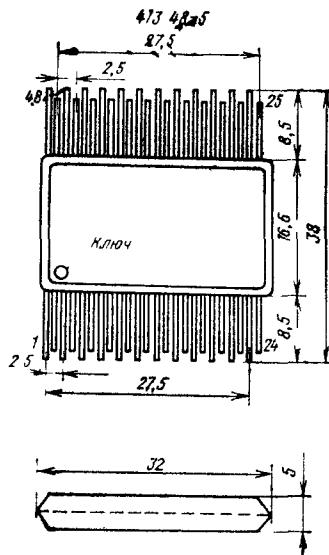


Рис. 22

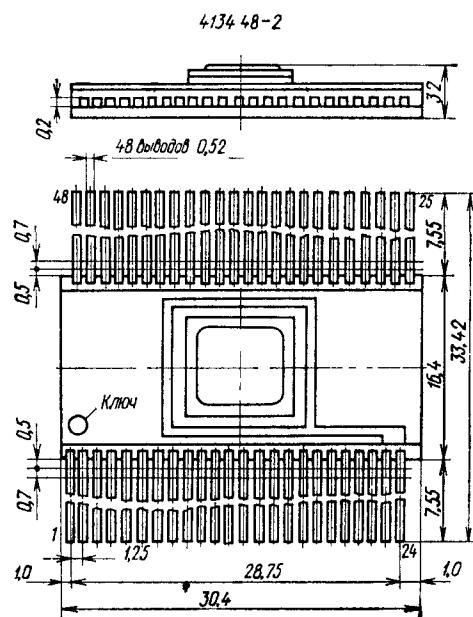


Рис. 23

Приложение 2

Краткие сведения о микропроцессорных микросхемах, не вошедших в том 1 справочника

Микроэлектроника — одна из самых динамичных отраслей промышленности: цикл разработки современных микросхем с применением средств автоматизированного проектирования составляет 3...6 месяцев. Освоение в производстве микросхем в условиях отлаженного технологического процесса также не требует значительного времени. Поэтому информация о микросхемах, их основных технических данных, необходимых для разработчиков аппаратуры, появляется иногда после начала массового выпуска микросхем.

За время подготовки к изданию настоящего справочника микропроцессорные комплексы пополнились новыми микросхемами. Появились новые микропроцессорные комплексы. Некоторые из них достаточно подробно описаны в журналах «Микропроцессорные средства и системы», «Электронная промышленность» и др.

Ниже приведены общие сведения о новых микросхемах, дополняющих приведенные в справочнике микропроцессорные комплексы. Сведения о новых МПК, появившихся за время подготовки справочника к изданию, а также о других микросхемах, которые можно использовать совместно с МПК, приводятся в томе 2.

Таблица П2

Обозначение	Функциональное назначение	Технология	Общая характеристика			
			Разрядность, бит	Время цикла, нс (тактовая частота)	Потребляемая мощность, Вт	Тип корпуса
Серия КР580 КР580ВГ18	Контроллер шины	<i>n</i> -МДП	4	650	0,12	2121.28-3
Серия КР583 КР583РА1	Ассоциативное ЗУ	И ² Л	128	200	0,6	2205.48-1
Серия 585 (T = -10 ... +70 °C)						
Серия 585 (T = -60 ... +125 °C)		*				
К585ИК01, 585ИК01	См. К589ИК01				4122.40-1	
К585ИК02, 585ИК02	См. К589ИК02				4119.28-1	
К585ИК03, 585ИК03	См. К589ИК03				4119.28-1	
К585ИР12, 585ИР12	См. К589ИР12				405.24-2	
К585ИК14, 585ИК14	См. К589ИК14				405.24-2	
К585АП16, 585АП16	См. К589АП16				402.16-18	

Окончание табл. П2

Обозначение	Функциональное назначение	Технология	Общая характеристика			
			Разрядность, бит	Время цикла, нс (тактовая частота)	Потребляемая мощность, Вт	Тип корпуса
K585АП26, 585АП26 K585ХЛ4, 585ХЛ4	См. K589АП26 См. K589ХЛ4					402.16-18 402.16-18
Серия КР587 КР587РП1-п	Управляющая память	КМДП	64 кода	2 мкс	0,05	2204.42-1
Серия K587 (T = -25... ... +70 °C),						
Серия 587 (T = -60... ... +85 °C)						
K587ИК1, 587ИК1 K587ИК2, 587ИК2 K587ИК3, 587ИК3 K587РП1-п, 587РП1-п	См. КР587ИК1 См. КР587ИК2 См. КР587ИК3 См. КР587РП1-п					429.42-1 429.42-1 429.42-1 429.42-1
Серия K588						
K588ВГ3	Кодек мультиплексного канала	КМДП	2...28	130	0,01	429.42-3
K588ВГ6	Адаптер	КМДП	16	250	0,01	4134.48-2
K588ВН1	Контроллер прерываний	КМДП	7		0,01	4119.28-3.02
K588ВГ4	Контроллер АЦП	КМДП	16	300	0,01	4134.48-2
K588ВГ5	Контроллер ЦАП	КМДП	6 вх., 8 вых.	200	0,01	4134.48-2
K588ВИ1	Таймер	КМДП	16		0,01	429.42-3
K588ВТ2	Контроллер ПДП	КМДП	16	300	0,01	4134.48-2
KР588ВА1	См. K588ВА1					2121.28-4
KР588ИР1	См. K588ИР1					2121.28-4
KР588ВС2	См. K588ВС2					2206.42-2
KР588ВУ2	См. K588ВУ2					2206.42-2
KР588ВГ1	См. K588ВГ1					2206.42-2
Серия 589 (T = -10... ... +70 °C)						
589ИК01	См. K589ИК01					2123.40-1
589ИК02	См. K589ИК02					2121.28-1
589ИК03	См. K589ИК03					2121.28-1
589ИР12	См. K589ИР12					239.24-2
589ИК14	См. K589ИК14					239.24-2
589АП16	См. K589АП16					238.16-2
589АП26	См. K589АП26					238.16-2
589ХЛ4	См. K589ХЛ4					238.16-2
Серия K1800						
K1800ВР1	Умножитель	ЭСЛ	8×8	17	2,0	2136.64-1

Справочное издание

**АБРАЙТИС ВАЙДОТАС-БЛАЖЕЮС БЛАЖЕЕВИЧ, АВЕРЬЯНОВ НИКОЛАЙ НИКОЛАЕВИЧ,
ВЕЛОУС АНАТОЛИЙ ИВАНОВИЧ и др.**

**МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ
ИНТЕГРАЛЬНЫХ МИКРОСХЕМ**

Том 1

Заведующий редакцией Ю. Н. Рысов
Редактор Г. Н. Астафуров
Художественный редактор Н. С. Шеин
Переплет художника Н. А. Пашуро
Технический редактор Г. З. Кузнецова
Корректор Л. А. Буданцева

ИБ № 1571

Сдано в набор 04.02.87. Подписано в печать 22.09.87 Т-19031
Формат 70×100^{1/16}. Бумага офсетная № 2. Гарнитура литературная. Печать офсетная
Усл. печ. л. 29,9. Усл. кр.-отт. 30,55. Уч.-изд. л. 35,01. Тираж 100.000 экз (1-й завод 1—50.000 экз.).
Изд. № 22027 Зак. № 53 Цена 2 р. 10 к.
Издательство «Радио и связь», 101000 Москва, Почтамт. а/я 693

Московская типография № 4 Союзполиграфпрома
при Государственном комитете СССР
по делам издательства, полиграфии и книжной торговли.
129041, Москва, Б. Переяславская, 46