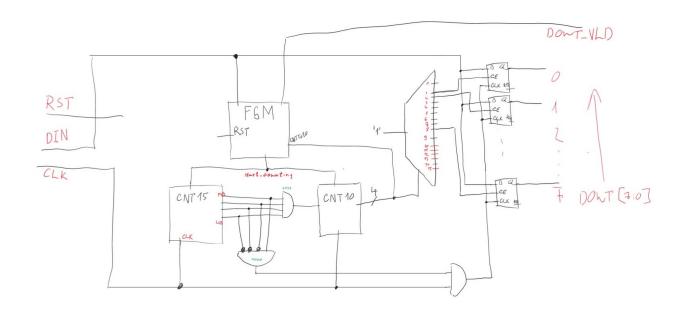
Příloha: Výstupní zpráva

Jméno: Jakub Hamadej xLogin: xhamad03

Architektura navrženého obvodu



Popis funkce

Danný obvod má za cíl deserializaci signálu na bázi protokolu UART.

<u>FMS</u> neboli Final State Machine ovládá povolení načítání bitů a vysílá validační signál po skončení čtení dat. Sám přijímá vstupní signály CLK, RST a DIN a vyčkává dokud na DIN nenastane hodnota = '0' a poté vyšle signál start_counting, který povolí čítání counterů CNT15 a CNT10.

<u>CNT15</u> je 4-bitový čítač. Je aktivní ve chvíli kdy hodnota start_counting='1' (v hodnotě '0' celý obvod resetuje), je využíván čítač CNT10 a hlavně když jeho výstup má hodnotu "1000" neboli 8, umožňuje načtení nové hodnoty z DIN do příslušného flip-flop obvodu.

<u>CNT10 je 4-bitový čítač</u>, který posílá signál zpět do FSM a do demultiplexoru, kde rozhoduje který flip-flop obvod bude sepnut.

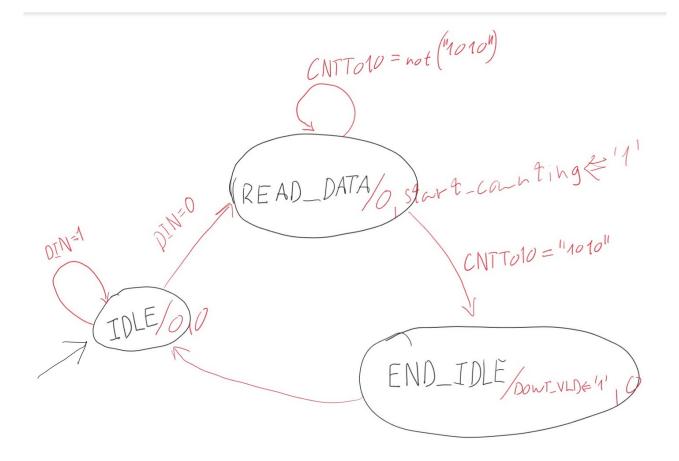
<u>Demultiplexor</u> přijímá signál z CNT10 a na jeho základě rozhoduje, který flip-flop bude mít povolený zápis.

Návrh automatu

- Stavy automatu: IDLE, READ_DATA, END_IDLE

- Vstupni signaly: DIN, CLK, RST, CNTTO10

- Moorovy výstupy: DOUT_VLD, START_COUNTING



Popis funkce

Automat disponuje třemi stavy (IDLE, READ_DATE, END_IDLE).

<u>IDLE</u> je stav ve kterém automat sečkává do doby než na vstup DIN přijde hodnota '0', poté přechází do dalšího stavu. Signál CNTTO10 v tomto stavu nehraje roli, proto nejsou u stavu IDLE tato vstupní data zmíněna.

<u>READ DATA</u> je stav ve kterém automat načítá jednotlivé bity do flip-flop obvodů dokud hodnota u CNTTO10 neni rovna "1010", poté se přesouvá do dalšího stavu.

<u>END IDLE</u> je stav ve kterém se automat zastaví pouze na jednu periodu signálu CLK a to pouze pro nastavení hodnoty DOUT_VLD na '1', poté přechází zpět na začátek do stavu IDLE.