

# 第5章 半导体存储电路

# 教学内容

## § 5.1 概述

第一讲：触发器的电路结构与动作特点

## § 5.2 SR锁存器

## § 5.3 电平触发的触发器

脉冲触发的触发器

边沿触发的触发器

触发器逻辑功能及其描述方法

第二讲：

## § 5.4-5 寄存器和存储器

# 教学要求

## 一. 重点掌握的内容:

1. 触发器的特点，现态和次态的概念．触发器逻辑功能的表示方法。
2. 触发器四种结构形式及其动作特点。
3. 触发器在逻辑功能上的四种主要类型，及其各自的功能特点和逻辑功能表示形式。

## 二. 一般掌握的内容:

1. 触发器的电路结构形式和逻辑功能的关系
2. 常用集成电路触发器逻辑符号、功能特点以及异步置位、复位端的作用。

# 5.1 概述

## 一、触发器

### 1 .概念:

能够存储 1 位二值信号的基本单元电路。

### 2 .特点:

( 1 ) 有两个稳定的状态: 0 和 1 。

( 2 ) 在适当输入信号作用下, 可从一种状态翻转到另一种状态; 在输入信号取消后, 能将获得的新状态保存下来。

## 二、触发器的现态和次态

现态：  $Q$           次态：  $Q^*$

## 三、触发器逻辑功能描述方法

功能表（特性表）、    特性方程、  
状态图、    波形图

## 四、触发器分类

按结构可分为

SR锁存器

电平触发的触发器

脉冲触发的触发器

边沿触发触发器

按逻辑功能可分为

SR触发器

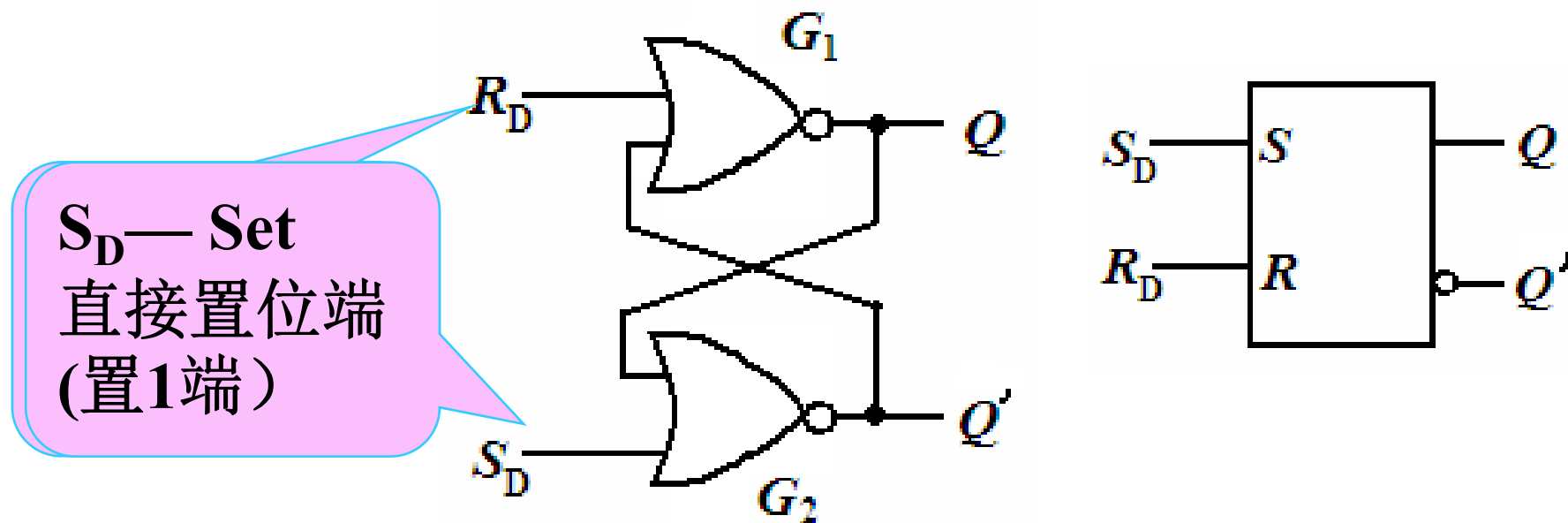
JK触发器

D触发器

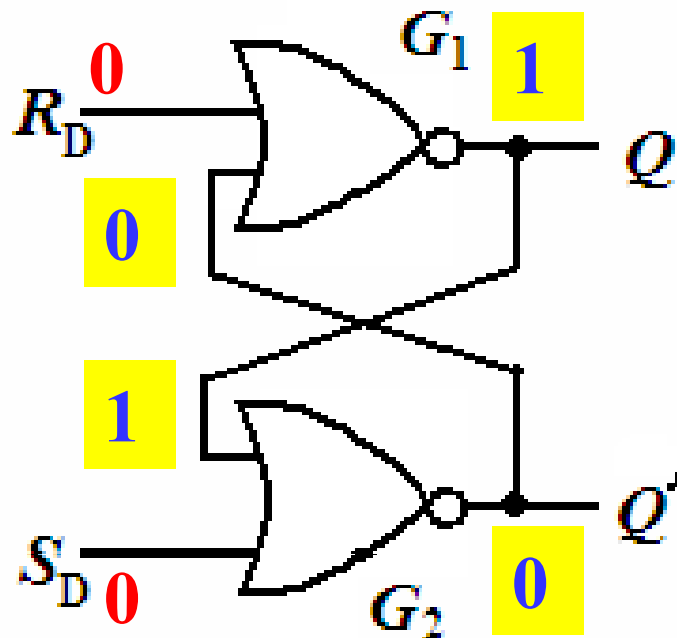
T和T'触发器

## 5.2 SR锁存器（基本RS触发器）

### 1.或非门构成



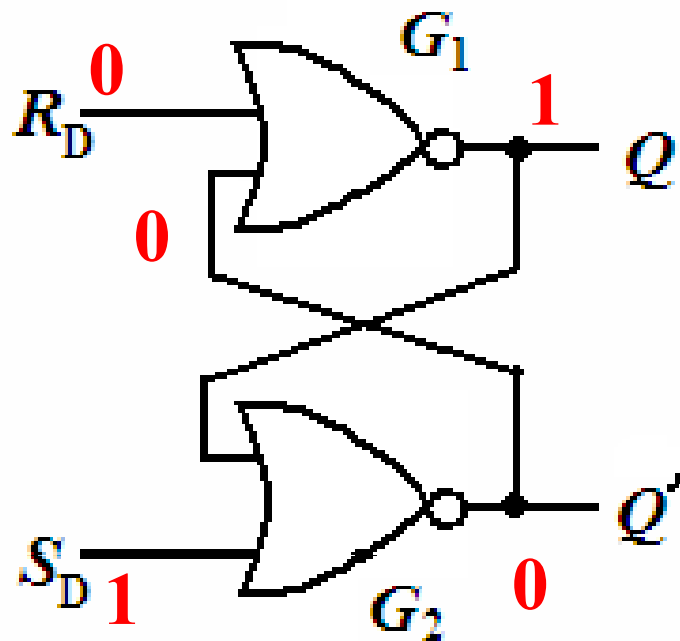
或非门组成的基本  
RS触发器的特性表



| $R_D$ | $S_D$ | $Q$    | $Q^*$ | 功能 |
|-------|-------|--------|-------|----|
| 0     | 0     | 0<br>1 | $Q$   | 保持 |
| 0     | 1     | 0<br>1 | 1     | 置1 |
| 1     | 0     | 0<br>1 | 0     | 置0 |
| 1     | 1     | 0<br>1 | $0^*$ | 不定 |

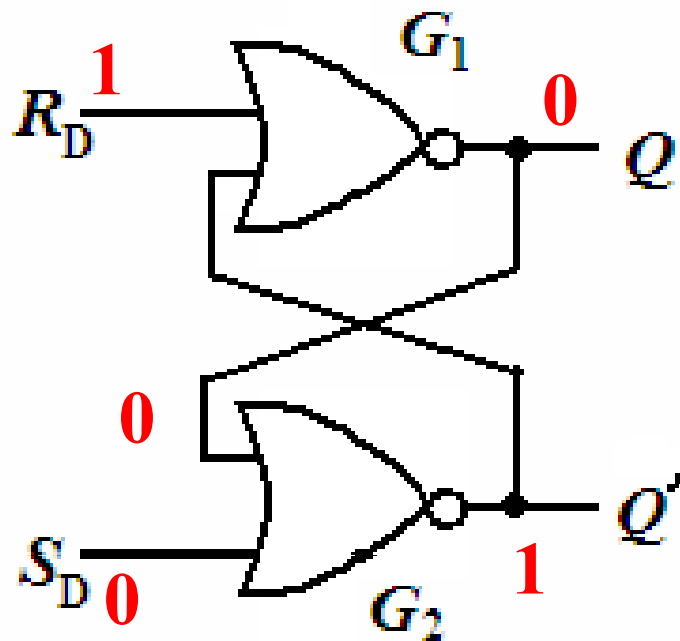


或非门组成的基本  
RS触发器的特性表



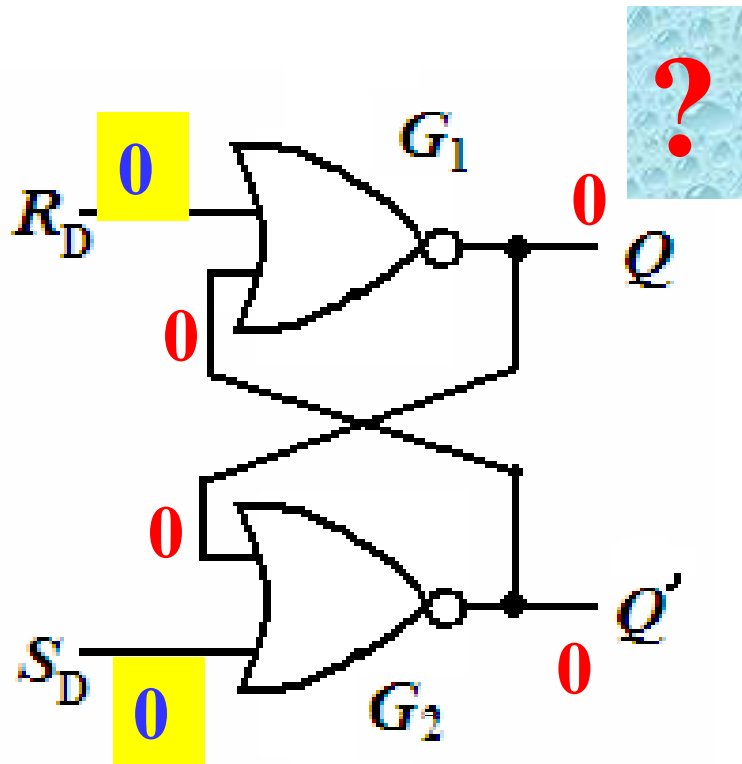
| $R_D$ | $S_D$ | $Q$    | $Q^*$ | 功能 |
|-------|-------|--------|-------|----|
| 0     | 0     | 0<br>1 | $Q$   | 保持 |
| 0     | 1     | 0<br>1 | 1     | 置1 |
| 1     | 0     | 0<br>1 | 0     | 置0 |
| 1     | 1     | 0<br>1 | $0^*$ | 不定 |

或非门组成的基本  
RS触发器的特性表



| $R_D$ | $S_D$ | $Q$    | $Q^*$ | 功能 |
|-------|-------|--------|-------|----|
| 0     | 0     | 0<br>1 | $Q$   | 保持 |
| 0     | 1     | 0<br>1 | 1     | 置1 |
| 1     | 0     | 0<br>1 | 0     | 置0 |
| 1     | 1     | 0<br>1 | $0^*$ | 不定 |

或非门组成的基本  
RS触发器的特性表



| $R_D$ | $S_D$ | $Q$    | $Q^*$ | 功能 |
|-------|-------|--------|-------|----|
| 0     | 0     | 0<br>1 | $Q$   | 保持 |
| 0     | 1     | 0<br>1 | 1     | 置1 |
| 1     | 0     | 0<br>1 | 0     | 置0 |
| 1     | 1     | 0<br>1 | $0^*$ | 不定 |

当 $S_D$ 、 $R_D$ 同时撤去时，输出端 $Q$ 和 $Q'$ 状态不定。

设计电路时此种情况应避免

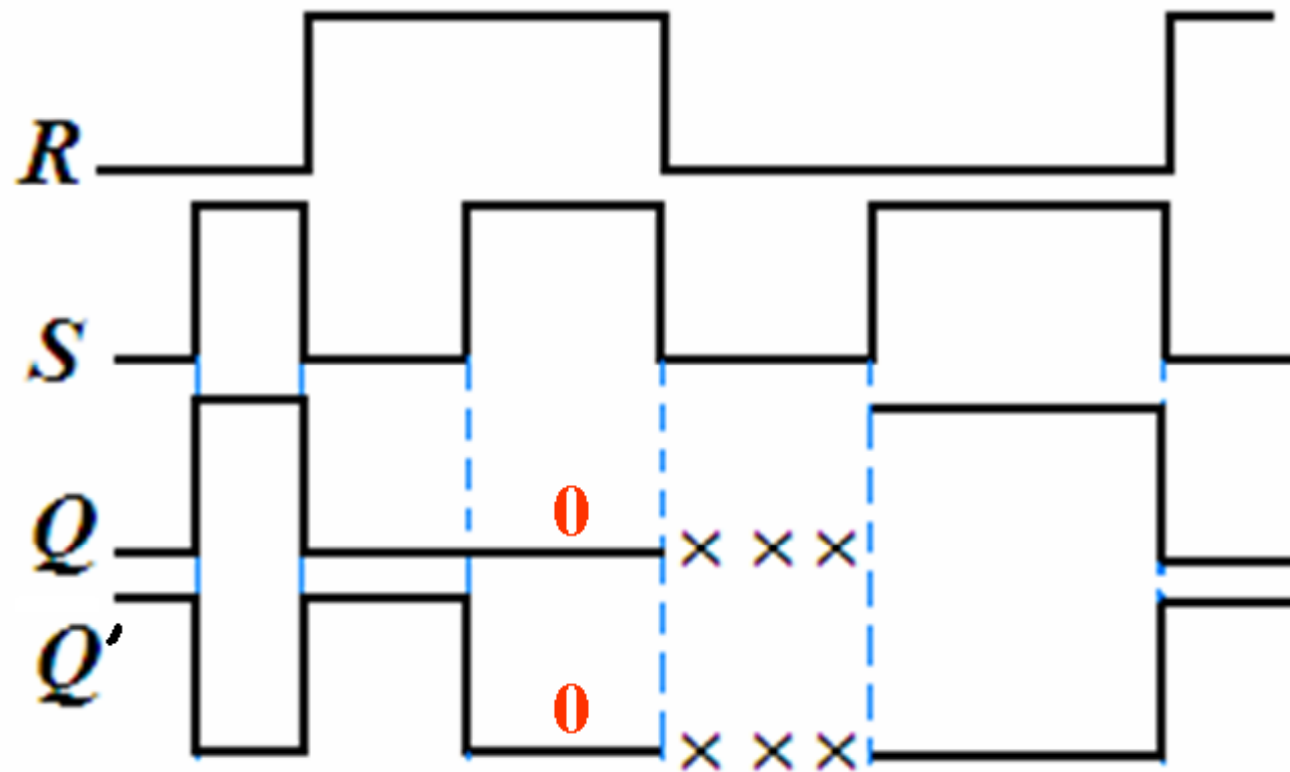
$Q^*$

|   |     |      |    |    |    |
|---|-----|------|----|----|----|
|   |     | $RS$ |    |    |    |
|   | $Q$ | 00   | 01 | 11 | 10 |
| 0 |     | 0    | 1  | ×  | 0  |
| 1 |     | 1    | 1  | ×  | 0  |

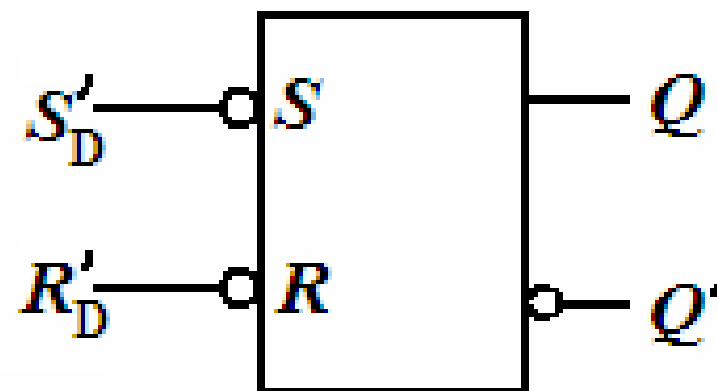
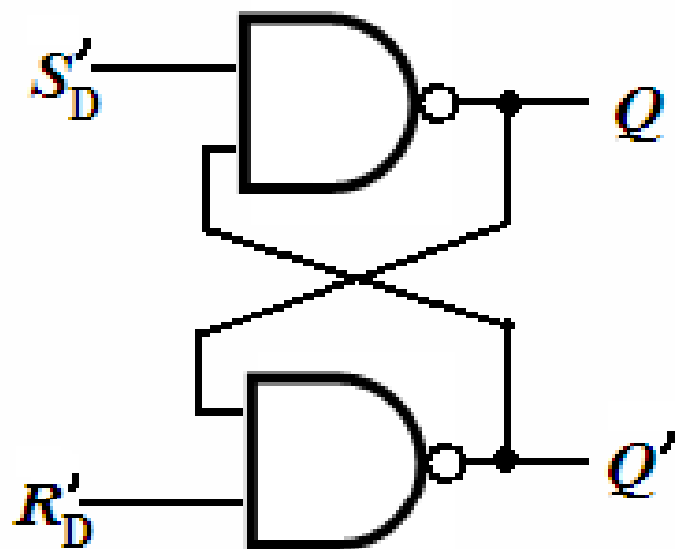
特性方程：

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

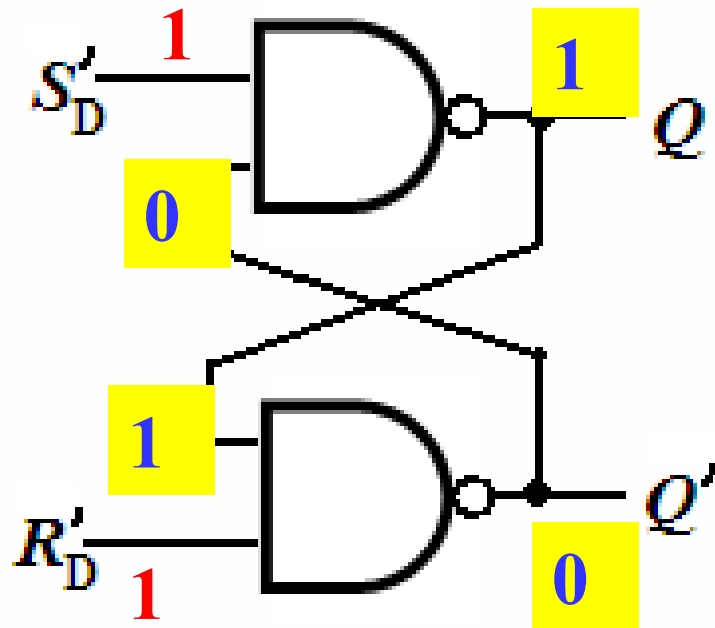
已知或非门构成的基本RS触发器输入波形，  
试画出输出Q和Q'的波形。



## 2.与非门构成

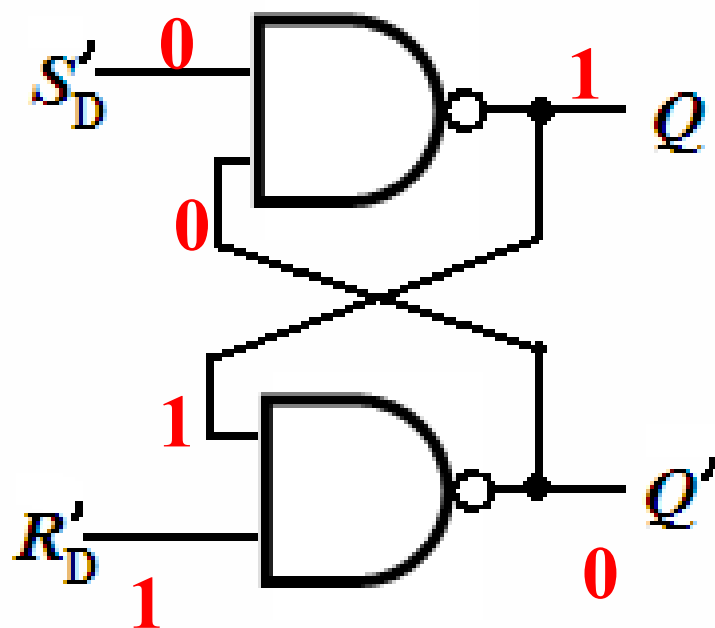


与非门组成的基本  
RS触发器的特性表



| $R'_D$ | $S'_D$ | $Q$    | $Q^*$ | 功能 |
|--------|--------|--------|-------|----|
| 1      | 1      | 0<br>1 | $Q$   | 保持 |
| 1      | 0      | 0<br>1 | 1     | 置1 |
| 0      | 1      | 0<br>1 | 0     | 置0 |
| 0      | 0      | 0<br>1 | $1^*$ | 不定 |

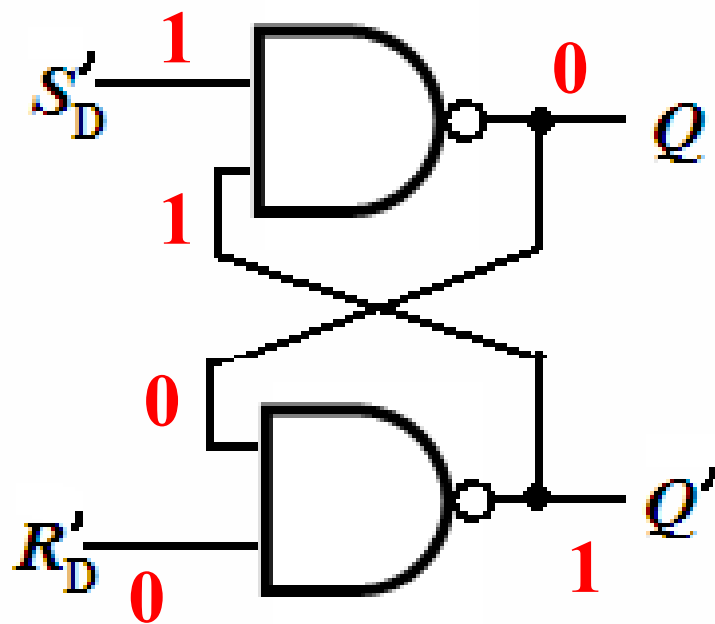
与非门组成的基本  
RS触发器的特性表



| $R'_D$ | $S'_D$ | $Q$    | $Q^*$ | 功能 |
|--------|--------|--------|-------|----|
| 1      | 1      | 0<br>1 | $Q$   | 保持 |
| 1      | 0      | 0<br>1 | 1     | 置1 |
| 0      | 1      | 0<br>1 | 0     | 置0 |
| 0      | 0      | 0<br>1 | $1^*$ | 不定 |

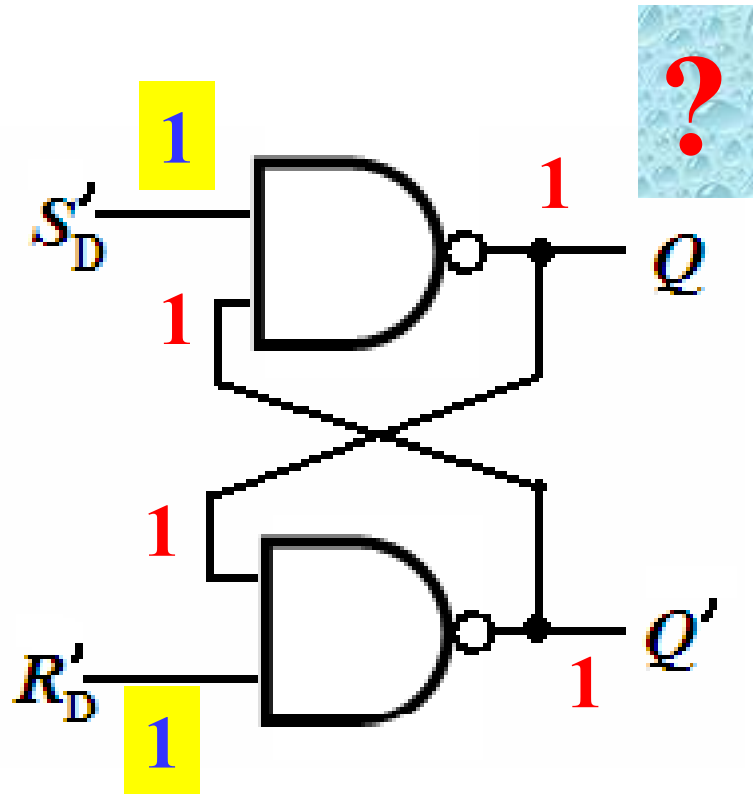


与非门组成的基本  
RS触发器的特性表



| $R'_D$ | $S'_D$ | $Q$    | $Q^*$ | 功能 |
|--------|--------|--------|-------|----|
| 1      | 1      | 0<br>1 | $Q$   | 保持 |
| 1      | 0      | 0<br>1 | 1     | 置1 |
| 0      | 1      | 0<br>1 | 0     | 置0 |
| 0      | 0      | 0<br>1 | $1^*$ | 不定 |

与非门组成的基本  
RS触发器的特性表



| $R'_D$ | $S'_D$ | $Q$    | $Q^*$ | 功能 |
|--------|--------|--------|-------|----|
| 1      | 1      | 0<br>1 | $Q$   | 保持 |
| 1      | 0      | 0<br>1 | 1     | 置1 |
| 0      | 1      | 0<br>1 | 0     | 置0 |
| 0      | 0      | 0<br>1 | $1^*$ | 不定 |

当 $S'_D$ 、 $R'_D$ 同时撤去时，输出端 $Q$ 和 $Q'$ 状态不定。

设计电路时此种情况应避免

特性方程：

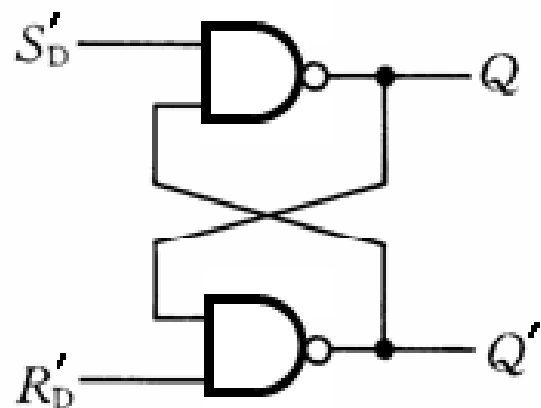
$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

### RS锁存器动作特点：

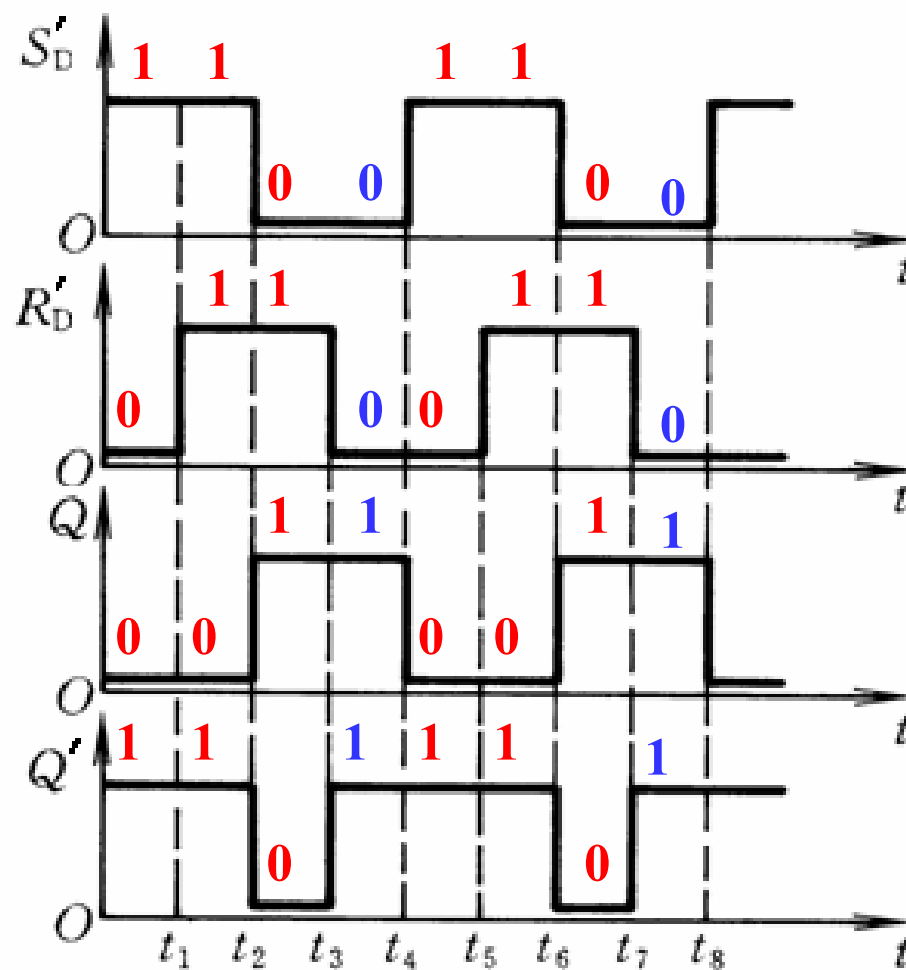
输入信号在全部作用时间内都直接改变输出端Q和Q'的状态。

$S_D$  直接置位端       $R_D$  直接复位端

## 例5.2.1



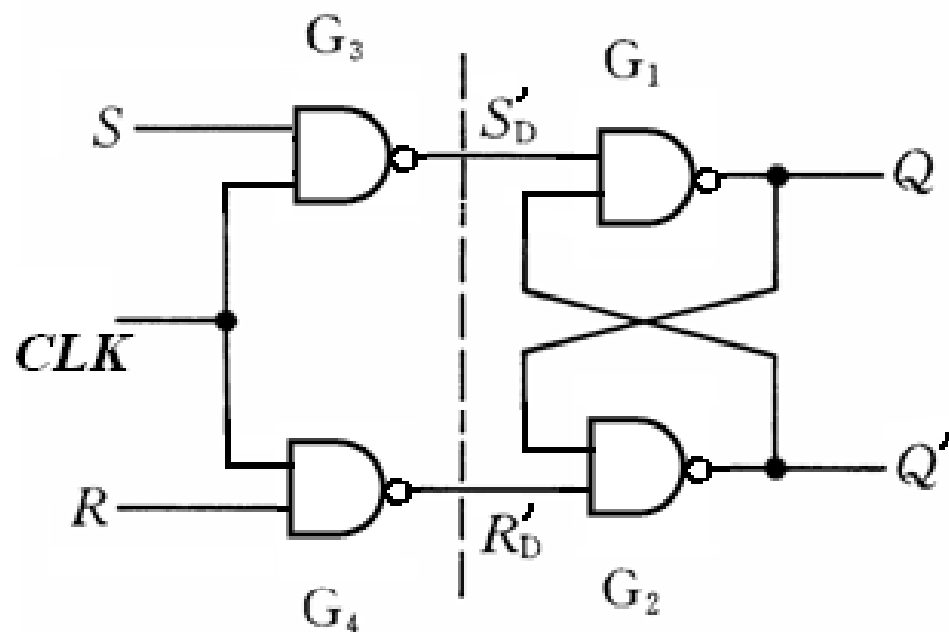
(a)



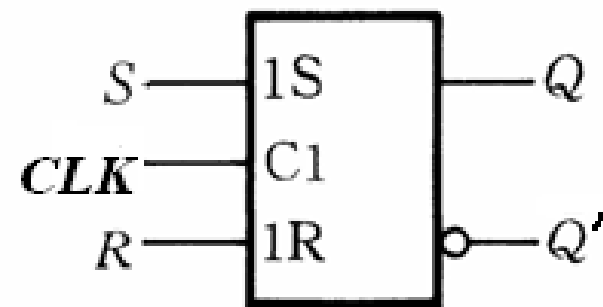
(b)

## 5.3.1 电平触发的触发器（同步触发器）

### 1. 电平触发SR触发器



(a)



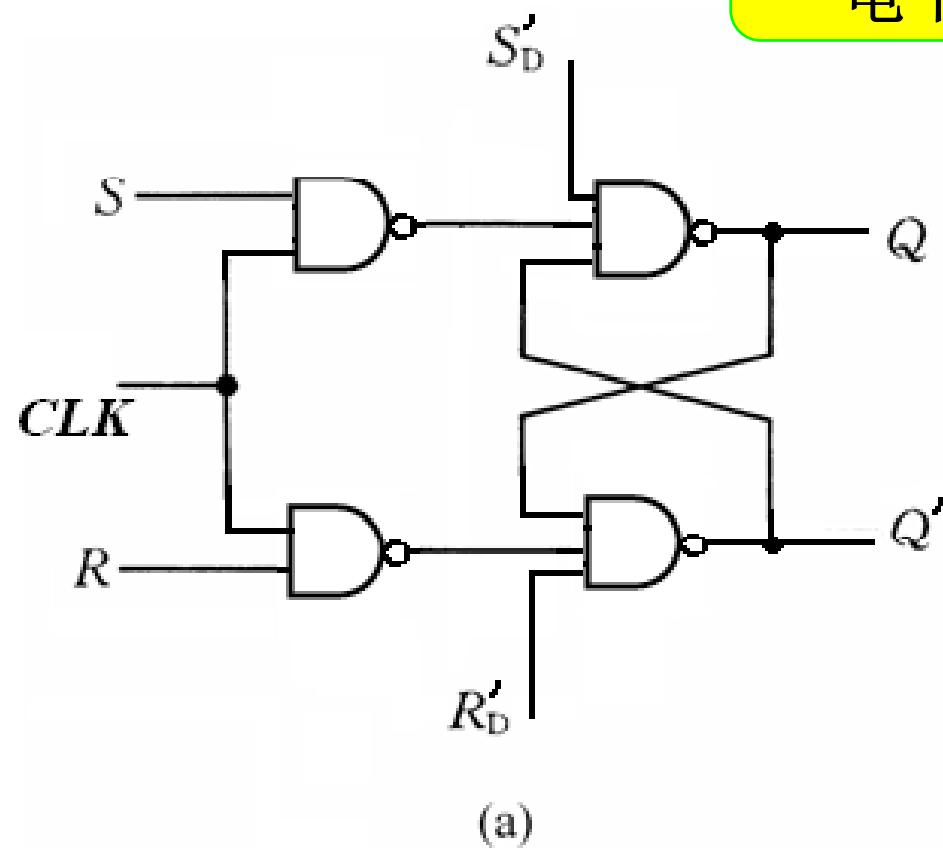
(b)

同步SR触发器的特性表

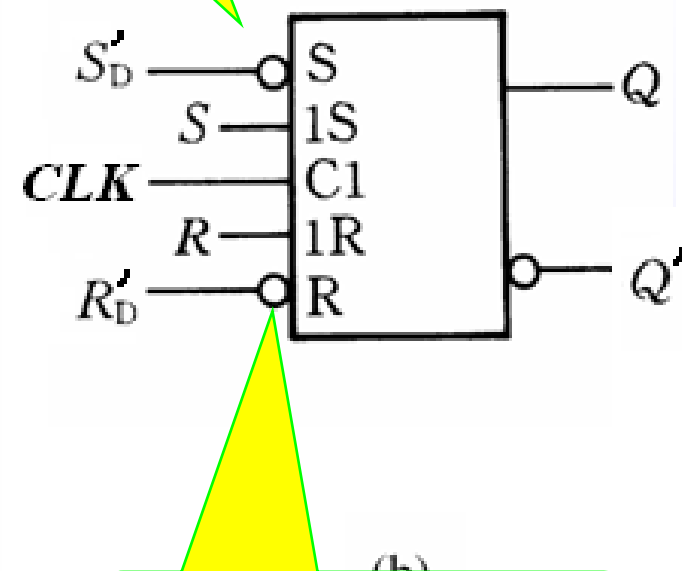
| $CLK$    | $S$      | $R$      | $Q^*$    | 功能 |
|----------|----------|----------|----------|----|
| <b>0</b> | <b>×</b> | <b>×</b> | <b>Q</b> | 保持 |
| <b>1</b> | <b>0</b> | <b>0</b> | <b>Q</b> | 保持 |
| <b>1</b> | <b>1</b> | <b>0</b> | <b>1</b> | 置1 |
| <b>1</b> | <b>0</b> | <b>1</b> | <b>0</b> | 置0 |
| <b>1</b> | <b>1</b> | <b>1</b> | —        | 不定 |

特性方程：

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$



异步置位端（低电平有效）



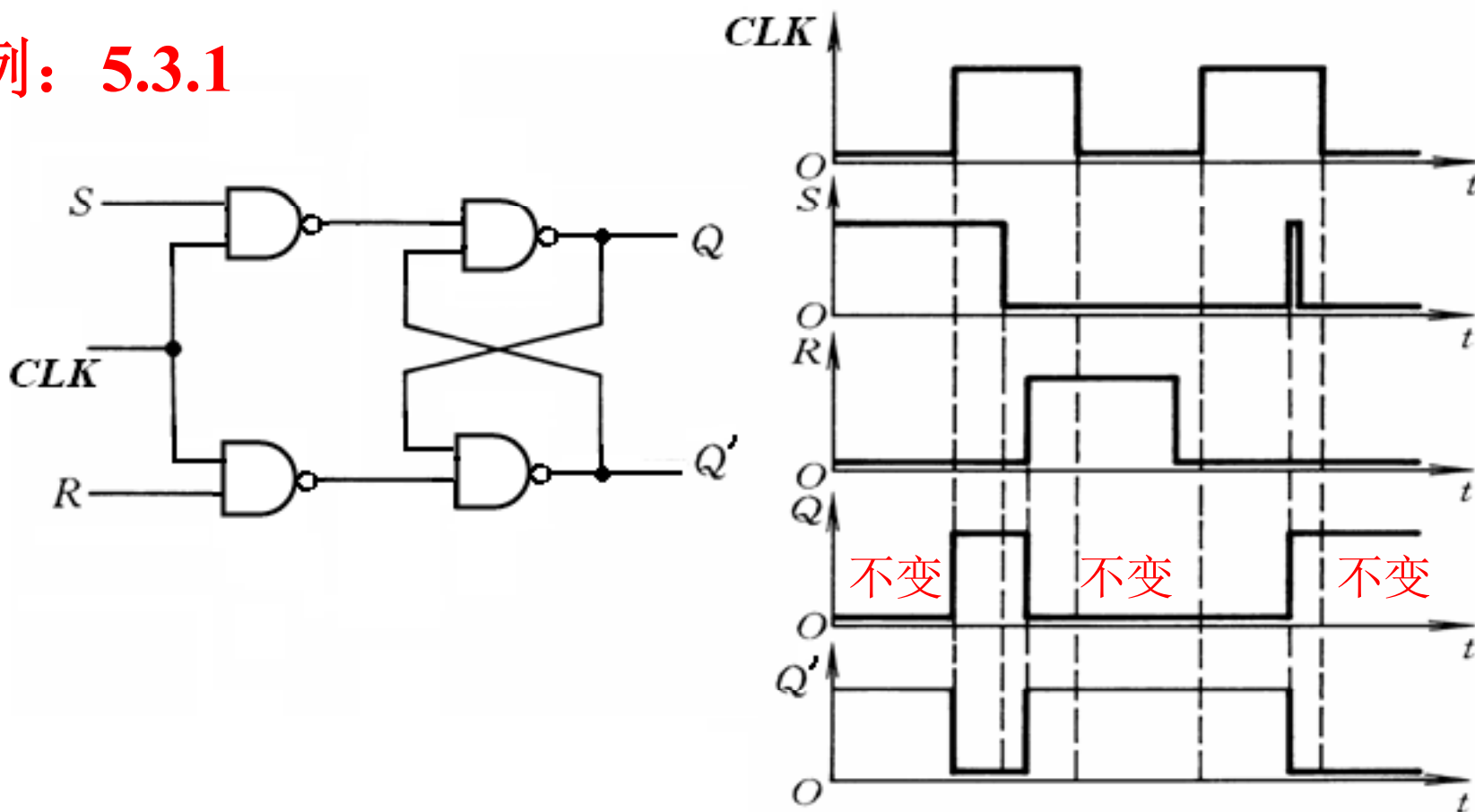
异步复位端（低电平有效）

带异步置位、复位端的电平触发SR触发器

## 电平触发方式的动作特点:

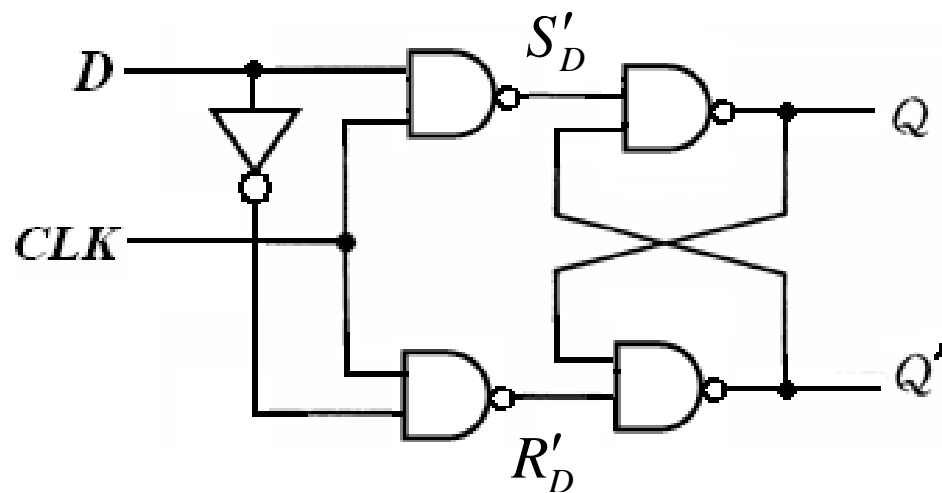
在  $CLK=1$  期间，输入信号的变化都直接改变输出端  $Q$  和  $Q'$  的状态;  $CLK=0$  期间输出状态保持不变。

### 例： 5.3.1





## 2.D锁存器

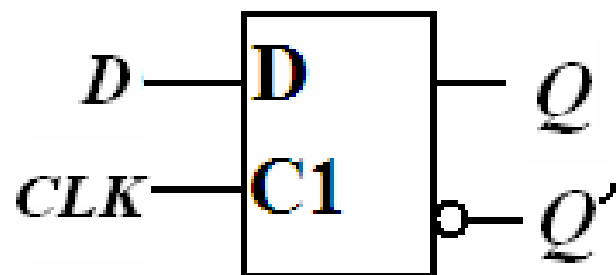


功能表

| $CLK$ | $D$ | $Q^*$ |
|-------|-----|-------|
| 0     | ×   | $Q$   |
| 1     | 0   | 0     |
| 1     | 1   | 1     |

特性方程:

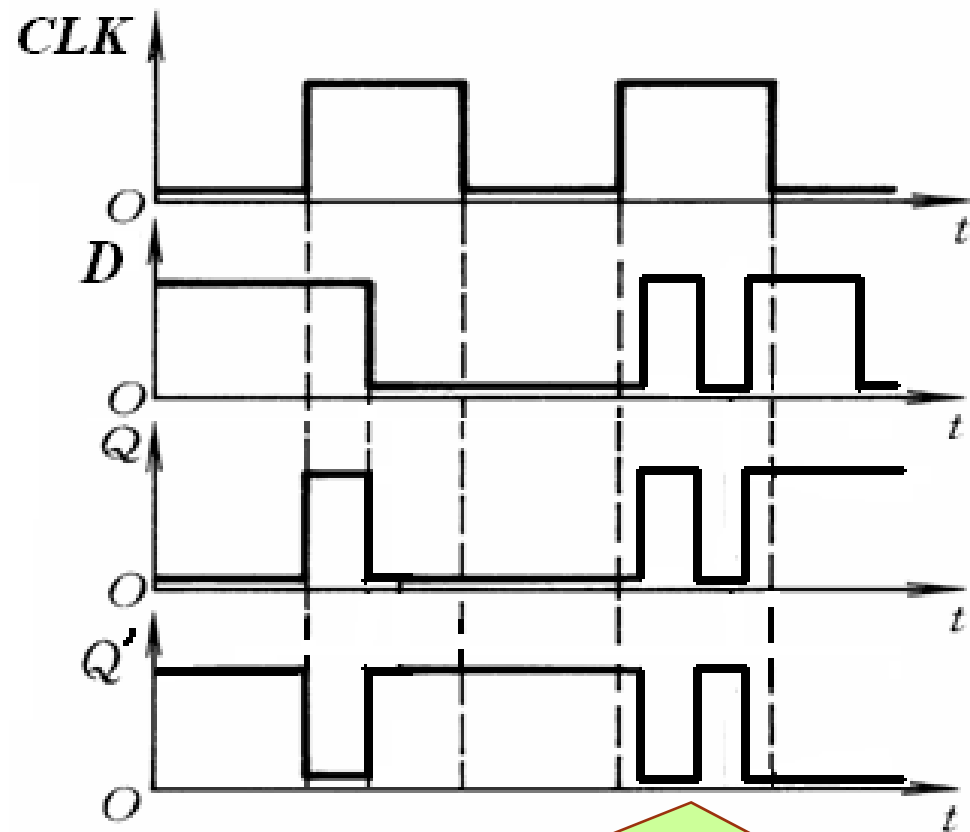
$$Q^* = D$$



### 例： 5.3.2

特性方程：

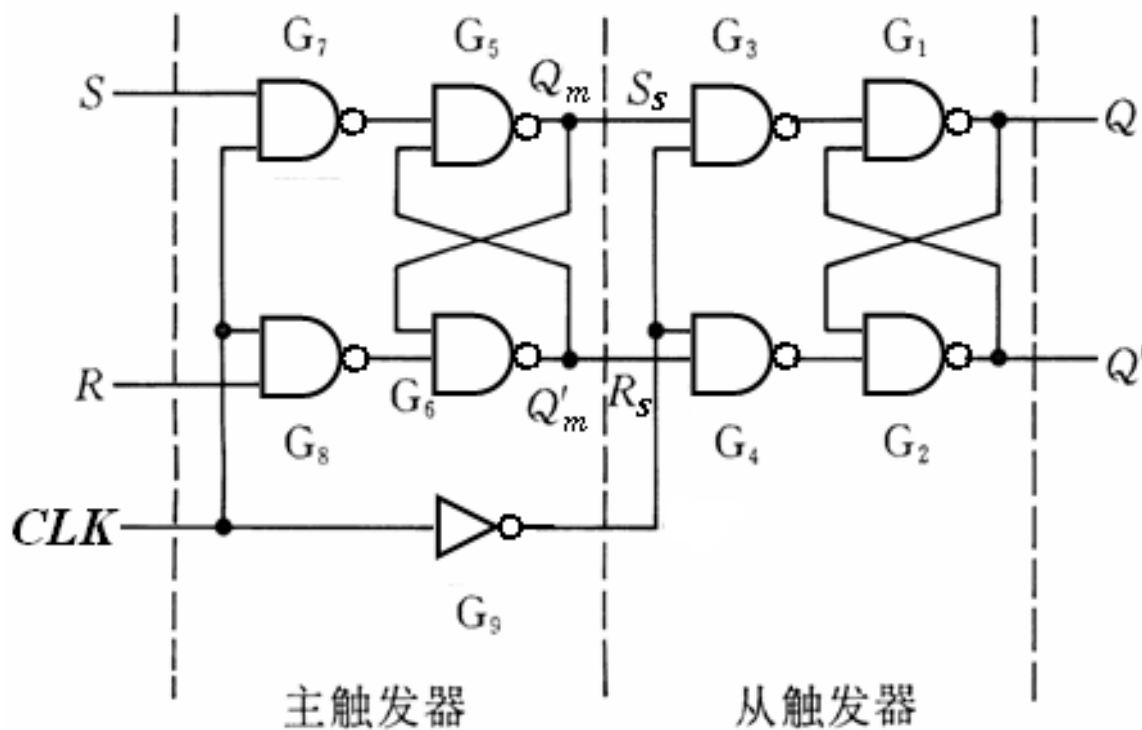
$$Q^* = D$$



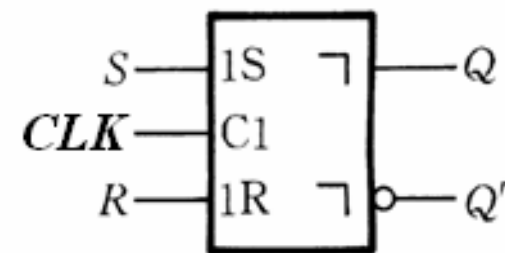
☹ CLK=1期间，输出Q随输入多次翻转，降低触发器的抗干扰能力。

## 5.3.3 脉冲触发的触发器（主从触发器）

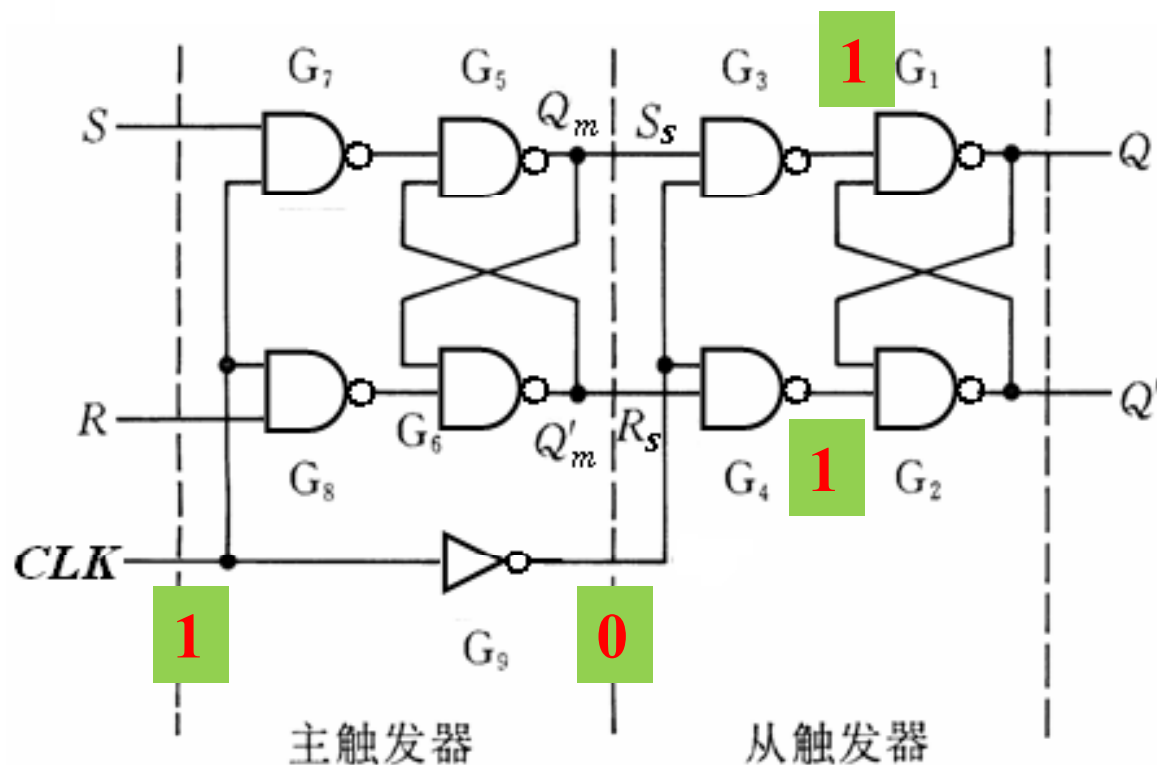
### 1. 主从SR触发器



(a)

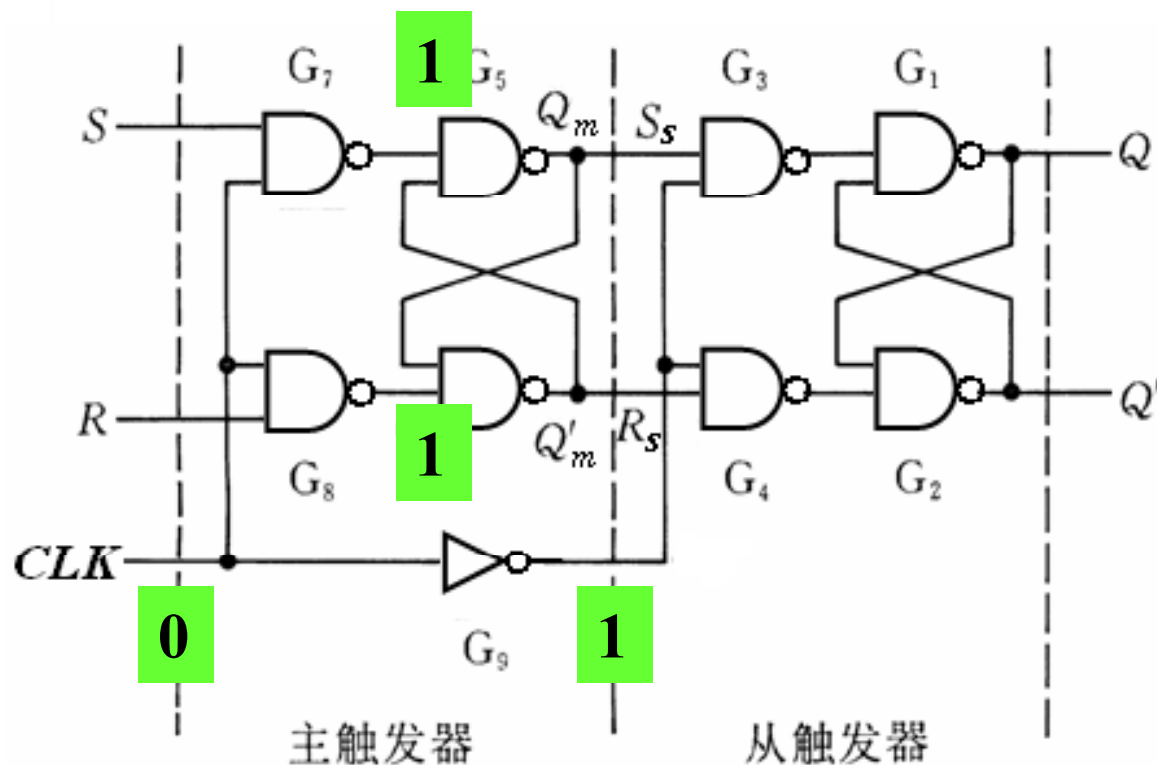


(b)



|     | 主           | 从       |
|-----|-------------|---------|
| CLK | $Q_m, Q_m'$ | $Q, Q'$ |
| 1   | 随RS翻转       | 保持      |

(1) 接收输入信号过程  
 $CLK=1$ 期间：  
 主触发器控制门 $G_7$ 、 $G_8$ 打开，接收输入信号 $S$ 、 $R$ ，从触发器控制门 $G_3$ 、 $G_4$ 封锁，其状态保持不变。



(2) 输出  
信号过程  
 $CLK$ 下降沿  
到来时，主  
触发器封锁，  
从触发器按  
照主触发器  
的状态改变。

|       | 主           | 从                |
|-------|-------------|------------------|
| $CLK$ | $Q_m, Q_m'$ | $Q, Q'$          |
| 0     | 保持          | 随 $Q_m, Q_m'$ 翻转 |

## 主从SR触发器 特性方程:

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

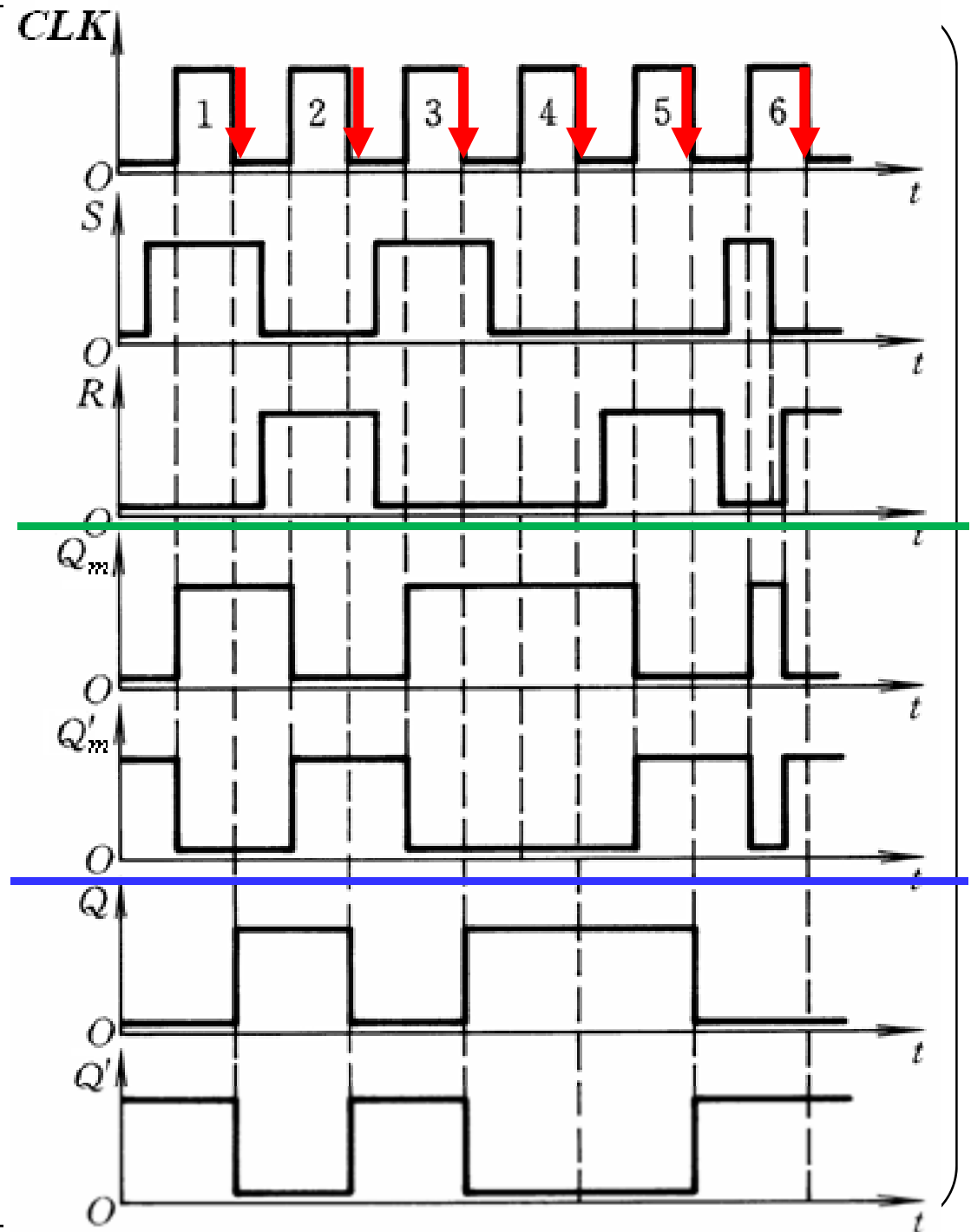
***CLK*下降沿到来时有效**

☺从电平触发到脉冲触发，解决CLK=1期间，输出Q随输入可能多次翻转问题。

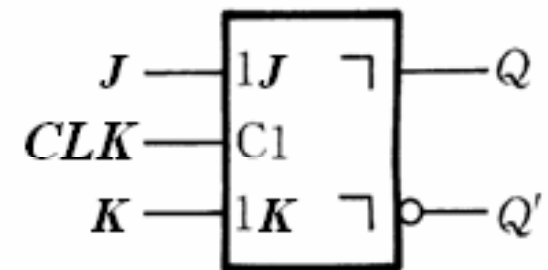
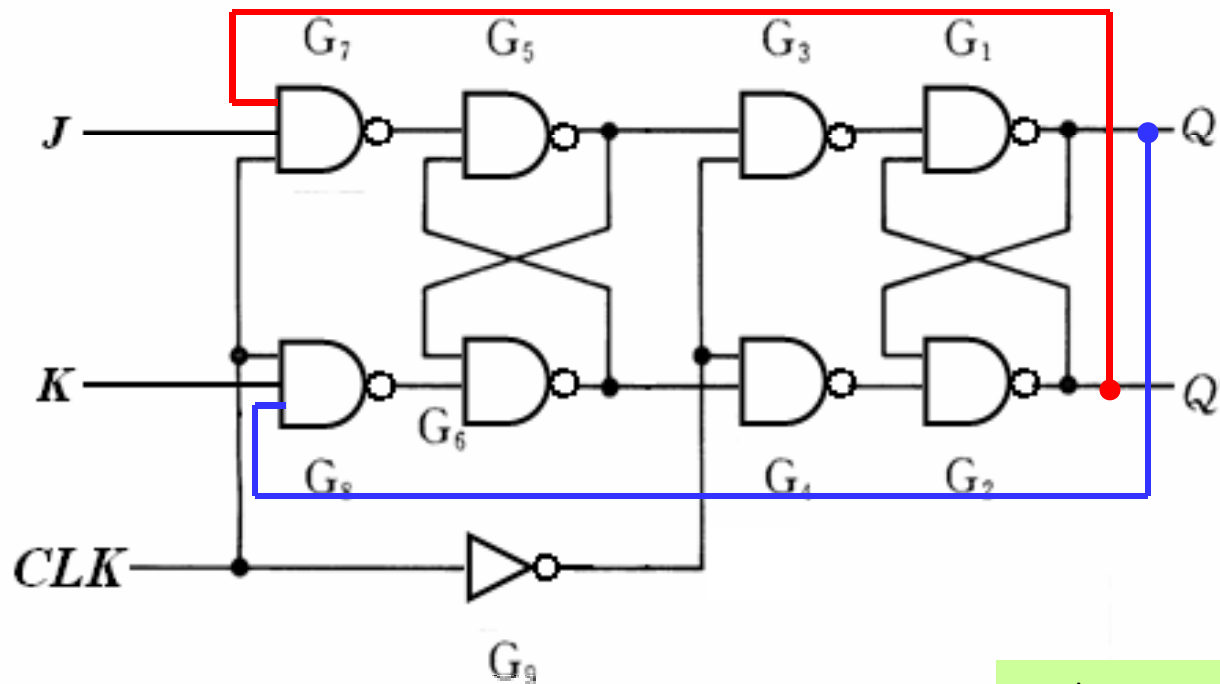
☹  $Q_m$   $Q_m'$  仍存在多次翻转，输入信号仍需满足SR=0约束条件。

### 例5.4.1

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$



## 2.主从JK触发器



$$S = JQ' \quad R = KQ$$

主从JK触发器没有约束。

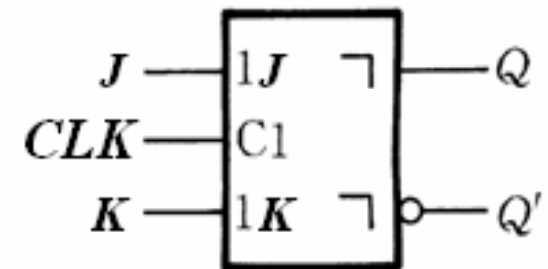
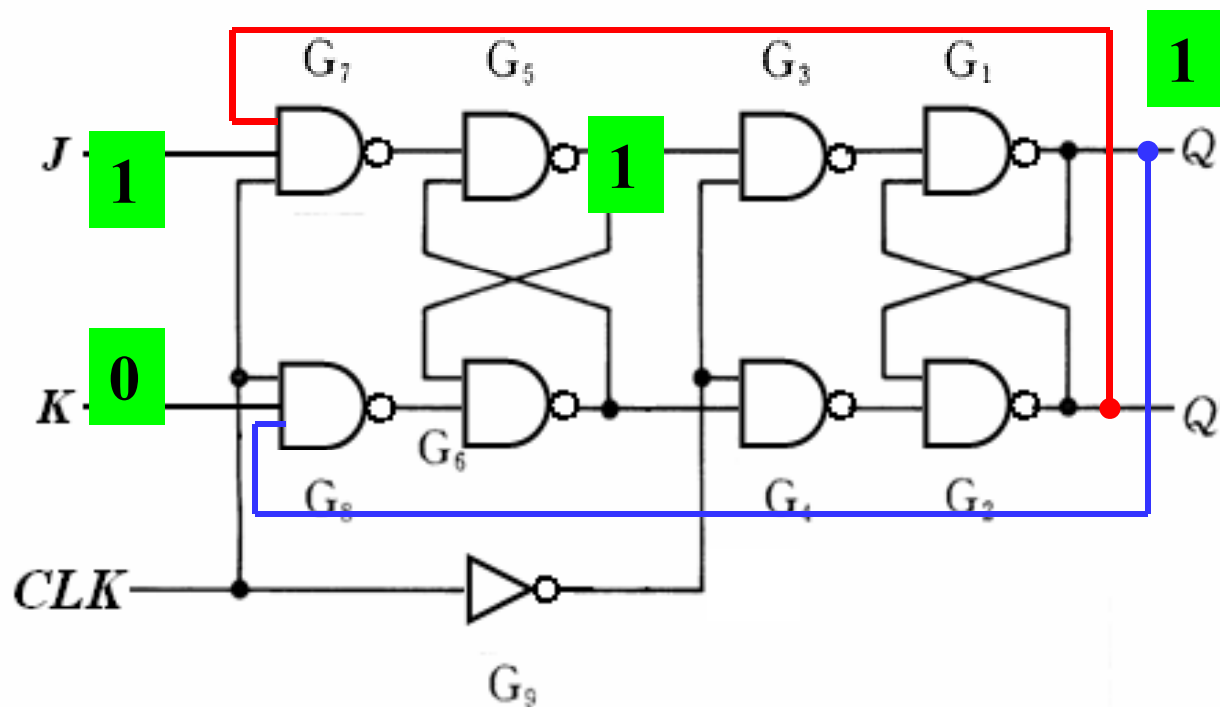
$$Q^* = S + R'Q$$

$$= JQ' + (KQ)'Q$$

$$= JQ' + K'Q$$

CLK下降沿时有效

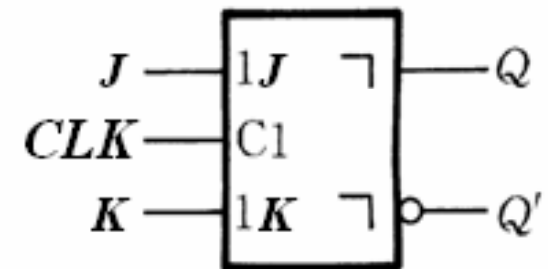
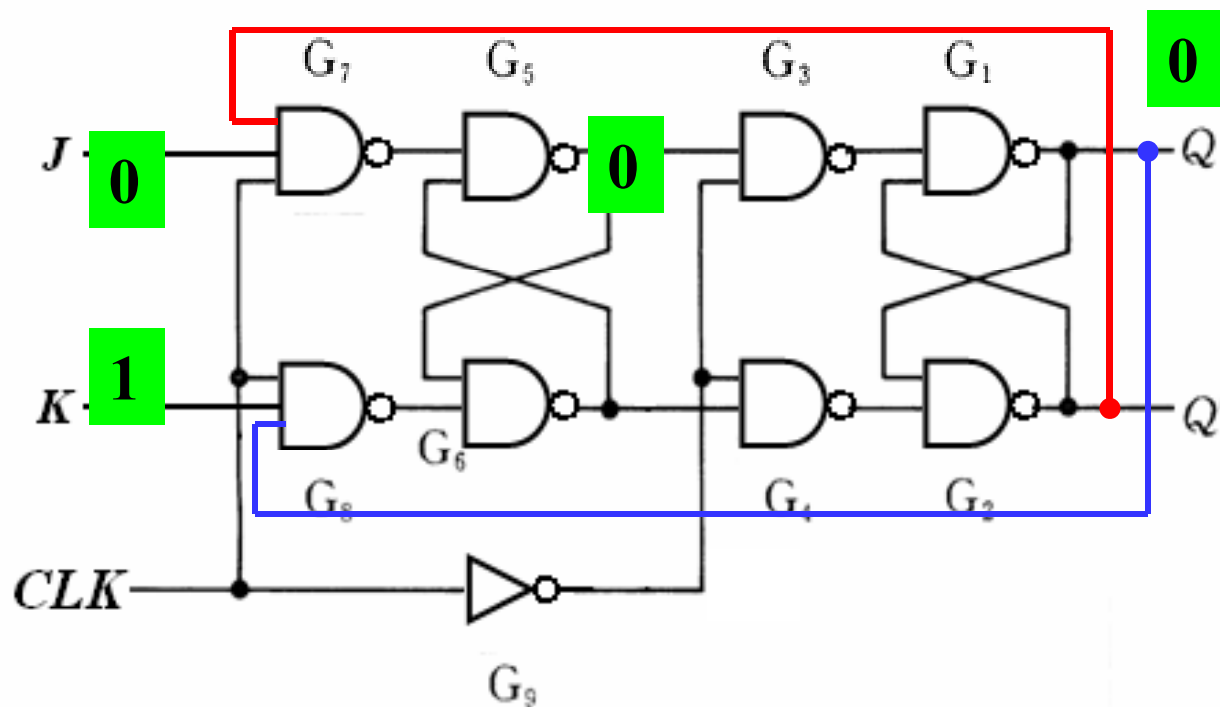




$$S = JQ' \quad R = KQ$$

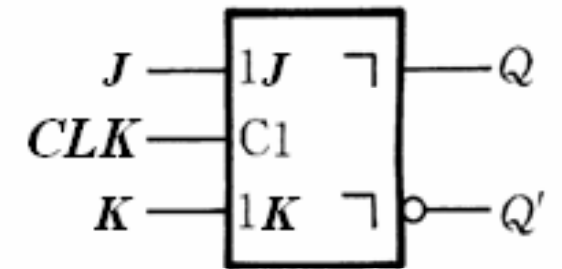
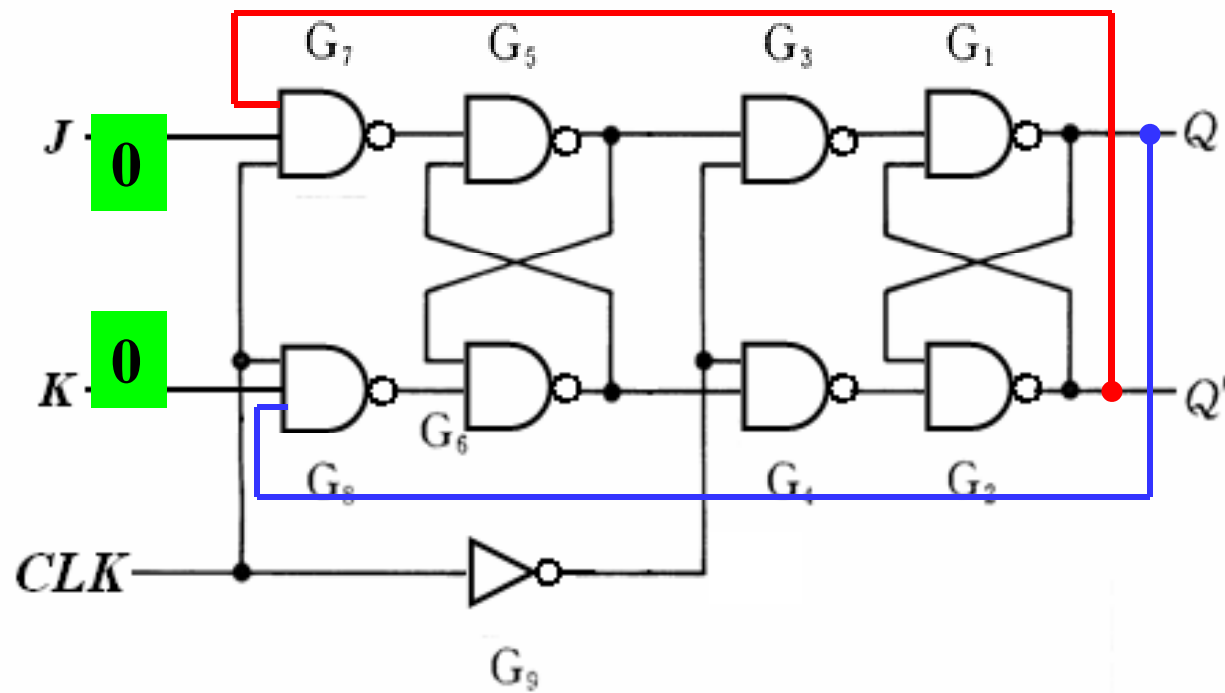
**J=1 K=0时，CLK=1期间主触发器置1；**

**CLK下降沿到达时，从触发器置1， $Q^*=1$ 。**



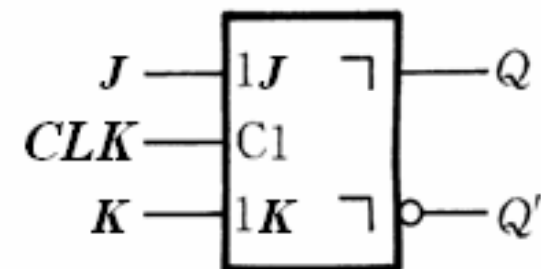
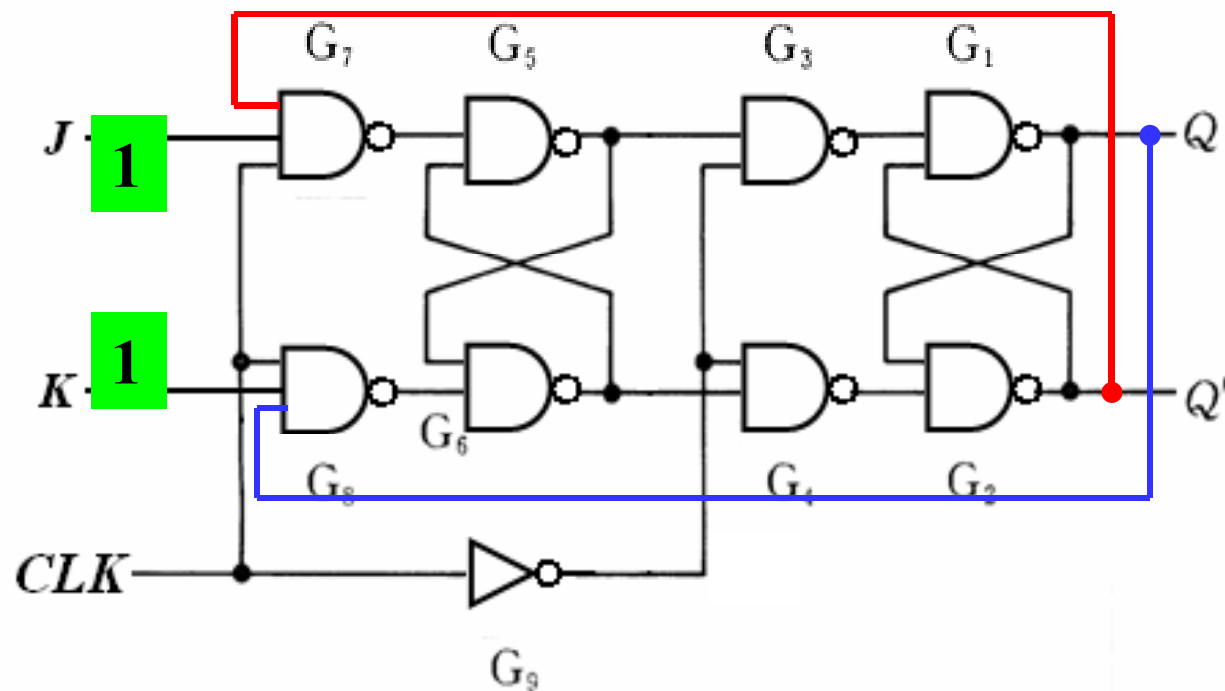
**$J=0$   $K=1$ 时， $CLK=1$ 期间主触发器置0；**

**$CLK$ 下降沿到达时，从触发器置0， $Q^*=0$ 。**



**$J=0$   $K=0$ 时，触发器保持原来状态不变，**

$$Q^*=Q。$$



**J=1 K=1时,**

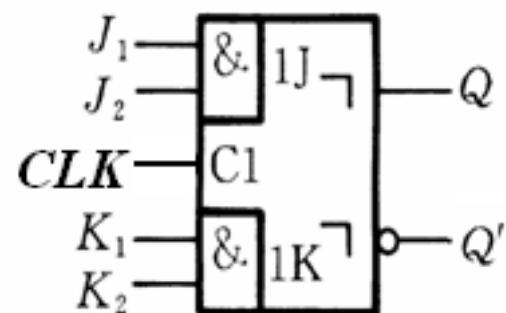
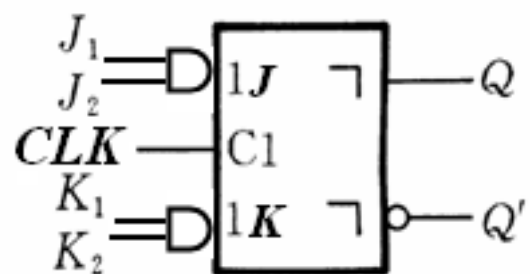
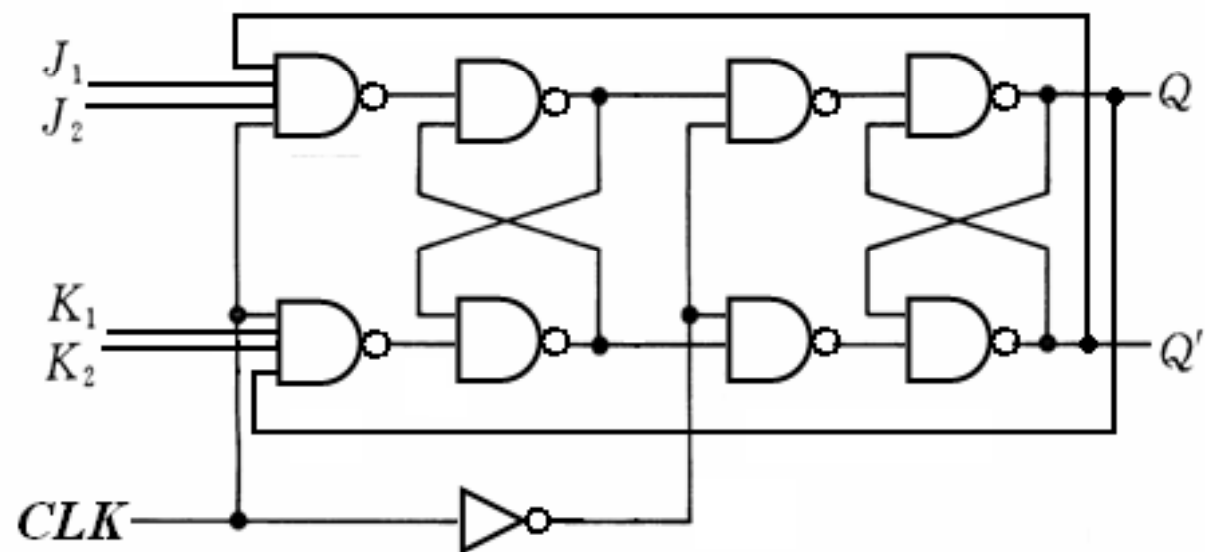
**Q=0,  $G_7$  输出0, 主触发器置1,  $CLK\downarrow, Q^*=1$ ;**

**Q=1,  $G_8$  输出0, 主触发器置0,  $CLK\downarrow, Q^*=0$ 。**

**$Q^*=Q'$**

JK触发器的特性表

| $J$ | $K$ | $Q$ | $Q^*$ | 功能            |
|-----|-----|-----|-------|---------------|
| 0   | 0   | 0   | 0     | $Q^* = Q$ 保持  |
| 0   | 0   | 1   | 1     |               |
| 0   | 1   | 0   | 0     | $Q^* = 0$ 置 0 |
| 0   | 1   | 1   | 0     |               |
| 1   | 0   | 0   | 1     | $Q^* = 1$ 置 1 |
| 1   | 0   | 1   | 1     |               |
| 1   | 1   | 0   | 1     | $Q^* = Q'$ 翻转 |
| 1   | 1   | 1   | 0     |               |

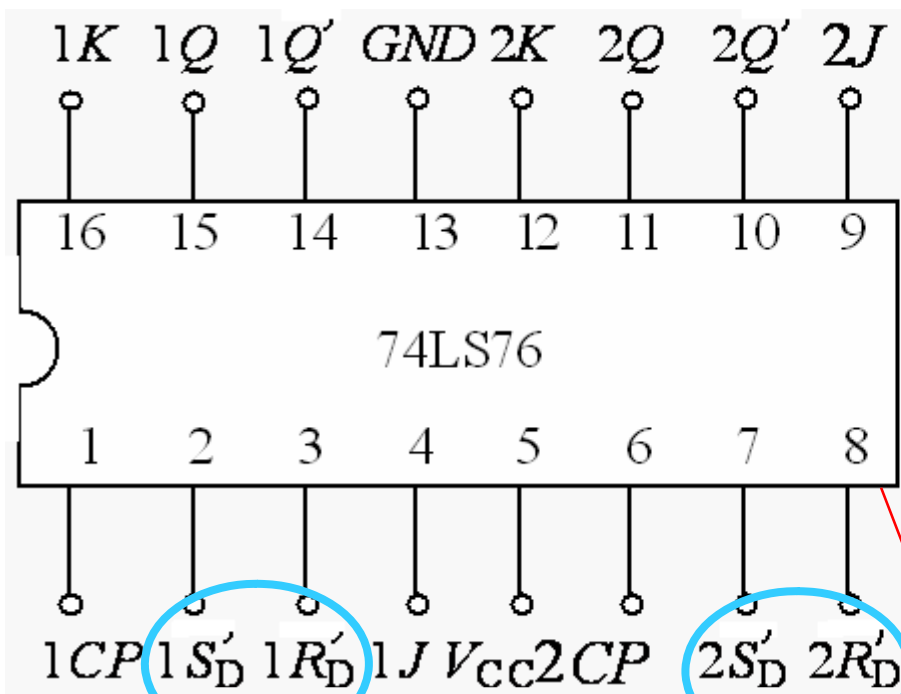


具有多  
输入端的主  
从JK触发器，  
输入端 $J_1$ 和  
 $J_2$ 、 $K_1$ 和 $K_2$   
是与的关系。

# 集成主从JK触发器

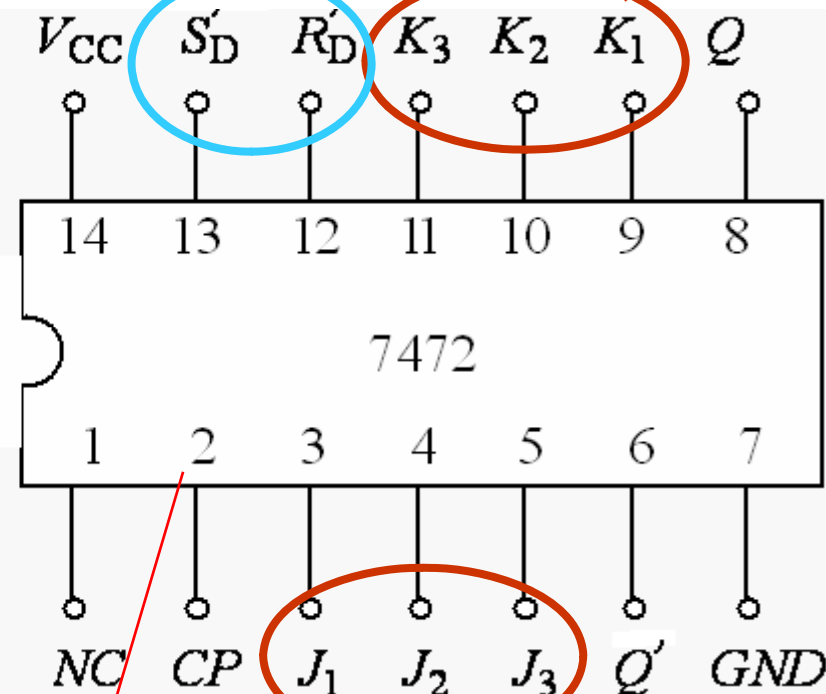
低电平有效

$$K = K_1 K_2 K_3$$



(a) 74LS76 的引脚图

低电平有效



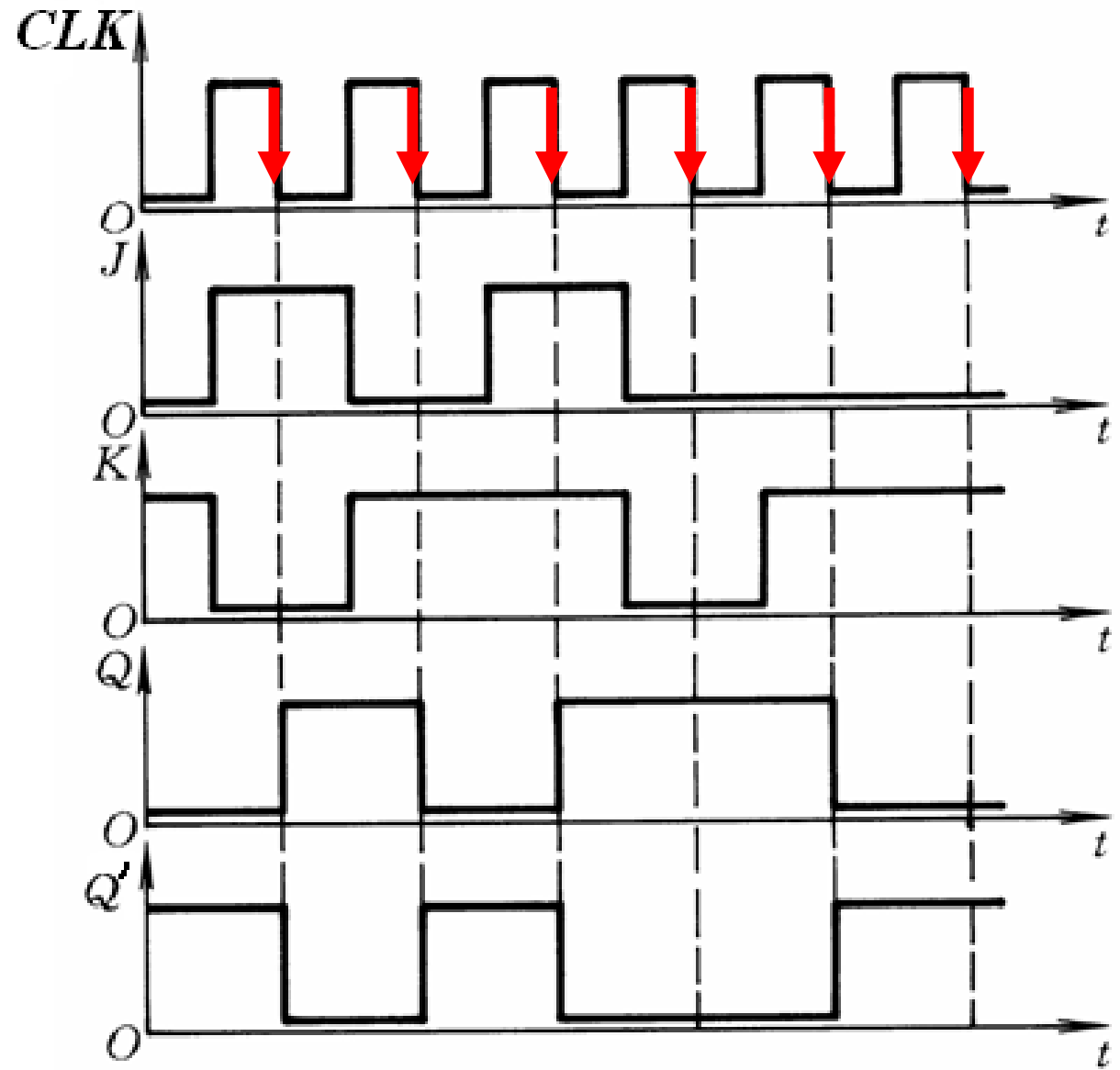
(b) 7472 的引脚图

CP下降沿触发

$$J = J_1 J_2 J_3$$

例5.4.2

$$Q^* = JQ' + K'Q$$





## 脉冲触发方式的动作特点:

(1) 触发器翻转分**两步动作**: 第一步, 在  $\text{CLK}=1$  期间主触发器接收输入端信号, 被置成相应的状态, 从触发器不变; 第二步,  $\text{CLK}$  下降沿到来时从触发器按照主触发器的状态翻转, 输出端  $Q$  和  $Q'$  的状态改变发生在  $\text{CLK}$  下降沿。

(2) 在  $\text{CLK}=1$  的**全部时间**里输入信号都将对主触发器起控制作用。

## 一次变化现象：

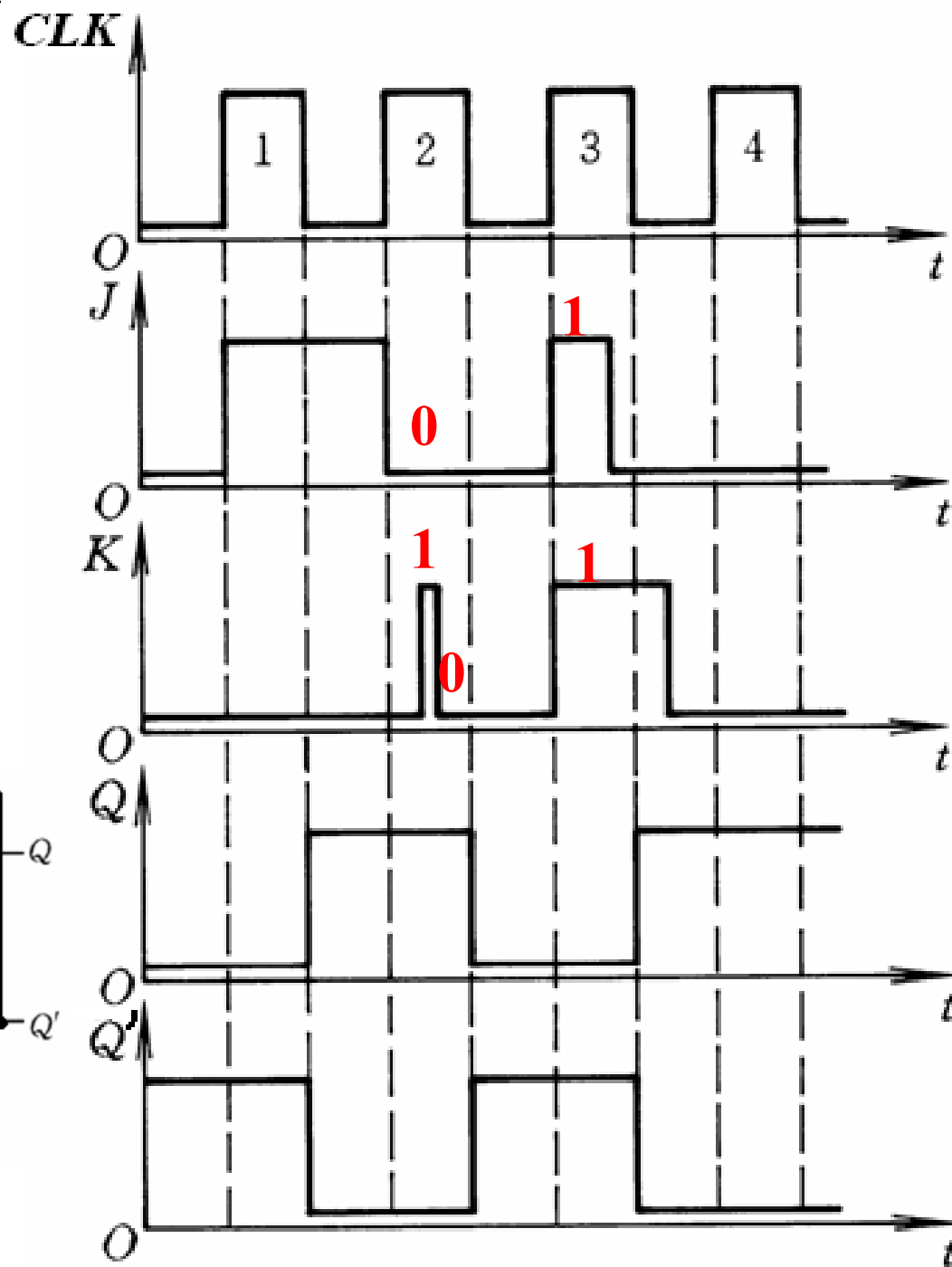
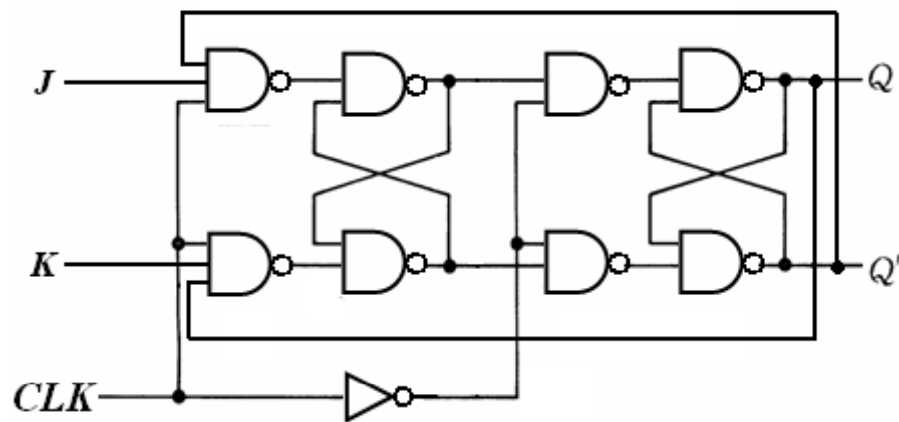
在 $Q=0$ 时，J端出现正向干扰，在 $Q=1$ 时，K端出现正向干扰，触发器的状态只能根据输入端的信号（正向干扰信号）改变一次的现象称为一次变化现象。

一次变化现象降低了主从JK触发器的抗干扰能力。

主从JK触发器在使用时要求J、K信号在CLK上升沿前加入，CLK=1期间保持不变，CLK下降沿时触发器状态发生改变。

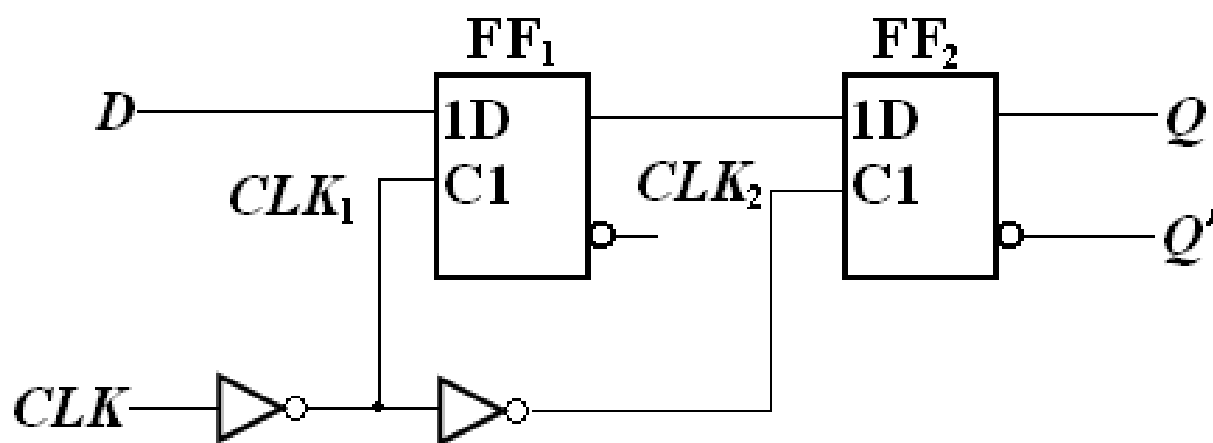
### 例5.4.3

第三个CLK=1期间， $Q=0$ ， $J=K=1$ ，主触发器被置1，虽然CLK下降沿到达时又回到 $J=0$ ，从触发器保持输出 $Q^*=1$ 。



## 5.3.2 边沿触发的触发器

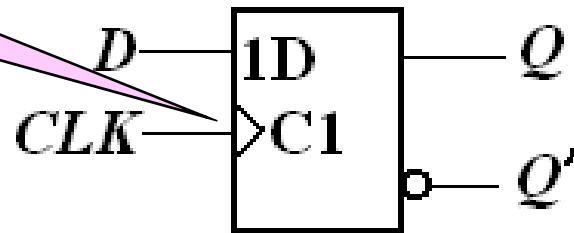
### 1. 用两个电平触发D触发器组成的边沿触发器



特性表

| CLK        | D        | $Q^*$ |
|------------|----------|-------|
| 0          | $\times$ | $Q$   |
| $\uparrow$ | 0        | 0     |
| $\uparrow$ | 1        | 1     |

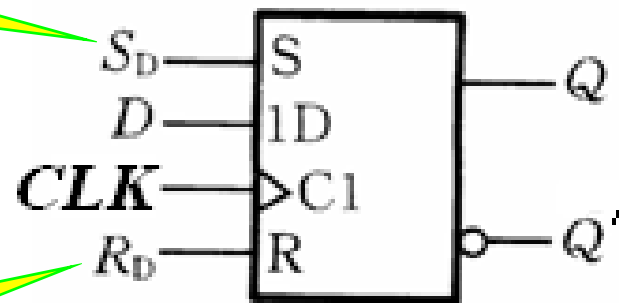
上升沿触发



逻辑符号

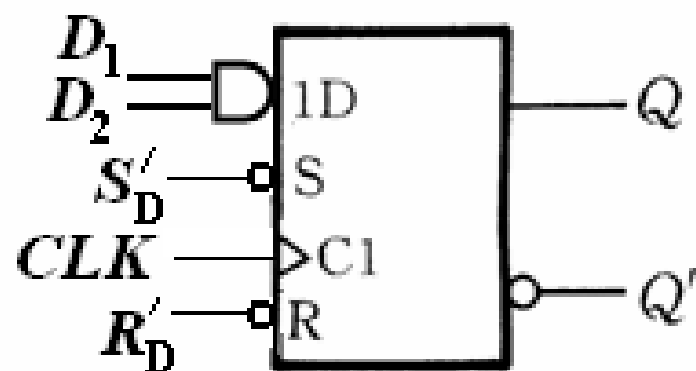
## 带异步置位、复位端的CMOS边沿触发D触发器

异步置位端（高电平有效）

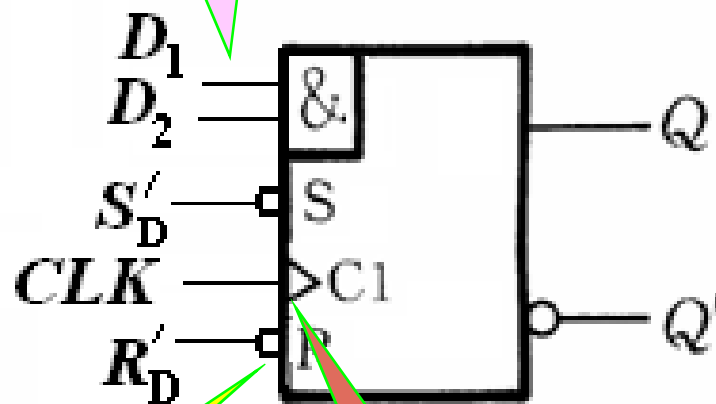


异步复位端（高电平有效）

## 2. 维持阻塞边沿触发器



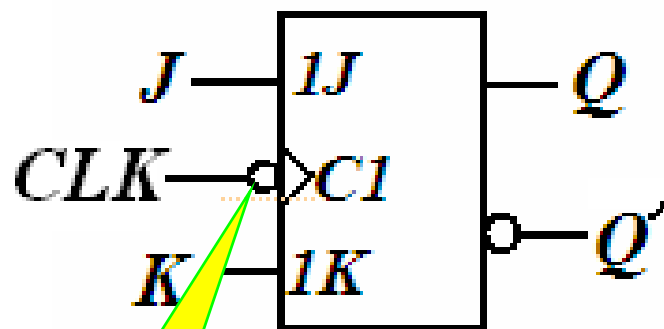
多输入端



低电平有效

上升沿触发

### 3.利用传输延迟时间的边沿触发器



下降沿触发

特性表

| $CLK$        | $J$      | $K$      | $Q^*$ |
|--------------|----------|----------|-------|
| $\times$     | $\times$ | $\times$ | $Q$   |
| $\downarrow$ | 0        | 0        | $Q$   |
| $\downarrow$ | 0        | 1        | 0     |
| $\downarrow$ | 1        | 0        | 1     |
| $\downarrow$ | 1        | 1        | $Q'$  |

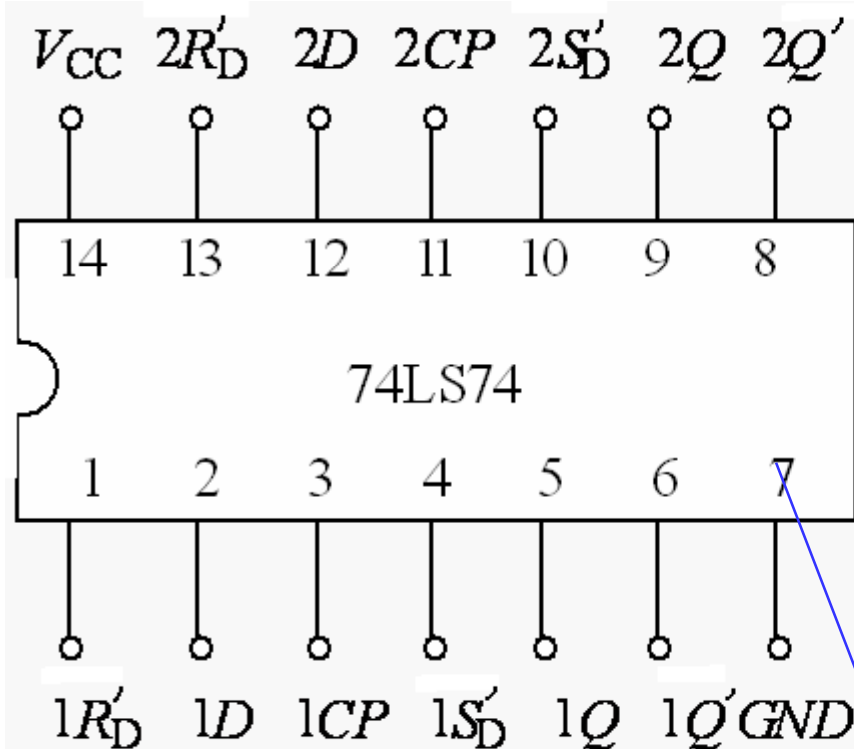
## 边沿触发器动作特点:

触发器的次态仅仅取决于时钟信号的上升沿（下降沿）到达时输入的逻辑状态，而在这以前或以后，输入信号的变化对触发器输出的状态没有影响。

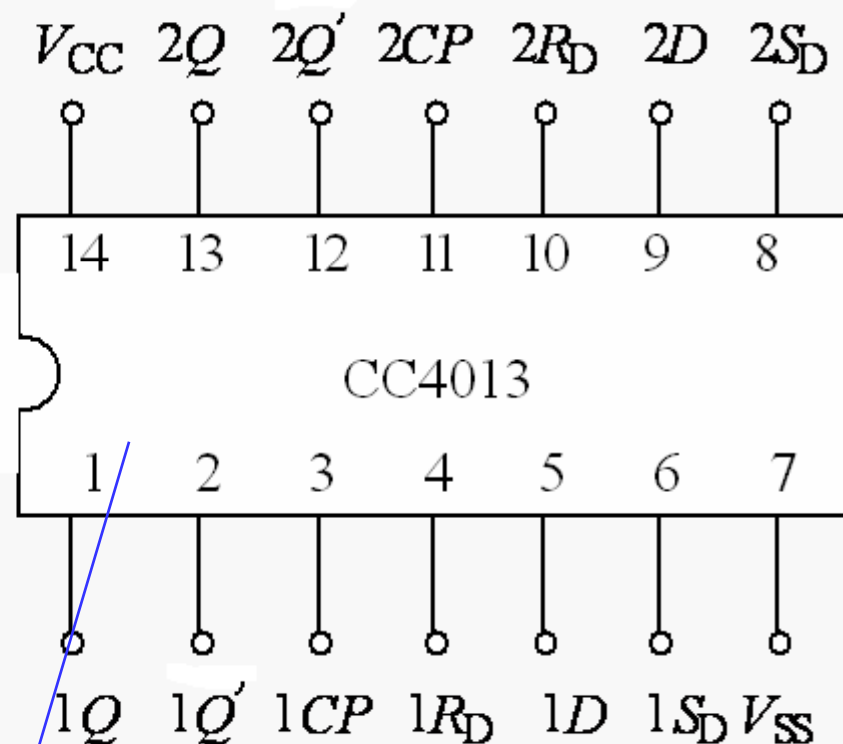
边沿触发器有效地提高了触发器的抗干扰能力，因而也提高了电路的工作可靠性。



## 集成边沿D触发器



(a) 74LS74 引脚排列图

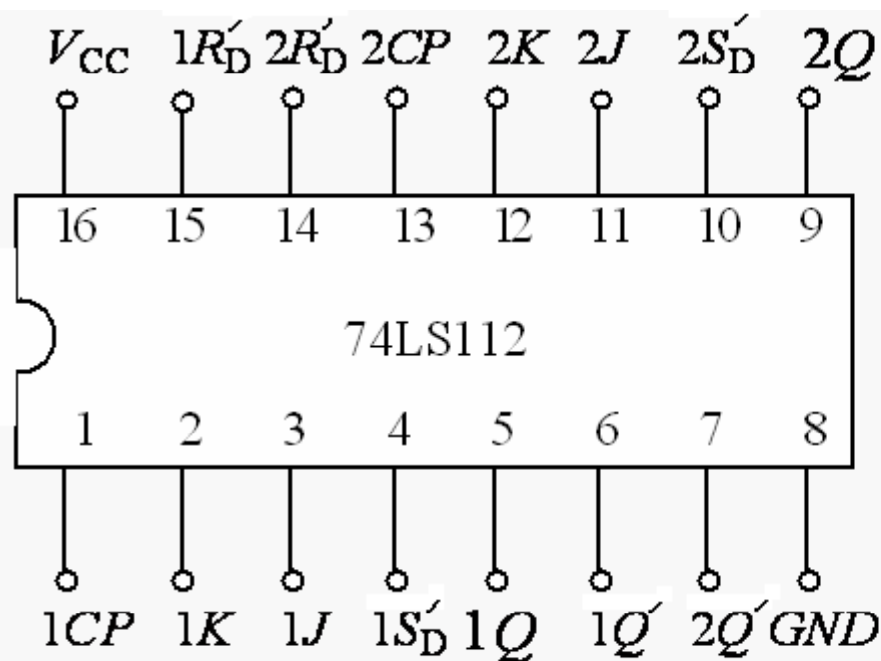


(b) CC4013 引脚排列图

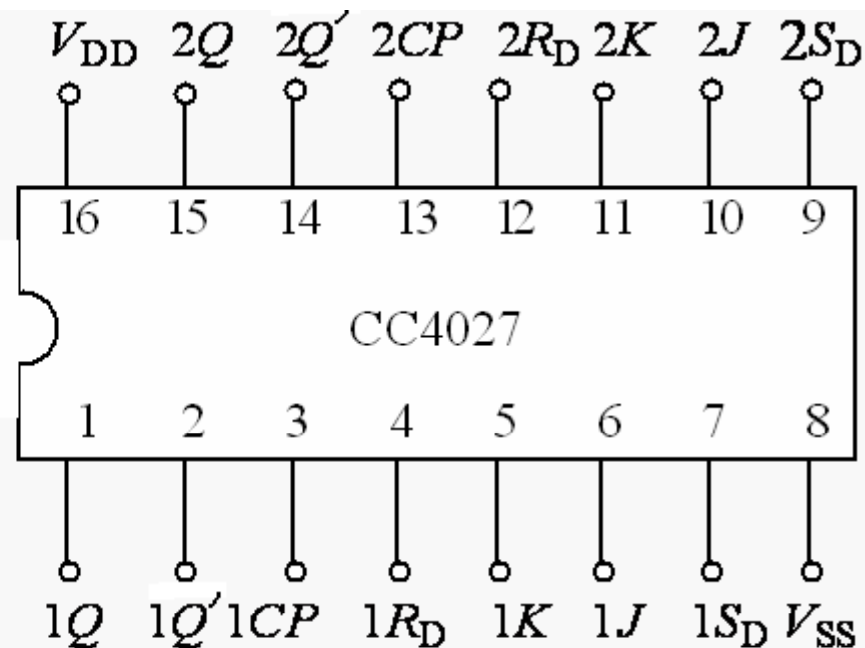
$CP$ 上升沿触发

**注意：** CC4013的异步输入端 $R_D$ 和 $S_D$ 为高电平有效。

## 集成边沿JK触发器



(a) 74LS112 的引脚图



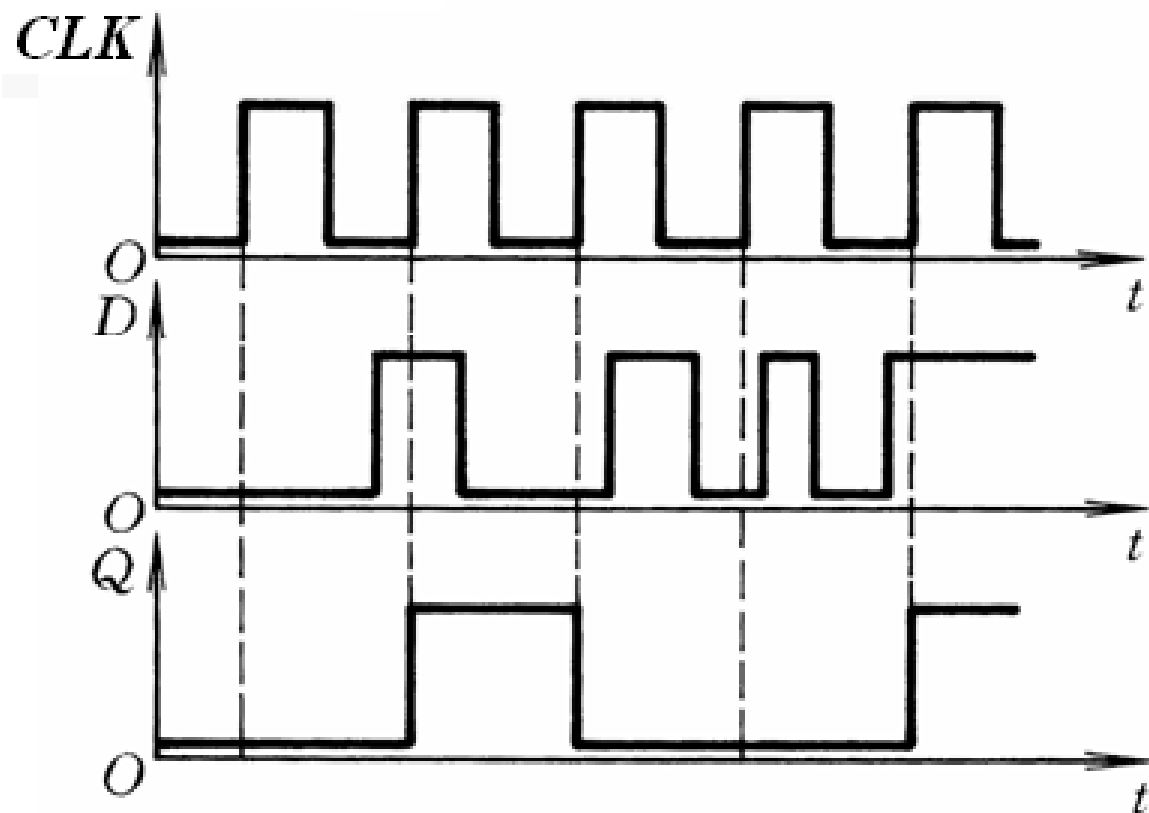
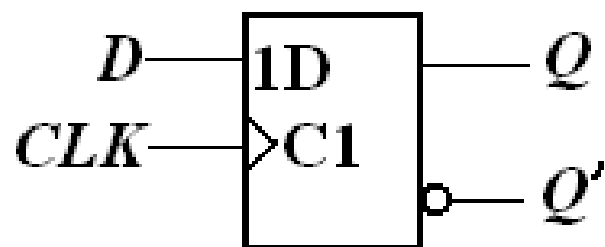
(b) CC4027 的引脚图

**注意**

- ① 74LS112 为 CP 下降沿触发。
- ② CC4027 为 CP 上升沿触发，且其异步输入端  $R_D$  和  $S_D$  为高电平有效。

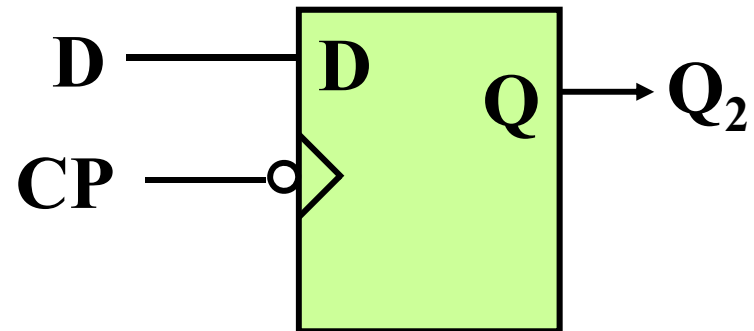
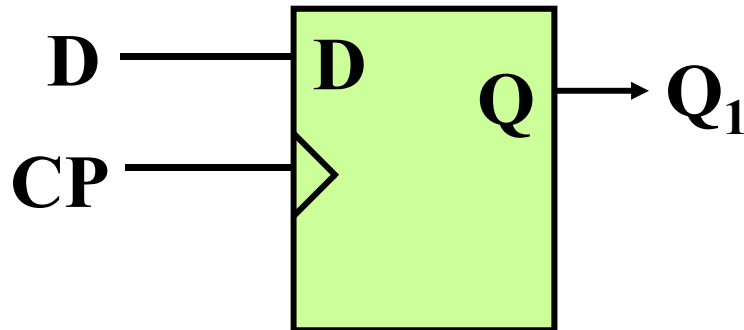
### 例5.5.1

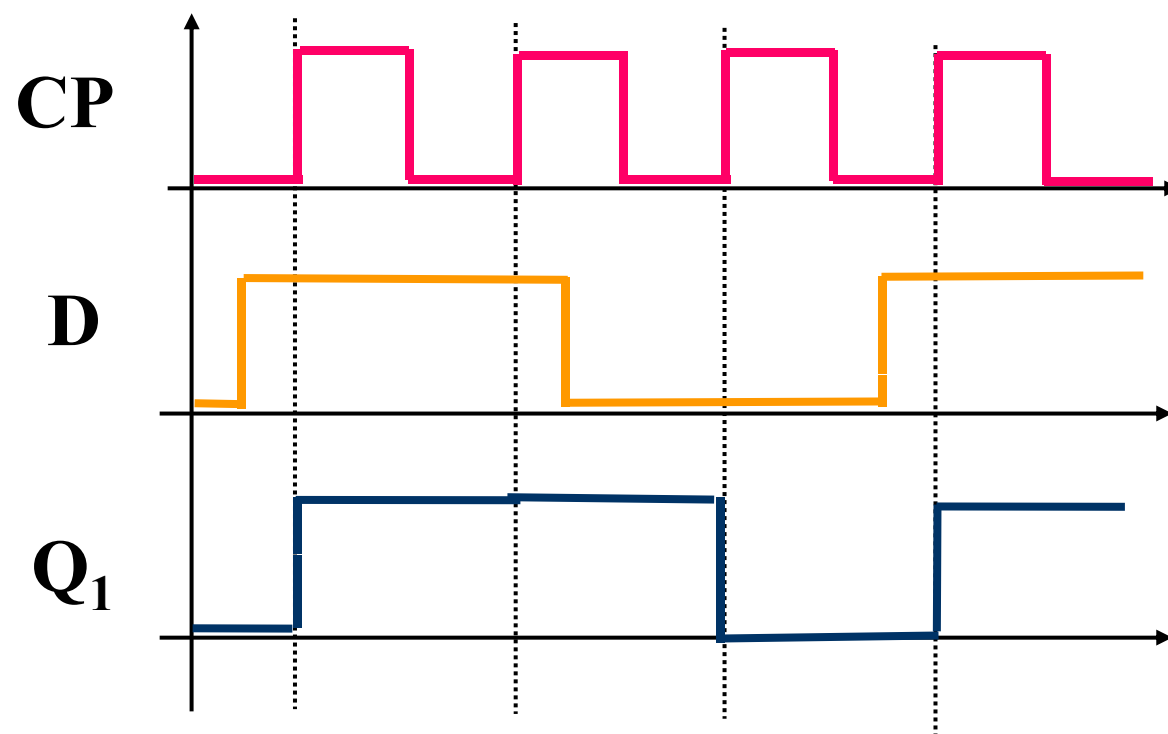
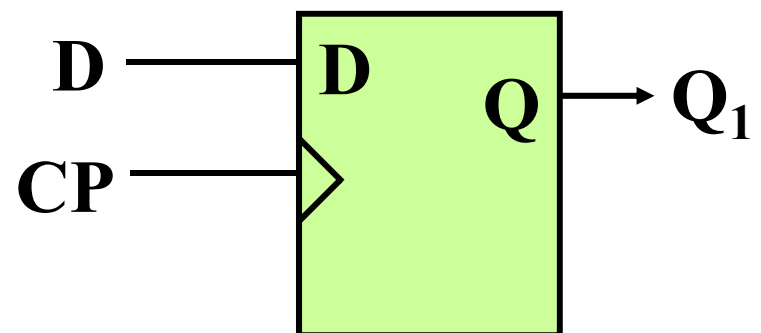
已知D和CP的波形，试画出Q的波形。设触发器初始状态为0。

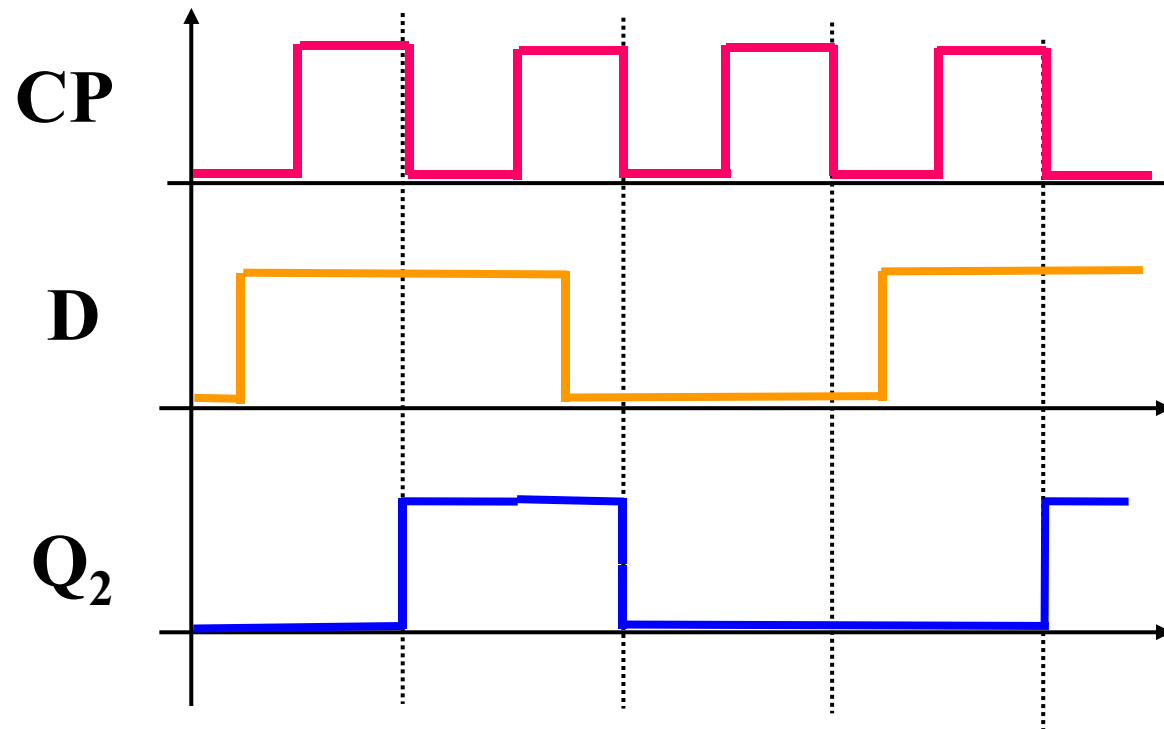
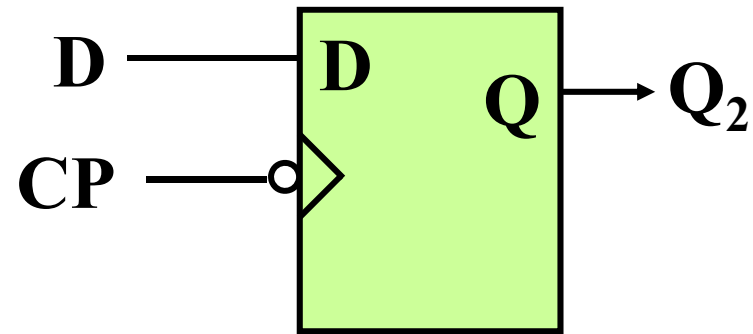


# 课堂练习

题目:时钟**CP**及输入信号**D** 的波形如图所示,试画出各触发器输出端**Q**的波形,设各输出端**Q**的初始状态为0.







## 5.3.4 触发器的逻辑功能及其描述方法

### 一、触发器按逻辑功能的分类

按逻辑功能可分为

SR触发器

JK触发器

D触发器

T和T'触发器

# SR触发器

Table1 特性表

## 1. 定义

凡在时钟信号作用下，具有如

Table1

所示功能的触发器称为**SR触发器**。

| $S$ | $R$ | $Q$    | $Q^*$    |
|-----|-----|--------|----------|
| 0   | 0   | 0<br>1 | 0<br>1   |
| 0   | 1   | 0<br>1 | 0<br>0   |
| 1   | 0   | 0<br>1 | 1<br>1   |
| 1   | 1   | 0<br>1 | 不定<br>不定 |

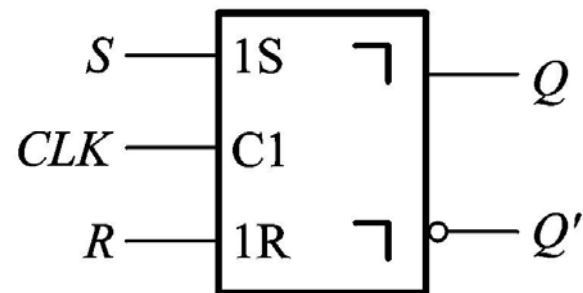


## 2. 特性方程

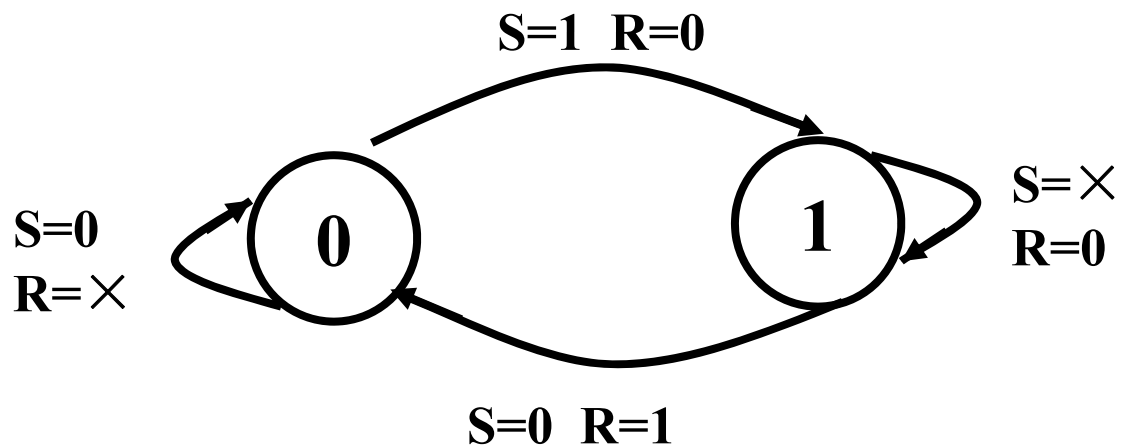
RS触发器的特性方程为

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases} \quad (\text{约束条件})$$

## 4. 逻辑符号



## 3. 状态转换图



# JK触发器

Table2 特性表

## 1. 定义

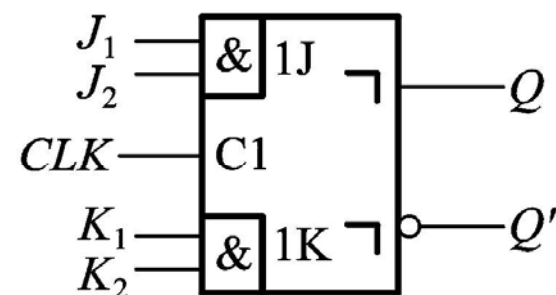
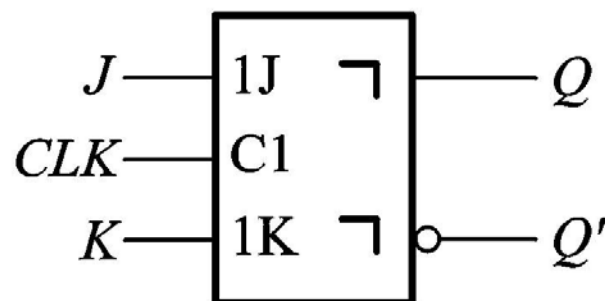
| J | K | Q      | Q*     | 功能 |
|---|---|--------|--------|----|
| 0 | 0 | 0<br>1 | 0<br>1 | 保持 |
| 0 | 1 | 0<br>1 | 0<br>0 | 置0 |
| 1 | 0 | 0<br>1 | 1<br>1 | 置1 |
| 1 | 1 | 0<br>1 | 1<br>0 | 翻转 |

## 2. 特性方程

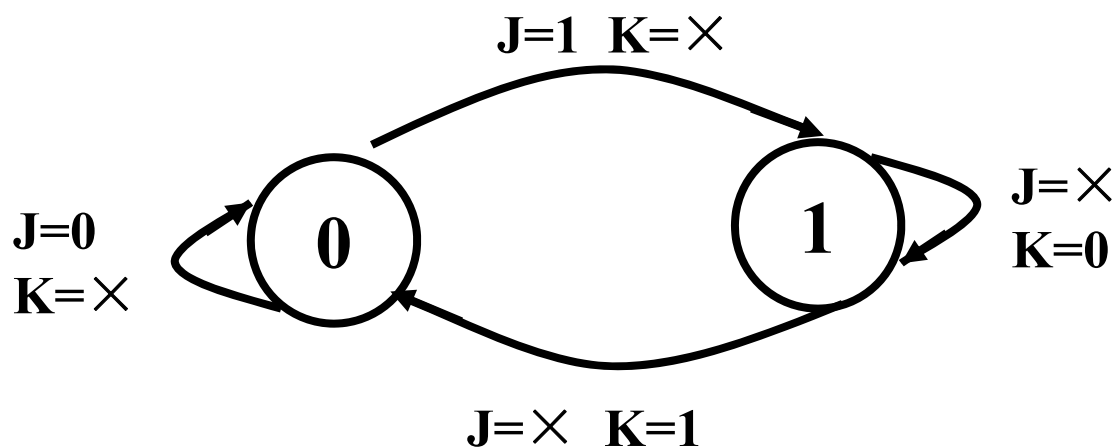
**JK**触发器的特性方程为

$$Q^* = JQ' + K'Q$$

## 4. 逻辑符号



## 3. 状态转换图



# T触发器

Table3. 特性表

## 1. 定义

| T | Q | $Q^*$ | 功能 |
|---|---|-------|----|
| 0 | 0 | 0     | 保持 |
|   | 1 | 1     |    |
| 1 | 0 | 1     | 翻转 |
|   | 1 | 0     |    |

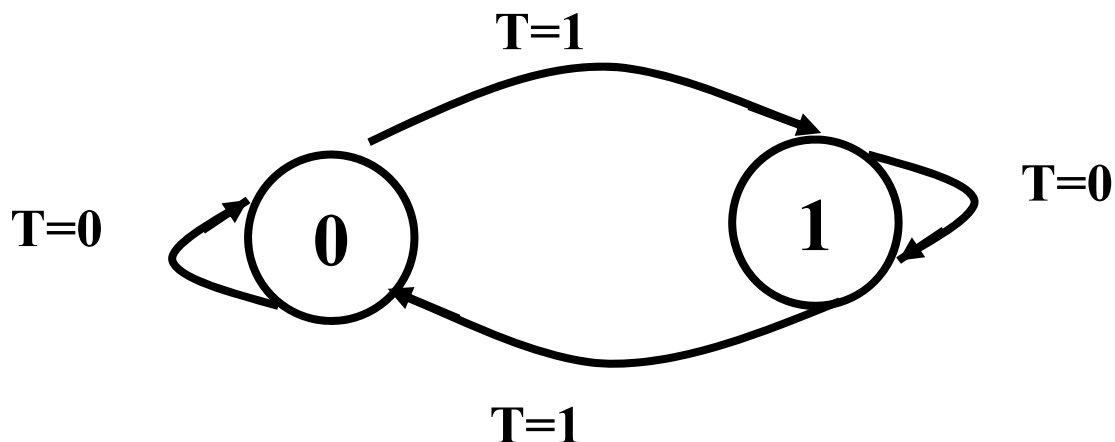
当T=1时，称为T'触发器。

$$Q^* = Q'$$

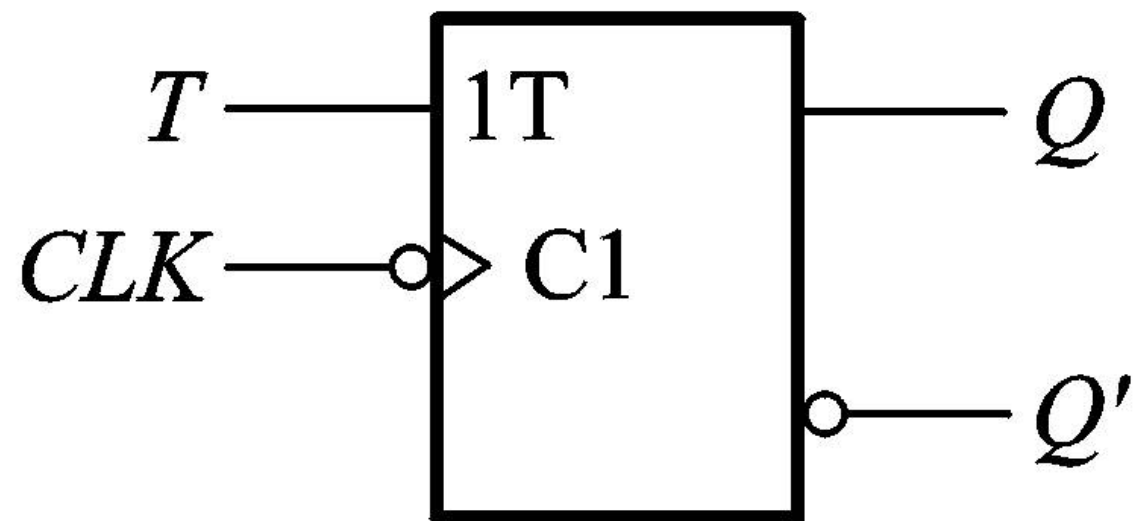
## 2. 特性方程

$$Q^* = TQ' + T'Q$$

## 3. 状态转换图



#### 4. 逻辑符号



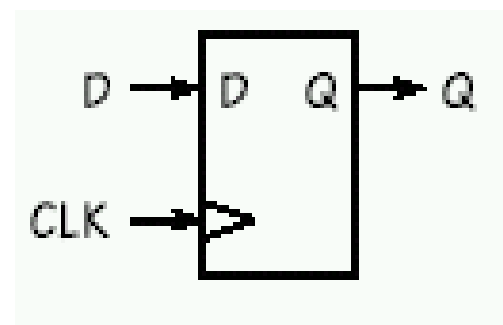
# D触发器

Table4. 特性表

## 4. 逻辑符号

### 1. 定义

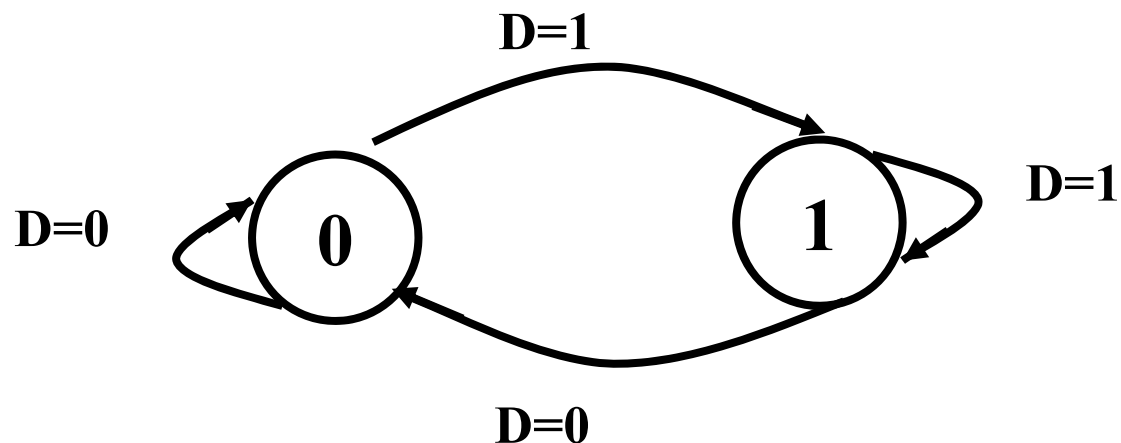
| D | Q | $Q^*$ | 功能 |
|---|---|-------|----|
| 0 | 0 | 0     | 置0 |
| 1 | 0 | 1     | 置1 |



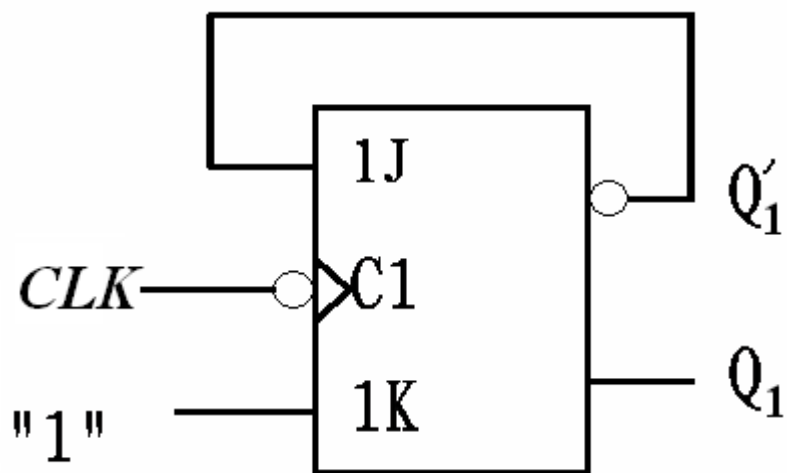
### 2. 特性方程

$$Q^* = D$$

### 3. 状态转换图

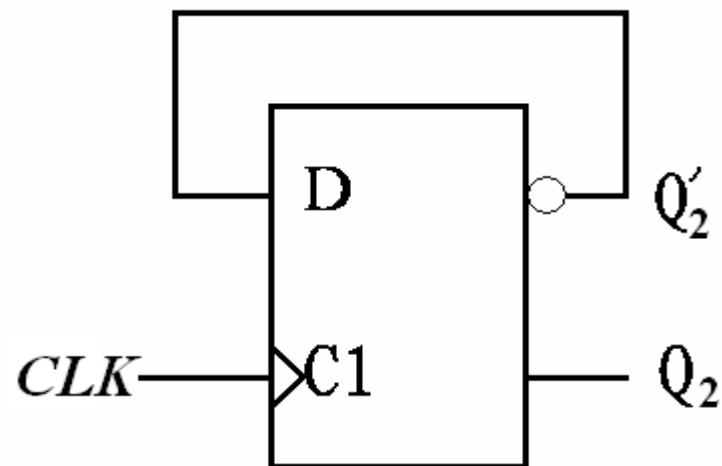


**例1:** 时钟CLK波形如图所示,试画出各触发器输出端Q的波形,设Q的初始状态为0.



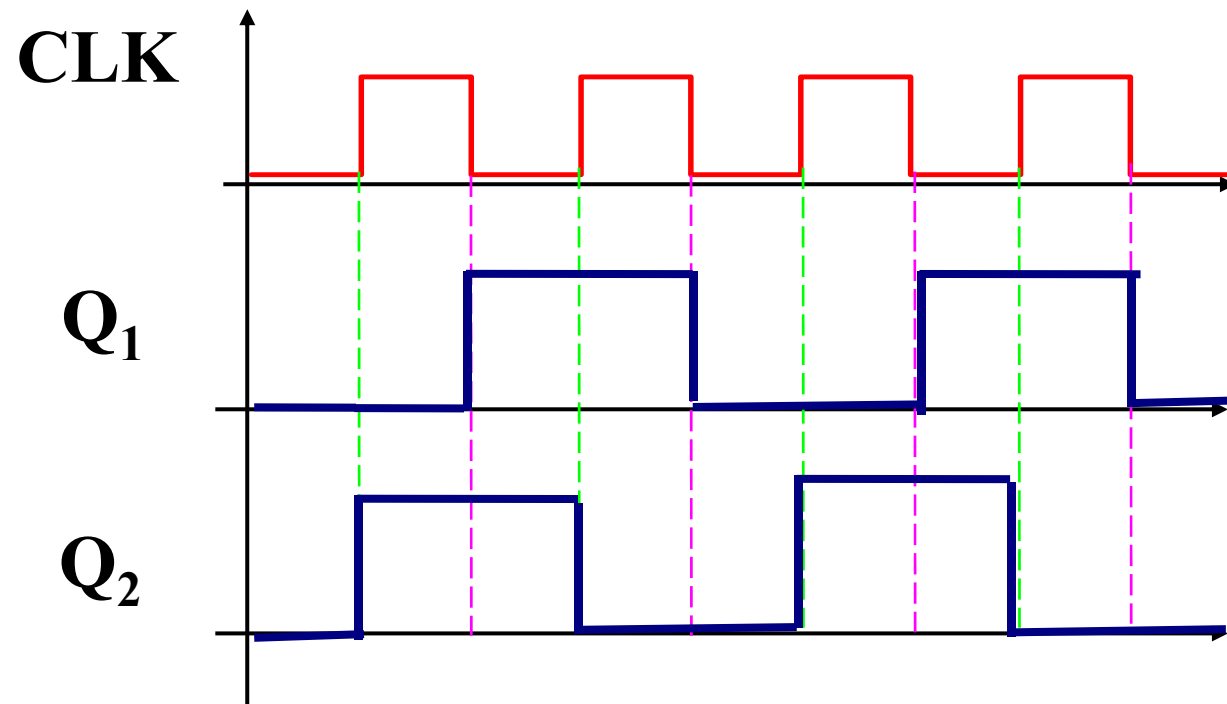
$$J_1 = Q_1' \quad K_1 = 1$$

$$\begin{aligned} Q_1^* &= J_1 Q_1' + K_1' Q_1 \\ &= Q_1' \quad (CLK \downarrow) \end{aligned}$$



$$D = Q_2'$$

$$\begin{aligned} Q_2^* &= D \\ &= Q_2' \quad (CLK \uparrow) \end{aligned}$$

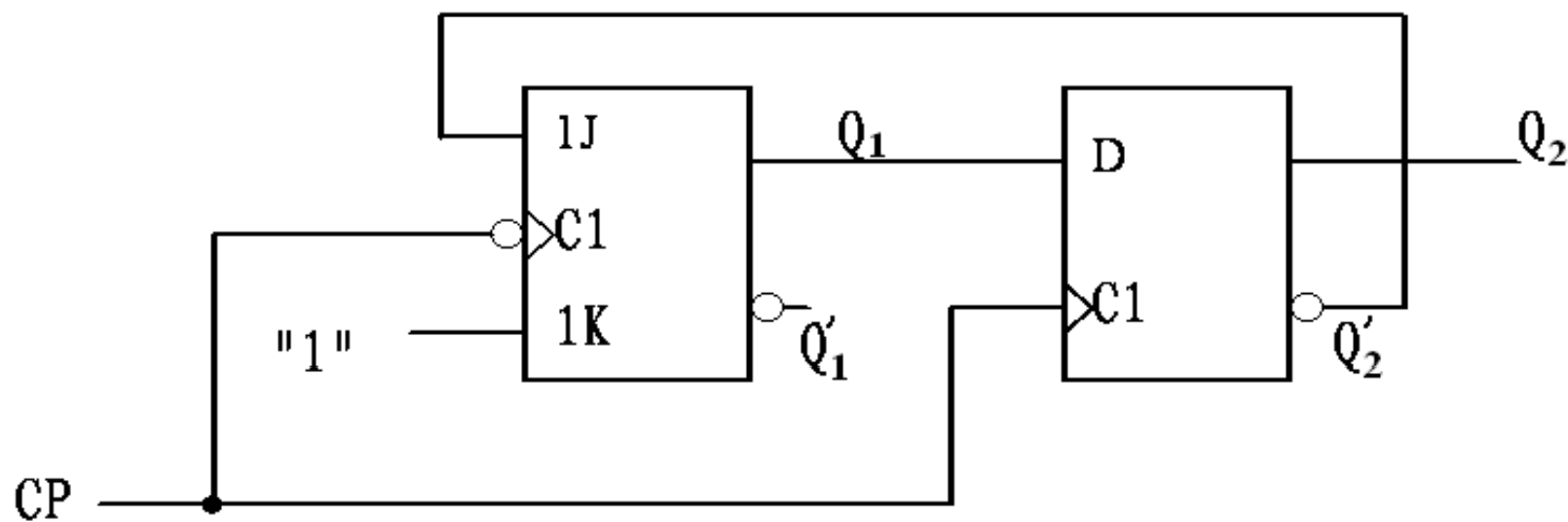


$$\begin{aligned}
 Q_1^* &= J_1 Q_1' + K_1' Q_1 \\
 &= Q_1' \quad (CLK \downarrow)
 \end{aligned}$$

$$\begin{aligned}
 Q_2^* &= D \\
 &= Q_2' \quad (CLK \uparrow)
 \end{aligned}$$



**例2:** 时钟**CP**波形如图所示,试画出各触发器**Q**端的波形,设各输出端**Q**的初始状态**Q=0**。



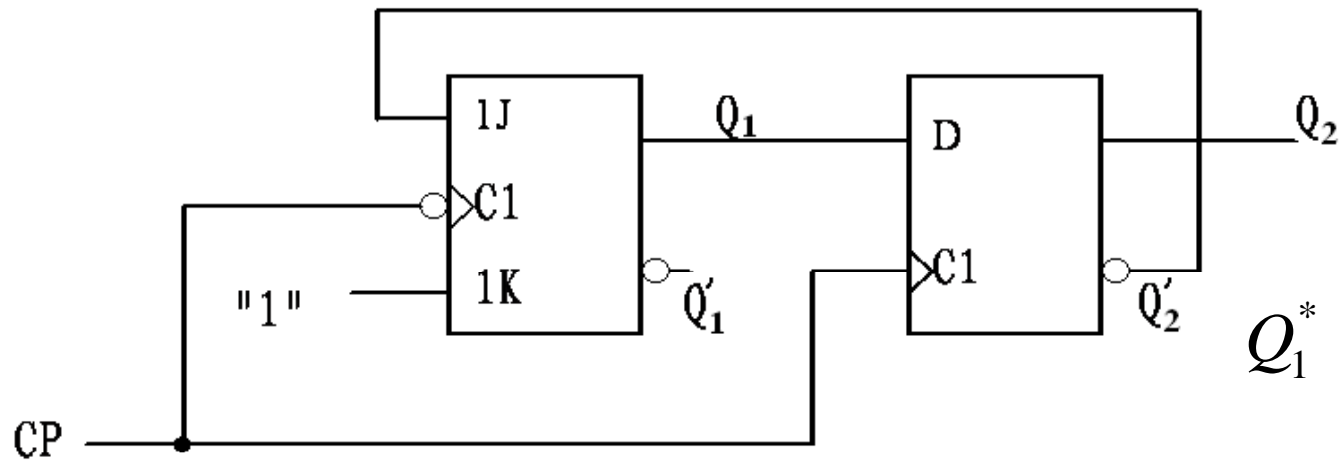
$$J = Q'_2$$

$$K=1$$

$$CP \downarrow$$

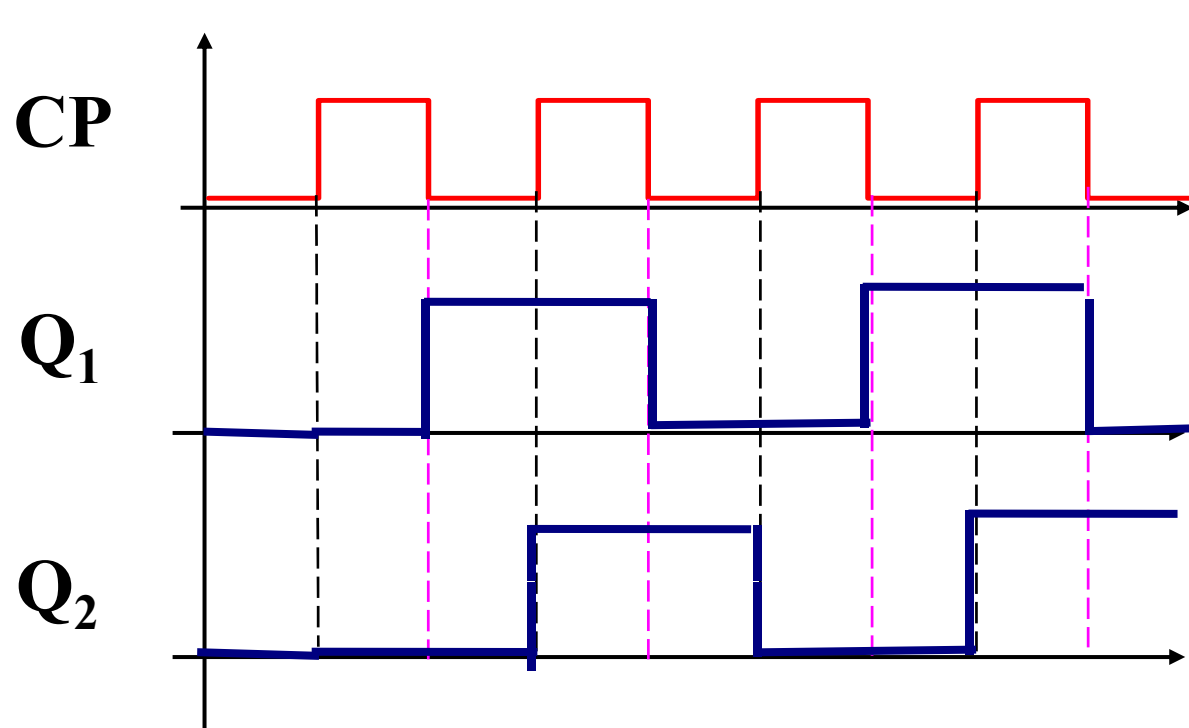
$$D = Q_1$$

$$CP \uparrow$$



$$Q_1^* = JQ_1' + K'Q_1$$

$$= Q_2' Q_1' \quad (CP \downarrow)$$



$$Q_2^* = Q_1 \quad (CP \uparrow)$$

## 二、不同逻辑功能触发器之间的相互转换

**关键：**找出被转换触发器的激励条件。

利用已有触发器和待求触发器的特性方程相等的原则，求出转换逻辑，得到被转换触发器的驱动方程。

## 转换步骤:

- (1) 写出已有触发器和待求触发器的特性方程。
- (2) 变换待求触发器的特性方程，使之形式与已有触发器的特性方程一致。
- (3) 比较已有和待求触发器的特性方程，根据两个方程相等的原则求出转换逻辑。
- (4) 根据转换逻辑画出逻辑电路图。

## JK触发器→RS触发器

变换RS触发器的特性方程，使之形式与JK触发器的特性方程一致：

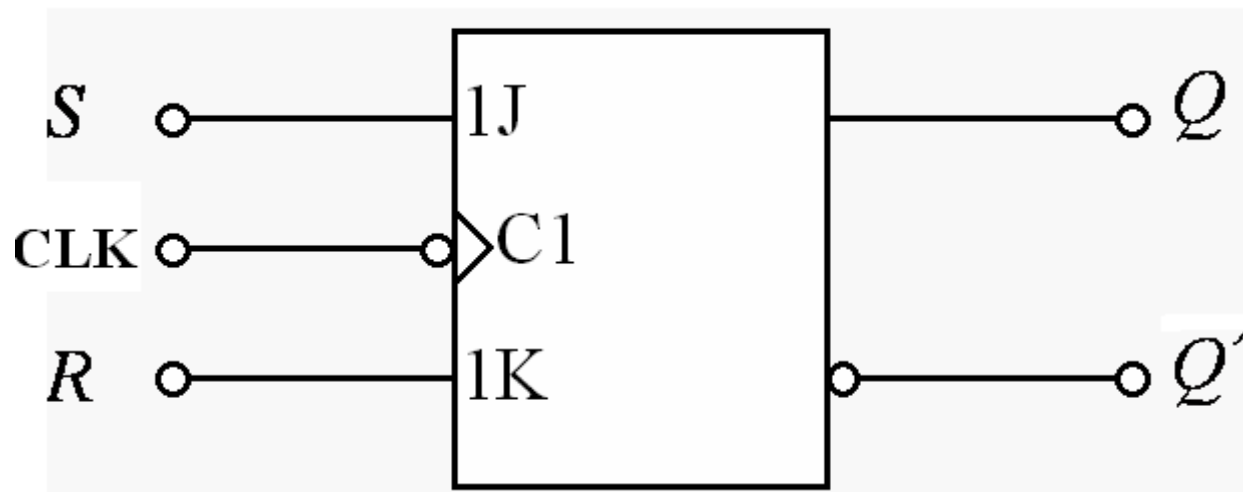
RS触发器  
特性方程

$$\begin{cases} Q^* = S + R'Q \\ RS = 0 \end{cases}$$

$$\begin{aligned} Q^* &= S + R'Q = S(Q' + Q) + R'Q \\ &= SQ' + SQ + R'Q \\ &= SQ' + R'Q + SQ(R' + R) \\ &= SQ' + R'Q + \cancel{R'SQ} + \cancel{RSQ} \\ &= SQ' + R'Q \end{aligned}$$

$$\left. \begin{aligned} Q^* &= JQ' + K'Q \\ Q^* &= SQ' + R'Q \end{aligned} \right\} \text{比较, 得: } \begin{cases} J = S \\ K = R \end{cases}$$

### 电路图



## JK触发器→T触发器

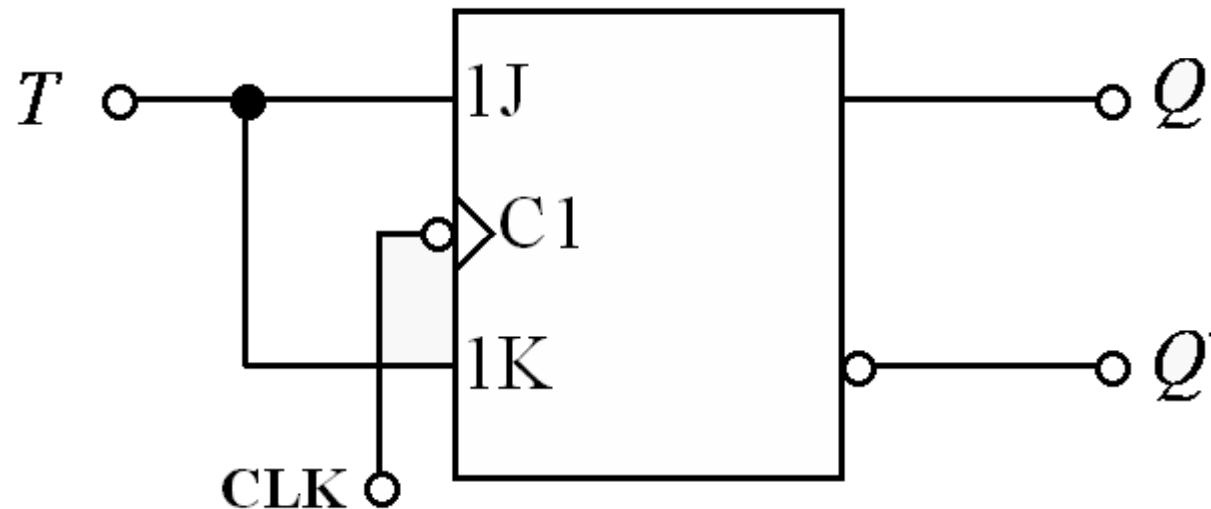
$T$ 触发器特性方程:

$$Q^* = TQ' + T'Q = T \oplus Q$$

与 $JK$ 触发器的特性方程比较, 得:

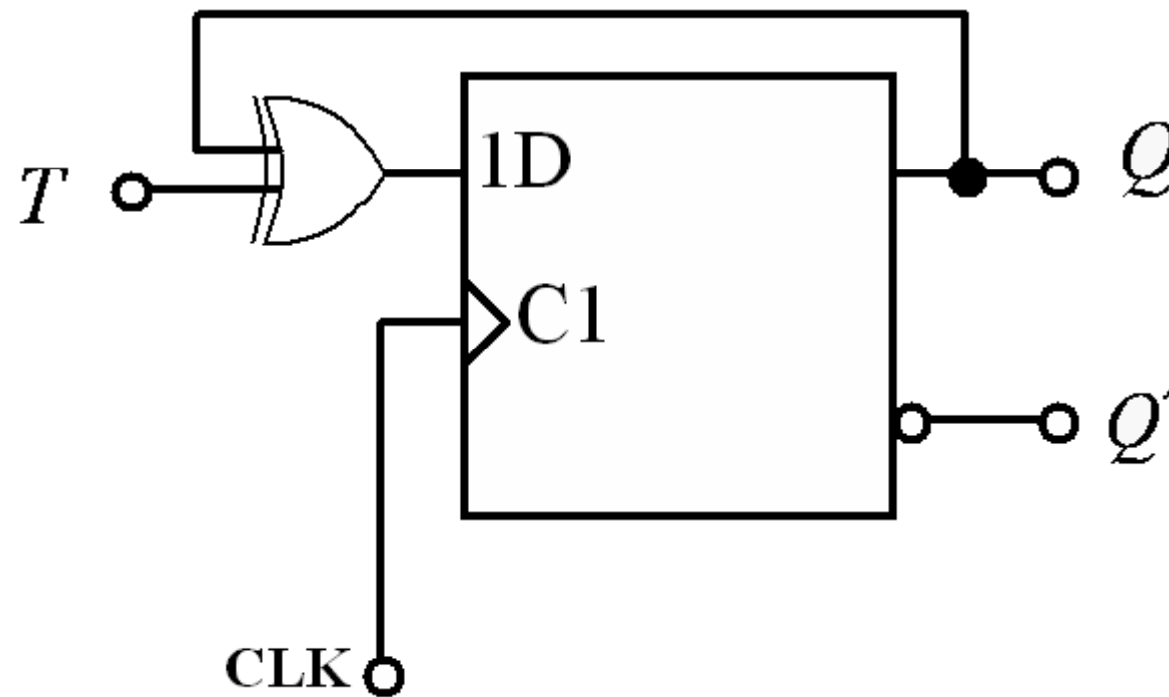
$$\begin{cases} J = T \\ K = T \end{cases}$$

电路图



## D触发器→T触发器

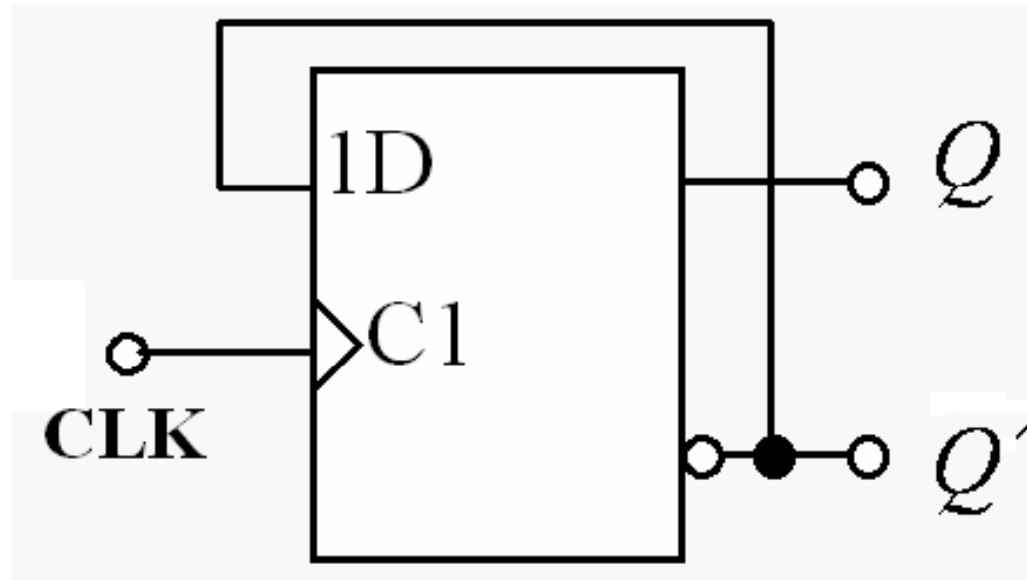
$$D = T \oplus Q$$





**D触发器→T' 触发器**

$$D = Q'$$



### 三、触发器电路结构和逻辑功能的关系

同一种逻辑功能的触发器可以用不同的电路结构实现。反过来，用同一种电路结构形式可以作成不同逻辑功能的触发器。

电路的结构形式决定了其触发方式。

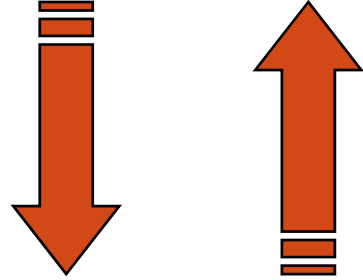
- 逻辑功能:

$Q^*$   
是  
的关系

与输入及

在CLK作用后稳态之间

(RS, JK, D, T)



- 电路结构形式:

具有不同的动作特点 (转换状态的动态过程)  
(同步, 主从, 边沿)

## 5.4 寄存器

在数字电路中，用来存放二进制数据或代码的电路称为寄存器。

寄存器是由具有存储功能的触发器组合起来构成的。一个触发器可以存储1位二进制代码，存放 $n$ 位二进制代码的寄存器，需用 $n$ 个触发器来构成。

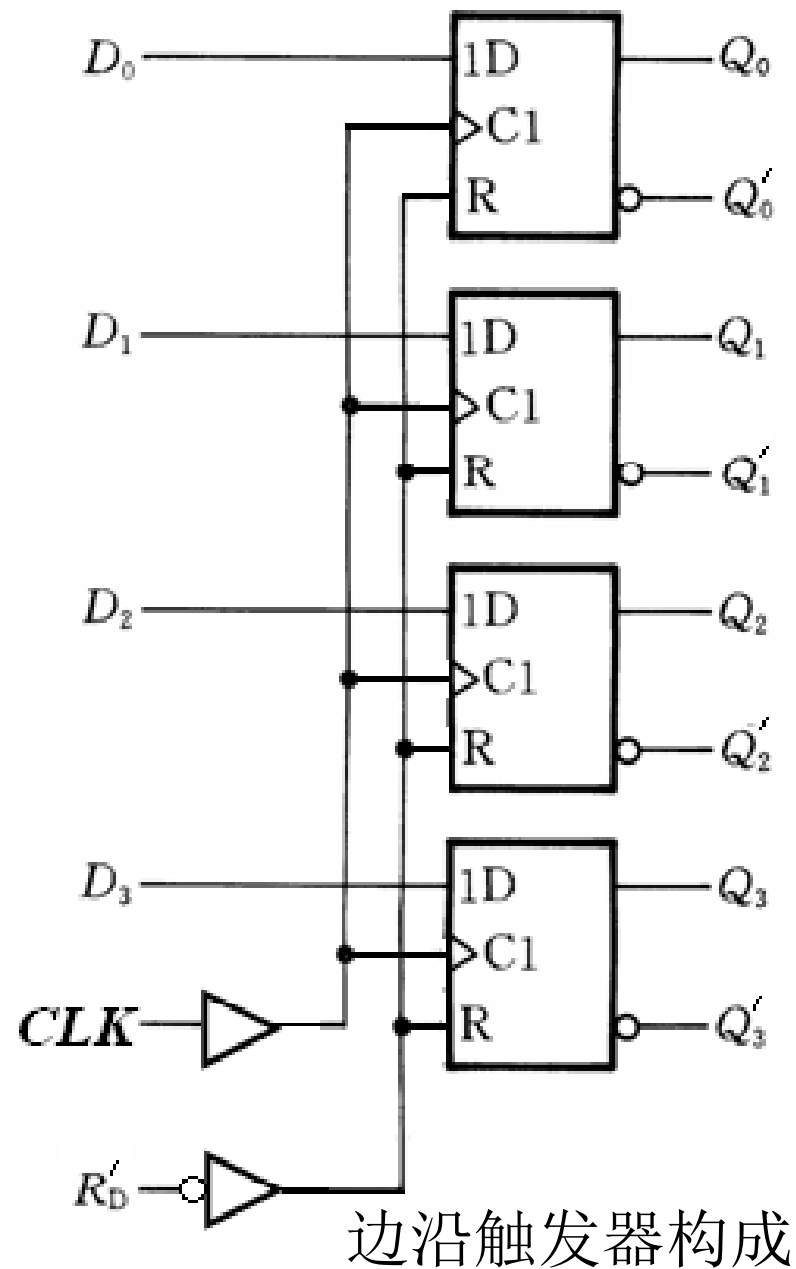
(1) 清零。  $R'_D = 0$ ，异步清零。即有：

$$Q_3 Q_2 Q_1 Q_0 = 0000$$

(2) 送数。  $R'_D = 1$  时， $CLK$  上升沿送数。即有：

$$Q_3^* Q_2^* Q_1^* Q_0^* = D_3 D_2 D_1 D_0$$

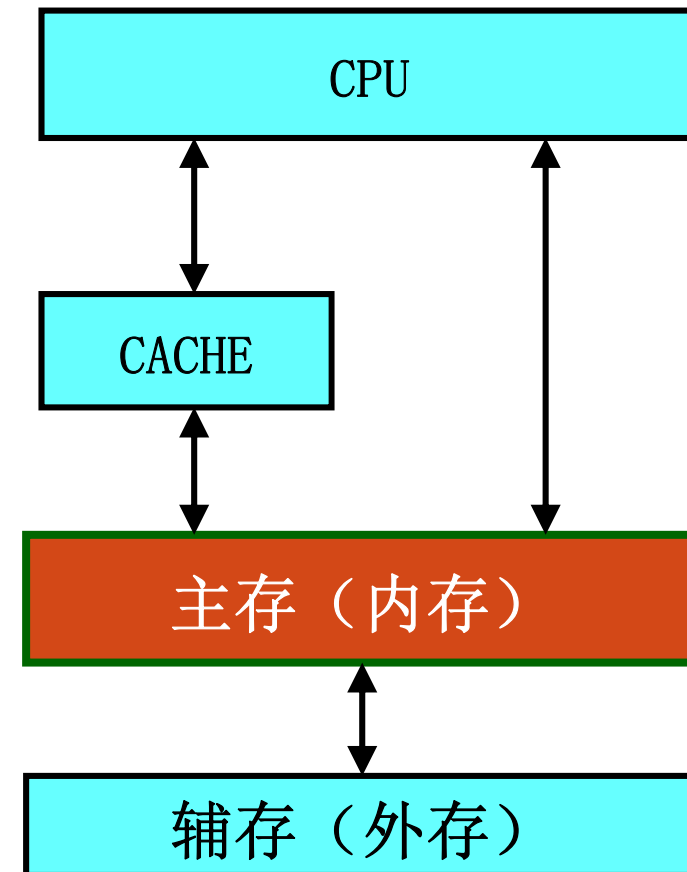
(3) 保持。在  $R'_D = 1$ 、 $CLK$  上升沿以外时间，寄存器内容将保持不变。



## 5.5 存储器

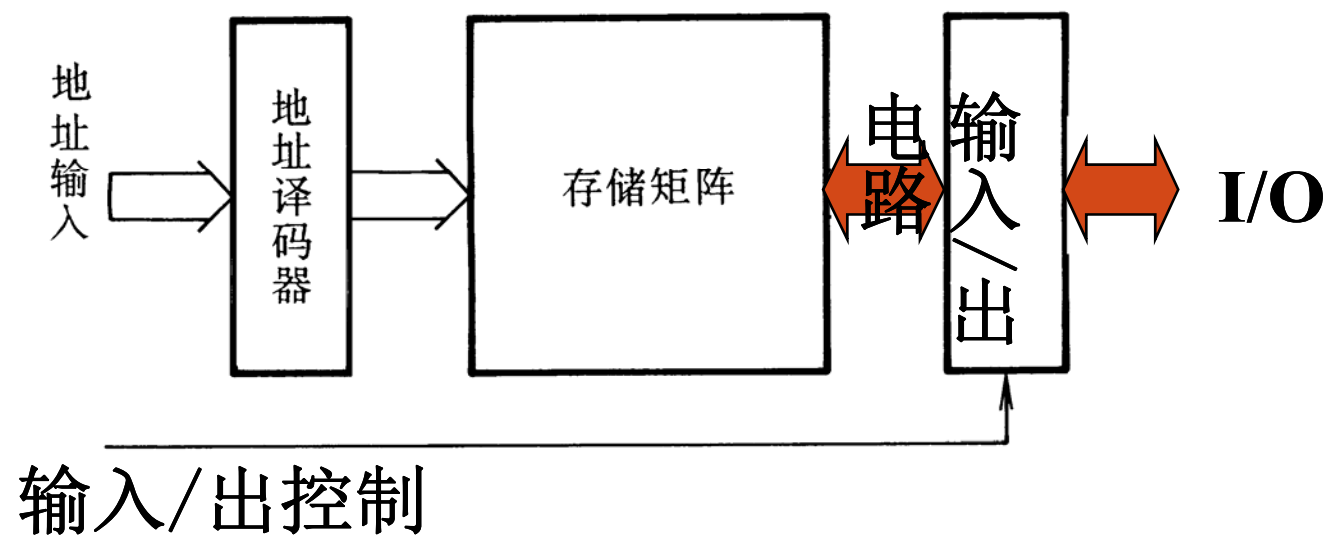
半导体存储器：能存储大量二值信息的半导体器件

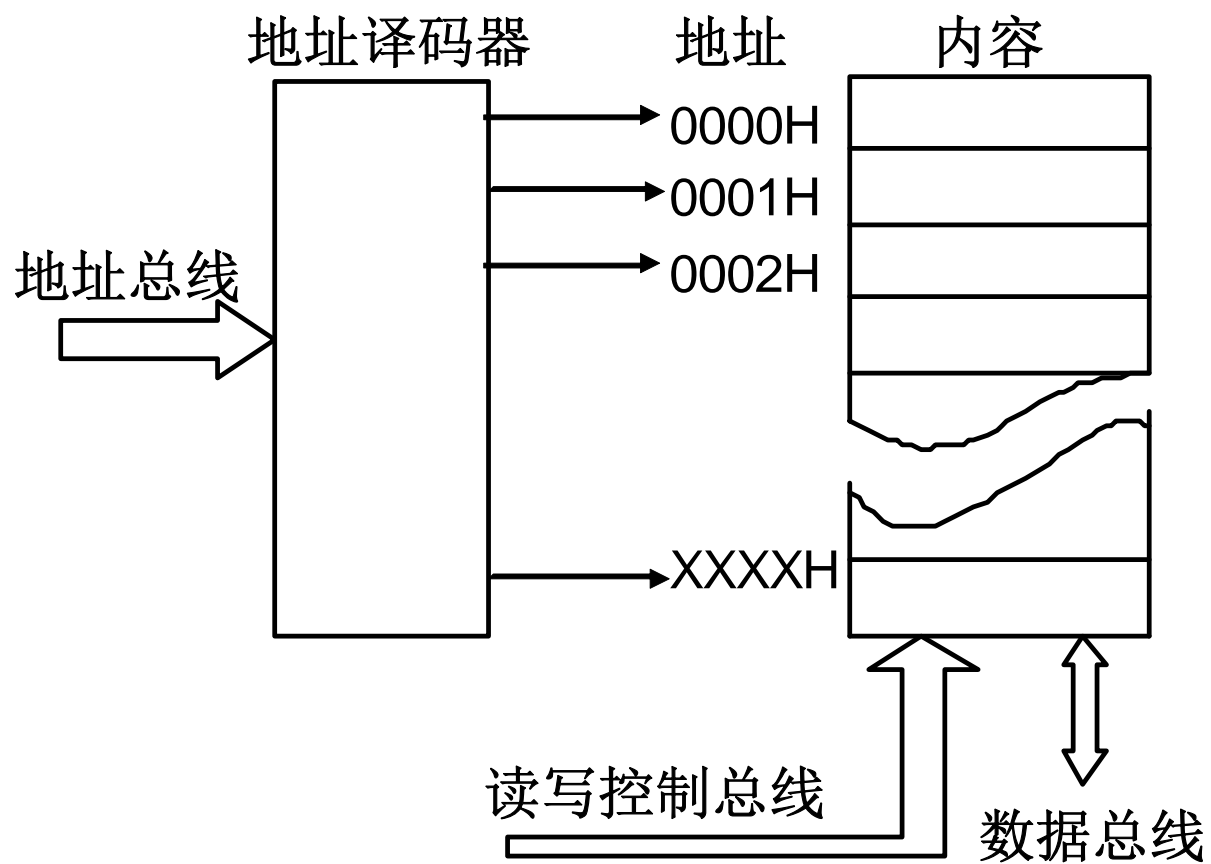
- 除采用磁、光原理的辅存外，其它存储器主要都是采用半导体存储器
- 本章介绍采用半导体存储器及其组成主存的方法



☹ 单元数庞大

☹ 输入/输出引脚数目有限





存储器的逻辑结构示意图



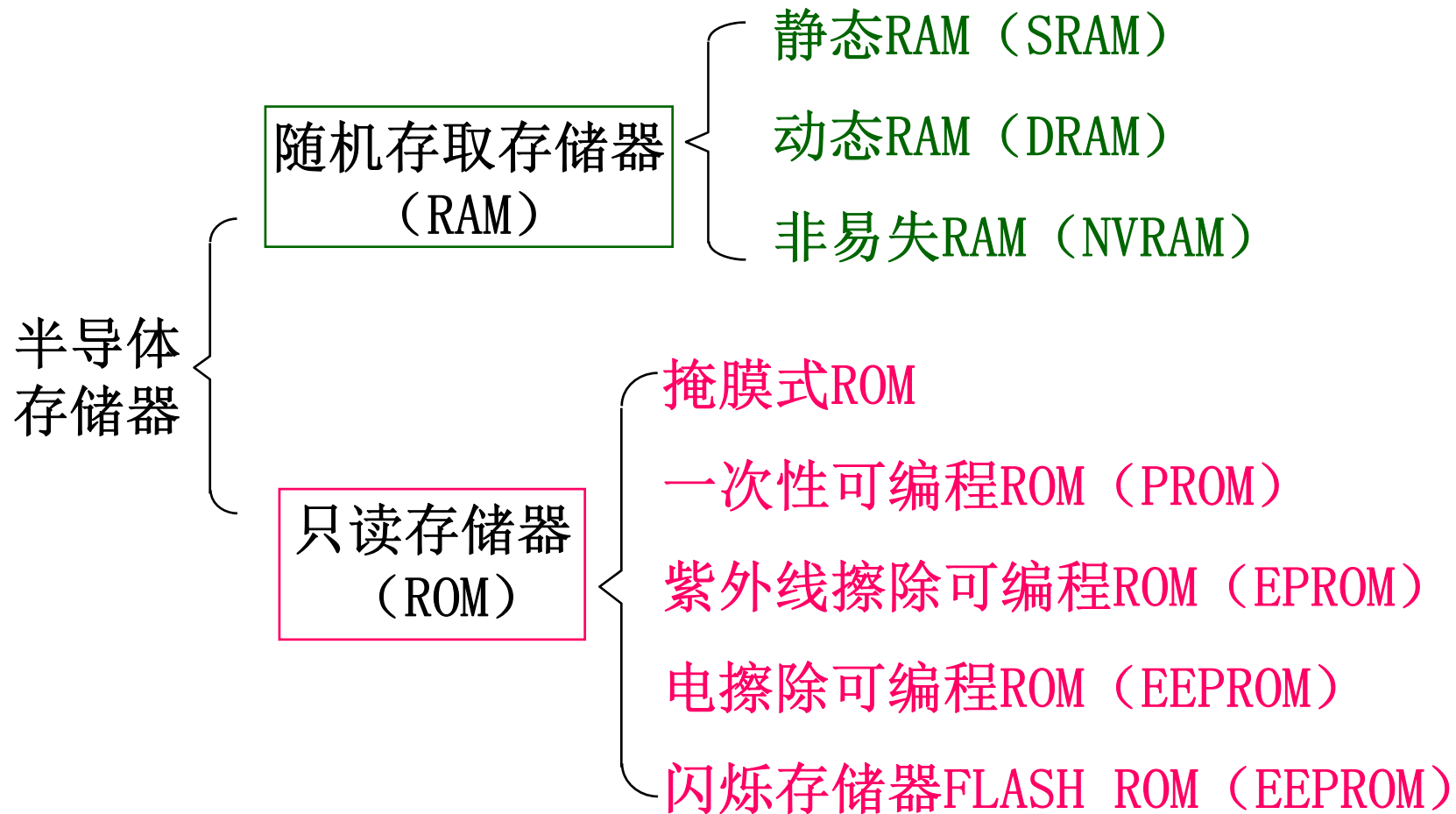
## 选择存储器件的考虑因素：

- |         |             |
|---------|-------------|
| (1) 容量  | (2) 速度 (ns) |
| (3) 易失性 | (4) 功耗      |
| (5) 只读性 | (6) 价格      |
| (7) 可靠性 |             |

## 半导体存储器的分类：

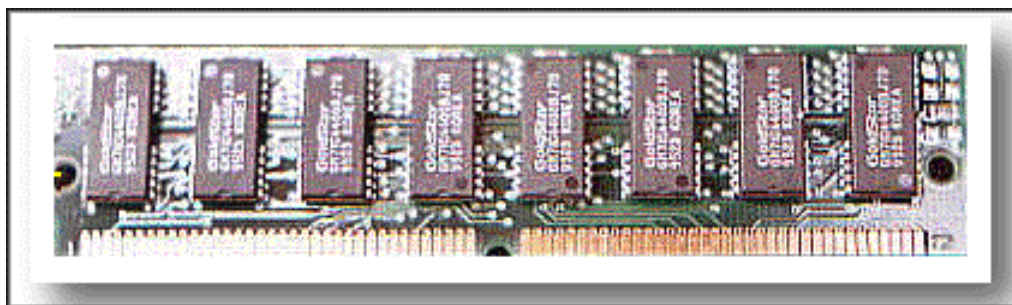
- 按制造工艺
  - 双极型：速度快、集成度低、功耗大
  - MOS型：速度慢、集成度高、功耗低
- 按使用属性
  - 随机存取存储器RAM：可读可写、断电丢失
  - 只读存储器ROM：正常只读、断电不丢失

# 半导体存储器的分类:



# 1. 读写存储器RAM

|       | 组成单元  | 速度 | 集成度 | 应用     |
|-------|-------|----|-----|--------|
| SRAM  | 触发器   | 快  | 低   | 小容量系统  |
| DRAM  | 极间电容  | 慢  | 高   | 大容量系统  |
| NVRAM | 带微型电池 | 慢  | 低   | 小容量非易失 |



## 2. 只读存储器ROM:

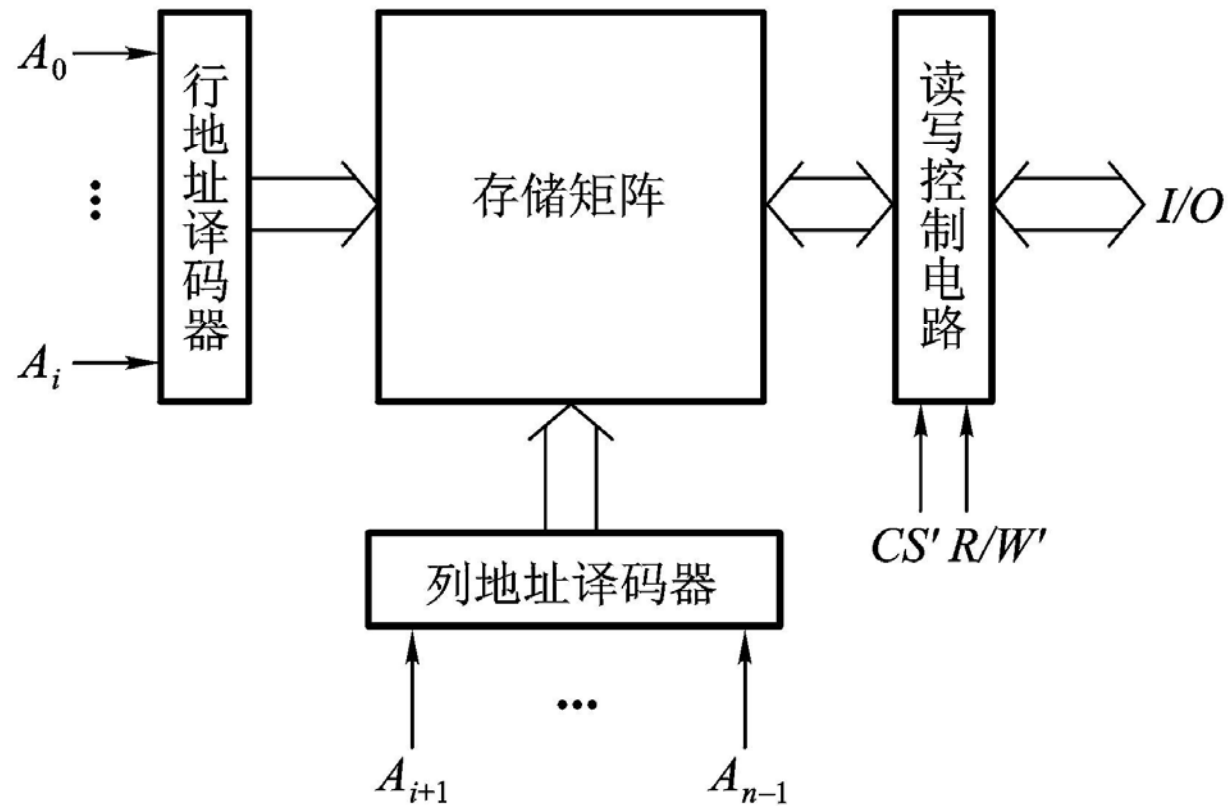
- **掩膜ROM**: 信息制作在芯片中, 出厂后不可更改
- **PROM**: 允许一次编程, 此后不可更改
- **EPROM**: 用紫外光擦除, 擦除后可编程; 并允许用户多次擦除和编程。但擦除和编程时间较慢, 次数也不宜多。
- **EEPROM (E<sup>2</sup>PROM)**: 采用加电方法在线进行擦除和编程, 也可多次擦写。擦除和写入时需要加高电压脉冲, 擦、写时间仍较长。
- **Flash Memory (闪存)**: 能够快速擦写的EEPROM, 但只能按块 (**Block**) 擦除

# 随机存储器RAM

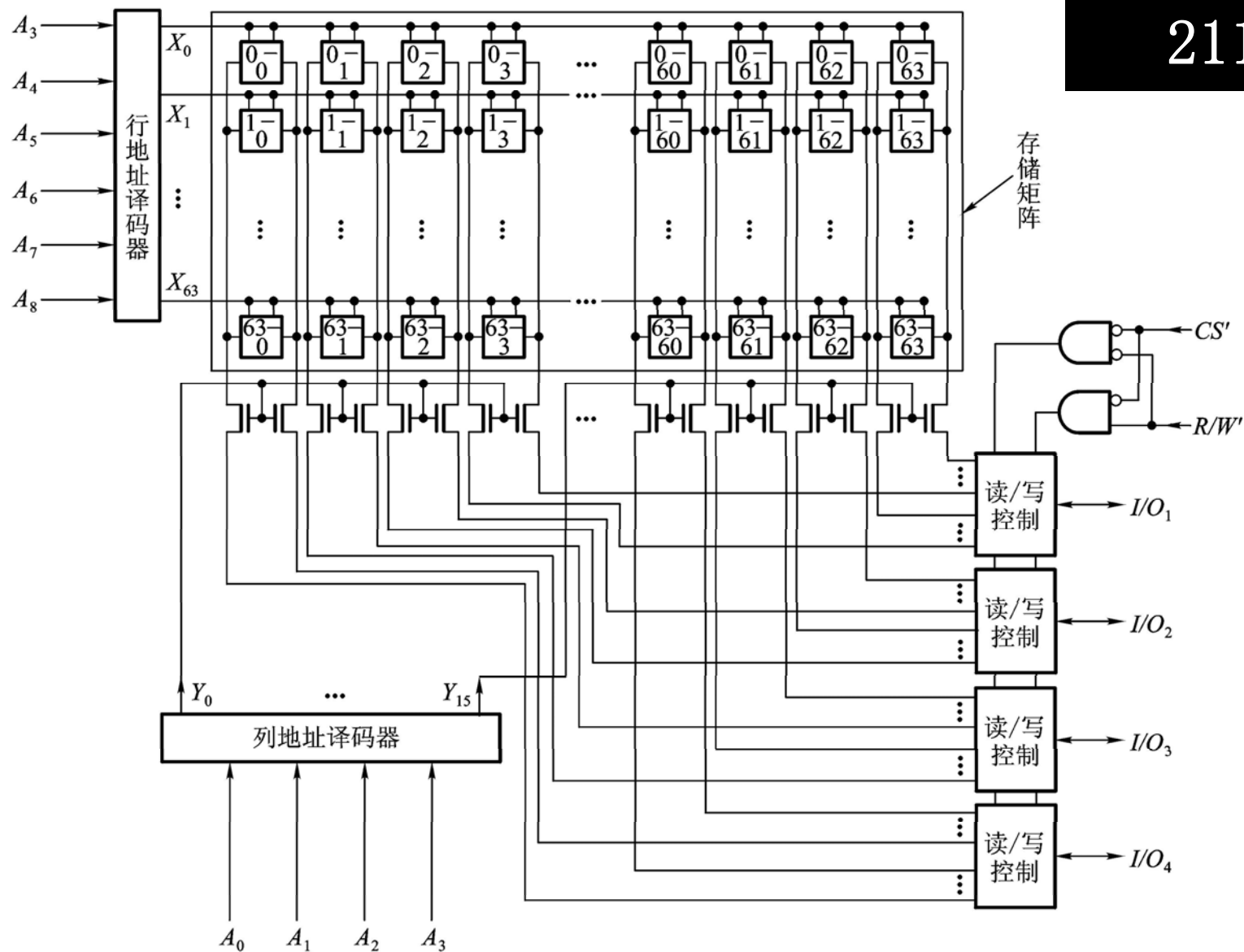
## 5.5.1 静态随机存储器（SRAM）

- SRAM的基本存储单元是触发器电路
- 每个基本存储单元存储二进制数一位
- 许多个基本存储单元形成行列存储矩阵
- SRAM一般采用“字结构”存储矩阵：
  - 每个存储单元存放多位（4、8、16等）
  - 每个存储单元具有一个地址

## 结构与工作原理



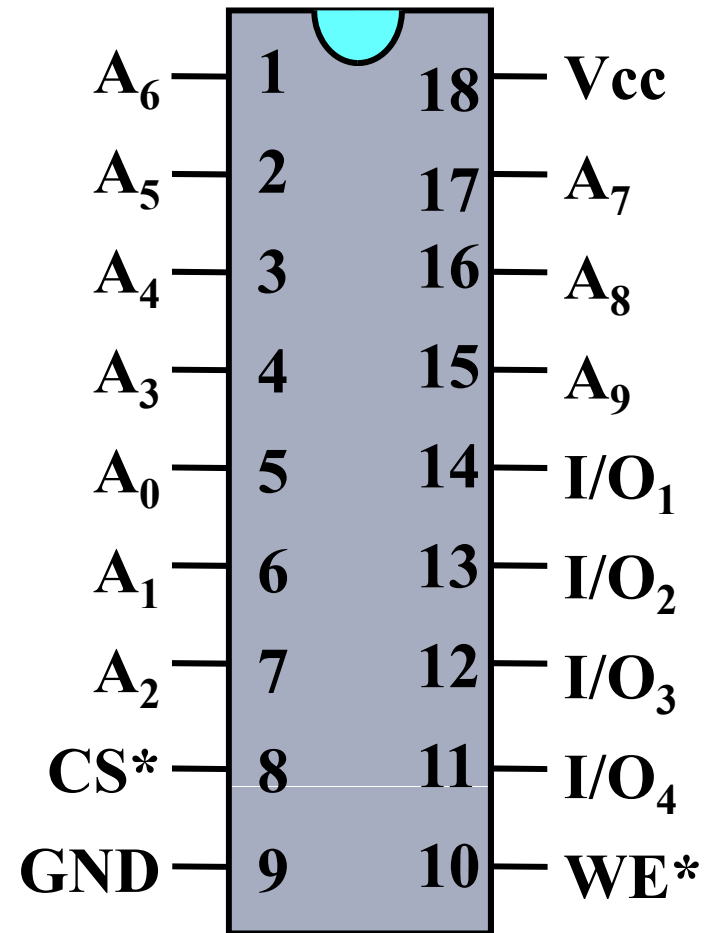
# SRAM芯片 2114





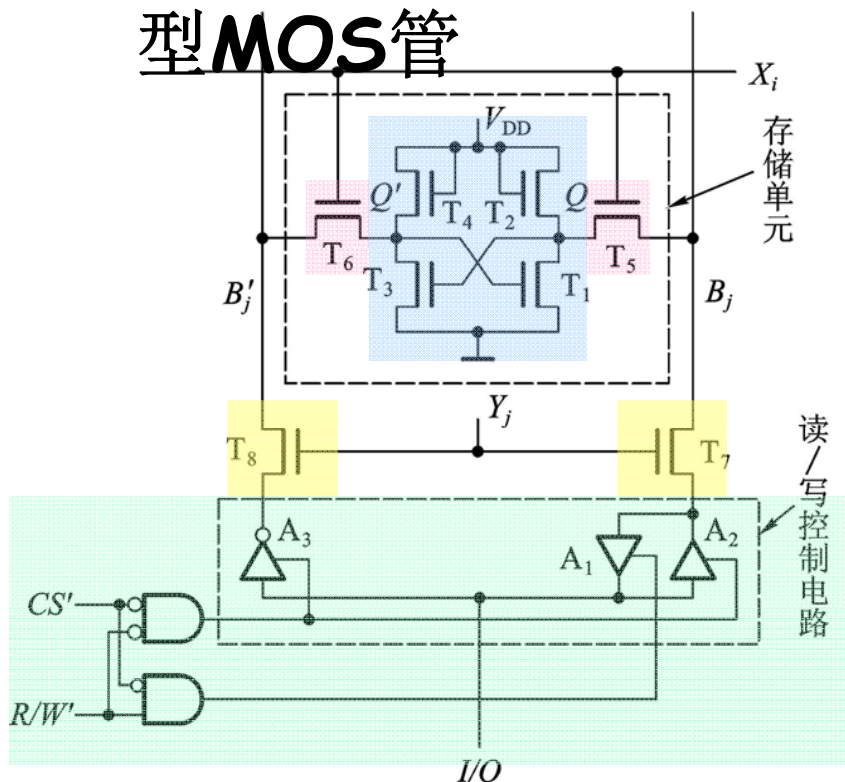
## SRAM芯片2114

- 存储容量为 $1024 \times 4$
- 18个引脚：
  - 10根地址线 $A_9 \sim A_0$
  - 4根数据线 $I/O_4 \sim I/O_1$
  - 片选 $CS^*$
  - 读写 $WE^*$



# SRAM的存储单元

## 六管N沟道增强型MOS管



$T_1 \sim T_4$ 为基本RS触发器，  
作存储单元

$X_i = 1$ 时，能在1行中被选中，  
 $T_5, T_6$ 导通， $Q$ 、 $Q'$ 与 $B_j$ 、 $B'_j$ 相通

当 $CS' = 0$ 时，

若 $R/W = 1$ ，则 $A_1$ 导通， $A_2$ 与 $A_3$ 截止，  
 $Q \rightarrow I/O$ ，读操作

若 $R/W = 0$ ，则 $A_1$ 截止， $A_2$ 与 $A_3$ 导通，

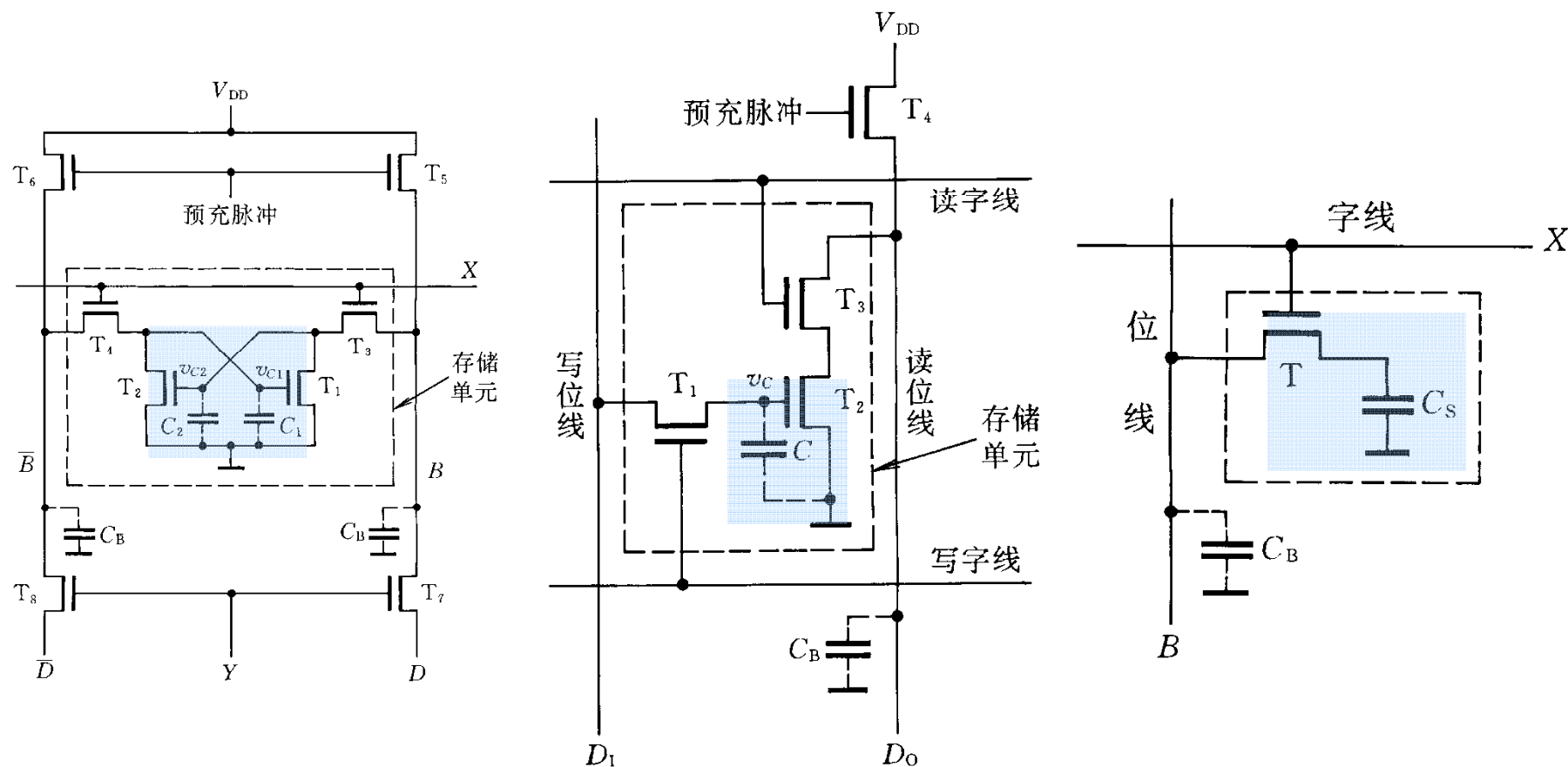
$I/O \rightarrow Q$ ，写操作

$Y_j = 1$ 时，所在列被选中，

$T_7, T_8$ 导通，这时 $\begin{cases} \text{第}i\text{行} \\ \text{第}j\text{列} \end{cases}$ 单元与缓冲器相连

## 5.5.2\* 动态随机存储器（DRAM）

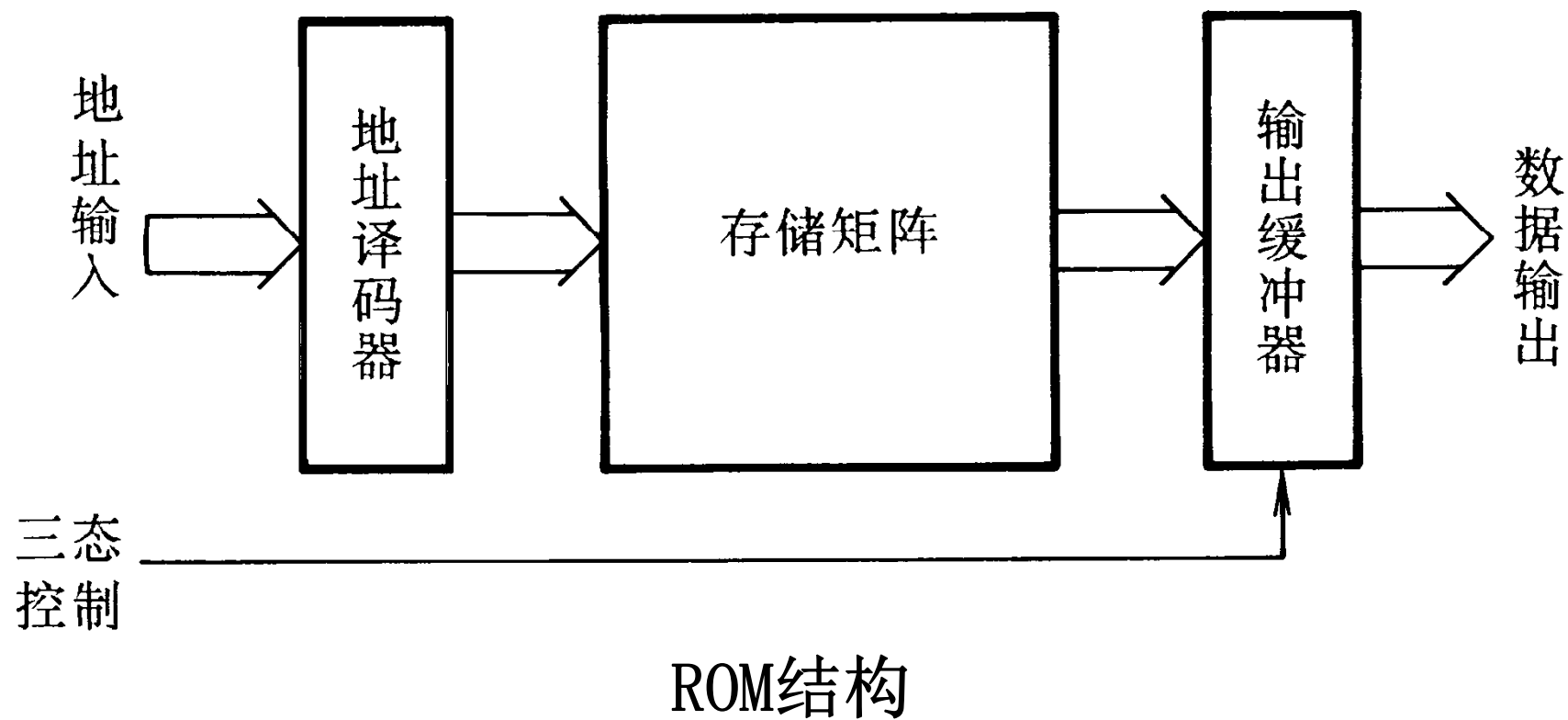
动态存储单元是利用MOS管栅极电容可以存储电荷的原理



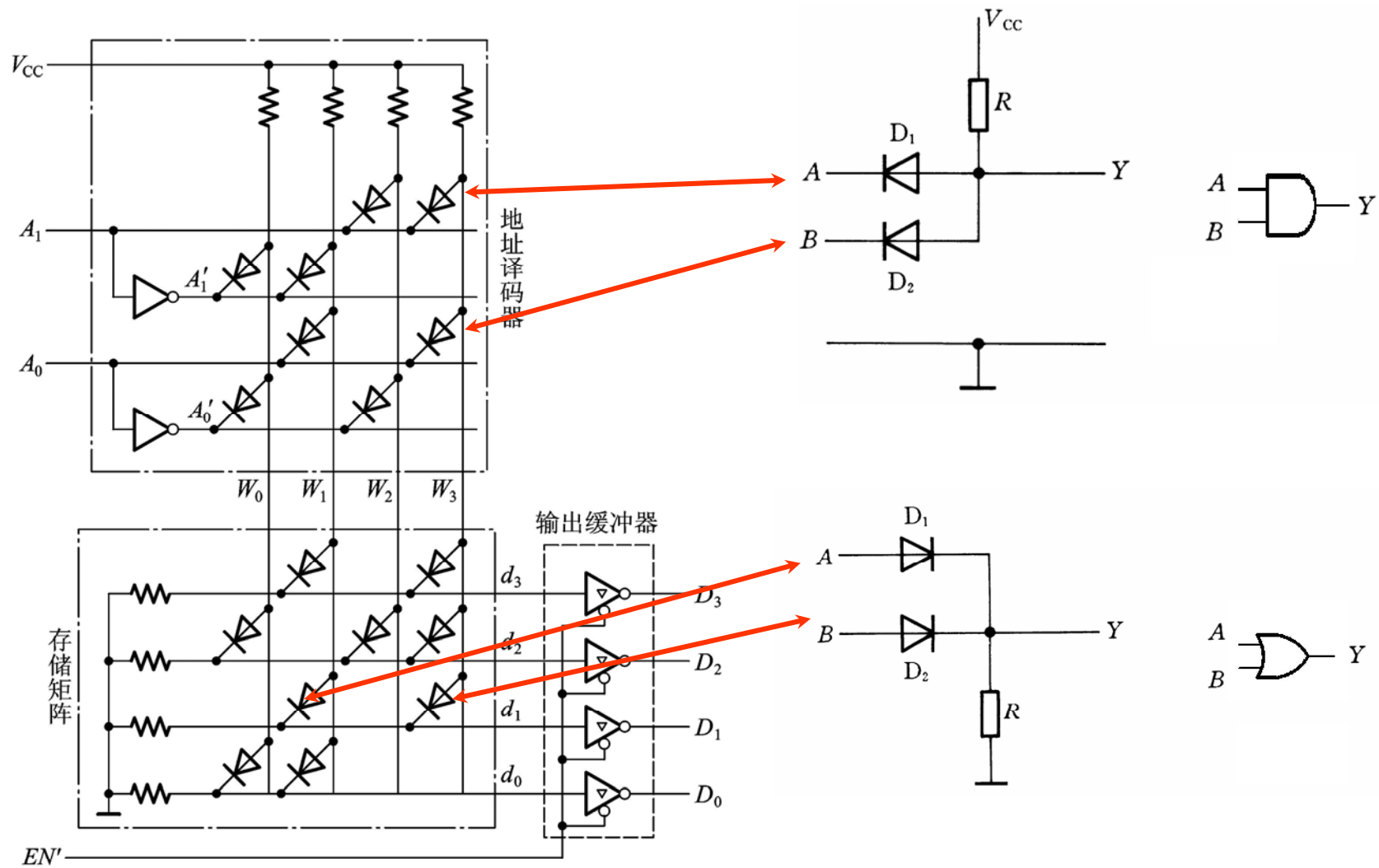
- DRAM的基本存储单元是单个场效应管及其极间电容
- 必须配备“读出再生放大电路”进行刷新
- 每次同时对一行的存储单元进行刷新
- 每个基本存储单元存储二进制数一位
- 许多个基本存储单元形成行列存储矩阵
- DRAM一般采用“位结构”存储体：
  - 每个存储单元存放一位
  - 需要8个存储芯片构成一个字节单元
  - 每个字节存储单元具有一个地址

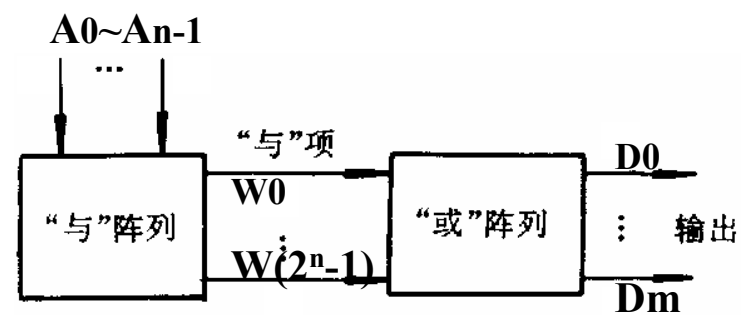
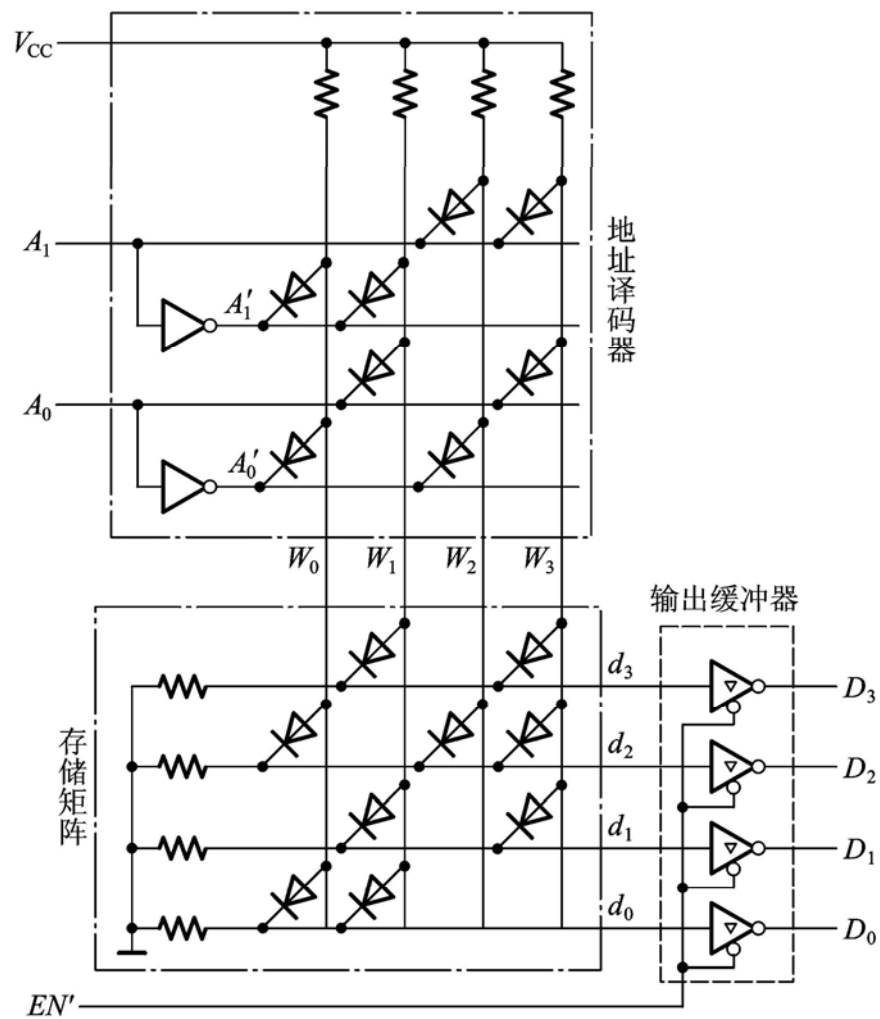
## 5.5.3 只读存储器ROM

### ROM结构和工作原理



# 举例：

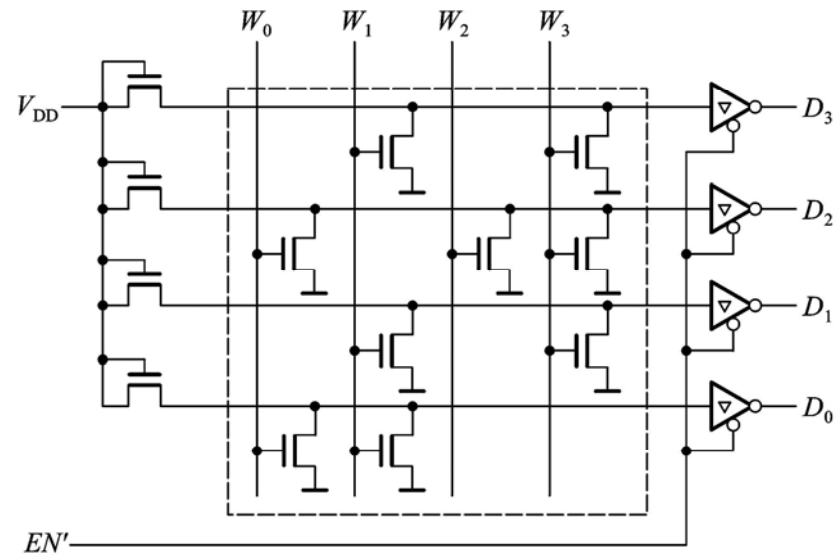
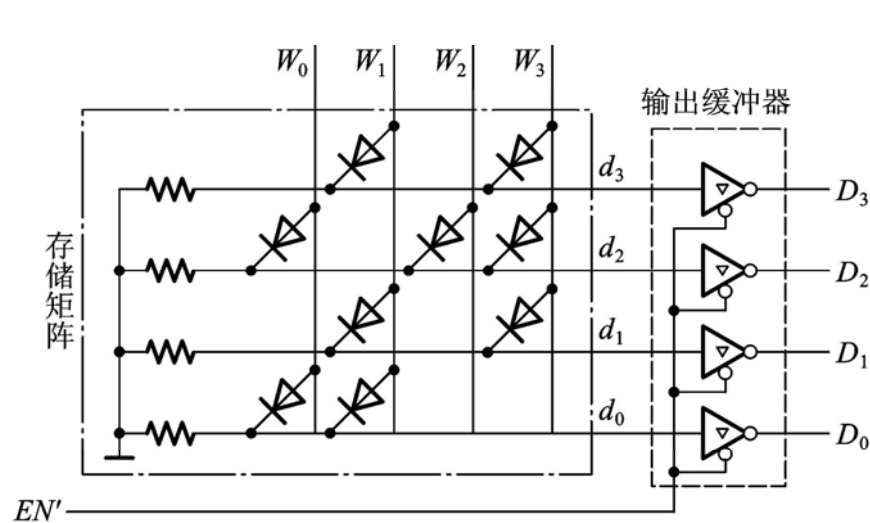




| 地 址   |       | 数 据   |       |       |       |
|-------|-------|-------|-------|-------|-------|
| $A_1$ | $A_0$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
| 0     | 0     | 0     | 1     | 0     | 1     |
| 0     | 1     | 1     | 0     | 1     | 1     |
| 1     | 0     | 0     | 1     | 0     | 0     |
| 1     | 1     | 1     | 1     | 1     | 0     |

## 两个概念:

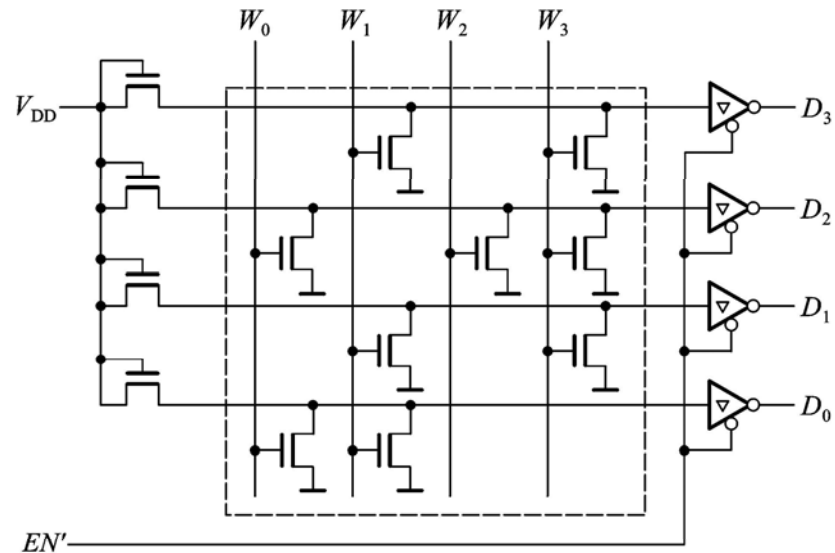
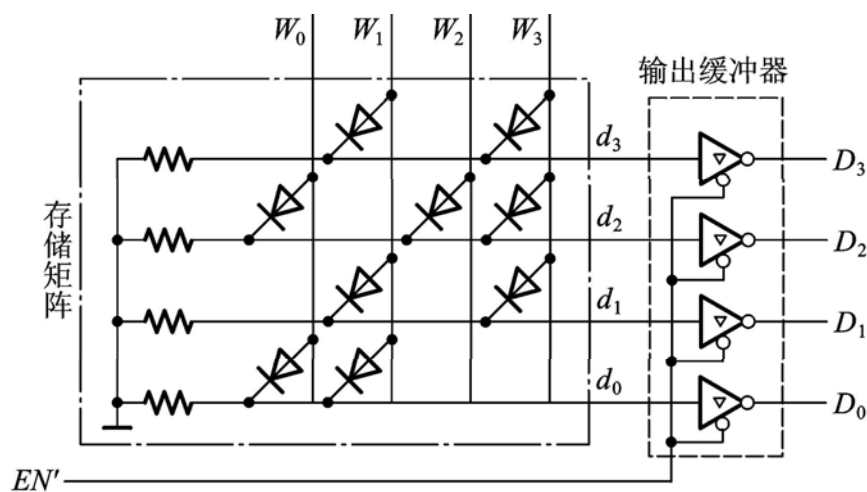
- 存储矩阵的每个交叉点是一个“存储单元”，存储单元中有器件存入“1”，无器件存入“0”
- 存储器的容量：“字数 x 位数”





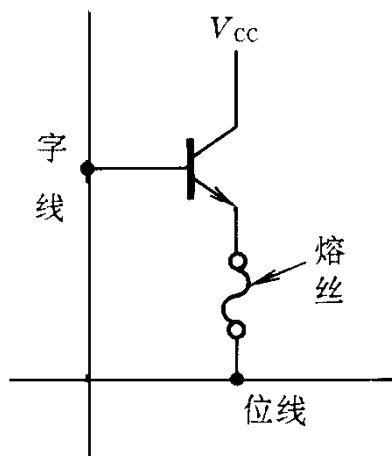
## 1. 掩模ROM

出厂时已经固定，不能更改，适合大量生产  
简单，便宜，非易失性

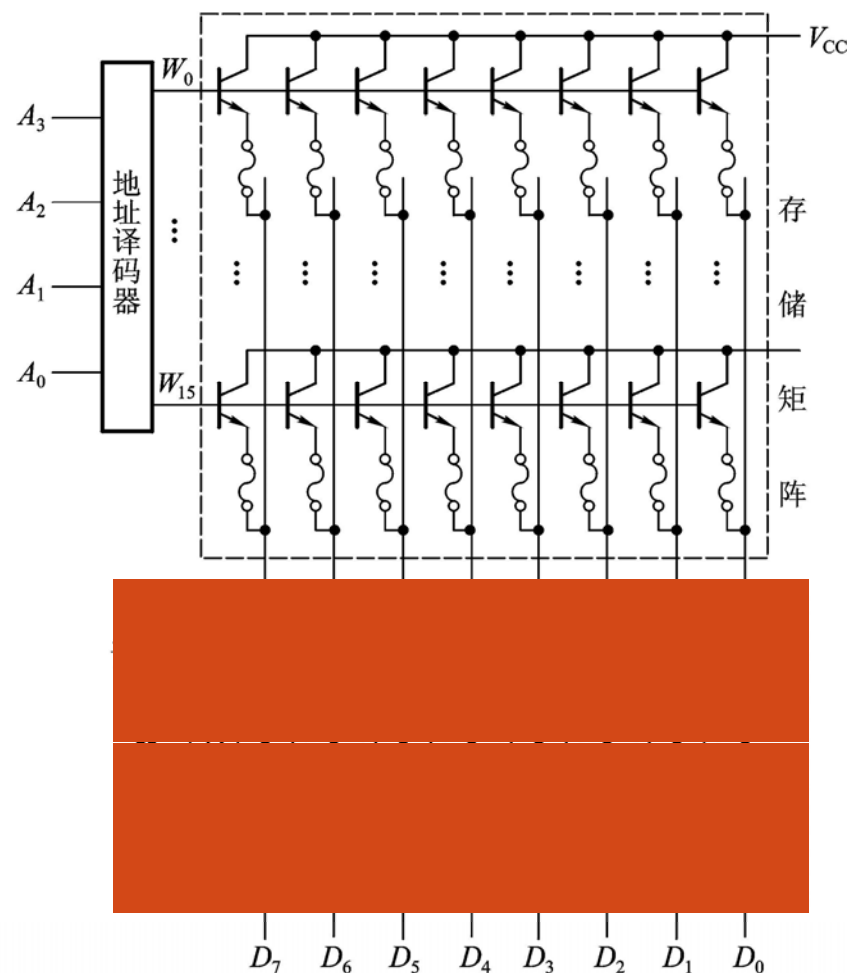


## 2 可编程ROM (PROM)

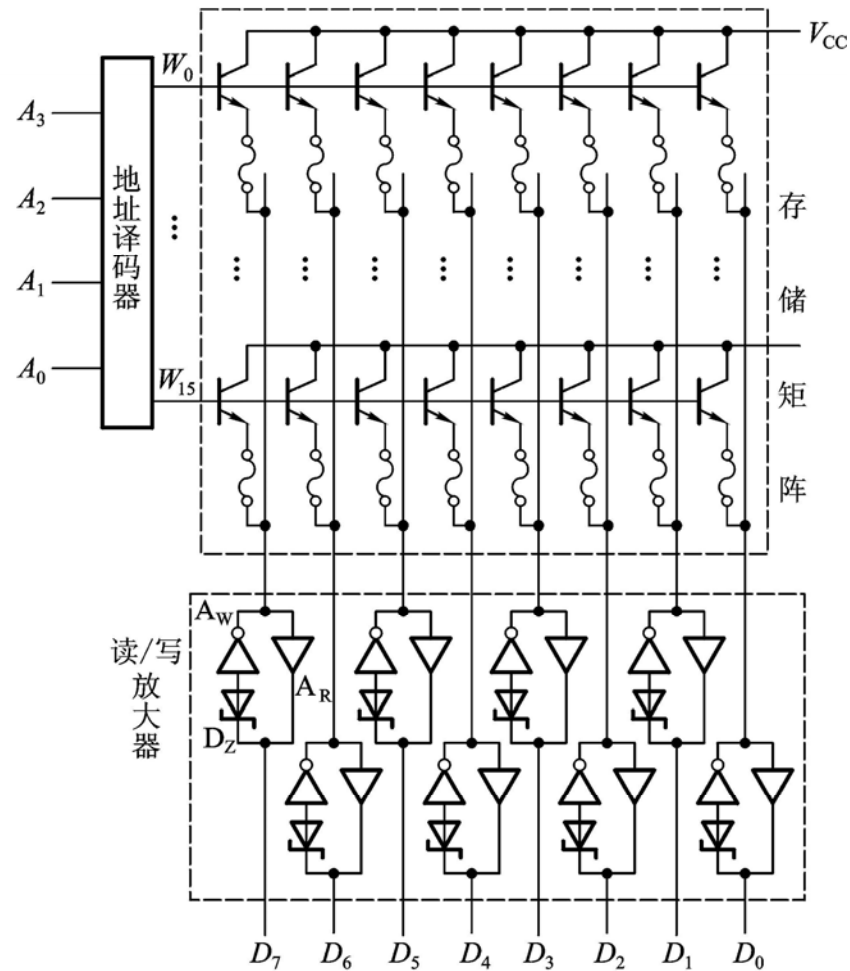
总体结构与掩模ROM一样，但存储单元不同



- \*熔丝由易熔合金制成
  - \*出厂时，每个结点上都有
  - \*编程时将不用的熔断
- !! 是一次性编程，不能改写



# PROM



写入时，要使用编程器  
将为0的存储单元熔丝  
烧断。

### 3 可擦除的可编程ROM (EPROM)

总体结构与掩模ROM一样，但存储单元不同

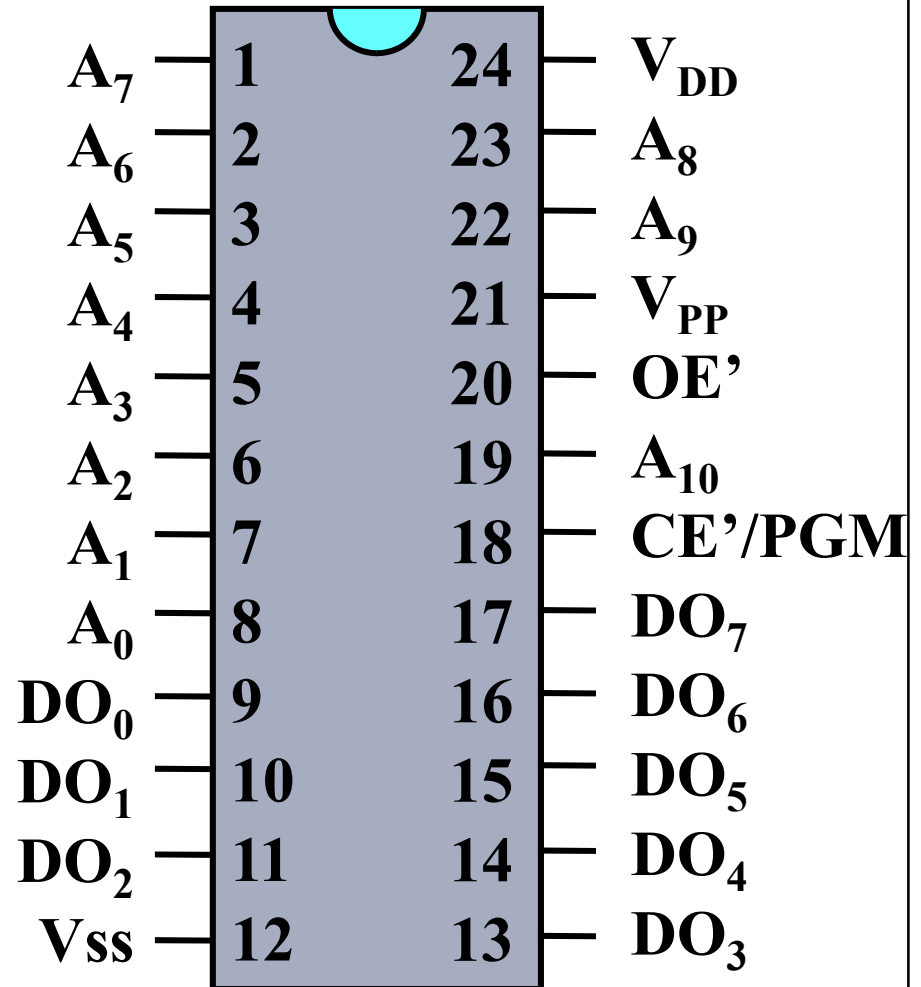
#### 一、用紫外线擦除的PROM (UV EPROM)



- 顶部开有一个圆形的石英窗口，用于紫外线透过擦除原有信息
- 一般使用专门的编程器（烧写器）进行编程
- 编程后，应该贴上不透光封条
- 出厂未编程前，每个基本存储单元都是信息1
- 编程就是将某些单元写入信息0

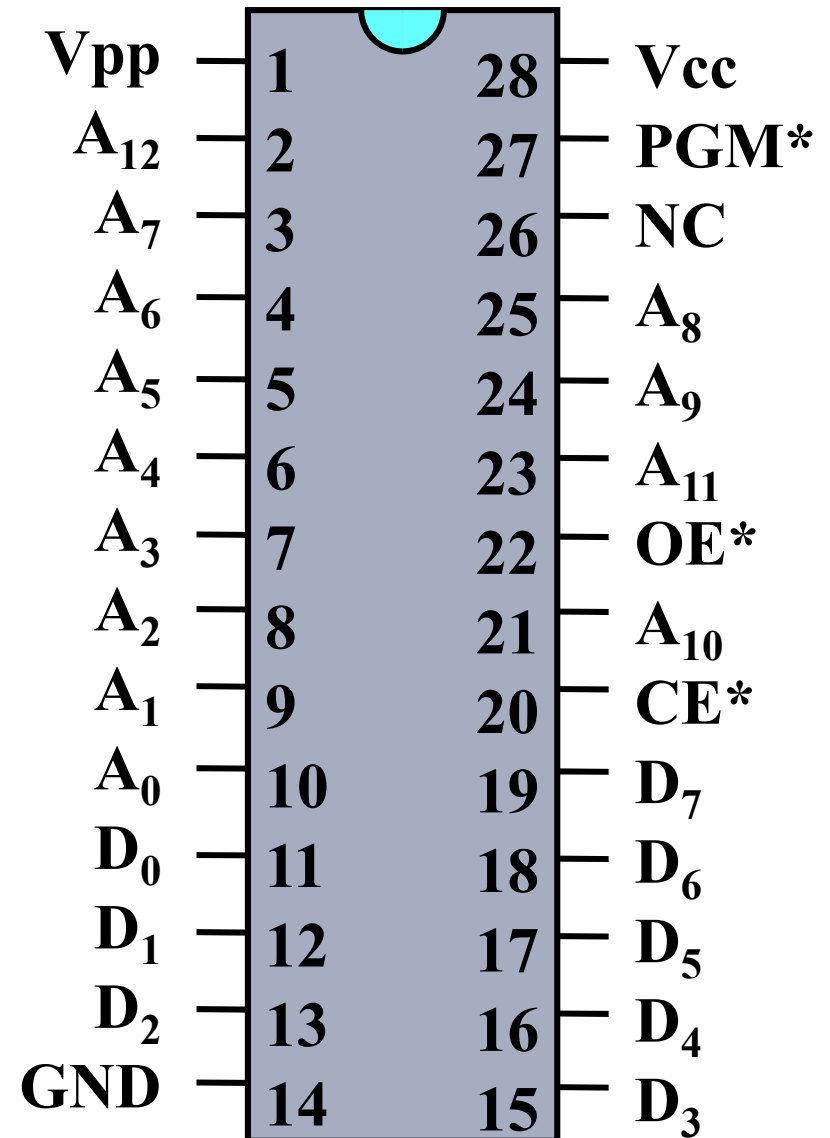
## EPR0M芯片2716

- 存储容量为 $2K \times 8$
- 24个引脚：
  - 11根地址线 $A_{10} \sim A_0$   
(Address Input)
  - 8根数据线 $DO_7 \sim DO_0$   
(Data Output)
  - 片选/编程 $CE'/PGM$   
(Chip Enable/Program)
  - 读写 $OE'$   
(Output Enable)
  - 编程电压 $V_{PP}$   
(Program Supply)



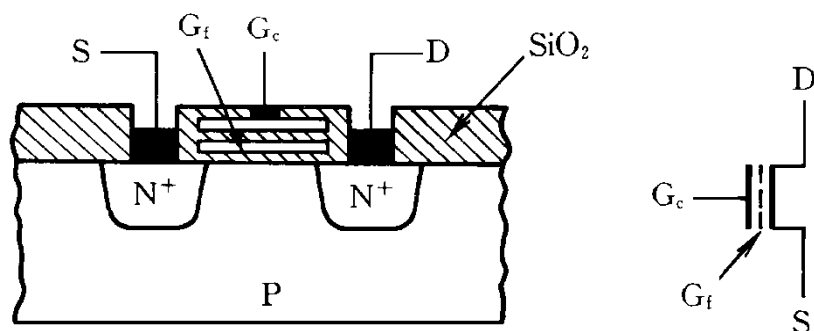
## EPROM芯片2764

- 存储容量为 $8K \times 8$
- 28个引脚：
  - 13根地址线 $A_{12} \sim A_0$
  - 8根数据线 $D_7 \sim D_0$
  - 片选 $CE^*$
  - 编程 $PGM^*$
  - 读写 $OE^*$
  - 编程电压 $V_{PP}$



# *SIMOS (Stacked – gate Injection MOS)*

## 叠栅注入MOS管



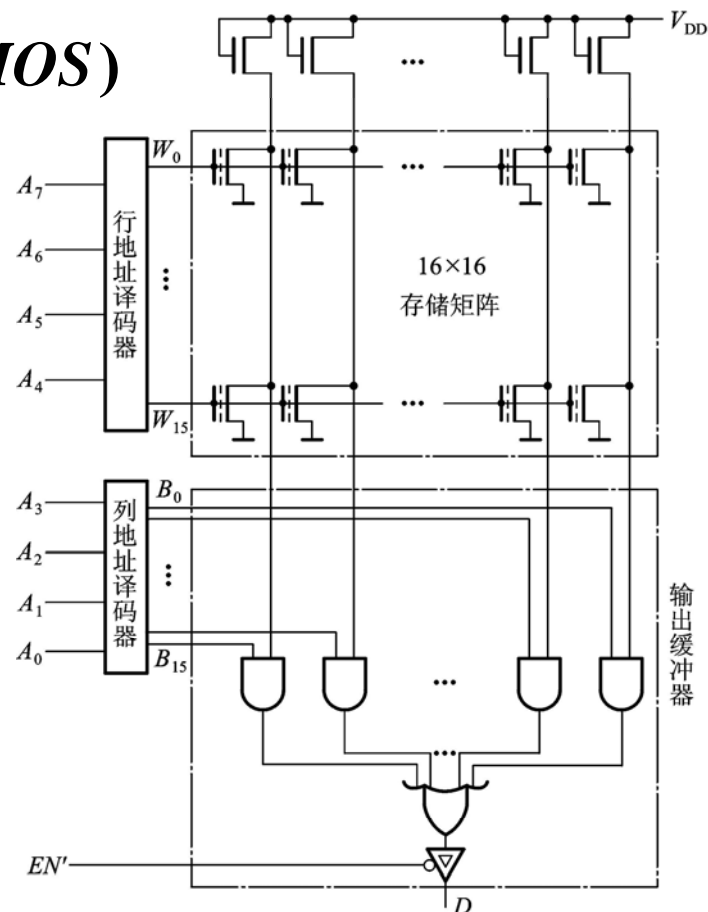
$G_c$  : 控制栅

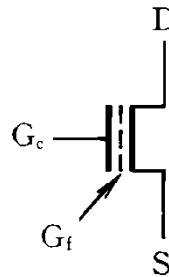
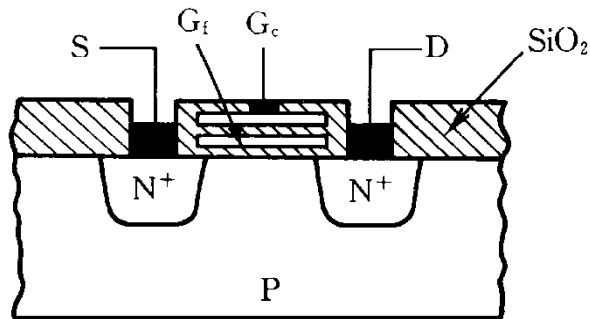
$G_f$  : 浮置栅

工作原理:

若 $G_f$ 上充以负电荷, 则 $G_c$ 处正常逻辑高电平下不导通

若 $G_f$ 上未充负电荷, 则 $G_c$ 处正常逻辑高电平下导通





“写入”：雪崩注入, $D-S$ 间加高压 ( $20 \sim 25V$ ),发生雪崩击穿  
 同时在 $G_c$ 上加 $25V, 50ms$ 宽的正脉冲,  
 吸引高速电子穿过 $SiO_2$ 到达 $G_f$ ,形成注入电荷

“擦除”：通过照射产生电子-空穴对，提供泄放通道  
 紫外线照射 $20 \sim 30$ 分钟（阳光下一周，荧光灯下3年）



## 二、电可擦除的可编程ROM (E<sup>2</sup>PROM)

- 用加电方法，进行在线（无需拔下，直接在电路中）擦写（擦除和编程一次完成）
- 有字节擦写、块擦写和整片擦写方法
- 并行EEPROM：多位同时进行
- 串行EEPROM：只有一位数据线

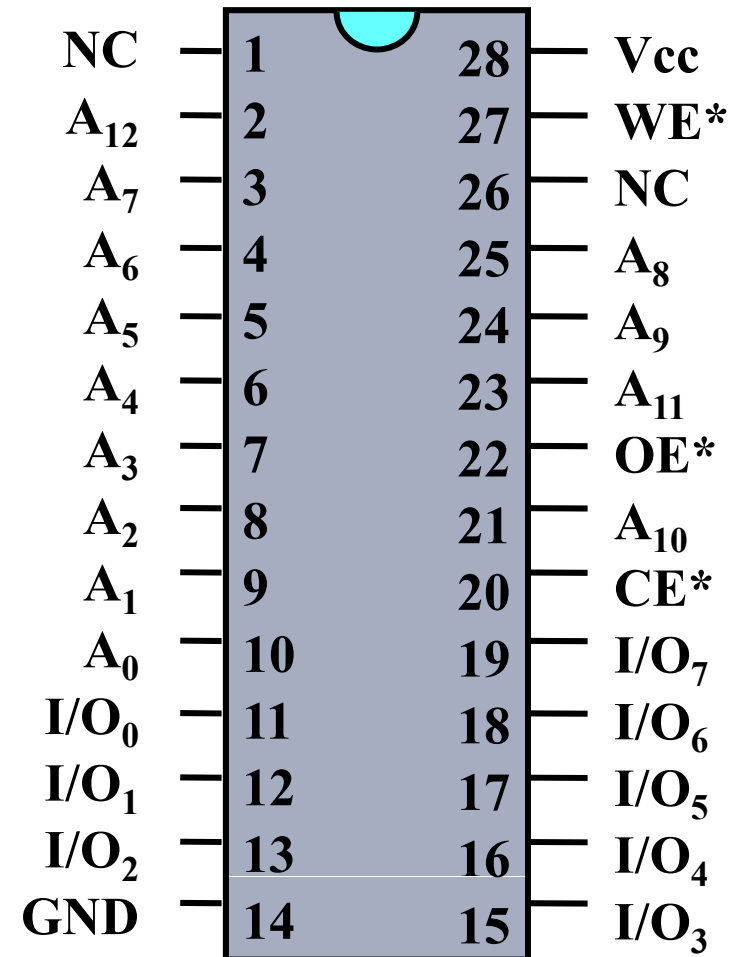
## EEPROM芯片2817A

- 存储容量为 **$2K \times 8$**
- 28个引脚：
  - 11根地址线 **$A_{10} \sim A_0$**
  - 8根数据线 **$I/O_7 \sim I/O_0$**
  - 片选 **$CE^*$**
  - 读写 **$OE^*$ 、 $WE^*$**
  - 状态输出 **$RDY/BUSY^*$**

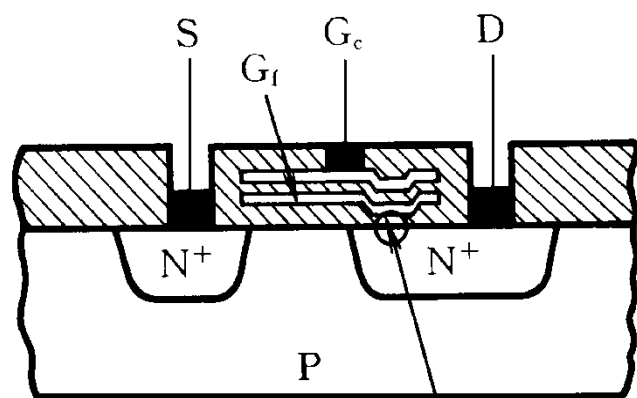
|                   |    |    |                 |
|-------------------|----|----|-----------------|
| R/ $\overline{B}$ | 1  | 28 | VCC             |
| NC                | 2  | 27 | $\overline{WE}$ |
| A7                | 3  | 26 | NC              |
| A6                | 4  | 25 | A8              |
| A5                | 5  | 24 | A9              |
| A4                | 6  | 23 | NC              |
| A3                | 7  | 22 | $\overline{OE}$ |
| A2                | 8  | 21 | A10             |
| A1                | 9  | 20 | $\overline{CE}$ |
| A0                | 10 | 19 | D7              |
| D0                | 11 | 18 | D6              |
| D1                | 12 | 17 | D5              |
| D2                | 13 | 16 | D4              |
| GND               | 14 | 15 | D3              |

## EEPROM芯片2864A

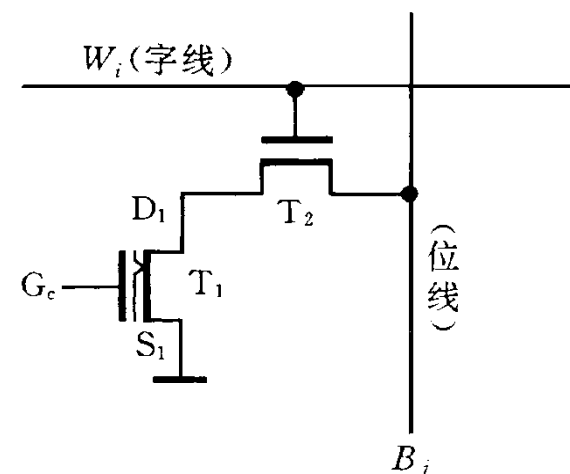
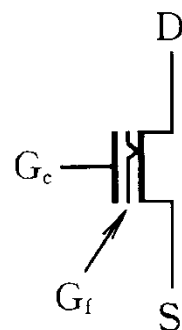
- 存储容量为 $8K \times 8$
- 28个引脚：
  - 13根地址线 $A_{12} \sim A_0$
  - 8根数据线 $I/O_7 \sim I/O_0$
  - 片选 $CE^*$
  - 读写 $OE^*$ 、 $WE^*$



为克服 *UVEPROM* 擦除慢，操作不便的缺点  
采用 *FLOTOX* (浮栅隧道氧化层 *MOS* 管)



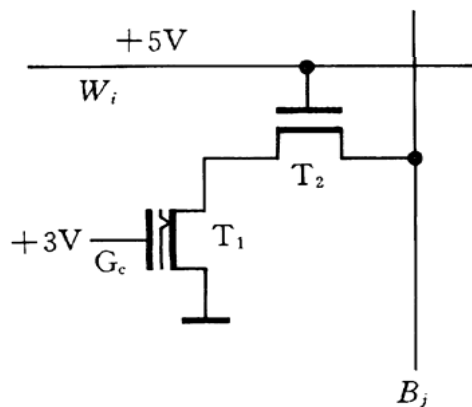
隧道区



$G_f$  与  $D$  之间有小的隧道区， $SiO_2$  厚度  $< 2 \times 10^{-8} m$

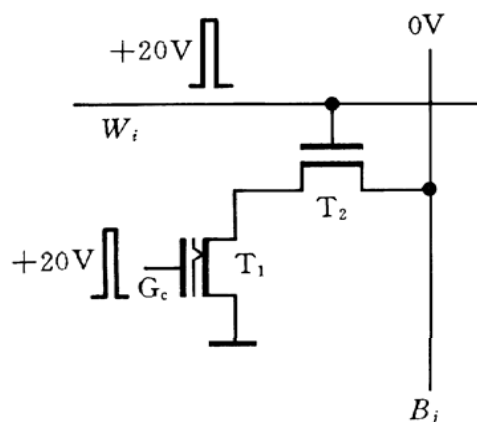
当场强达到一定大小 ( $10^7 V/cm$ ), 电子会穿越隧道

——“隧道效应”



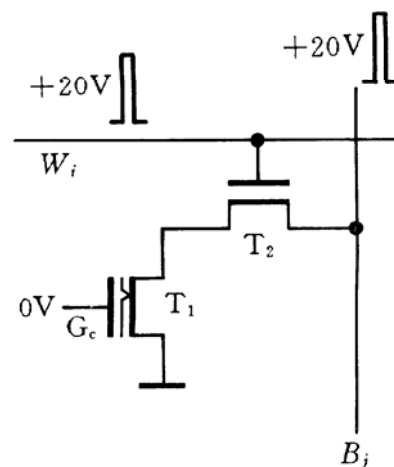
工作原理:

$G_f$  充电荷后, 正常读出  $G_c$  电压 (3V) 下,  $T$  截止  
未充电荷时, 正常读出  $G_c$  电压 (3V) 下,  $T$  导通



充电:  $W_i, G_c$  加 20V, 10ms 的正脉冲,  $B_j$  接 0  
电子隧道区  $\rightarrow G_f$

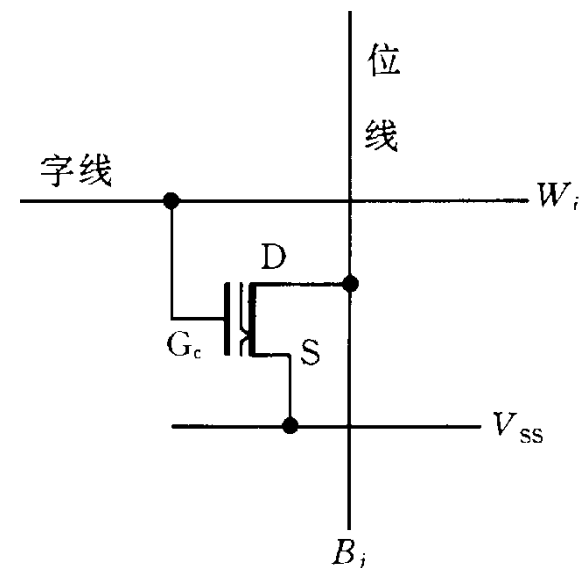
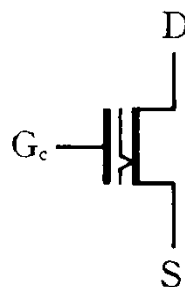
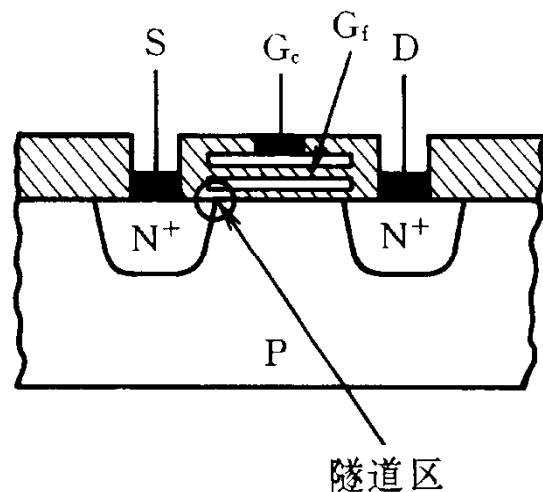
放电:  $G_c$  接 0,  $W_i, B_j$  加正脉冲,  
 $G_f$  上电荷经隧道区放电



### 三、快闪存储器（Flash Memory）

- 吸收了**EPROM**结构简单，编程可靠的优点，又保留了**E<sup>2</sup>PROM**用隧道效应擦除的快捷特性，集成度可以很高。
- 擦除为分区擦除，提高了擦除速度；但写入速度相比之下慢的多，所以不能满足随时写入和读出的功能，仍归为ROM使用。
- 编程写入和擦除不需要使用编程器，其控制电路集成于存储器芯片中，只需5V工作电压即可，使用方便。

为提高集成度，省去T2（选通管）  
改用叠栅MOS管（类似SIMOS管）



$G_f$ 与衬底间 $S_iO_2$ 更薄 ( $10 \sim 15nm$ )

$G_f$ 与S区有极小的重叠区—(隧道区)

$G_f$  放电，利用隧道效应

$G_c = 0, V_{ss}$  加 $12V, 100ns$ 的正脉冲

上电荷经隧道区放电

\*工作原理:

向 $G_f$ 充电利用雪崩注入方式,

$D-S$ 加正压 ( $6V$ ) ,  $V_{ss}$  接0

$G_c$ 加 $12V, 10us$ 的正脉冲

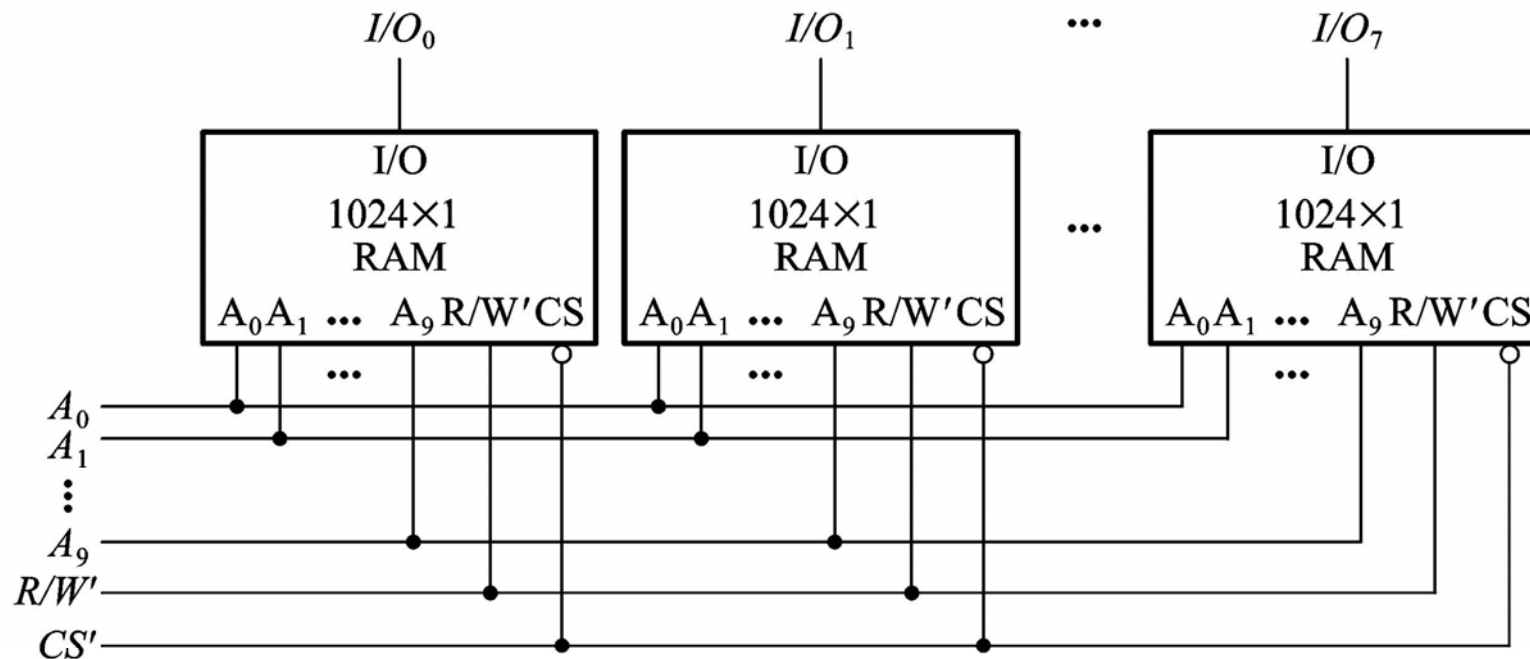
## 5.5.4 存储器容量的扩展

### 1 位扩展方式

适用于每片RAM, ROM字数够用而位数不够时

接法：将各片的地址线、读写线、片选线并联即可

例：用八片1024 x 1位 → 1024 x 8位的RAM

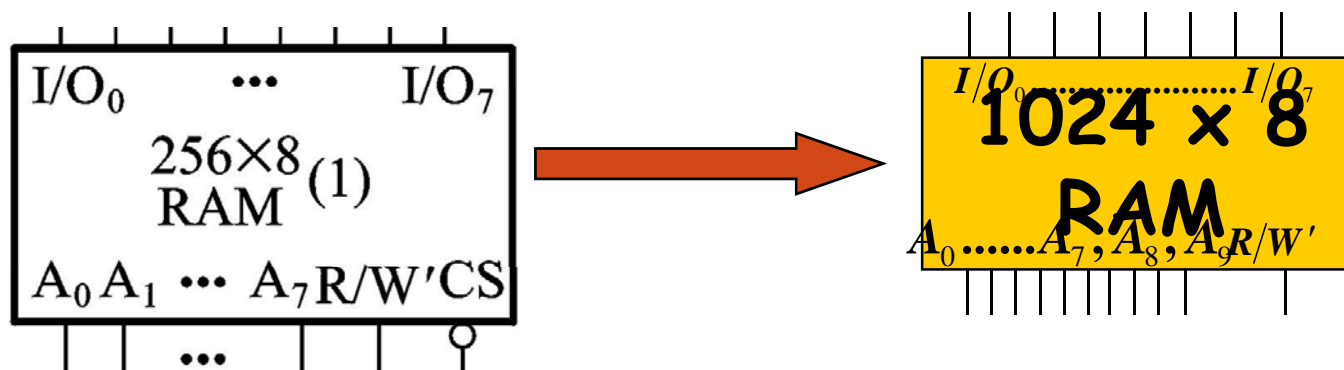




## 2 字扩展方式

适用于每片RAM, ROM位数够用而字数不够时

例：用四片256 x 8位→1024 x 8位 RAM



数据线:  $I/O_0 \sim I/O_7$

地址线:  $A_0 \sim A_7$

读/写信号:  $R/W'$

片选信号:  $CS'$

数据线:  $I/O_0 \sim I/O_7$

地址线:  $A_0 \sim A_7, A_8, A_9$

读/写信号:  $R/W'$

每一片提供256个字，需要256个地址( $A_{0\sim7} : 0 \sim 0\text{---}1 \sim 1$ )

用 $A_9, A_8$ 两位代码区分四片

即将 $A_9 A_8$ 译成 $Y'_0 \sim Y'_3$ , 分别接四片的 $CS'$

| $A_9$ | $A_8$ | $CS'_1$ | $CS'_2$ | $CS'_3$ | $CS'_4$ |
|-------|-------|---------|---------|---------|---------|
| 0     | 0     | 0       | 1       | 1       | 1       |
| 0     | 1     | 1       | 0       | 1       | 1       |
| 1     | 0     | 1       | 1       | 0       | 1       |
| 1     | 1     | 1       | 1       | 1       | 0       |

四片的地址分配就是：

00  $A_7 \sim A_0$ ,

0 ~ 255

01  $A_7 \sim A_0$ ,

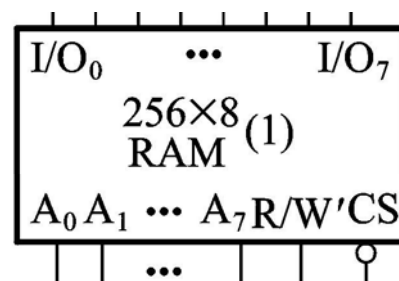
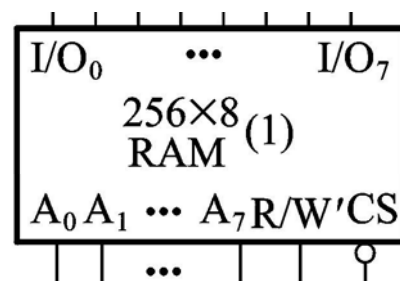
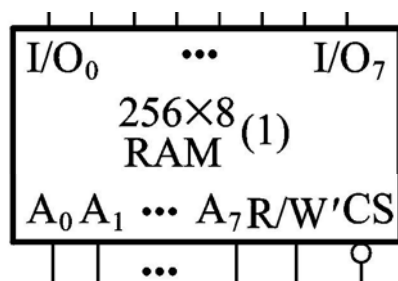
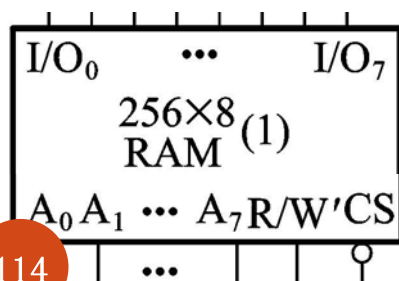
256 ~ 511

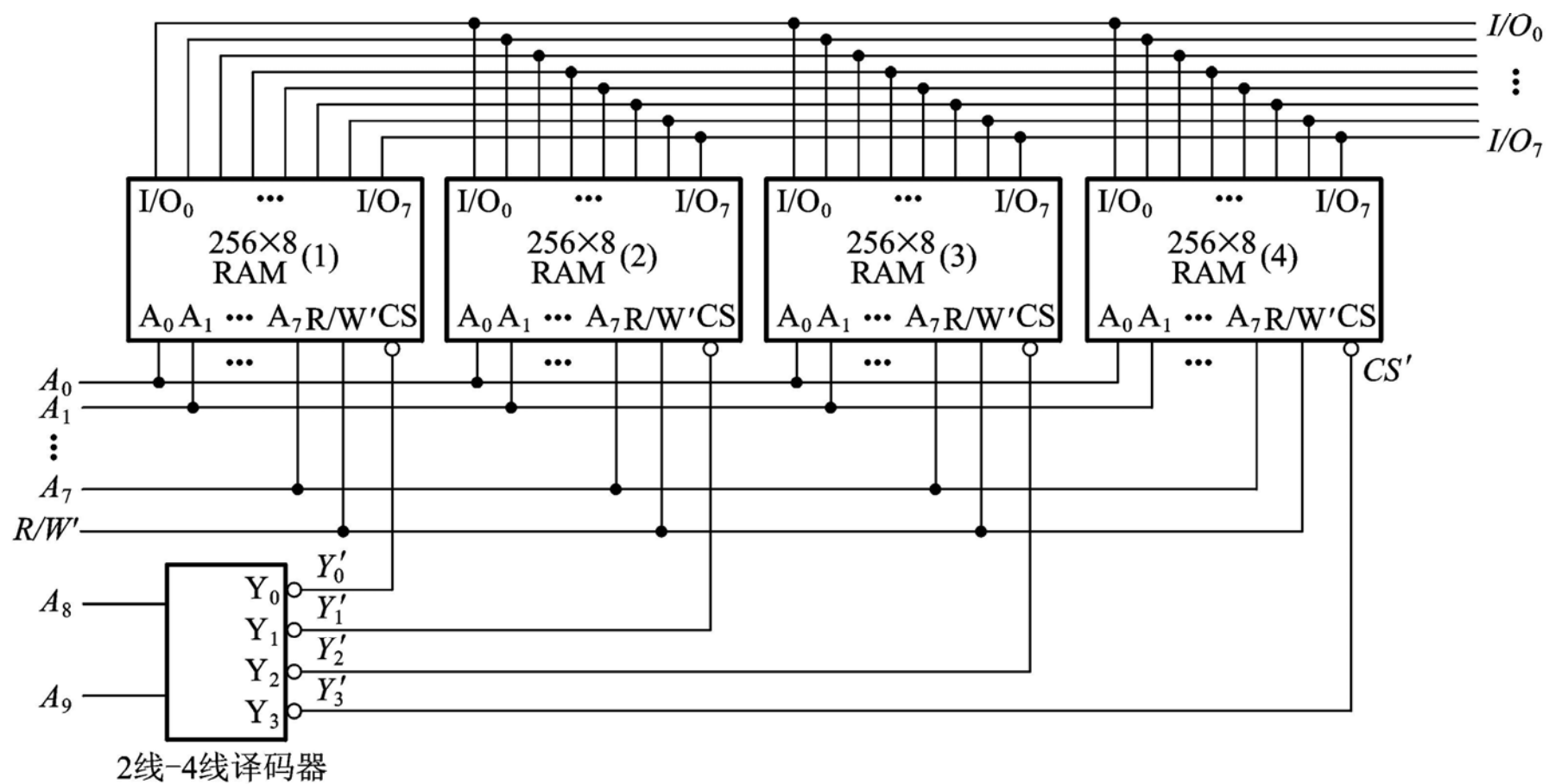
10  $A_7 \sim A_0$ ,

512 ~ 767

11  $A_7 \sim A_0$

768 ~ 1023

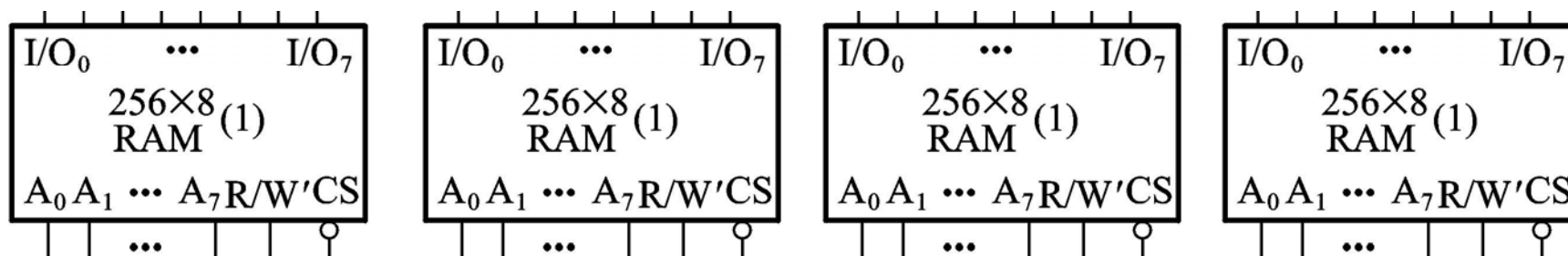


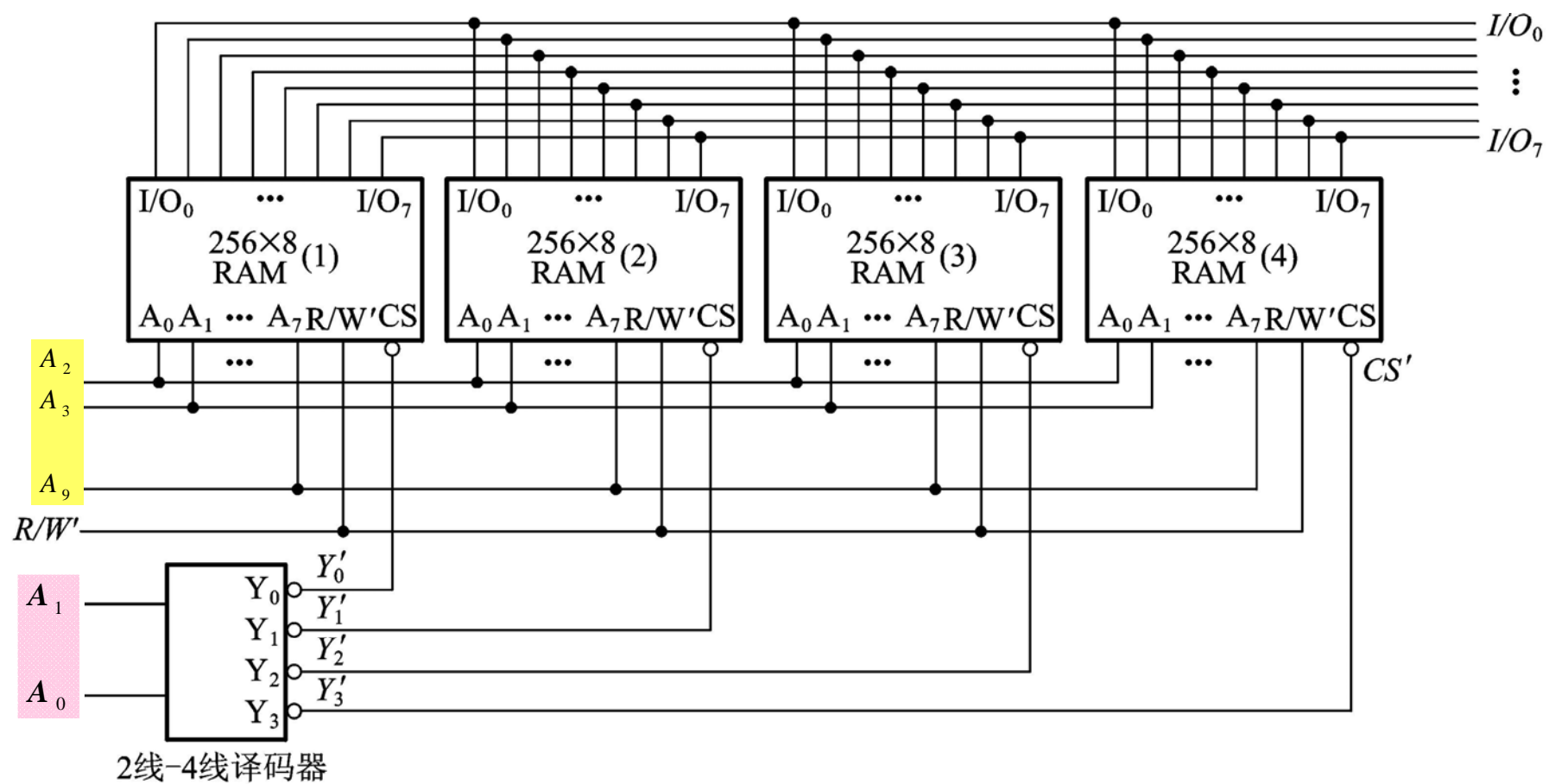


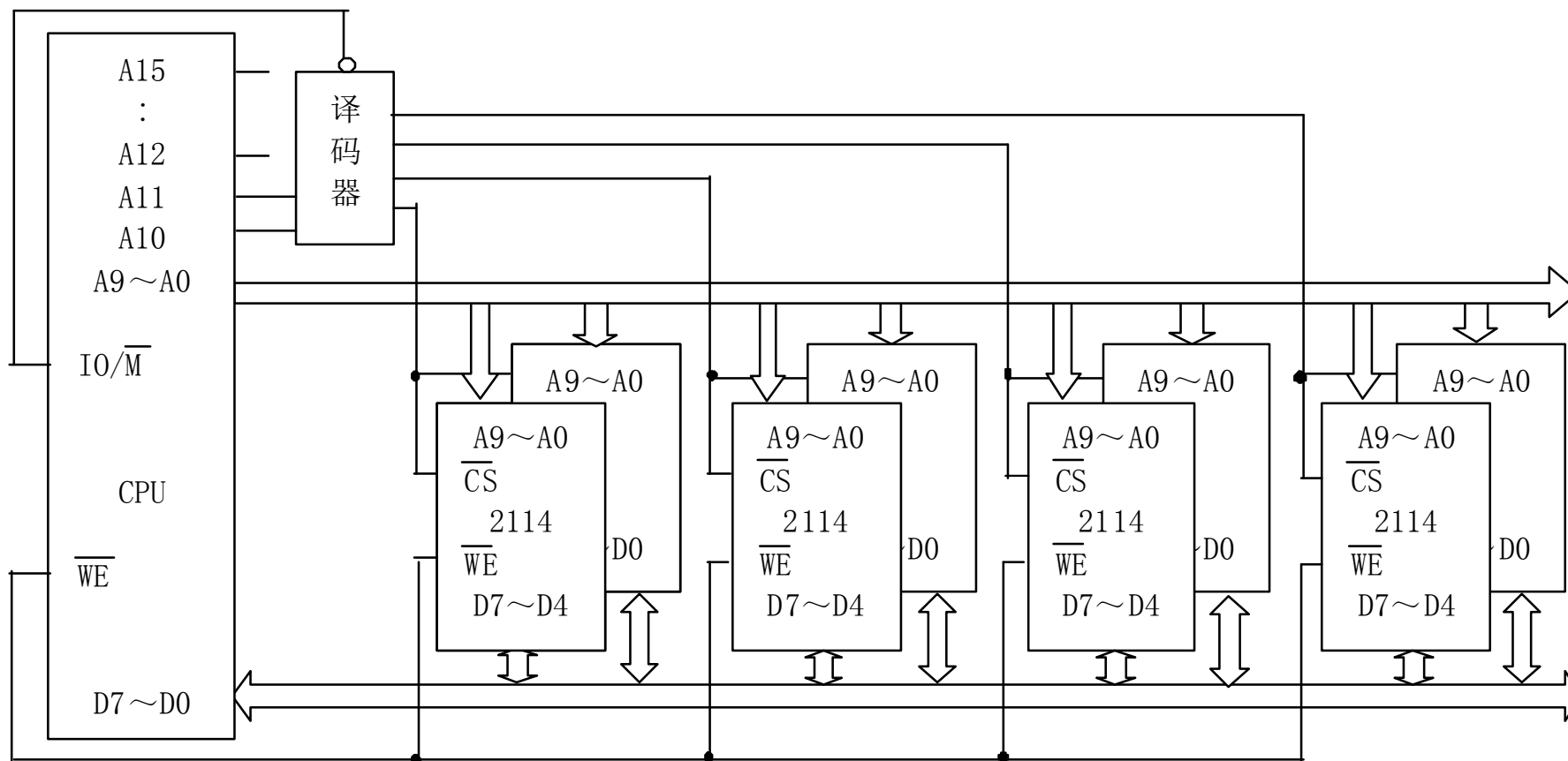
| $A_1$ | $A_0$ | $CS'_1$ | $CS'_2$ | $CS'_3$ | $CS'_4$ |
|-------|-------|---------|---------|---------|---------|
| 0     | 0     | 0       | 1       | 1       | 1       |
| 0     | 1     | 1       | 0       | 1       | 1       |
| 1     | 0     | 1       | 1       | 0       | 1       |
| 1     | 1     | 1       | 1       | 1       | 0       |

四片的地址分配就是：

$A_9 \sim A_2$  00,       $A_9 \sim A_2$  01,       $A_9 \sim A_2$  10,       $A_9 \sim A_2$  11







用2114(1K\*4)芯片组成4K\*8 RAM局部译码结构图



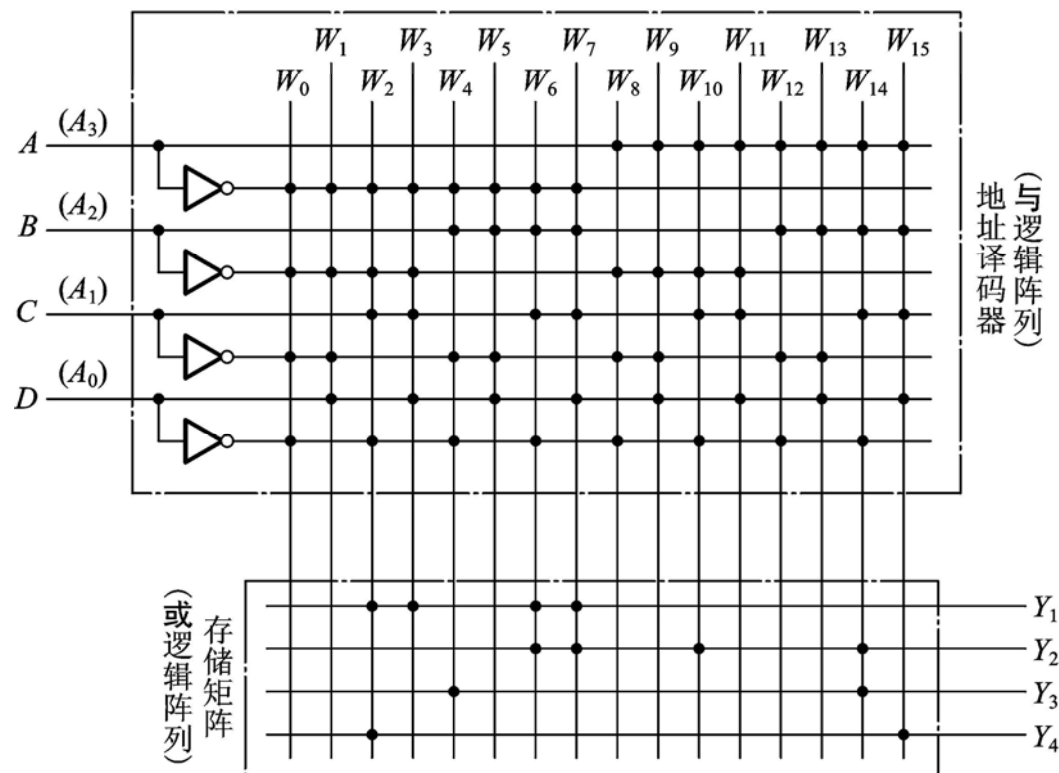
## 二、举例

例5.5.2用ROM产生：

$$\begin{cases} Y_1 = A'BC + A'B'C \\ Y_2 = AB'CD' + BCD' + A'BCD \\ Y_3 = ABCD' + A'BC'D' \\ Y_4 = A'B'CD' + ABCD \end{cases}$$



$$\begin{cases} Y_1 = \sum m(2,3,6,7) \\ Y_2 = \sum m(6,7,10,14) \\ Y_3 = \sum m(4,14) \\ Y_4 = \sum m(2,15) \end{cases}$$





# 例5.5.1

# 八段字符显示译码器

