



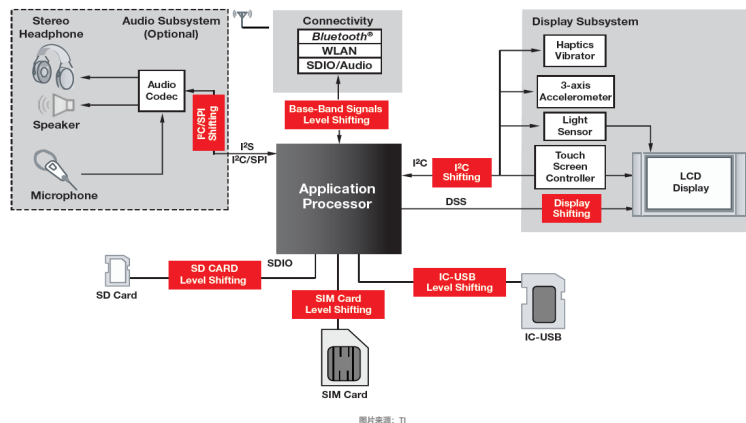
# 数字逻辑电路实验



## 可编程数字系统设计

### 简易计算器

## 复杂数字系统



## 常用数字系统设计方法

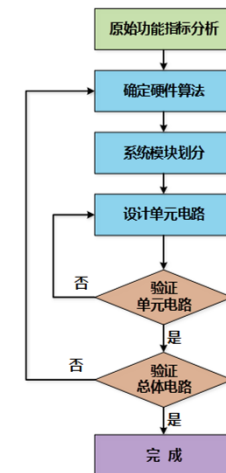


### 三种设计方法

- 自顶向下法
- 自底向上法
- 自顶向下为主，自底向上为辅的方法

### 自顶向下法

- 把数字系统从逻辑上划分为规模较小、功能较简单且相对独立的子系统
- 确立它们之间的相互关系
- 不断划分，直到划分得到的单元可以映射到具体硬件
- 用具体的硬件实现这些子系统
- 连接所有子系统，构成完整系统



## 设计要求

数字逻辑电路实验



- 设计一个简易计算器，它具有下列运算功能 (基础部分 **70%**)
  - 一位十进制数的相加、相减;
  - 数值和运算符用4×4键盘输入，其中A为“+”，B为“-”，E为“=”
  - 数值用数码管以十进制形式显示
  - 步骤
    - 初始时显示全“0”
    - 先输入被加数
    - 再输入运算符，按下运算符键后，数码管显示全“0”，
    - 再输入加数
    - 按下“=”，数码管显示运算结果
- 扩展部分 (**30%**)
  - 一位十进制数的相乘，必须采用串行乘法实现;
  - 其他自选功能

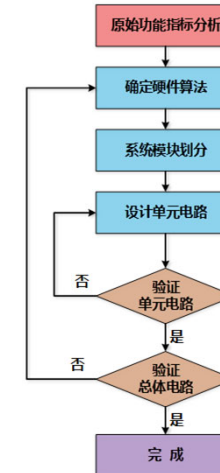
东南大学电工电子实验中心

## 原始功能指标分析

数字逻辑电路实验



- 准确描述系统的逻辑、操作流程和输入/输出关系



东南大学电工电子实验中心

## 分析原始系统功能要求 (基础)

数字逻辑电路实验



- 一位十进制数的相加 → **BCD加法器**
- 一位十进制数的相减 → **BCD减法器**
- 一位十进制数的相乘 → **串行乘法器**
- 输入
  - 4×4键盘 (实验室提供)
  - 0~9数字键
  - A、B、C、E功能键分别对应“+”、“-”、“\*”、“=”
- 输出
  - 2位数码管 (**考虑进位**)

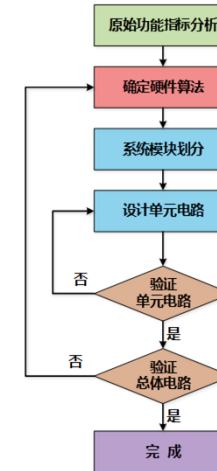
东南大学电工电子实验中心

## 确定硬件算法

数字逻辑电路实验



- 确定实现逻辑功能所遵循的原理和方法
- 最困难，也是最具创造性的环节



东南大学电工电子实验中心

## 确定硬件算法-减法实现

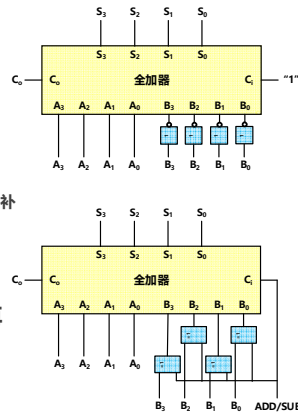
## 数字逻辑电路实验

## ➤ 设计二进制原码减法电路

- 设计1位全减器
- 4个1位全减器组成4位全减器

## ➤ 将减数求补与被减数相加

- 被减数和减数都为不带符号正数
- $[A-B]_{\text{补}} = [A]_{\text{补}} + [-B]_{\text{补}} = [A]_{\text{原}} + [-B]_{\text{补}}$
- 若  $A \geq B$  结果为正，最高位有进位， $[A-B]_{\text{补}}$  输出为  $[A-B]_{\text{原}}$
- 若  $A < B$  结果为负，最高位无进位， $[A-B]_{\text{补}}$  为负数的补码，对  $[A-B]_{\text{补}}$  再求一次补即为  $[A-B]_{\text{原}}$



东南大学电工电子实验中心

## 确定硬件算法-减法实现 (差可为负)

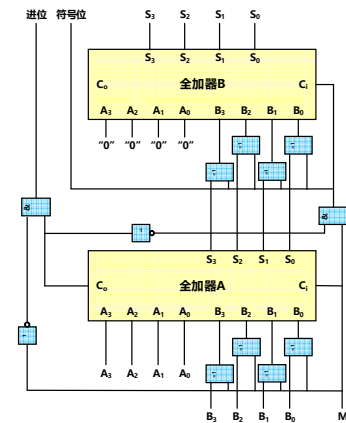
## 数字逻辑电路实验

## ➤ M=0, 加法操作

- 和恒为正，符号位为0
- 进位为全加器A的进位

## ➤ M=1, 减法操作

- 全加器A有进位
  - 结果为正
  - 符号位为0
- 全加器A无进位
  - 结果为负
  - 符号位为1
  - 输出取补



东南大学电工电子实验中心

## 确定硬件算法-二进制码转BCD码

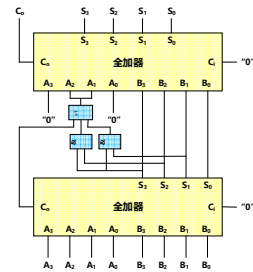
## 数字逻辑电路实验

十进制数	二进制码				BCD码			
	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	D <sub>10</sub>	D <sub>9</sub>	D <sub>8</sub>	D <sub>7</sub>
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	0	0	0
9	1	0	0	1	1	0	0	1
10	1	0	1	0	1	0	0	0
11	1	0	1	1	1	0	0	1
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	1	0	0
15	1	1	1	1	1	1	0	1

需校正

需校正，二进制码大于9，则+6

$$D_{10} = C_0 + B_3B_2 + B_3B_1$$



东南大学电工电子实验中心

## 确定硬件算法-二进制码转BCD码

## 数字逻辑电路实验

十进制数	二进制码				BCD码			
	B <sub>3</sub>	B <sub>2</sub>	B <sub>1</sub>	B <sub>0</sub>	D <sub>10</sub>	D <sub>9</sub>	D <sub>8</sub>	D <sub>7</sub>
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	0	0	0
9	1	0	0	1	1	0	0	1
10	1	0	1	0	1	0	0	0
11	1	0	1	1	1	0	0	1
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	1	0	0
15	1	1	1	1	1	1	0	1
16	1	0	0	0	0	1	1	0
17	1	0	0	1	1	1	1	1
18	1	0	1	0	1	1	0	0

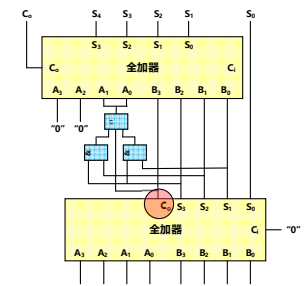
需校正

右移1位，大于等于5则+3

$$D_{10} = C_0 + B_3B_2 + B_3B_1$$

补码减法

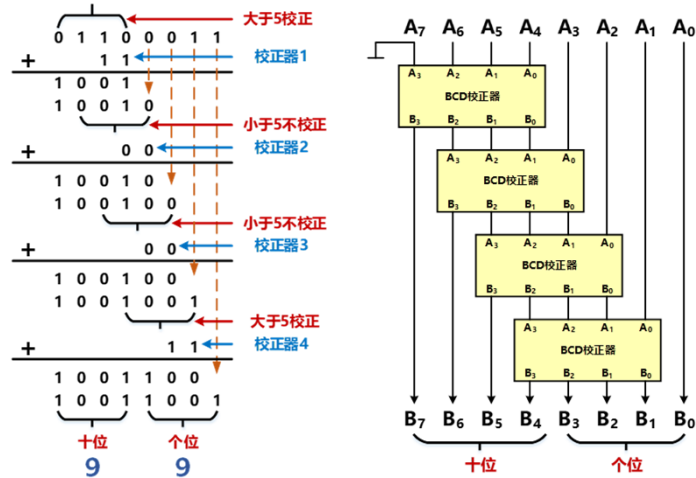
进位不要参与校正



东南大学电工电子实验中心

## 2位BCD码校正

## 数字逻辑电路实验

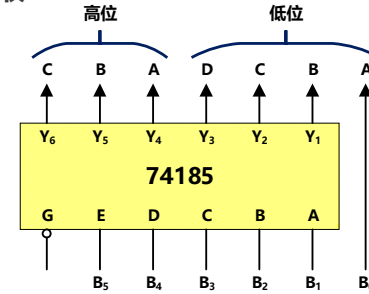


东南大学电工电子实验中心

## 二进制码转BCD码-74185

## 数字逻辑电路实验

- 二进制码转BCD码无法实现时，可用74185代替，以实现电路功能验收



6位二进制码转BCD码

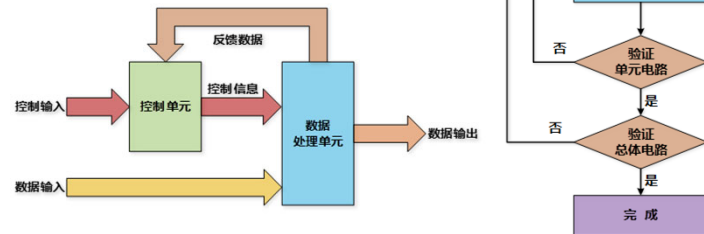
使能端G低电平有效  
Y<sub>6</sub>, Y<sub>7</sub>管脚输出恒为“1”

东南大学电工电子实验中心

## 系统模块划分

## 数字逻辑电路实验

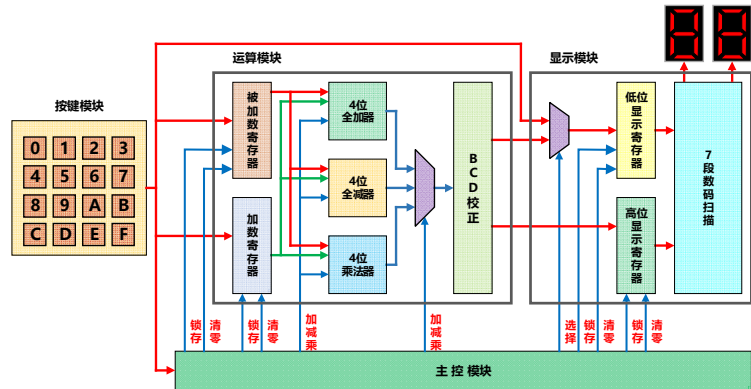
- 将系统划分为**控制单元**及**数据处理单元**
- 数据处理单元负责执行数据处理的操作
- 控制单元决定这些操作执行的顺序
- 数据处理单元在控制信号作用下对输入数据进行处理，并将相关信息反馈给控制单元
- 控制单元根据外部控制输入和数据处理单元反馈信息，决定数据处理单元数据操作顺序



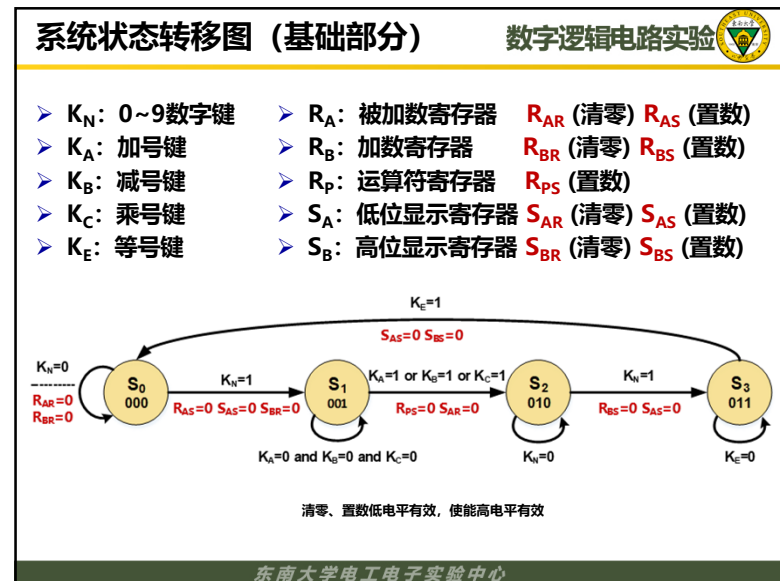
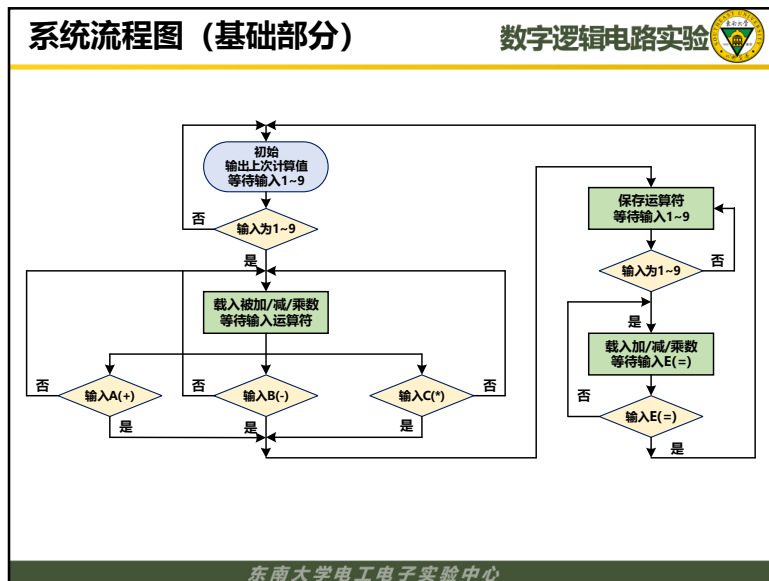
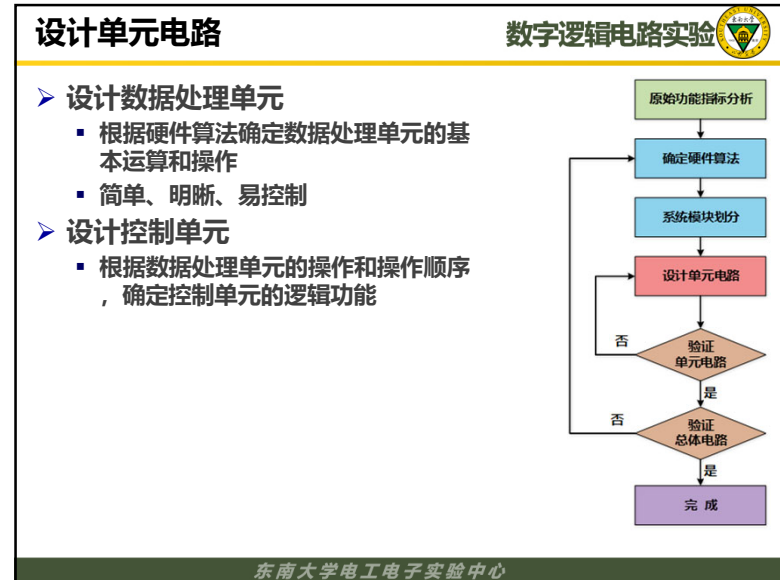
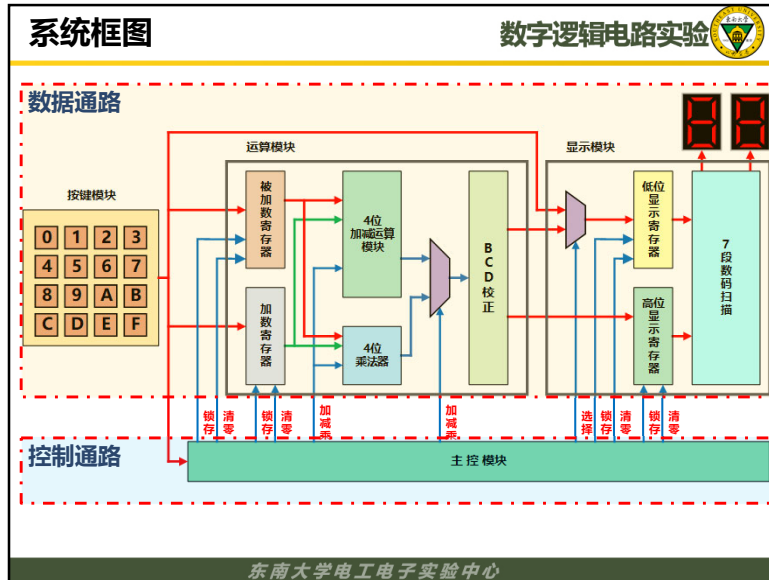
东南大学电工电子实验中心

## 系统框图

## 数字逻辑电路实验



东南大学电工电子实验中心



系统状态转移表 (基础部分)

数字逻辑电路实验



状态		输入					二进制编码				输出																			
		条件 (按键)					状态计数器				高位显示				低位显示				运算				加数				被加数			
		等号	乘法	减法	加法	数字	现态	次态	计数	置数	置数	清零	置数	清零	置数	清零	置数	清零	置数	清零	置数	清零	置数	清零	置数	清零				
现态	次态	K <sub>E</sub>	K <sub>C</sub>	K <sub>B</sub>	K <sub>A</sub>	K <sub>N</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	EN	LD	S <sub>85</sub>	S <sub>84</sub>	S <sub>83</sub>	S <sub>82</sub>	R <sub>85</sub>	R <sub>84</sub>	R <sub>83</sub>	R <sub>82</sub>	R <sub>85</sub>	R <sub>84</sub>	R <sub>83</sub>	R <sub>82</sub>	R <sub>85</sub>	R <sub>84</sub>	R <sub>83</sub>	R <sub>82</sub>				
S0	S0	X	X	X	X	0	000	000	0	1	1	1	1	1	1	1	1	1	0	1	0									
	S1	0	0	0	0	1		001	1	1	1	0	0	1	1	1	1	1	0	1										
S1	S1	X	0	0	0	X	001	001	0	1	1	1	1	1	1	1	1	1	1	1										
		0	0	0	1	0			1	1	1	1	1	0	0	1	1	1	1	1										
	S2	0	0	1	0	0		010	1	1	1	1	1	0	0	1	1	1	1	1										
		0	1	0	0	0			1	1	1	1	1	0	0	1	1	1	1	1										
S2	S2	X	X	X	X	0	010	010	0	1	1	1	1	1	1	1	1	1	1	1										
	S3	0	0	0	0	1		011	1	1	1	1	0	1	1	0	1	1	1	1										
S3	S3	0	X	X	X	X	011	011	0	1	1	1	1	1	1	1	1	1	1	1										
	S0	1	0	0	0	0		000	1	0	0	1	0	1	1	1	1	1	1	1										

东南大学电工电子实验中心

设计数据处理单元

数字逻辑电路实验



- 键盘输入 (实验中心提供)
- 数码显示 (实验中心提供)
- 实现数据锁存 (带清零和置数功能的寄存器, 如74161)
- 设计BCD加减器 (实验二已完成)
- 设计串行乘法器电路
- 实现和、差、积选择输出 (数选器) 可选总线MUX
- 实现低位数码管键码/和差积选择输出显示 (数选器)



东南大学电工电子实验中心

子系统

数字逻辑电路实验



- 数据处理单元通常又可分成多个子系统
- 每个子系统实现一个指定的逻辑功能
- 每个子系统又可划分为控制单元及数据处理单元

东南大学电工电子实验中心

二进制乘法器 (串行移位相加)

数字逻辑电路实验



①	1 1 0 1	← 加载被乘数到加法器
	x 1 0 0 1	← 加载乘数到移位寄存器
	0 0 0 0	← 复位部分积寄存器
	+ 1 1 0 1	← 被乘数与B <sub>0</sub> 相乘部分积
②	1 1 0 1	← 初始部分积之和
	0 1 1 0 1	← 部分积右移一位
	+ 0 0 0 0	← 被乘数与B <sub>1</sub> 相乘部分积
	0 1 1 0 1	← 两个部分积之和
③	0 0 1 1 0 1	← 部分积右移一位
	+ 0 0 0 0	← 被乘数与B <sub>2</sub> 相乘部分积
	0 0 0 1 1 0 1	← 前面部分积之和
	0 0 0 1 1 0 1	← 部分积右移一位
④	+ 1 1 0 1	← 被乘数与B <sub>3</sub> 相乘部分积
	0 1 1 1 0 1 0 1	← 前面部分积之和
	0 1 1 1 0 1 0 1	← 部分积右移一位

需要专门设计子电路模块来实现

东南大学电工电子实验中心

## 串行乘法器

数字逻辑电路实验

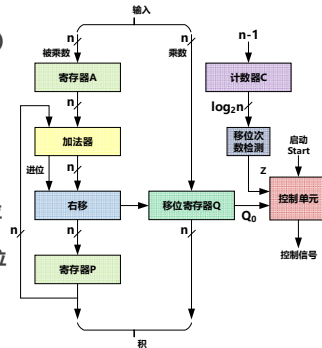
### 启动计算

- 加载被乘数到寄存器A (和基础部分共用)
- 加载乘数到移位寄存器Q
- 计数器C初始化为0
- 部分积寄存器P初始化为0;

### 求部分积

- 判断寄存器Q最低位 $Q_0$ 的值
  - “1”：部分积与A相加后右移一位 (进位移入最高位)
  - “0”：加法器输出直接右移一位 (最高位为0)
- P最低位移入Q的最高位，其余保存P中
- 计数器C+1。

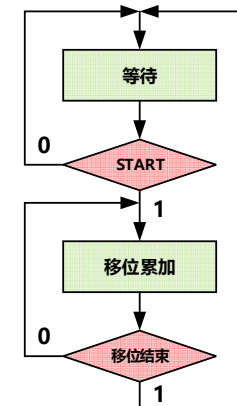
- 对乘数的每一位求部分积，直到计数器C=3，结束



东南大学电工电子实验中心

## 串行乘法器流程图

数字逻辑电路实验

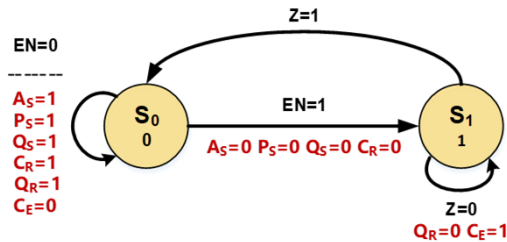


东南大学电工电子实验中心

## 串行乘法器状态转移图

数字逻辑电路实验

- EN: 启动
- Z: 计数到3
- $Q_0$ : 乘数最低位
- A: 被乘数寄存器  $A_S$  (置数) 和基础部分共用
- P: 部分积寄存器  $P_S$  (置数)
- Q: 移位寄存器  $Q_R$  (右移)  $Q_S$  (置数)
- C: 移位计数器  $C_R$  (清零)  $C_E$  (计数)

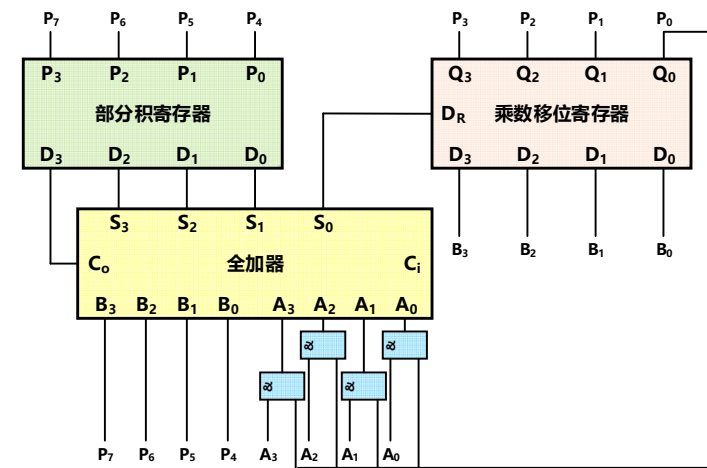


清零、置数低电平有效，使能高电平有效

东南大学电工电子实验中心

## 移位相加

数字逻辑电路实验



东南大学电工电子实验中心

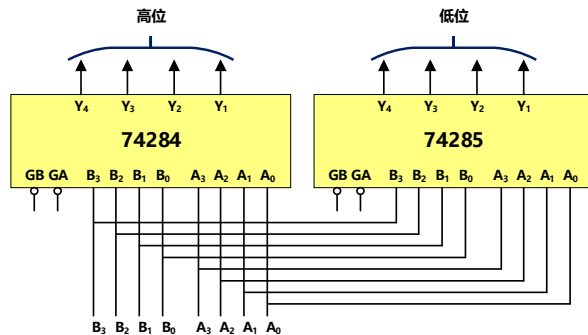


## 乘法模块74284和74285

数字逻辑电路实验



- 串行乘法器无法实现时，可用74284和74285代替，以实现电路功能验收



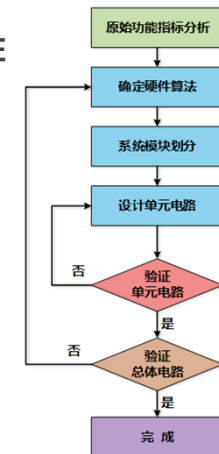
东南大学电工电子实验中心

## 验证单元电路

数字逻辑电路实验



- 对每一个单元电路单独进行功能验证
- 将几个小单元组成大一些的单元进行验证



东南大学电工电子实验中心

## 验证单元电路

数字逻辑电路实验



- 加法器模块
  - 验证全加器功能
  - 验证二进制转BCD功能
  - 验证求补功能
  - 验证减法功能
- 控制器模块
  - 有输入信号表示当前键值是数值、“加”、“减”还是“等号”
  - 按顺序输入“数值”→“加/减”→“数值”→“等号”，检查各个寄存器控制信号
- 键盘模块
  - 仿真时重点检查是否能输出表示数值、“加”、“减”或“等号”的信号，且信号长度在一个时钟周期以内

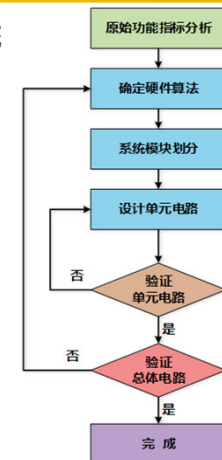
东南大学电工电子实验中心

## 验证总体电路

数字逻辑电路实验



- 将各单元电路连接起来，完成整个系统的总体设计验证



东南大学电工电子实验中心



## 验证总体电路

数字逻辑电路实验



## ➤ 整体调试

- 为了便于仿真**先不接入按键模块和数码扫描模块**
- 将“键值”、“加”、“减”、“等号”这些信号用input端口代替
- 将加法单元输出的2组BCD码作为输出端口
- 仿真正确后再接入按键模块和数码扫描模块，配置管脚，下载验证
- 键盘行线和列线不要忘了加上拉

## ➤ 时钟

- 主时钟、显示扫描时钟
- 主时钟和显示扫描时钟可以合为一个 (10kHz)
- 所有时钟最好由一个高频时钟分配产生

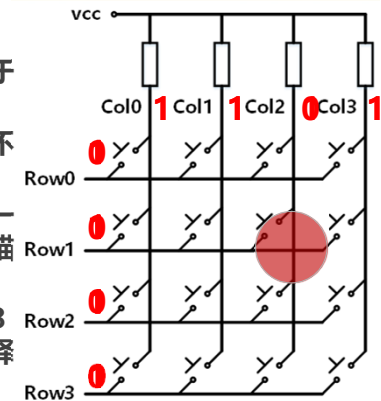
东南大学电工电子实验中心

## 行列式 (矩阵) 键盘

数字逻辑电路实验



- 对行线轮流加低电平信号
- 无键按下时，列线的值等于“1111”
- 有按键按下，列线的值将不等于“1111”
- 检测到这个变化后，输出一个控制信号，使行线的扫描暂停
- 将行线和列线共同组成的8位码送入到译码电路进行译码，即可获得键值



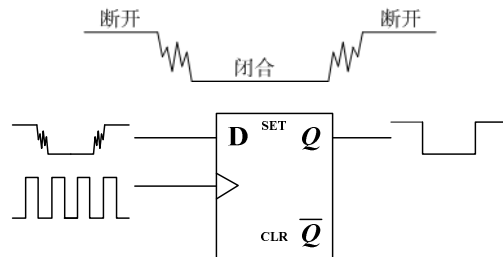
东南大学电工电子实验中心

## 按键消抖

数字逻辑电路实验



- 因触点的弹性作用，键闭合和断开时会出现一系列尖脉冲
- 人按键的时间不会低于0.1S，抖动产生的脉冲小于5mS
- 200Hz时钟频率就可使抖动的影晌被限制在一个时钟周期内，从而准确识别两次按键动作



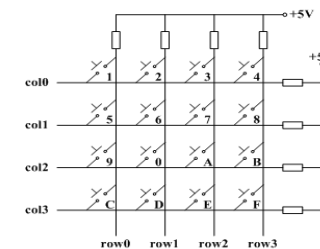
东南大学电工电子实验中心

## 键盘模块引脚加上拉电阻

数字逻辑电路实验



Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Weak Pull-Up Resistor
CLK	Input	PIN_E1	1	B1_N0	2.5V (default)		
COL[3]	Input	PIN_B14	7	B7_N0	2.5V (default)		On
COL[2]	Input	PIN_A14	7	B7_N0	2.5V (default)		On
COL[1]	Input	PIN_B13	7	B7_N0	2.5V (default)		On
COL[0]	Input	PIN_A13	7	B7_N0	2.5V (default)		On
ROW[3]	Output	PIN_C16	6	B6_N0	2.5V (default)		On
ROW[2]	Output	PIN_C15	6	B6_N0	2.5V (default)		On
ROW[1]	Output	PIN_B16	6	B6_N0	2.5V (default)		On
ROW[0]	Output	PIN_A15	7	B7_N0	2.5V (default)		On



东南大学电工电子实验中心

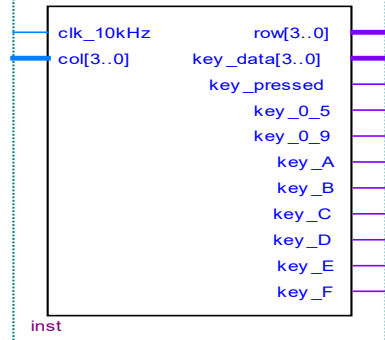
## 键盘模块

数字逻辑电路实验



Parameter	Value	Type
ROTATE	true	Enumerated
LAYOUT	1	Signed Integer

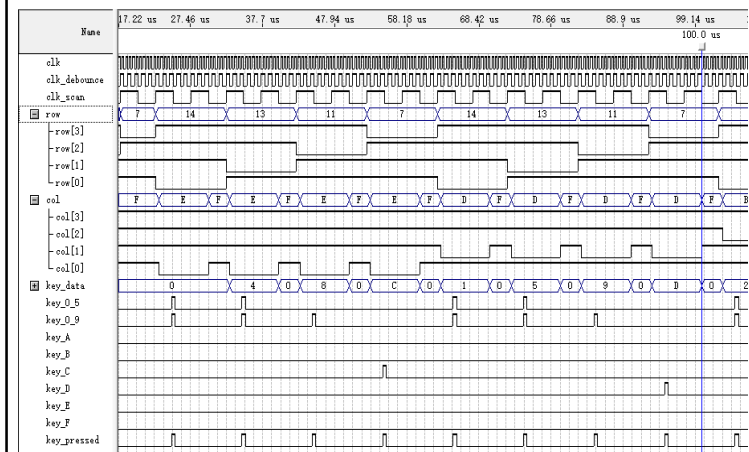
key board



东南大学电工电子实验中心

## 键盘模块

数字逻辑电路实验



东南大学电工电子实验中心

## 实验要求

数字逻辑电路实验



- 层次化设计
- 模块仿真
- 整体仿真
- 下载验证

东南大学电工电子实验中心

## 验收要求

数字逻辑电路实验



- 实物验收
  - 做2组加法，和小于10和大于10各一个
  - 做2组减法，差小于0和大于0各一个
  - 做2组乘法，积小于10和大于10各一个
- 现场提问
  - 讲解顶层模块构成
  - 演示顶层仿真结果
  - 根据老师要求讲解指定模块具体电路
  - 根据老师要求演示指定模块仿真结果

东南大学电工电子实验中心