

东南大学电工电子实验中心

实 验 报 告

课程名称： 数字电路实验

第 2 次实验

实验名称： 组合逻辑电路

院（系）： 电气工程学院 专 业： 电气工程及其自动化

姓 名： 王皓冬 学 号： 16022627

实 验 室： 401 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

一、实验目的

- 1、了解可编程数字系统设计的流程
- 2、掌握 Quartus 软件的使用方法
- 3、掌握自底向上数字电路设计方法
- 4、掌握竞争和冒险的基本概念和电路时延分析方法

二、实验原理

1. 输入信号与输出信号编码

输入信号

半加器：用 A、B 作为输入的两个一位二进制数。

全加器：用 A、B 作为输入的两个一位二进制数， C_{i-1} 代表来自低位的进位。

四位全加器：用 A_0-A_3 、 B_0-B_3 、 C_{i-1} 作为输入。 $(A_3 A_2 A_1 A_0)_2$ 、 $(B_3 B_2 B_1 B_0)_2$ 代表两个相加的四位二进制数， C_{i-1} 代表来自低位的进位。

四位全减器：用 A_0-A_3 、 B_0-B_3 、 C_{i-1} 作为输入。 $(A_3 A_2 A_1 A_0)_2$ 代表被减四位二进制数， $(B_3 B_2 B_1 B_0)_2$ 代表四位二进制减数， C_{i-1} 输入为“1”，代表补码运算。

BCD 加减器：用 A_0-A_3 、 B_0-B_3 、 C_{i-1} 、AS 作为输入。 $(A_3 A_2 A_1 A_0)_2$ 代表被加或被减的四位二进制数， $(B_3 B_2 B_1 B_0)_2$ 代表四位二进制加数或减数， C_{i-1} 代表来自低位的进位或借位。AS_i 用以选择加减模式，AS=0 时代代表加法器，AS=1 时代代表减法器。

输出信号

半加器：用 S、C 作为输出信号。S 代表相加得到的低位结果，C 代表相加得到的进位， $(CS)_2$ 组成二进制数相加得到的二位二进制数。

全加器：用 SI、CI 作为输出信号。SI 代表相加得到的低位结果，CI 代表相加得到的进位， $(CI SI)_2$ 组成二进制数相加得到的二位二进制数。

四位全加器：用 S_0-S_3 、 C_o 作为输出。 $(S_3 S_2 S_1 S_0)_2$ 代表相加得到的四位二进制数， C_o 代表向高位的进位。

四位全减器：用 S_0-S_4 作为输出。 $(S_4 S_3 S_2 S_1 S_0)_2$ 代表相减得到的四位二进制数补码，其中 S_4 是符号位，“1”代表负数，“0”代表正数。

BCD 加减器：用 S_0-S_4 、 A_{so} 、 C_o 作为输出。 $(S_3 S_2 S_1 S_0)_2$ 代表相加或相减得到的一位 BCD 数， S_4 在加法功能时作为 BCD 码数值的十位，减法功能时代代表符号位。 C_o 代表向高位的进位或借位。 A_{so} 代表用于串接的加减法功能选择的输出，直接接到输入 AS_i 上，“1”代表减法功能，“0”代表加法功能。

1. 4 位全加器

- 1) 观察并记录实验箱上的 FPGA 型号，新建一个 Project，器件选用实验箱上的 FPGA；
- 2) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；

1. 列出真值表

表 1 半加器

输入		输出	
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

2. 逻辑化简

$$S = A \oplus B \quad (1)$$

$$C = A \cdot B \quad (2)$$

3. 逻辑电路图

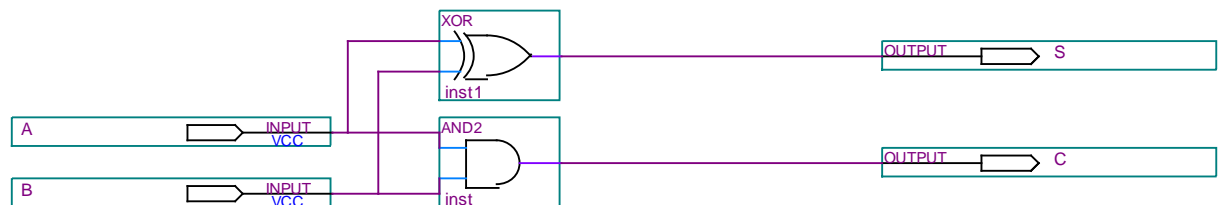
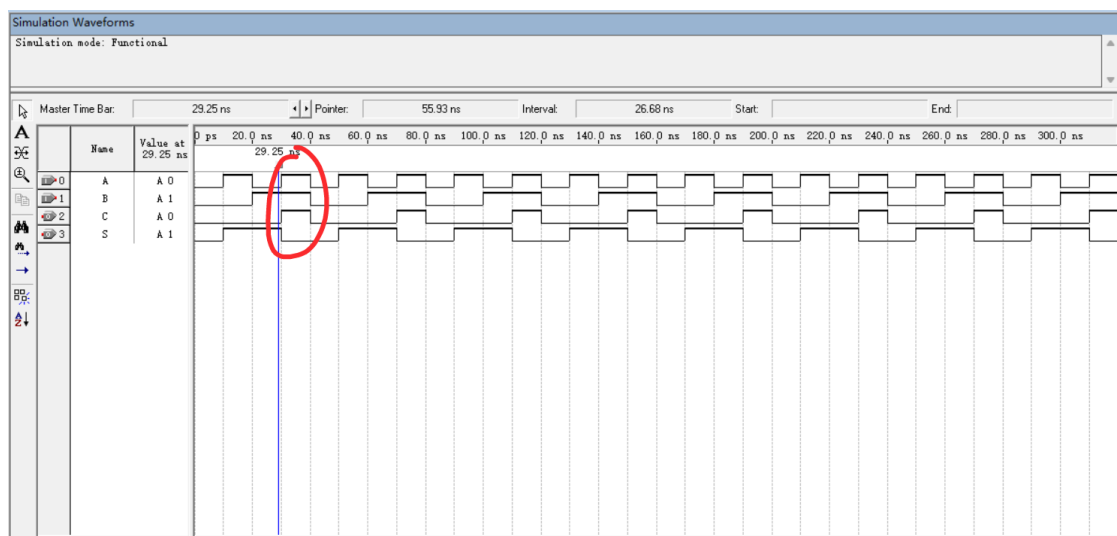


图 1 半加器

4. 功能仿真



如图，A=B=1 时，输出为 C=1，S=0，对应(10)₂，功能正确。

3) 点击“File” “Create/ Update” “Create Symbol File for Current File” 菜单项，将 1 位半加器封装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；

1. 列出真值表

2. 表 2 全加器

输入			输出	
Ai	Bi	Ci-1	CI	SI
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

2. 逻辑化简

$$SI = (A_i \oplus B_i) \oplus C_i \quad (3)$$

$$CI = (A_i \cdot B_i) \oplus (A_i \oplus B_i \cdot C_i) \quad (4)$$

3. 逻辑电路图

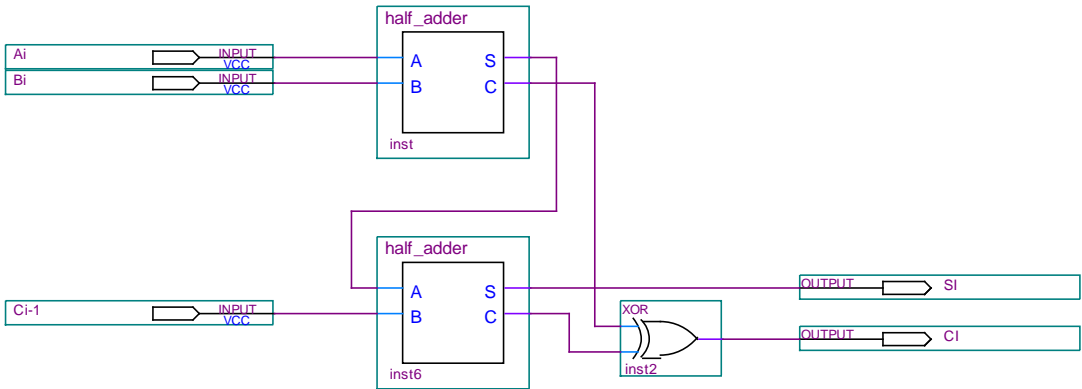
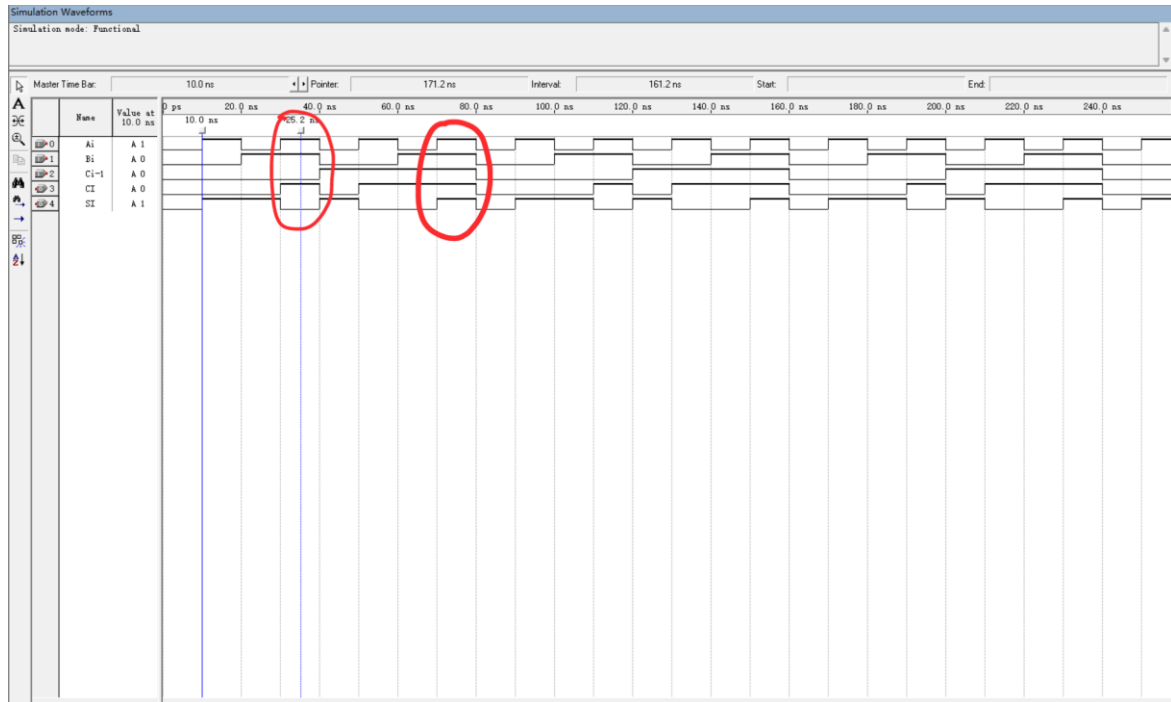


图 2 全加器

4. 功能仿真



如图， $A=B=1$ 、 $Ci-1=0$ 时，数值输出 $SI=0$ ，进位输出 $CI=1$ ，功能正确；

$A=B=1$ 、 $Ci-1=1$ 时，数值输出 $SI=1$ ，进位输出 $CI=1$ ，功能正确。

4) (选做) 对 1 位全加器，进行时序仿真，并做时延分析，要求：

a) 测量 A 第 1~4 个上升沿到对应的 S 输出之间的延迟时间；

Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	Ai	CI	5.085			5.140
2	Ai	SI	5.102	5.050	5.242	5.124
3	Bi	CI	5.097			5.152
4	Bi	SI	5.115	5.059	5.242	5.138
5	Ci-1	CI	8.860			8.985
6	Ci-1	SI	8.857	8.759	9.094	8.989

0	0	0	1	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	1	1	0	0	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	0	0	0	1	1	0
...

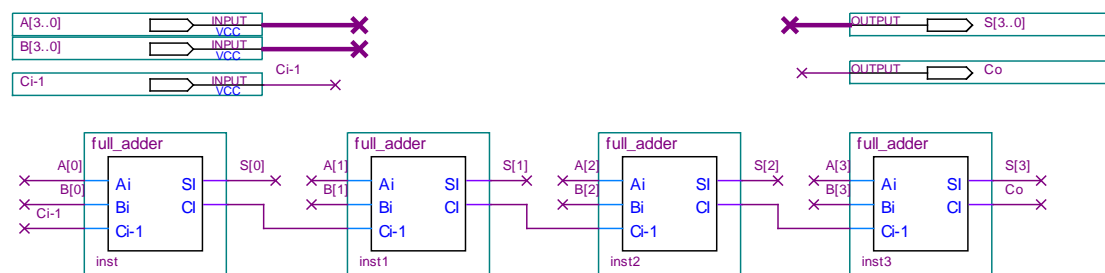
2. 逻辑化简

四位全加器是由一位全加器串联而成的，故串行逻辑函数：

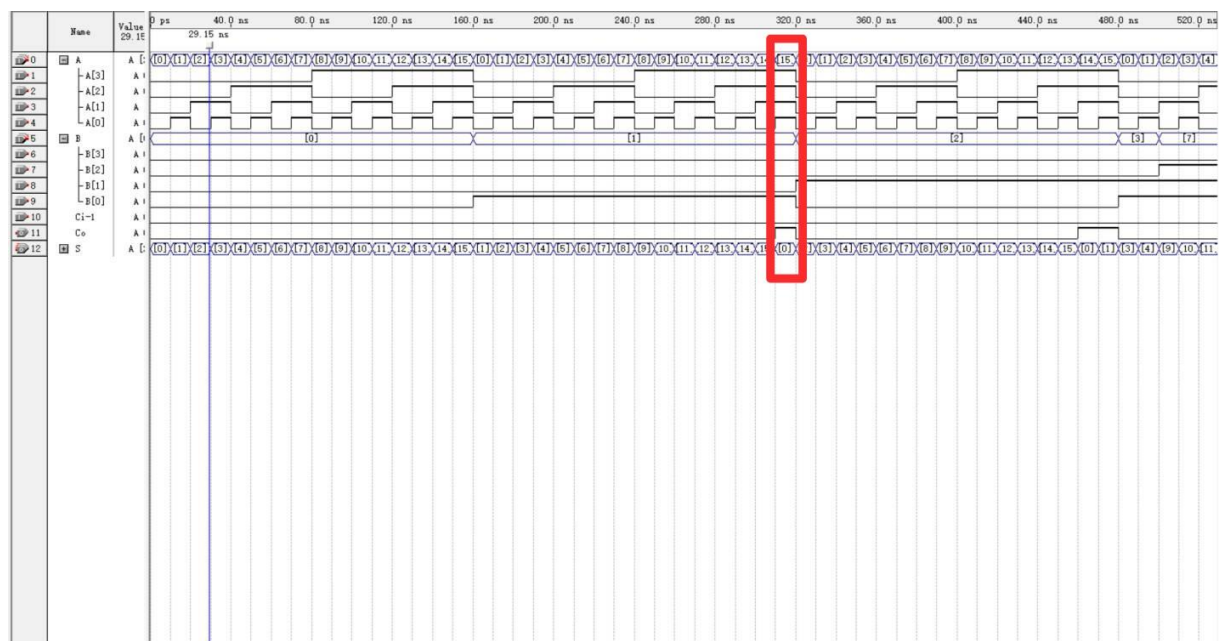
$$C_i = C_o$$

每一个全加器内部的逻辑函数即一位全加器的逻辑函数。

3. 逻辑电路图



4. 功能仿真



如图， $(A_3 A_2 A_1 A_0)_2 = 15$ 、 $(B_3 B_2 B_1 B_0)_2 = 1$ 、 $C_{i-1} = 0$ 时，进位输出 $C_o = 1$ ，数值输出 $S = 0$ ，即 $15 + 1 = 16$ ，功能正确。

5. 电路综合结果

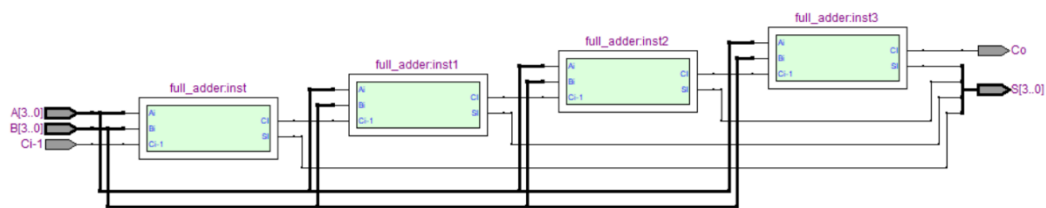


图 3 电路综合结果

6) 适配编译, 用“Tools”“Netlist Viewers”“Technology Map Viewer”查看电路 Map 结果; 用“Tools”“Chip Planner”查看器件适配结果;

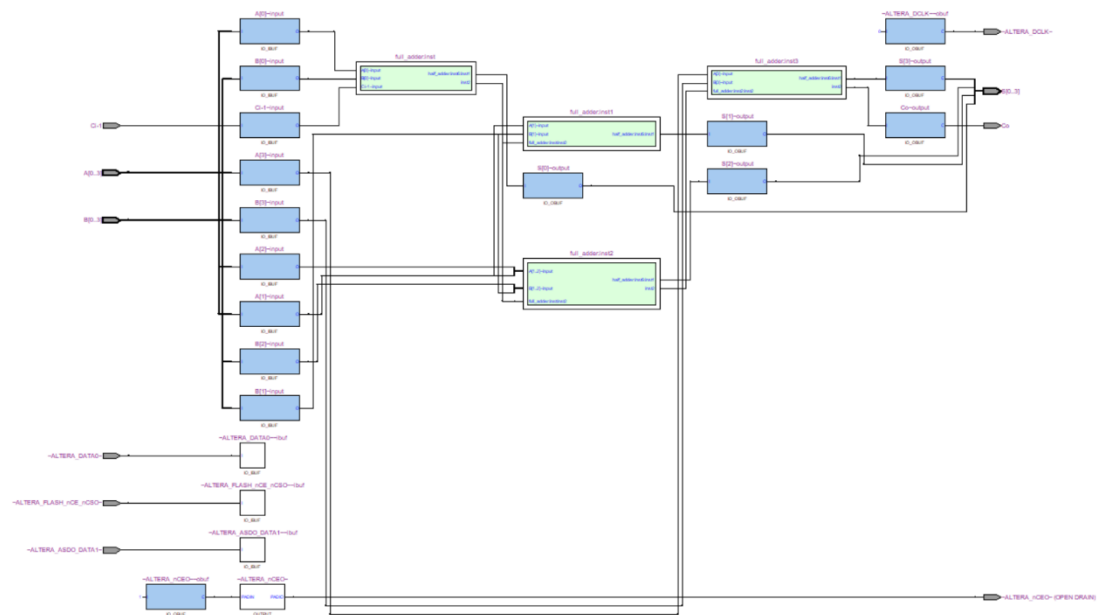


图 4 电路 MAP 结果

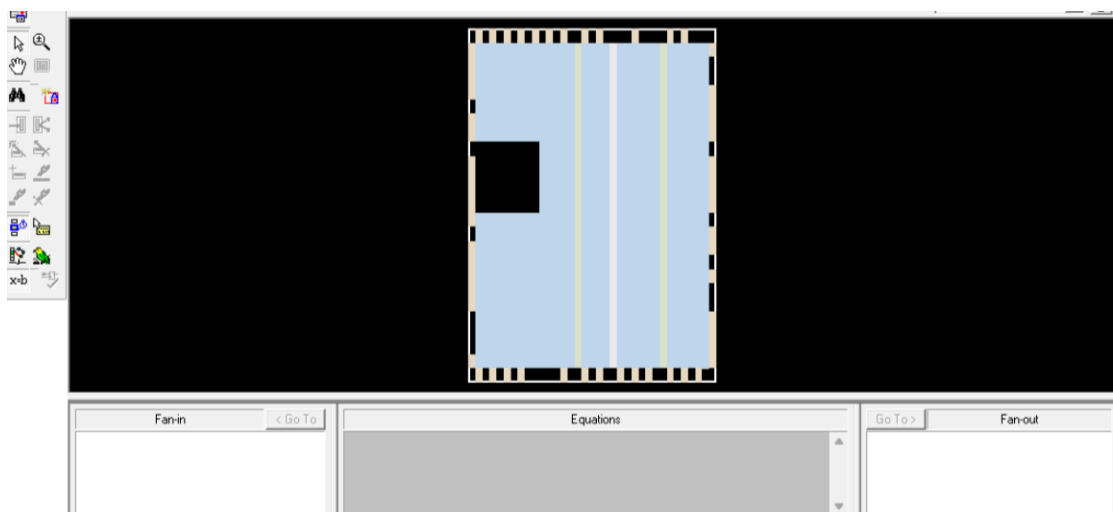


图 5 适配结果

6. 实验步骤

将四位全加器下载到 FPGA 板上，随机拨动拨码开关，观察结果是否符合功能。管脚分配如下。

	A[3]	Input	PIN_R16	5	B5_N0	2.5 V (de
	A[2]	Input	PIN_P15	5	B5_N0	2.5 V (de
	A[1]	Input	PIN_P16	5	B5_N0	2.5 V (de
	A[0]	Input	PIN_N15	5	B5_N0	2.5 V (de
	B[3]	Input	PIN_N16	5	B5_N0	2.5 V (de
	B[2]	Input	PIN_M12	5	B5_N0	2.5 V (de
	B[1]	Input	PIN_N14	5	B5_N0	2.5 V (de
	B[0]	Input	PIN_N13	5	B5_N0	2.5 V (de
	Ci-1	Input	PIN_T5	3	B3_N0	2.5 V (de
	Co	Output	PIN_A5	8	B8_N0	2.5 V (de
	S[3]	Output	PIN_B5	8	B8_N0	2.5 V (de
	S[2]	Output	PIN_A4	8	B8_N0	2.5 V (de
	S[1]	Output	PIN_B4	8	B8_N0	2.5 V (de
	S[0]	Output	PIN_A3	8	B8_N0	2.5 V (de

记录结果如下表。

A[3..0]	B[3..0]	Ci-1	S[3..0]	Co
1000	0100	0	1100	0
1111	0001	1	0001	1

验证结果符合功能。

2. 4 位全减器

- 1) 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件；
- 2) 利用封装好的 4 位全加器，实现 4 位全减器。其中输入为 4 位二进制无符号数，输出结果为 5 位二进制数，其中最高位为符号位。电路算法要求采用二进制求补相加方式。
- 3) 将 4 位全减器下载到实验箱，连接逻辑电平开关进行功能验证

1. 列出真值表

输入								输出				
A3	A2	A1	A0	B3	B2	B1	B0	Co	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	0	1	1	0	0	0	1
0	0	1	0	0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	1	0
...

(Ci-1=1)

2. 逻辑函数

$$SI = (A_i \oplus \overline{B_i}) \oplus Ci \quad (5)$$

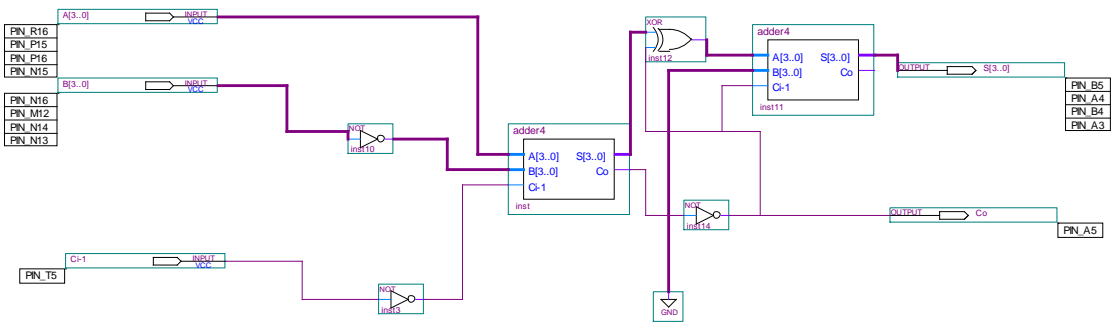
$$CI = \overline{(A_i \cdot \overline{B_i}) \oplus (A_i \oplus \overline{B_i} \cdot Ci)} \quad (6)$$

同样，这里 CI 是作为符号位处理的。如果表征“低位向高位进位”的 Ci，由下式（7）给出：

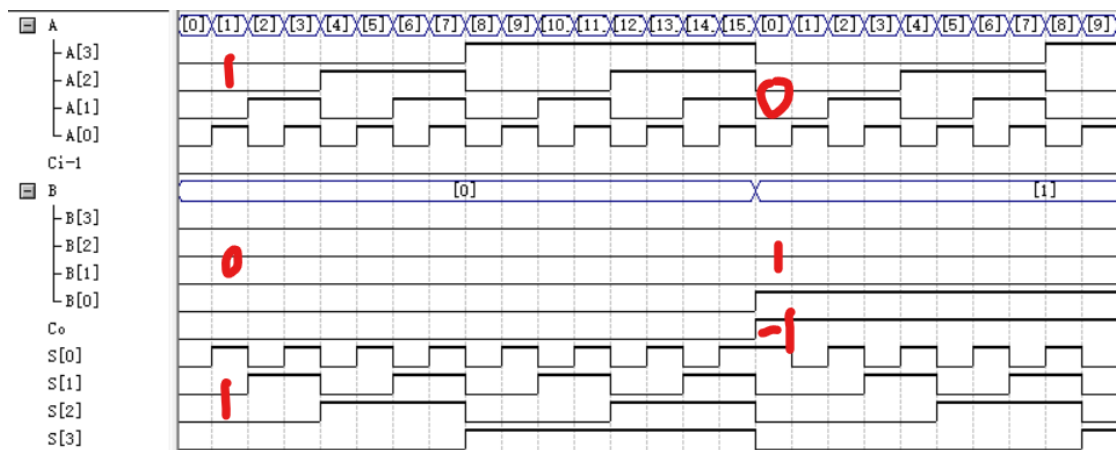
$$CI = (A_i \cdot \overline{B_i}) \oplus (A_i \oplus \overline{B_i} \cdot Ci) \quad (7)$$

最低位时，Ci-1 应取 1。

3. 逻辑电路图



4. 功能仿真



如图， $(A_3 A_2 A_1 A_0)_2 = 0001$ 、 $(B_3 B_2 B_1 B_0)_2 = 0000$ 时，借位输出 $Co=0$ ，数值输出 $(S_3 S_2 S_1 S_0)_2 = 1$ ，即 $1-0=1$ ，功能正确；

$(A_3 A_2 A_1 A_0)_2 = 0000$ 、 $(B_3 B_2 B_1 B_0)_2 = 0001$ 时，借位输出 $Co=1$ ，数值输出 $(S_3 S_2 S_1 S_0)_2 = 1$ ，即 $0-1=-1$ ，功能正确。

5. 实验步骤

将四位全加器下载到 FPGA 板上，随机拨动拨码开关，观察结果是否符合功能。管脚分配如下。

A[3]	Input	PIN_R16	5	B5_N0	2.5 V (de
A[2]	Input	PIN_P15	5	B5_N0	2.5 V (de
A[1]	Input	PIN_P16	5	B5_N0	2.5 V (de
A[0]	Input	PIN_N15	5	B5_N0	2.5 V (de
B[3]	Input	PIN_N16	5	B5_N0	2.5 V (de
B[2]	Input	PIN_M12	5	B5_N0	2.5 V (de
B[1]	Input	PIN_N14	5	B5_N0	2.5 V (de
B[0]	Input	PIN_N13	5	B5_N0	2.5 V (de
S[4]	Output	PIN_A5	8	B8_N0	2.5 V (de
S[3]	Output	PIN_B5	8	B8_N0	2.5 V (de
S[2]	Output	PIN_A4	8	B8_N0	2.5 V (de
S[1]	Output	PIN_B4	8	B8_N0	2.5 V (de
S[0]	Output	PIN_A3	8	B8_N0	2.5 V (de
Co	Unknown	PIN_A5	8	B8_N0	2.5 V (de
Ci-1	Unknown	PIN_T5	3	B3_N0	2.5 V (de

记录结果如下表。

A[3..0]	B[3..0]	Ci-1	S[3..0]	Co	计算式
1000	0001	0	0111	0	$8-1=7$
0000	0000	1	0001	1	$0-1=-1$

验证结果符合功能。

3、BCD 加减器

- 1) 在前面加法器和减法器的基础上，设计 BCD 校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。
- 2) 将 1 位 BCD 加减器下载到实验箱，连接逻辑电平开关进行功能验证

1. 列出真值表

由于真值表过于复杂，在此根据 AS 的取值将其拆分为加法器、减法器两部分真值表。其中，每一部分选列出了典型功能的真值表结果。
其中，减法功能中 S4 代表符号位，也即借位。

表 4 BCD 加减器-加法功能

输入										输出					
A3	A2	A1	A0	B3	B2	B1	B0	CI	ASi	ASo	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0			0	0	0	0	1
0	0	0	0	0	0	0	1	0			0	0	0	0	1
0	0	0	0	0	0	0	0	1			0	0	0	0	1
0	0	0	1	0	0	0	1	0			0	0	0	1	0
0	0	0	1	0	0	0	0	1			0	0	0	1	0
0	0	1	1	0	0	0	1	0			0	0	1	0	0
...
0	1	0	1	0	1	0	0	1			1	0	0	0	0
0	1	1	0	0	1	0	1	0			1	0	0	0	1
...

表 5 BCD 加减器-减法功能

输入										输出					
A3	A2	A1	A0	B3	B2	B1	B0	CI	ASi	ASo	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
0	0	0	1	0	0	0	0	0			0	0	0	0	1
0	0	0	0	0	0	0	1	0			1	0	0	0	1
0	0	0	0	0	0	0	0	1			1	0	0	0	1
0	0	0	1	0	0	0	1	0			0	0	0	0	0
0	0	0	1	0	0	0	0	1			0	0	0	0	0
0	0	1	1	0	0	0	1	0			0	0	0	1	0
...
0	0	0	1	1	0	1	0	1			1	1	0	1	0
0	0	1	0	1	1	0	1	0			1	1	0	1	1
...

2. 逻辑化简

该 BCD 加减器是基于 4 位全加器与 4 位减法器设计的，因此逻辑函数式需要中间逻辑变量接收器件的输出。首先明确设计思路：该加减器接受两个四位二进制数，并行各输入进一个 4 位加法器与一个 4 位减法器。4 位加法器的输出需要再用一个 4 位加法器进行移位校正，得到加法功能的最终输出；减法器的输出即是减法功能的输出。最后，将加法功能与减法功能的输出各位与 AS_i 及其反变量作与运算，以选择输出模式；再将与后的各数位结果作或运算，得到最终输出。

由上述分析，先讨论加法功能部分。记

$$(B_3B_2B_1B_0)_2 + (A_3A_2A_1A_0)_2 = T_4(T_3T_2T_1T_0)_2$$

$$(B_3B_2B_1B_0)_2 + (A_3A_2A_1A_0)_2 = (R_4R_3R_2R_1R_0)_2$$

则 BCD 数 T 与二进制数间应存在校正关系，这里两低位数值相加得到的：

$$(R_3R_2R_1R_0)_2 + (P_3P_2P_1P_0)_2 = Q_4(T_3T_2T_1T_0)_2$$

$$P_3 = P_0 = 0$$

$$P_2 = P_1 = R_3 \cdot R_2 + R_3 \cdot R_1$$

其中， P 是用于 BCD 校正的 4 位加法器的另一个加数的四个引脚组成的四位二进制数； Q_4 是二者相加得到的一个进位。由于这个进位并不是加法器的最终进位，因而用 Q 临时表示。这就是加法器输出端的 BCD 数值校正电路，该功能由 4 位加法器实现。

加法功能的进位输出应是校正后的进位输出，而该功能无法用 4 位加法器简易地实现（二进制数加法器的进位输出是 2^4 级，用于 BCD 校正的加法器进位输入是 2^0 级）。因此需采用类似并行加法器组合成更高位加法器的原理作出进位预判。仿照并行加法器得出的进位逻辑函数如下：

$$S1[4] = R_3 \cdot (R_2 + R_1) + R_4$$

这便是加法功能向高位的进位。对于减法功能，逻辑函数由减法器给出。

$$(B_3B_2B_1B_0)_2 - (A_3A_2A_1A_0)_2 = Q_4(Q_3Q_2Q_1Q_0)_2$$

这里 Q_4 是符号位。记最终输出为 S （下标 i 表示输入或输出的第 i 位），加法功能最终输出结果为 $T_4(T_3T_2T_1T_0)_2$ ，则功能选择的逻辑函数：

$$S_i = T_i \cdot AS_i + Q_i \cdot \overline{AS_i}$$

用于串接的功能选择输入端 AS_i 与输出端 AS_o 间应有关系：

$$AS_i = AS_o$$

故 BCD 加减器的逻辑函数由上述各式给出。

3. 逻辑电路图

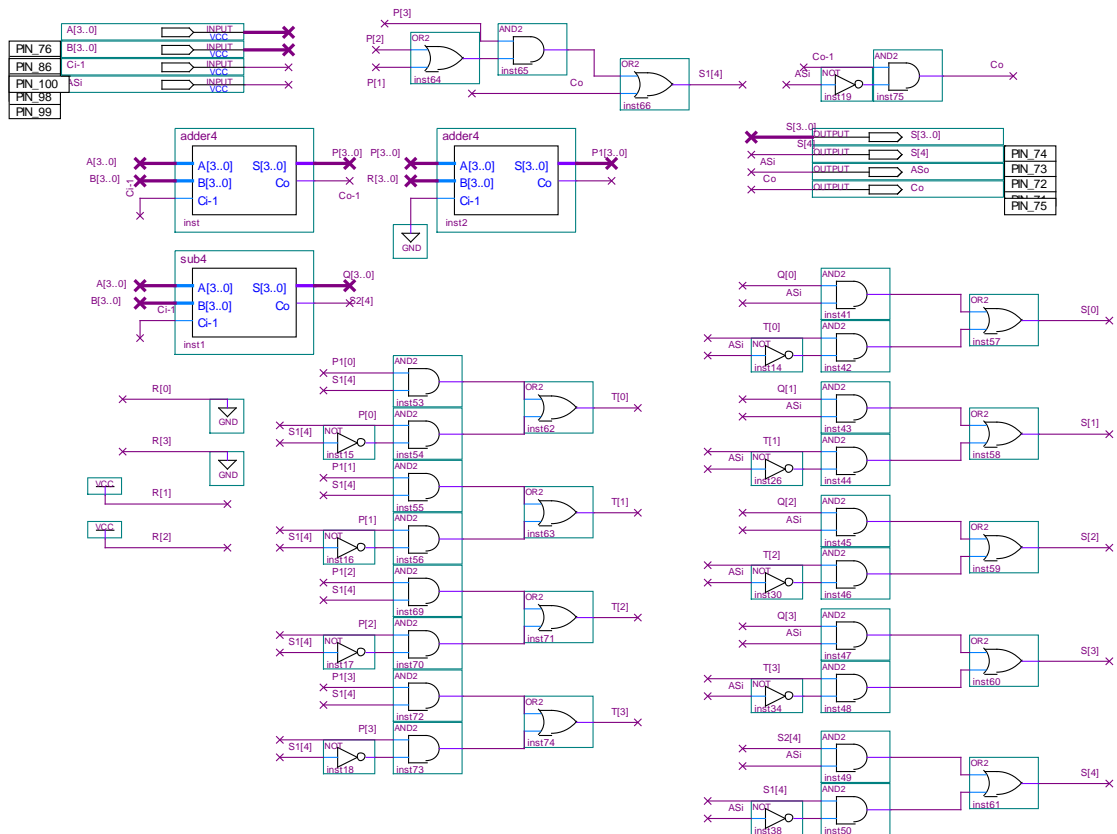


图 3 BCD 加减器电路图

右侧的 4 位加法器得到的结果是加法功能+6 后的全校正结果，由下方一组输出为 $T[3..0]$ 的电路组判别原输出值是否 >9 ，从而选择原输出或+6 后的输出作为 BCD 码的最终校正结果。判别原输出是否 >9 是利用向高位进位的逻辑变量 Co 实现的。

该电路可实现符号位+借位进位的功能，并显示当前所选功能。

下方最右侧的电路组是功能选择的电路组。

4. 功能仿真

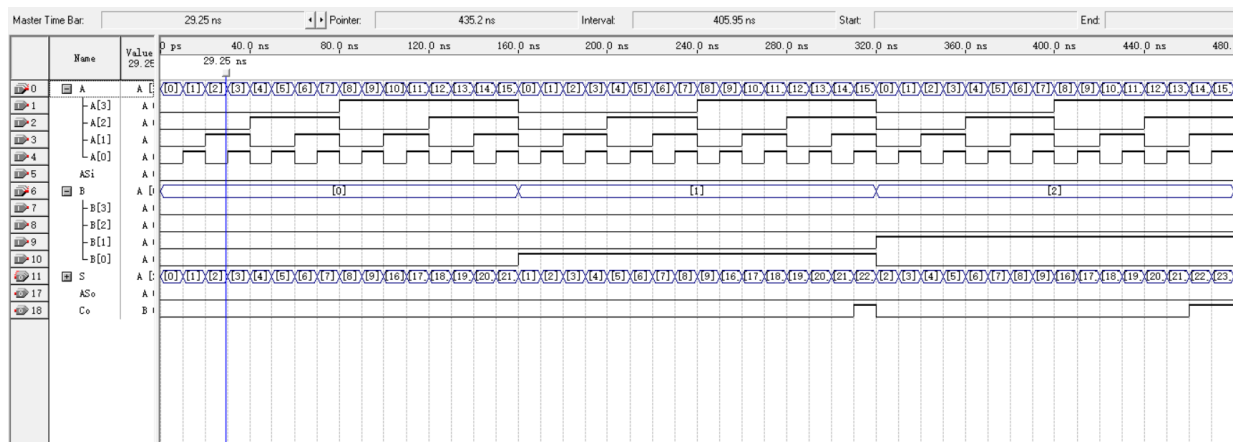


图 4 加法功能

如图，取 $(A_3 A_2 A_1 A_0)_2 = 9$ 、 $(B_3 B_2 B_1 B_0)_2 = 1$ 时，BCD 码输出 $S_4 (S_3 S_2 S_1 S_0)_2 = 1$ (0000)₂，进位输出 $Co=0$ ，即 $9+1=10$ ，功能正确。

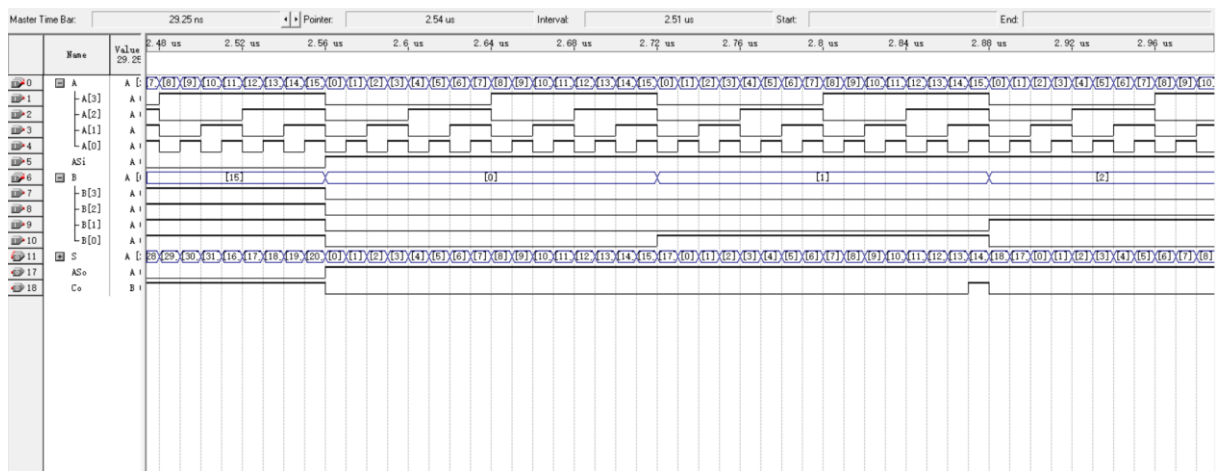


图 5 减法功能

如图，取 $(A_3 A_2 A_1 A_0)_2 = 0$ 、 $(B_3 B_2 B_1 B_0)_2 = 1$ 时，BCD 码输出 $S_4 (S_3 S_2 S_1 S_0)_2 = 1$ (0001)₂，进位输出 $Co = 0$ (因为是减法功能)，即 $0 - 1 = -1$ ，功能正确。

引脚分配如下：

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
A[3]	Input	PIN_R16	5	B5_N0	2.5 V (default)	
A[2]	Input	PIN_P15	5	B5_N0	2.5 V (default)	
A[1]	Input	PIN_P16	5	B5_N0	2.5 V (default)	
A[0]	Input	PIN_N15	5	B5_N0	2.5 V (default)	
ASi	Input	PIN_B1	1	B1_N0	2.5 V (default)	
ASo	Output	PIN_B5	8	B8_N0	2.5 V (default)	
B[3]	Input	PIN_N16	5	B5_N0	2.5 V (default)	
B[2]	Input	PIN_M12	5	B5_N0	2.5 V (default)	
B[1]	Input	PIN_N14	5	B5_N0	2.5 V (default)	
B[0]	Input	PIN_N13	5	B5_N0	2.5 V (default)	
Gi-1	Input	PIN_T5	3	B3_N0	2.5 V (default)	
Co	Output	PIN_A5	8	B8_N0	2.5 V (default)	
S[4]	Output	PIN_C3	8	B8_N0	2.5 V (default)	
S[3]	Output	PIN_A2	8	B8_N0	2.5 V (default)	
S[2]	Output	PIN_B3	8	B8_N0	2.5 V (default)	
S[1]	Output	PIN_A3	8	B8_N0	2.5 V (default)	
S[0]	Output	PIN_B4	8	B8_N0	2.5 V (default)	
<<new node>>						

图 6 BCD 加减器引脚分配

其中，ASi 的高低电平由 B1 端口分别接入 D5V 与 GND 实现；减法功能中来自低位的借位高低电平由 T5 端口分别接入 D5V 与 GND 实现。

5. 实验步骤

将 BCD 加减器下载到 FPGA 板上，随机拨动拨码开关，观察结果是否符合功能。记录结果如下表。

ASi	A[3..0]	B[3..0]	Gi-1	ASo	S[4..0]	Co
0	0101	0111	0	0	0 1100	0
0	0101	1010	1	0	1 0001	1
1	0000	0001	1	1	1 0010	0
1	0101	0101	0	1	0 0000	0

验证结果符合功能。

三、实验仪器

FPGA 板

四、实验小结

本次实验由于有了一定的基础，相较于上一个实验成功率高了许多，有所进步。可以熟练掌握 Quartus 的相关操作及功能。现在尚存的缺点是，写预习报告时没有对仿真图进行分析。

本次实验中尝试着扩展功能，如将当前 BCD 加减器对应功能显示出来，对于实验的验证较有帮助。

本次实验中，主要学会了如何利用封装与层次化的设计完善一个相对复杂的功能。提前预习了实验五的简易计算器内容，将会采用多层级模块化的方案进行设计，在以后的实验中应当加强此类意识。

五、参考资料

《数字逻辑设计实践 2023 年教学计划 A_V1.0》