

如何利用板载晶振产生 10kHz 时钟

- 1、将解压得到的时钟发生模块（altpll0.bsf、altpll0.cmp、altpll0.ppf、altpll0.qip 和 altpll0.vhd 五个文件）拷贝到设计项目所在文件夹

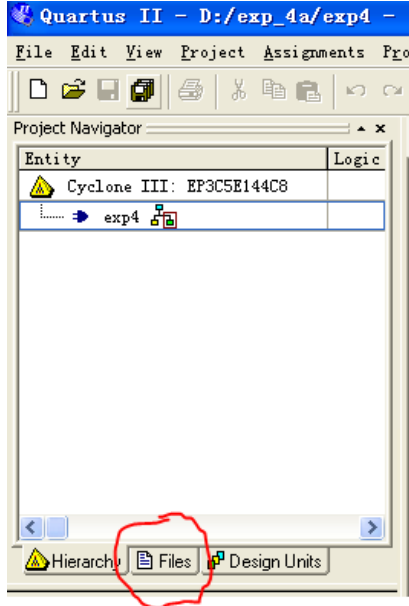


图 1

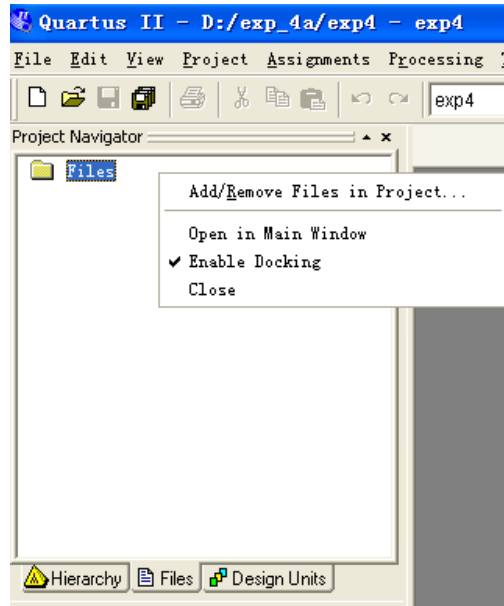


图 2

- 2、在“Project Navigator”栏中点击“Files”，如图 1 中所示
- 3、右键点击“Files”文件夹，在弹出的右键菜单中选中“Add/Remove Files in Project...”菜单项，如图 2 所示，弹出如图 3 所示对话框

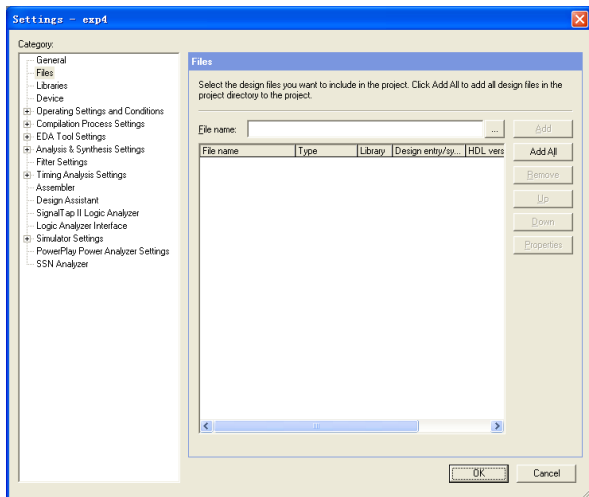


图 3

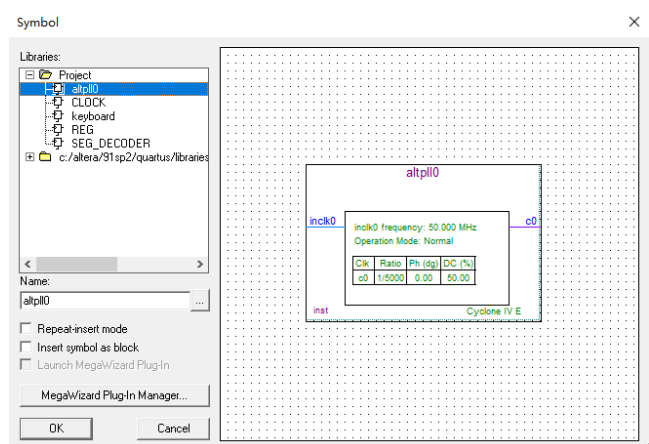


图 4

- 4、点击“File name”输入框右侧的“...”按钮，弹出文件选择框，选中刚刚拷贝到设计项目文件的“altpll0.cmp”和“altpll0.vhd”文件，点击打开按钮，回到上一级对话框，点击“Add”，添加将文件到设计项目中，最后点击“OK”按钮，回到主界面，此时在“Project Navigator→Files”栏中应该能看到刚才添加进去的文件。
- 5、打开你的顶层原理图文件，双击空白绘图区域，弹出元件选择界面，展开“Project”库，找到并选中“altpll0”这个元件，如图 4 所示，点击“OK”回到原理图输入界面，将元件放置到合适位置，元件如图 5 所示。

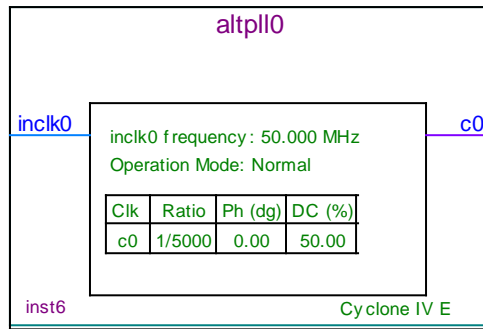


图 5

- 6、将输入信号 inclk0 连接 input 器件并分配 “E1” 管脚（FPGA 实验板上自带的 50M 晶振）。此时输出信号 C0 就为实验所需的 10kHz 时钟。

附：键盘和实验板的连接方法

在 FPGA 板上找 8 个连续可用的 IO 管脚，将对应的 8 个排针，插入到键盘的排针插孔，如下图所示，将对应的管脚号，配置到行线和列线就能使用

