**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 数字电路实验**

**第 2 次实验**

实验名称： 组合逻辑电路

院 （系）：电气工程学院专 业：电气工程及其自动化

姓 名： 王皓冬 学 号： 16022627

实 验 室: 401 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

**一、实验目的**

1、 了解可编程数字系统设计的流程

2、 掌握 Quartus 软件的使用方法

3、 掌握自底向上数字电路设计方法

4、 掌握竞争和冒险的基本概念和电路时延分析方法

**二、实验原理**

1. **输入信号与输出信号编码**

输入信号

**半加器：**用A、B作为输入的两个一位二进制数。

**全加器：**用A、B作为输入的两个一位二进制数，Ci-1代表来自低位的进位。

**四位全加器：**用A0-A3、B0-B3、Ci-1作为输入。（A3 A2 A1 A0）2、（B3 B2 B1 B0）2代表两个相加的四位二进制数，Ci-1代表来自低位的进位。

**四位全减器：**用A0-A3、B0-B3、Ci-1作为输入。（A3 A2 A1 A0）2代表被减四位二进制数，（B3 B2 B1 B0）2代表四位二进制减数，Ci-1输入为“1”，代表补码运算。

**BCD加减器：**用A0-A3、B0-B3、Ci-1、AS作为输入。（A3 A2 A1 A0）2代表被加或被减的四位二进制数，（B3 B2 B1 B0）2代表四位二进制加数或减数，Ci-1代表来自低位的进位或借位。ASi用以选择加减模式，AS=0时代表加法器，AS=1时代表减法器。

输出信号

**半加器：**用S、C作为输出信号。S代表相加得到的低位结果，C代表相加得到的进位，（CS）2组成二进制数相加得到的二位二进制数。

**全加器：**用SI、CI作为输出信号。SI代表相加得到的低位结果，CI代表相加得到的进位，（CI SI）2组成二进制数相加得到的二位二进制数。

**四位全加器：**用S0-S3、Co作为输出。（S3 S2 S1 S0）2代表相加得到的四位二进制数，Co代表向高位的进位。

**四位全减器：**用S0-S4作为输出。（S4 S3 S2 S1 S0）2代表相减得到的四位二进制数补码，其中S4是符号位，“1”代表负数，“0”代表正数。

**BCD加减器：**用S0-S4、Aso、Co作为输出。（S3 S2 S1 S0）2代表相加或相减得到的一位BCD数，S4在加法功能时作为BCD码数值的十位，减法功能时代表符号位。Co代表向高位的进位或借位。ASo代表用于串接的加减法功能选择的输出，直接接到输入ASi上，“1”代表减法功能，“0”代表加法功能。

**1． 4 位全加器**

**1) 观察并记录实验箱上的 FPGA 型号，新建一个 Project，器件选用实验箱上的 FPGA；**

**2) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；**

1. **列出真值表**

表 1 半加器

|  |  |  |  |
| --- | --- | --- | --- |
| **输入** | | **输出** | |
| **A** | **B** | **C** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

1. **逻辑化简**

（1）

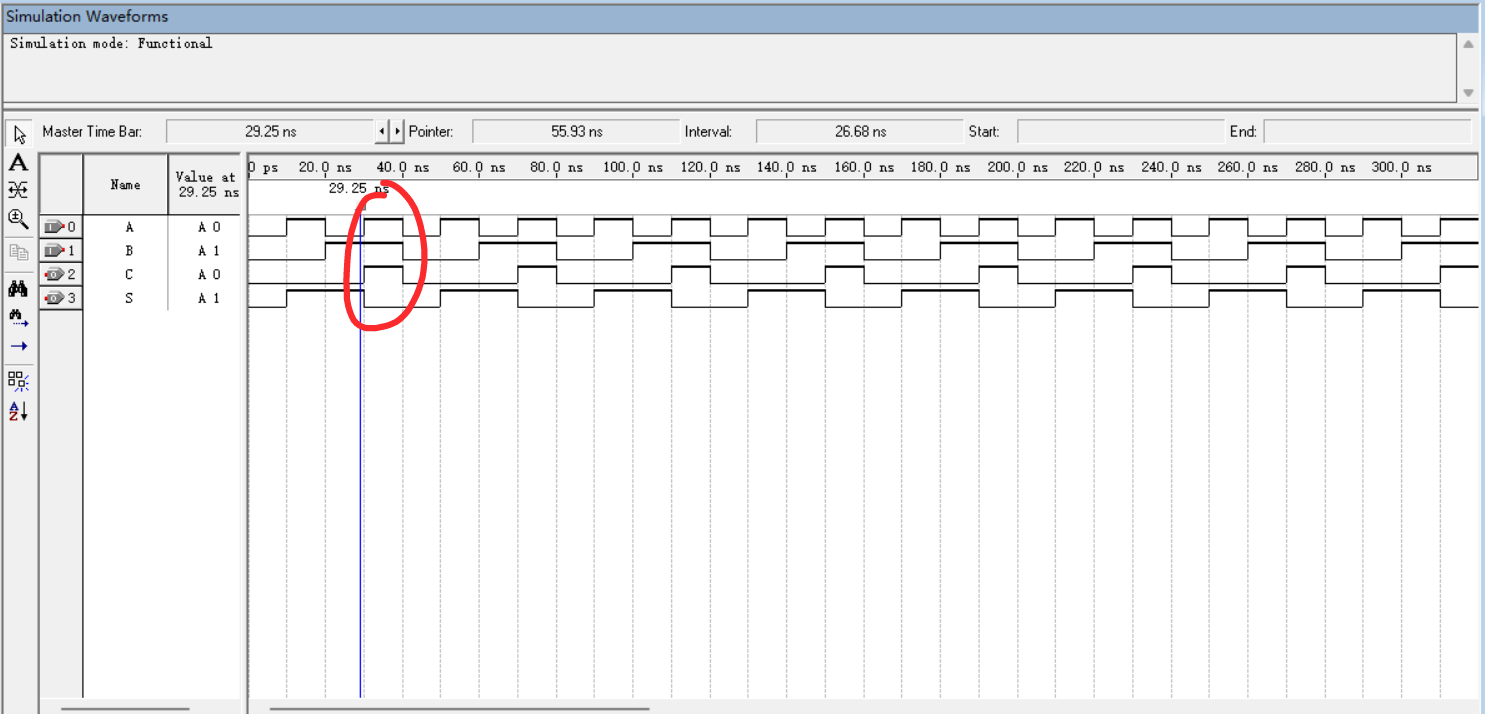
（2）

1. **逻辑电路图**



图 1 半加器

1. **功能仿真**



如图，A=B=1时，输出为C=1，S=0，对应(10）2，功能正确。

**3) 点击“File” “Create/ Update” “Create Symbol File for Current File”菜单项，将 1 位半加器封装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；**

1. **列出真值表**
2. 表 2 全加器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| **Ai** | **Bi** | **Ci-1** | **CI** | **SI** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

1. **逻辑化简**

（3）

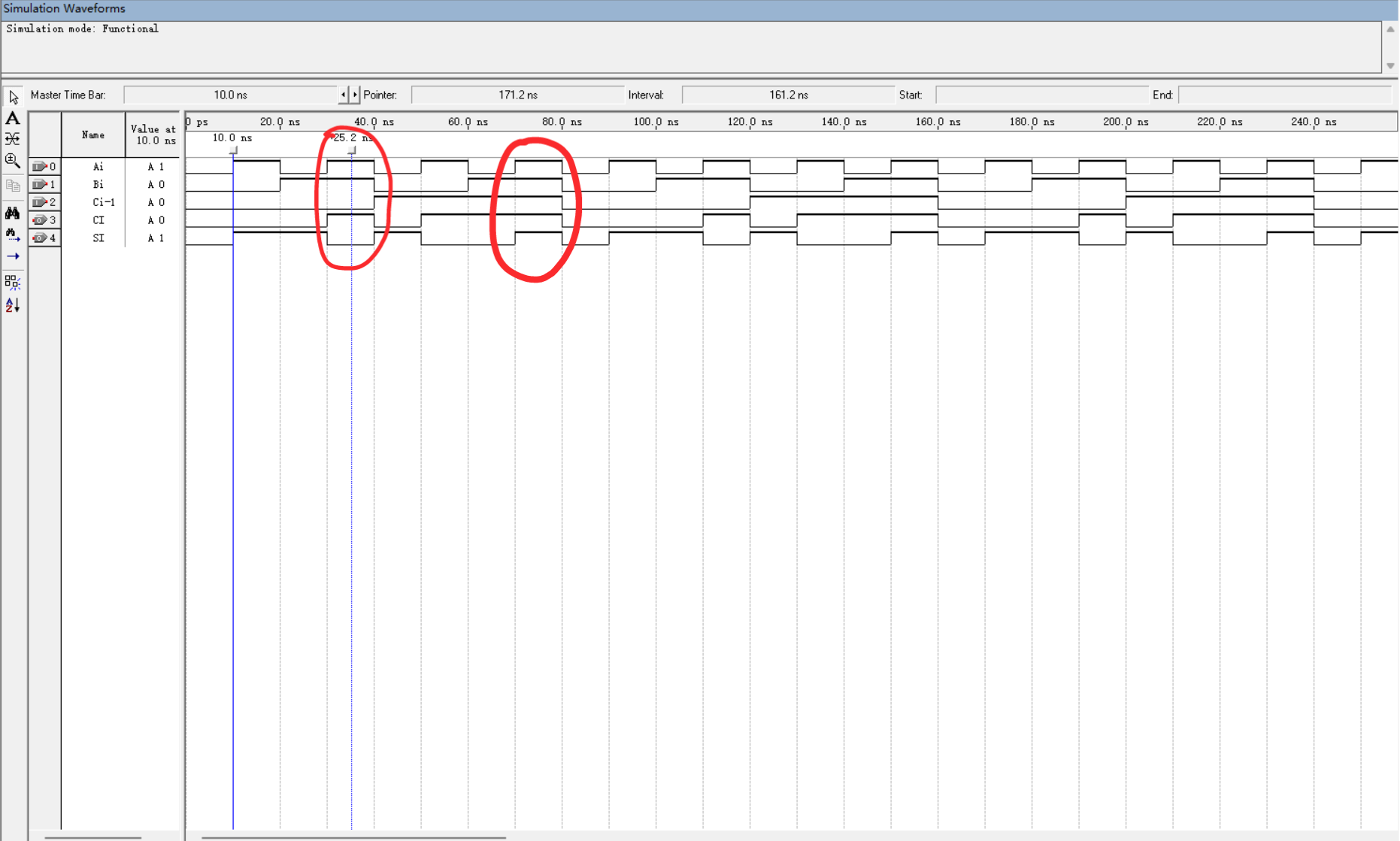
（4）

1. **逻辑电路图**



图 2 全加器

1. **功能仿真**

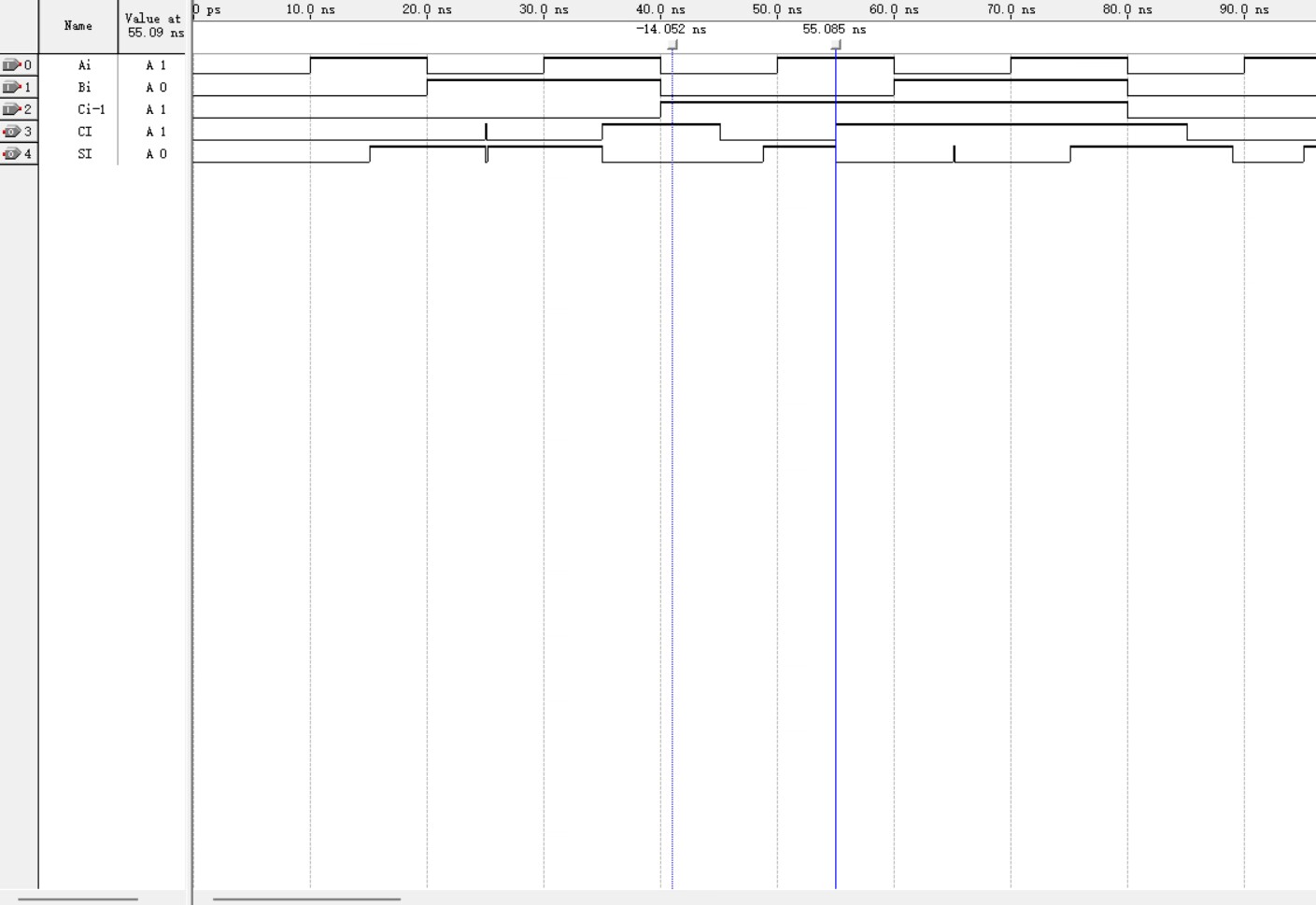
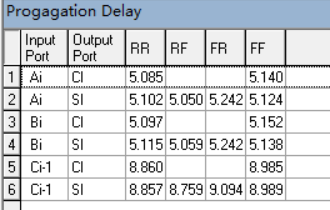


如图，A=B=1、Ci-1=0时，数值输出SI=0，进位输出CI=1，功能正确；

A=B=1=Ci-1=1时，数值输出SI=1，进位输出CI=1，功能正确。

**4) （选做）对 1 位全加器，进行时序仿真，并做时延分析，要求：**

**a) 测量 A 第 1~4 个上升沿到对应的的 S 输出之间的延迟时间；**



ai上升沿对应si变化延迟：  
10.0-15.124   5.124ns  
30.0-35.05   5.05ns  
50.0-55.05   5.05ns  
70.0-75.124   5.124ns

**b) 对输出 S 的毛刺进行测量和分析；**

25.059-25.242  
(20时ai f，bi r，毛刺fr)  
(abci都是0或1的时候毛刺会f，bi rf 5.059先使毛刺f，ai fr 5.242再使毛刺r)  
65.125-65.168  
(60时ai f，bi r，毛刺rf)  
（由Ai与Bi共同引起）

**c) 对输出 C 的毛刺进行测量和分析；**

25.097-25.14  
(毛刺rf)  
(bi rr 5.097先使毛刺r，ai ff 5.140再使毛刺f)

**d) 对测得的时延结果进行分析**

时延结果与仿真数据相符。

**5) 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能仿真进行验证，用“Tools”“Netlist Viewers”“RTL Viewer”查看电路综合结果；**

1. **列出真值表**

表 3 4位全加器真值表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | | | **输出** | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **CI** | **Co** | | **S3** | **S2** | **S1** | **S0** | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 0 | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 1 | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 0 | |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 1 | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 1 | 0 | 0 | |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 1 | 0 | 1 | |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 0 | 1 | 1 | 0 | |
| … | … | … | … | … | … | … | … | … | … | | … | … | … | … | |

1. **逻辑化简**

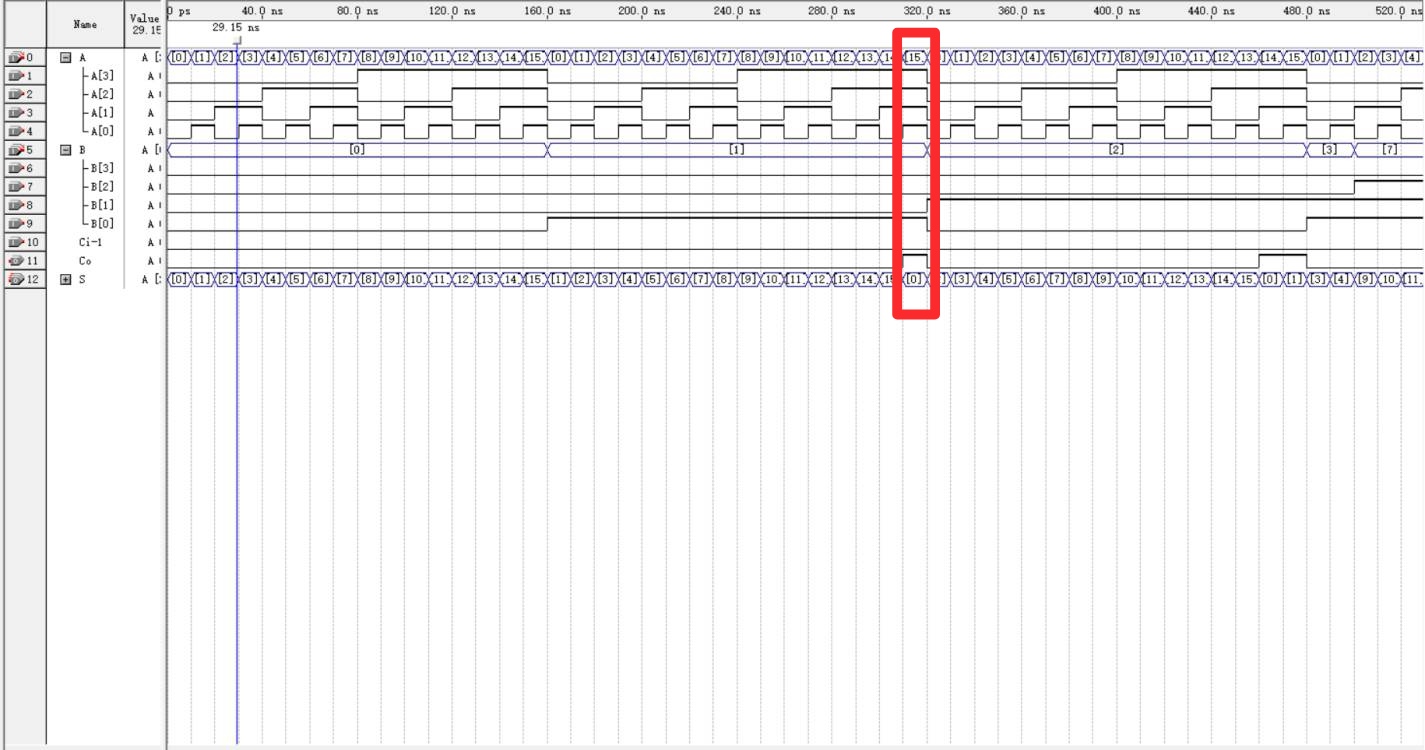
四位全加器是由一位全加器串联而成的，故串行逻辑函数：

每一个全加器内部的逻辑函数即一位全加器的逻辑函数。

1. **逻辑电路图**



1. **功能仿真**



如图，（A3 A2 A1 A0）2=15、（B3 B2 B1 B0）2=1、Ci-1=0时，进位输出Co=1，数值输出S=0，即15+1=16，功能正确。

1. **电路综合结果**

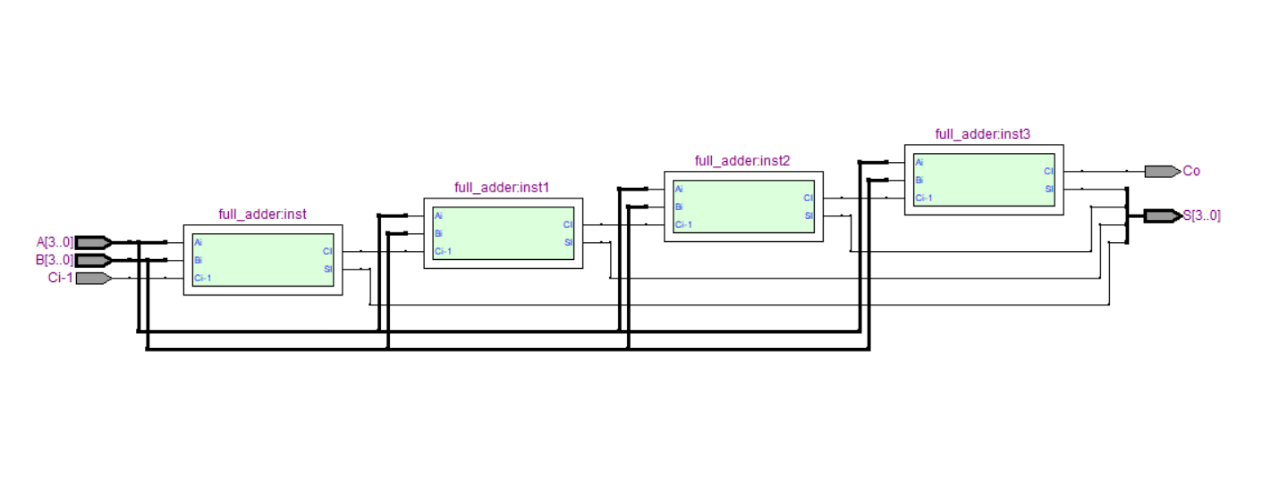


图 3 电路综合结果

**6) 适配编译，用“Tools”“Netlist Viewers”“Technology Map Viewer”查看电路 Map 结果； 用“Tools”“Chip Planner”查看器件适配结果；**

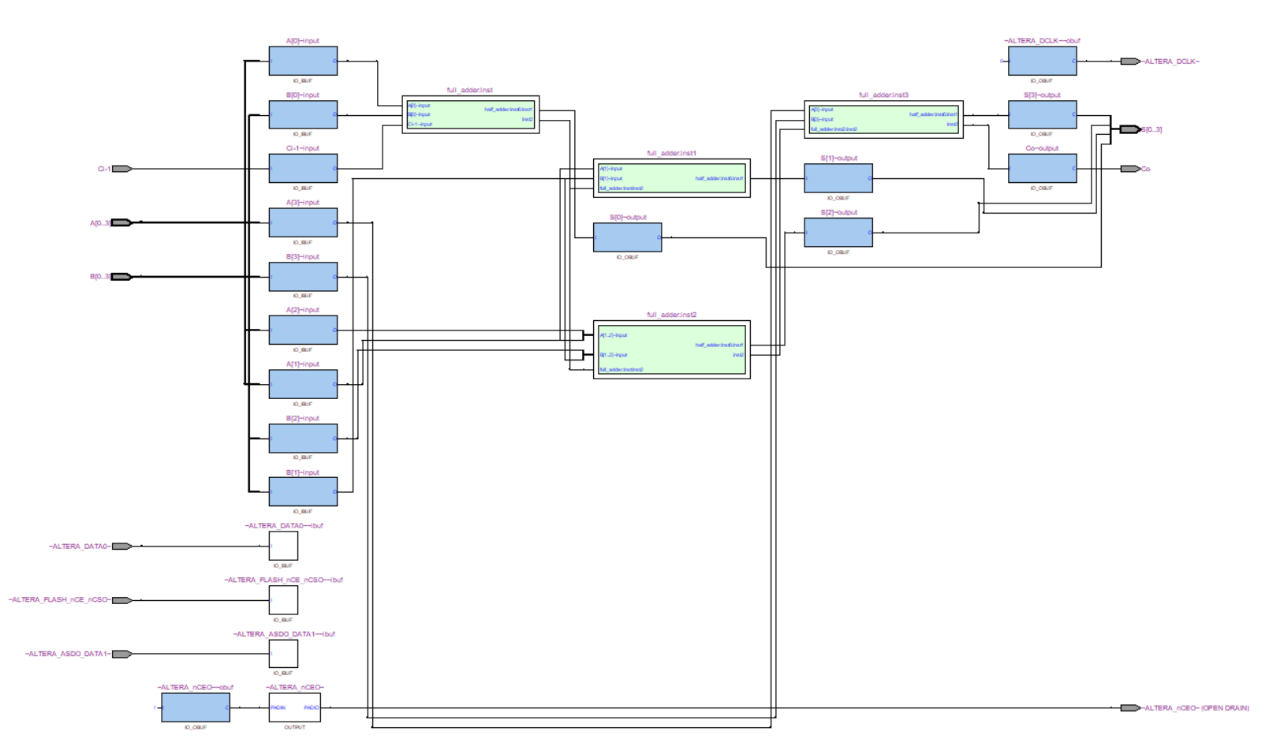


图 4 电路MAP结果

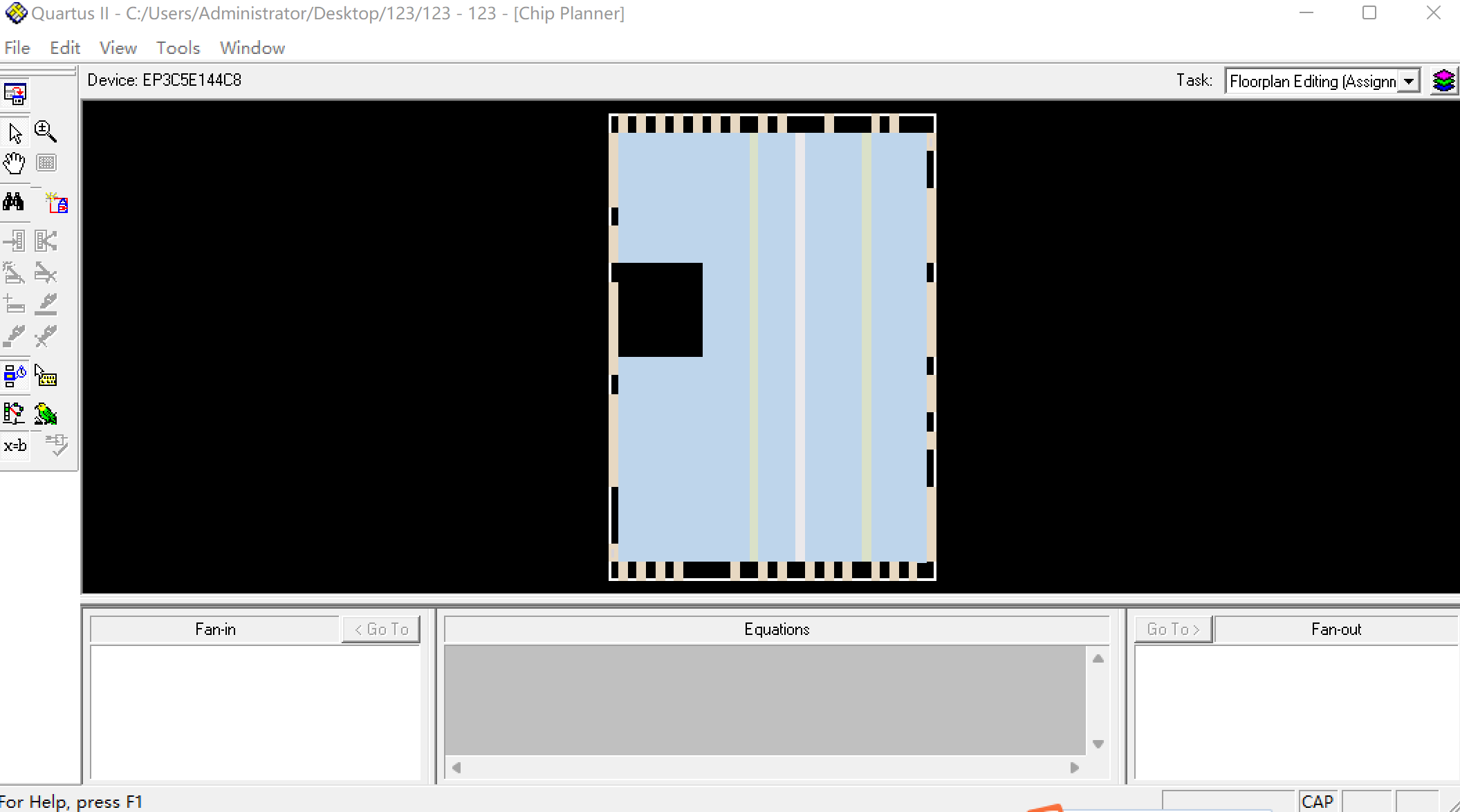
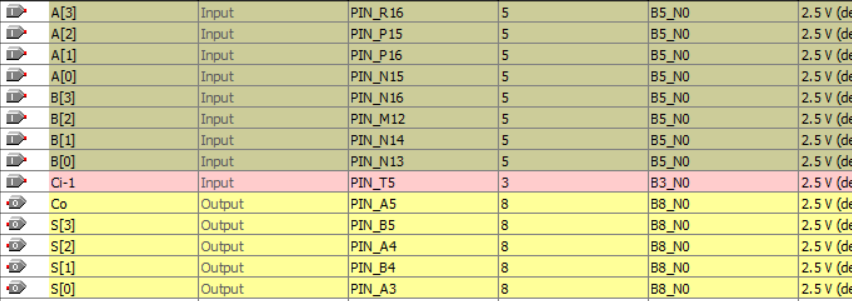


图 5适配结果

1. **实验步骤**

将四位全加器下载到FPGA板上，随机拨动拨码开关，观察结果是否符合功能。管脚分配如下。



记录结果如下表。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A[3..0]** | **B[3..0]** | **Ci-1** | **S[3..0]** | **Co** |
| 1000 | 0100 | 0 | 1100 | 0 |
| 1111 | 0001 | 1 | 0001 | 1 |

验证结果符合功能。

2． **4 位全减器**

**1) 参看 7.6 节“总线（Bus）功能”，将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件；**

**2) 利用封装好的 4 位全加器，实现 4 位全减器。其中输入为 4 位二进制无符号数，输出结果为 5 位二进制数，其中最高位为符号位。电路算法要求采用二进制求补相加方式。**

**3) 将 4 位全减器下载到实验箱，连接逻辑电平开关进行功能验证**

1. **列出真值表**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | **输出** | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **Co** | **S3** | **S2** | **S1** | **S0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| … | … | … | … | … | … | … | … | … | … | … | … | … |

（Ci-1=1）

1. **逻辑函数**

（5）

（6）

同样，这里CI是作为符号位处理的。如果表征“低位向高位进位”的Ci，由下式（7）给出：

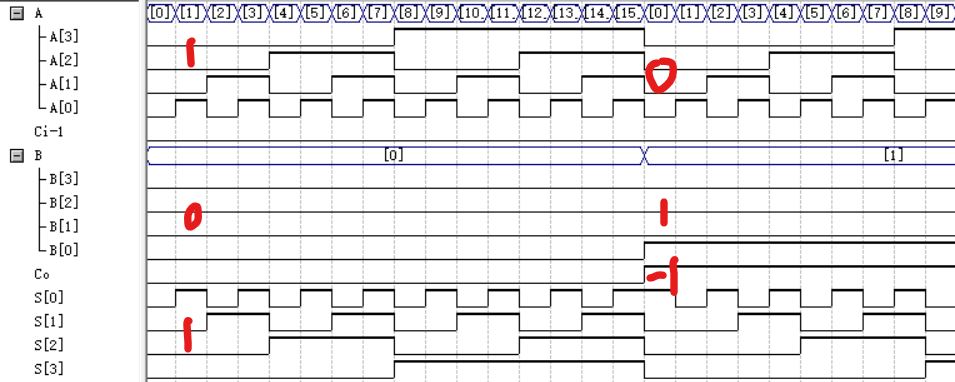
（7）

最低位时，Ci-1应取1。

**3. 逻辑电路图**

****

**4.功能仿真**

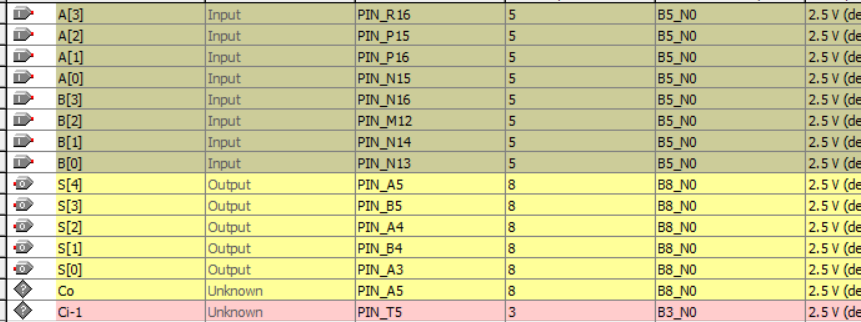


如图，（A3 A2 A1 A0）2=0001、（B3 B2 B1 B0）2=0000时，借位输出Co=0，数值输出（S3 S2 S1 S0）2=1,即1-0=1，功能正确;

（A3 A2 A1 A0）2=0000、（B3 B2 B1 B0）2=0001时，借位输出Co=1，数值输出（S3 S2 S1 S0）2=1,即0-1=-1，功能正确。

**5. 实验步骤**

将四位全加器下载到FPGA板上，随机拨动拨码开关，观察结果是否符合功能。管脚分配如下。



记录结果如下表。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **A[3..0]** | **B[3..0]** | **Ci-1** | **S[3..0]** | **Co** | **计算式** |
| 1000 | 0001 | 0 | 0111 | 0 | 8-1=7 |
| 0000 | 0000 | 1 | 0001 | 1 | 0-1=-1 |

验证结果符合功能。

**3、 BCD 加减器**

**1) 在前面加法器和减法器的基础上，设计BCD校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。**

**2) 将 1 位 BCD 加减器下载到实验箱，连接逻辑电平开关进行功能验证**

1. **列出真值表**

由于真值表过于复杂，在此根据AS的取值将其拆分为加法器、减法器两部分真值表。其中，每一部分选列出了典型功能的真值表结果。

其中，减法功能中S4代表符号位，也即借位。

表 4 BCD加减器-加法功能

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | | | **输出** | | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **CI** | **ASi** | **ASo** | **S4** | **S3** | **S2** | **S1** | **S0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … | … | … |

表 5 BCD加减器-减法功能

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | | | **输出** | | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **CI** | **ASi** | **ASo** | **S4** | **S3** | **S2** | **S1** | **S0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| … | … | … | … | … | … | … | … | … |  | … | … | … | … | … | … |

1. **逻辑化简**

该BCD加减器是基于4位全加器与4位减法器设计的，因此逻辑函数式需要中间逻辑变量接收器件的输出。首先明确设计思路：该加减器接受两个四位二进制数，并行各输入进一个4位加法器与一个4位减法器。4位加法器的输出需要再用一个4位加法器进行移位校正，得到加法功能的最终输出；减法器的输出即是减法功能的输出。最后，将加法功能与减法功能的输出各位与ASi及其反变量作与运算，以选择输出模式；再将与后的各数位结果作或运算，得到最终输出。

由上述分析，先讨论加法功能部分。记

则BCD数T与二进制数间应存在校正关系，这里两低位数值相加得到的：

其中，P是用于BCD校正的4位加法器的另一个加数的四个引脚组成的四位二进制数；Q4是二者相加得到的一个进位。由于这个进位并不是加法器的最终进位，因而用Q临时表示。这就是加法器输出端的BCD数值校正电路，该功能由4位加法器实现。

加法功能的进位输出应是校正后的进位输出，而该功能无法用4位加法器简易地实现（二进制数加法器的进位输出是24级，用于BCD校正的加法器进位输入是20级）。因此需采用类似并行加法器组合成更高位加法器的原理作出进位预判。仿照并行加法器得出的进位逻辑函数如下：

这便是加法功能向高位的进位。对于减法功能，逻辑函数由减法器给出。

这里Q4是符号位。记最终输出为S（下标i表示输入或输出的第i位），加法功能最终输出结果为，则功能选择的逻辑函数：

用于串接的功能选择输入端ASi与输出端ASo间应有关系：

故BCD加减器的逻辑函数由上述各式给出。

1. **逻辑电路图**



图 3 BCD加减器电路图

右侧的4位加法器得到的结果是加法功能+6后的全校正结果，由下方一组输出为T[3..0]的电路组判别原输出值是否>9，从而选择原输出或+6后的输出作为BCD码的最终校正结果。判别原输出是否>9是利用向高位进位的逻辑变量Co实现的。

该电路可实现符号位+借位进位的功能，并显示当前所选功能。

下方最右侧的电路组是功能选择的电路组。

1. **功能仿真**

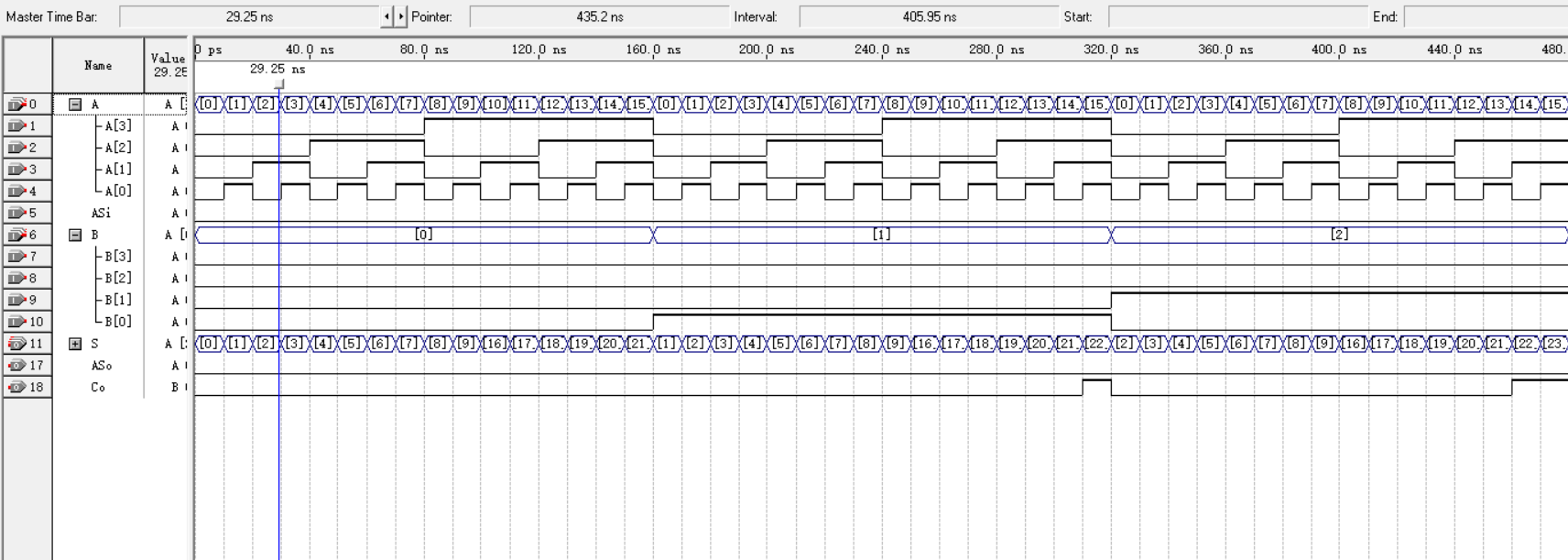
****

图 4 加法功能

如图，取（A3 A2 A1 A0）2=9、（B3 B2 B1 B0）2=1时，BCD码输出S4（S3 S2 S1 S0）2=1（0000）2，进位输出Co=0，即9+1=10，功能正确。

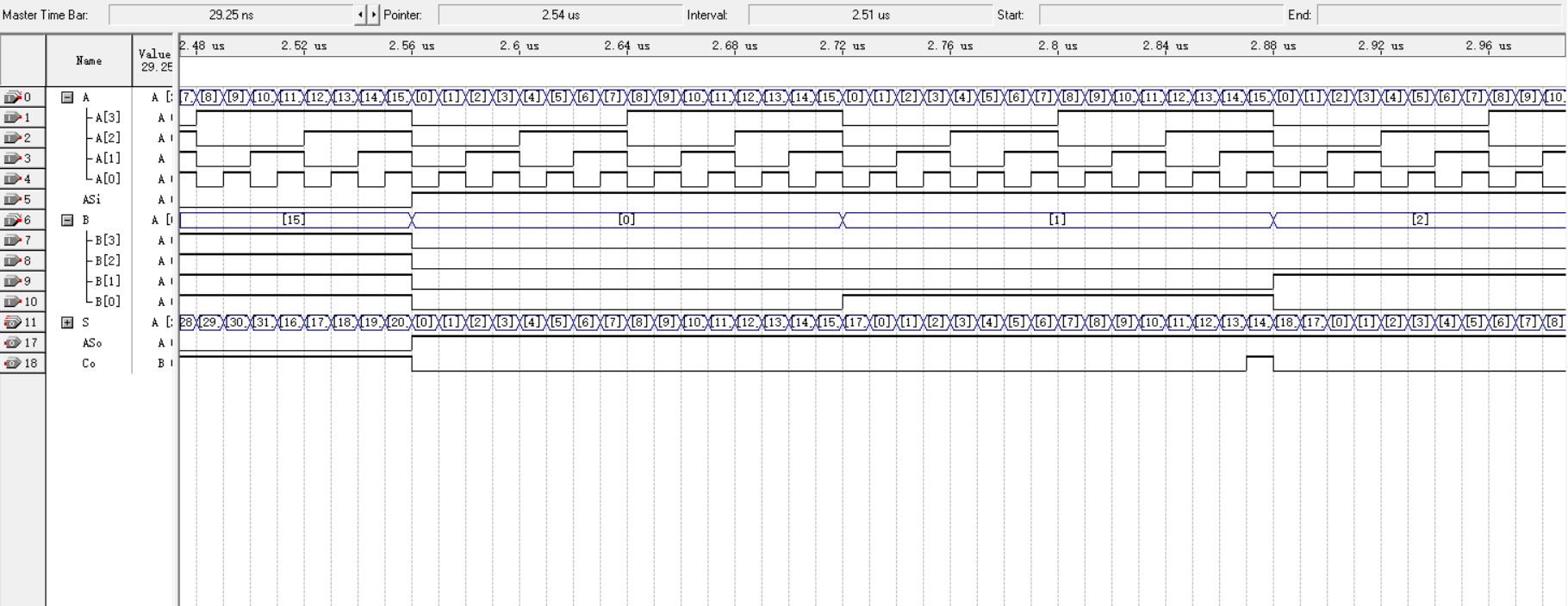
****

图 5 减法功能

如图，取（A3 A2 A1 A0）2=0、（B3 B2 B1 B0）2=1时，BCD码输出S4（S3 S2 S1 S0）2=1（0001）2，进位输出Co=0（因为是减法功能），即0-1=-1，功能正确。

引脚分配如下：

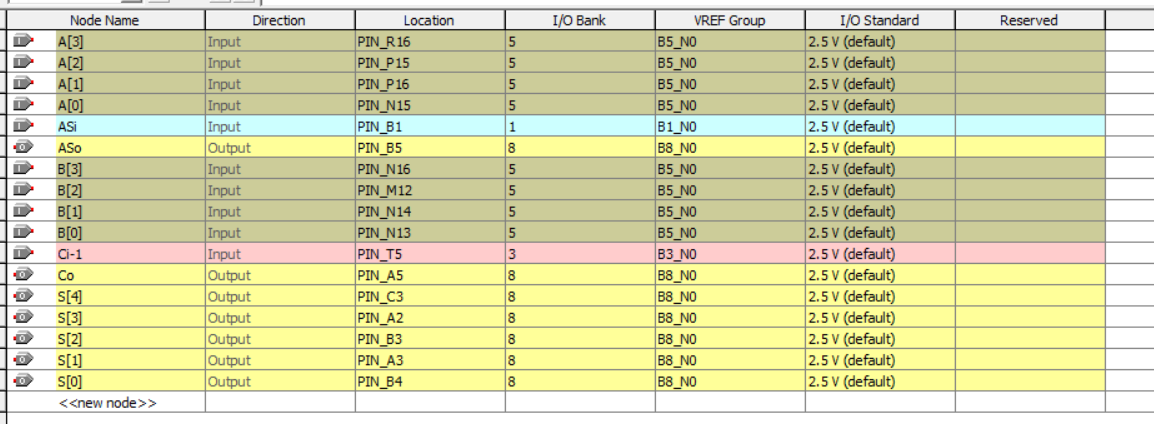


图 6 BCD加减器引脚分配

其中，ASi的高低电平由B1端口分别接入D5V与GND实现；减法功能中来自低位的借位高低电平由T5端口分别接入D5V与GND实现。

**5. 实验步骤**

将BCD加减器下载到FPGA板上，随机拨动拨码开关，观察结果是否符合功能。记录结果如下表。

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **ASi** | **A[3..0]** | **B[3..0]** | **Ci-1** | **ASo** | **S[4..0]** | **Co** |
| 0 | 0101 | 0111 | 0 | 0 | 0 1100 | 0 |
| 0 | 0101 | 1010 | 1 | 0 | 1 0001 | 1 |
| 1 | 0000 | 0001 | 1 | 1 | 1 0010 | 0 |
| 1 | 0101 | 0101 | 0 | 1 | 0 0000 | 0 |

验证结果符合功能。

**三、实验仪器**

FPGA板

**四、实验小结**

本次实验由于有了一定的基础，相较于上一个实验成功率高了许多，有所进步。可以熟练掌握Quartus的相关操作及功能。现在尚存的缺点是，写预习报告时没有对仿真图进行分析。

本次实验中尝试着扩展功能，如将当前BCD加减器对应功能显示出来，对于实验的验证较有帮助。

本次实验中，主要学会了如何利用封装与层次化的设计完善一个相对复杂的功能。提前预习了实验五的简易计算器内容，将会采用多层级模块化的方案进行设计，在以后的实验中应当加强此类意识。

**五、参考资料**

《数字逻辑设计实践2023年教学计划A\_V1.0》