**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 数字电路实验**

**第 3 次实验**

实验名称： 时序逻辑电路

院 （系）：电气工程学院专 业：电气工程及其自动化

姓 名： 王皓冬 学 号： 16022627

实 验 室: 401 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

**一、实验目的**

1、 掌握时序逻辑电路的一般设计过程

2、 掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求

3、 掌握时序逻辑电路的基本调试方法

4、 熟练使用示波器和逻辑分析仪观察波形图

**二、实验原理**

1. **输入信号与输出信号编码**

输入信号

**广告流水灯：**用一个脉冲信号P作为输入（时钟），P由低电平跃迁至高电平时（即从“0”变为“1”再变为“0”）产生一个脉冲，从而产生输入信号，使暗灯从左向右顺次移动。

输出信号

**广告流水灯：**用B0到B7作为第1~7个输出，分别对应第1~7个广告灯，输出为“1”时灯亮，为“0”时灯灭；F代表完成一次循环，输出为“1”代表循环完成，为“0”时代表循环未完成。

中间值

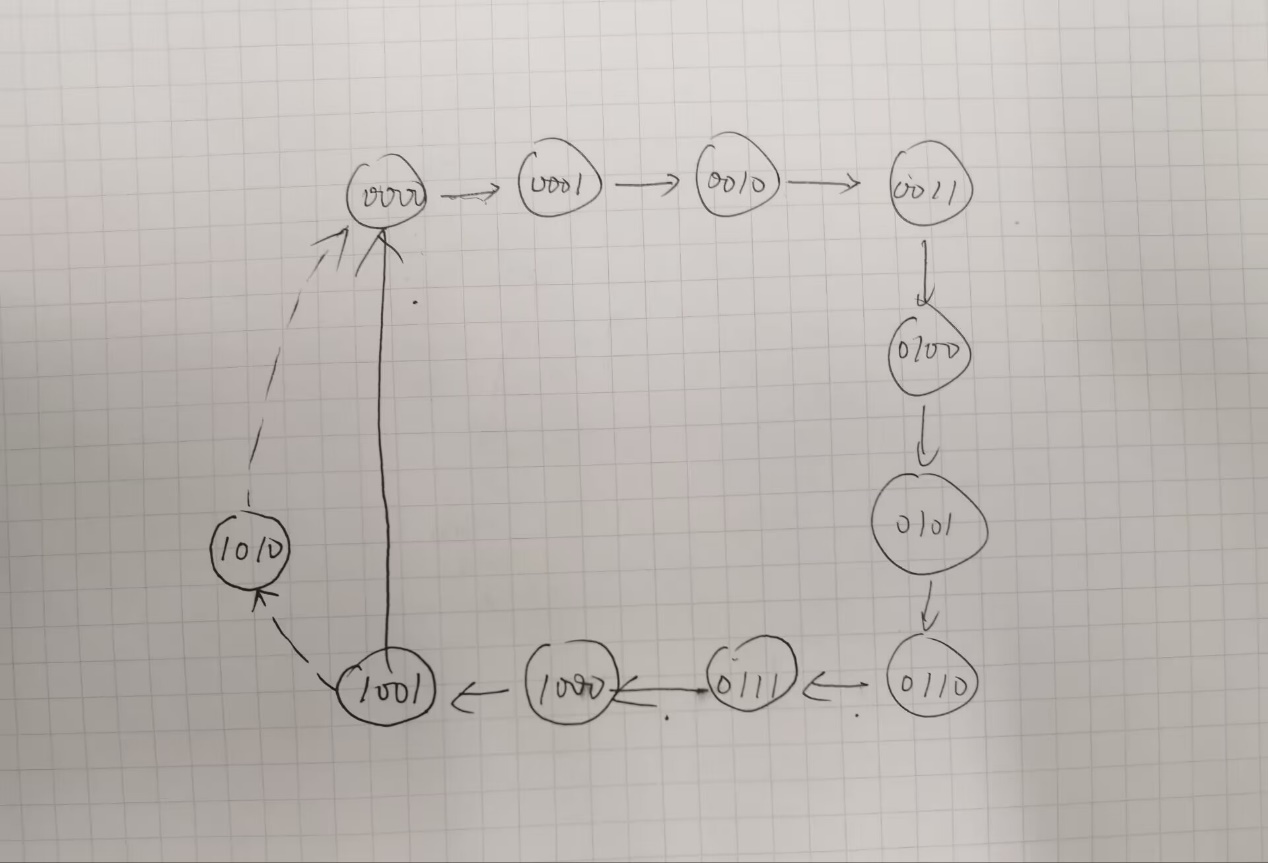
**广告流水灯：**用Q2 Q1 Q0 作为模八计数器的输出以及三八译码器的输入，（Q2 Q1 Q0）2组成三八译码器的三位二进制数地址。

**2．序列发生器（第 11 周）**

**a) 分别用集成计数器 74161 的同步置“0”和异步清“0”功能实现模 10 计数器，在 Quartus 中进行时序仿真验证，并分析比较两种方法的区别**

**1. 状态图**

分析可知，同步置“0”功能应在“9”时置“0”， 异步清“0”功能应在“10”时置“0”。



**2. 仿真电路图**

****

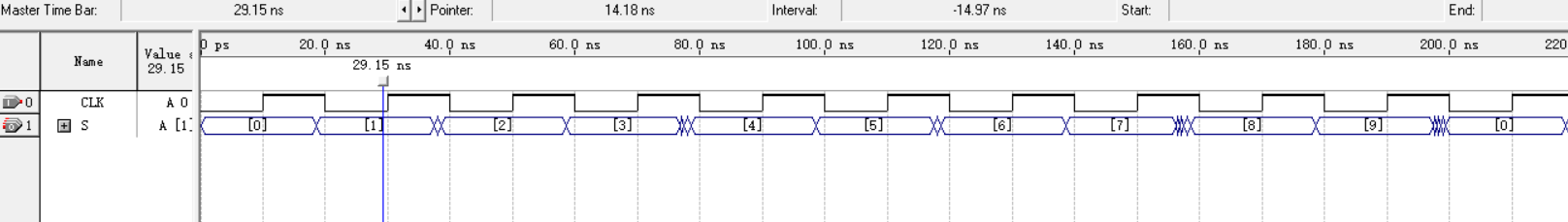
图 1 异步清0实现



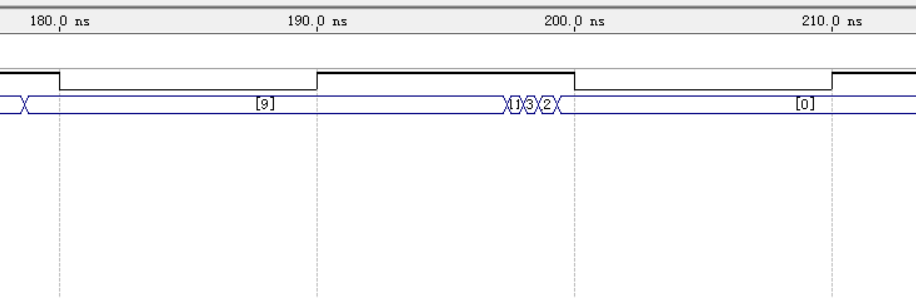
图 2 同步置0实现

1. **时序仿真**

异步清零：

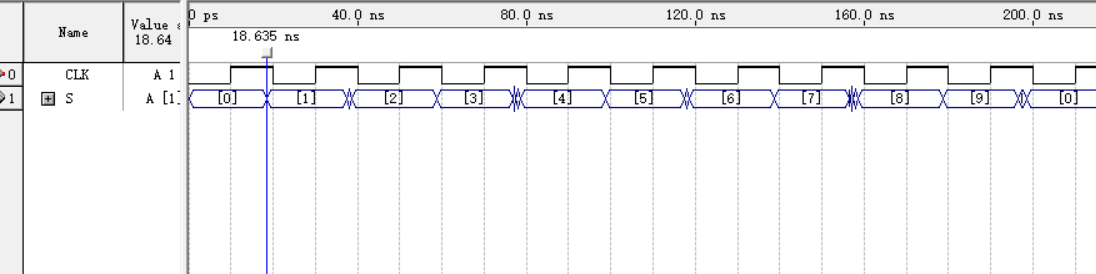


可以观察到，时钟上升沿的约8.6ns后，计数器作出反应。计数器由0计数到9，对应10个数，符合功能。

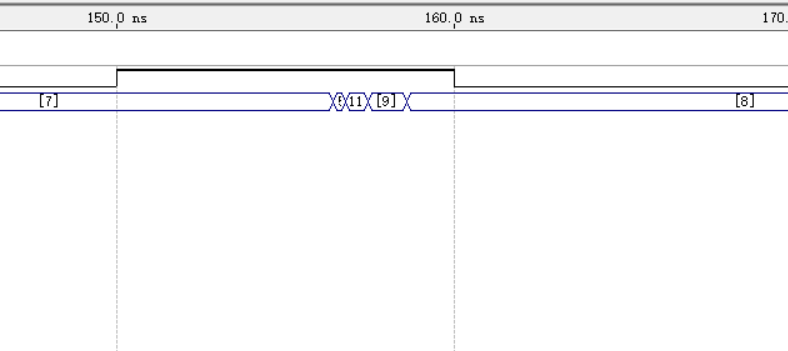
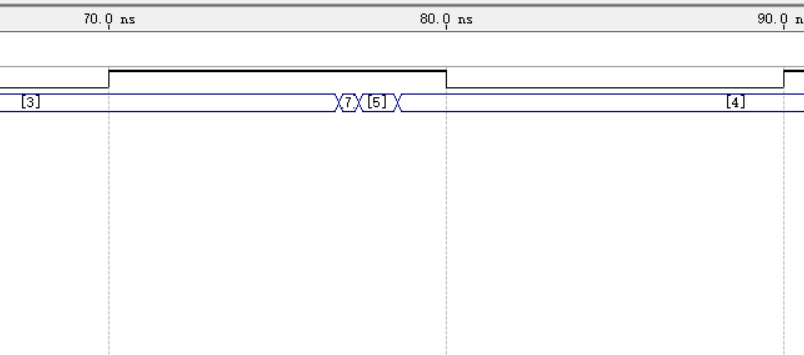


在7->8、9->0时，毛刺较多。

同步置零：



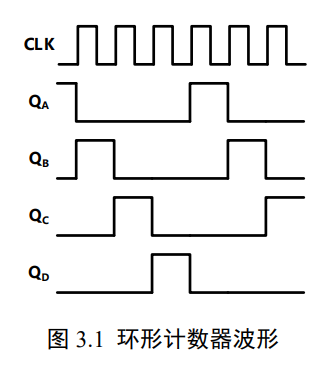
可以观察到，时钟上升沿的同样约8.6ns后，计数器作出反应。计数器由0计数到9，对应10个数，符合功能。



同步置0的毛刺主要集中在7->8的跃变过程中。

仿真结果表明，异步清零与同步置零在延迟与毛刺产生方面均无明显差异。

**b) 分别用集成计数器 74161 和 4 位双向移位寄存器 74194 实现图 3.1 所示的环形计数器，电路必须能自启动，并在 Quartus 中进行时序仿真验证**



**c) 完成两种方法实现序列发生器的设计方案，包含详细的设计过程和电路原理图**

**d) 完成两种方案序列发生器的硬件电路搭接。**

1. **列出状态方程**

其中，Qn是第n个输出信号（如QB），Qn-1是第n-1个输出信号（如QA）。

1. **逻辑化简**
2. **74161**

分析可知，该计数器是一个模4计数器，只需将“0”“1”“2”“3”对应的二进制码接入对应输出即可。本实验采用同步置0的方式设计逻辑电路，即在计数器输出“3”的后一个CLK上升沿将预置数“0”同步置进计数器中。

(1)

需要注意的是，为防止在“2”（0010）时输出“1”，应当完整写下的函数关系，而不能简单地用表示。、同理。由于实物搭接器件原因，将视为无效，即输出“5”（0101）与输出“1”（0001）等效。得到逻辑函数：

(2)

这里用74138实现该函数组，74138的最高位接“0”，实现数4~7的封锁。

1. **74194**

分析可知，设初态为1000（QA=1），以右移的方式设计电路，只需要在每次CLK上升沿到来时右移一位即可。为达成循环效果，只需将移位寄存器的输出反馈到它的串行输入端构成环形计数器即可。

1. **逻辑电路图**



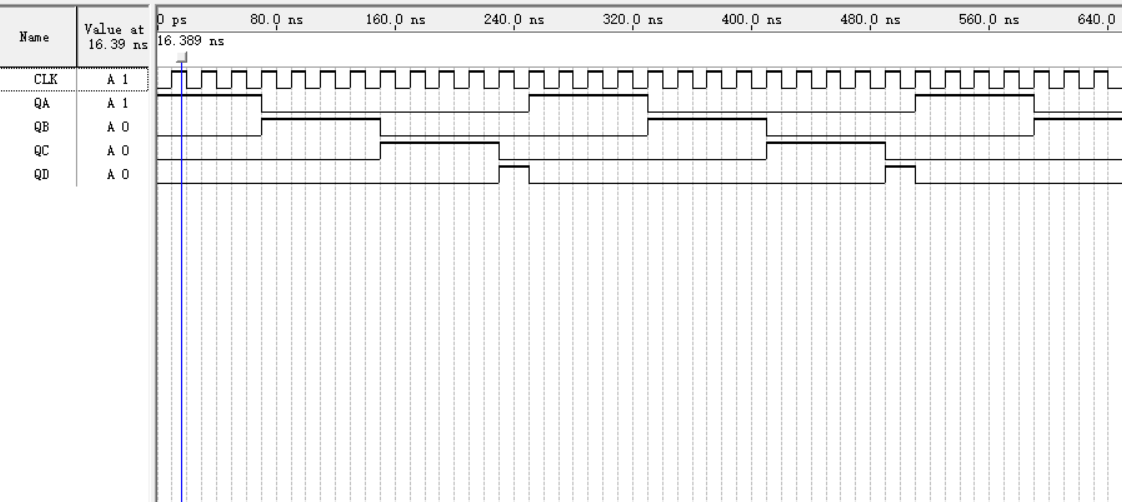
图 3 74161实现



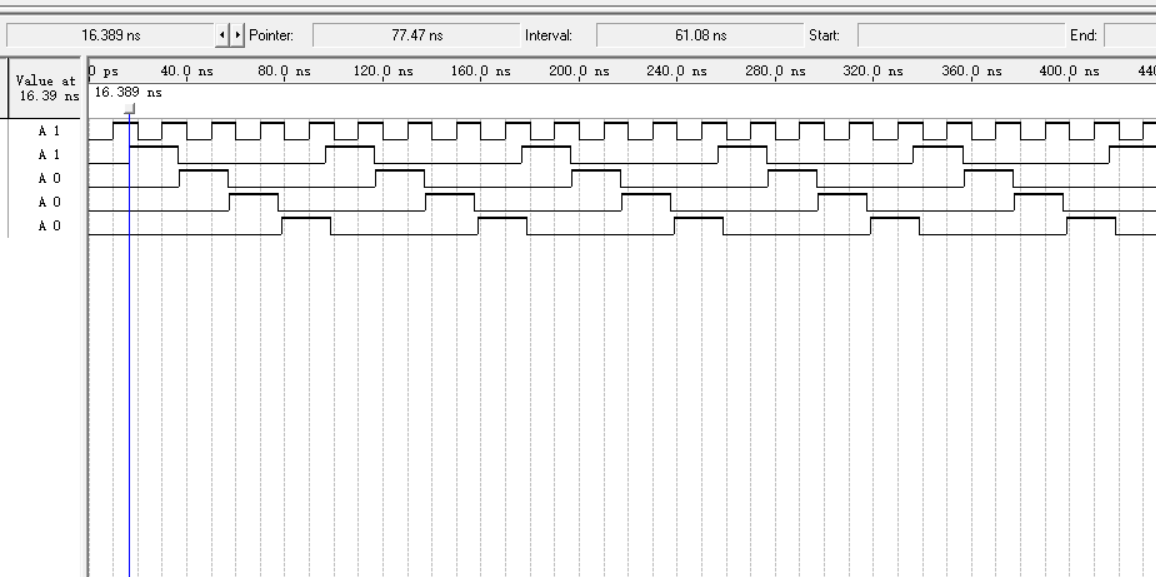
图 2 74194实现

1. **时序仿真**

**74161：**

****

观察到，电路能正确循环，但3个周期才会计数1次。

**74194：**

可以看到，输出正确，延迟约为6.389ns。

**e）分别用 MSI 计数器和移位寄存器设计一个具有自启动功能的 101001 序列信号发生器**

**(1) 写出设计过程，画出电路逻辑图**

**(2) 搭接电路，并用单脉冲静态验证实验结果**

**(3) 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、序列输出端的波形。**

1. **列出真值表**

**74161:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Q2n | Q1n | Q0n | Q2n+1 | Q1n+1 | Q0n+1 | Y |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |

其中，自启动功能是通过计数循环达到“000”实现的，例如“9”（1001）会逐个计数到“15”（1111），再返回“0”（0000）。

**74194：**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 有效  状态 | 顺序 | QC | QB | QA | SR | S1 | 功能 |
| 0 | 0 | 1 | 1 | 0 | 0 | 右移 |
| 1 | 1 | 1 | 0 | 1 | 0 | 右移 |
| 2 | 1 | 0 | 1 | 0 | 0 | 右移 |
| 3 | 0 | 1 | 0 | 0 | 0 | 右移 |
| 4 | 1 | 0 | 0 | 1 | 0 | 右移 |
| 5 | 0 | 0 | 1 | 1 | 1 | 置数 |
| 无效  状态 | 6 | 0 | 0 | 0 | 1 | 0 | 右移 |
| 7 | 1 | 1 | 1 | 0 | 0 | 右移 |

循环的功能是通过在“001”状态置数“011”实现的。自启动功能是通过右移进入有效状态实现的。

1. **逻辑化简**

**（1）74161**

分析可知，该计数器是一个模6计数器。只需将“0”~“5”对应的二进制码分别接入对应输出即可。本实验采用同步置0的方式设计逻辑电路，即在计数器输出“5”的后一个CLK上升沿将预置数“0”同步置进计数器中。逻辑函数式参考模4计数器，输出的转化同样用74138实现。

**（2）74194**

分析可知，初态为011（前两位为“01”的原因是：有效状态中已经含有010，故顺序1必须为110；推得顺序0为x11，又011易于自启动：顺序5的001右移置1即可，故选取011），以右移的方式设计电路，只需要在每次CLK上升沿到来时右移一位即可。

1. **逻辑电路图**

根据上述分析所得逻辑电路如图。



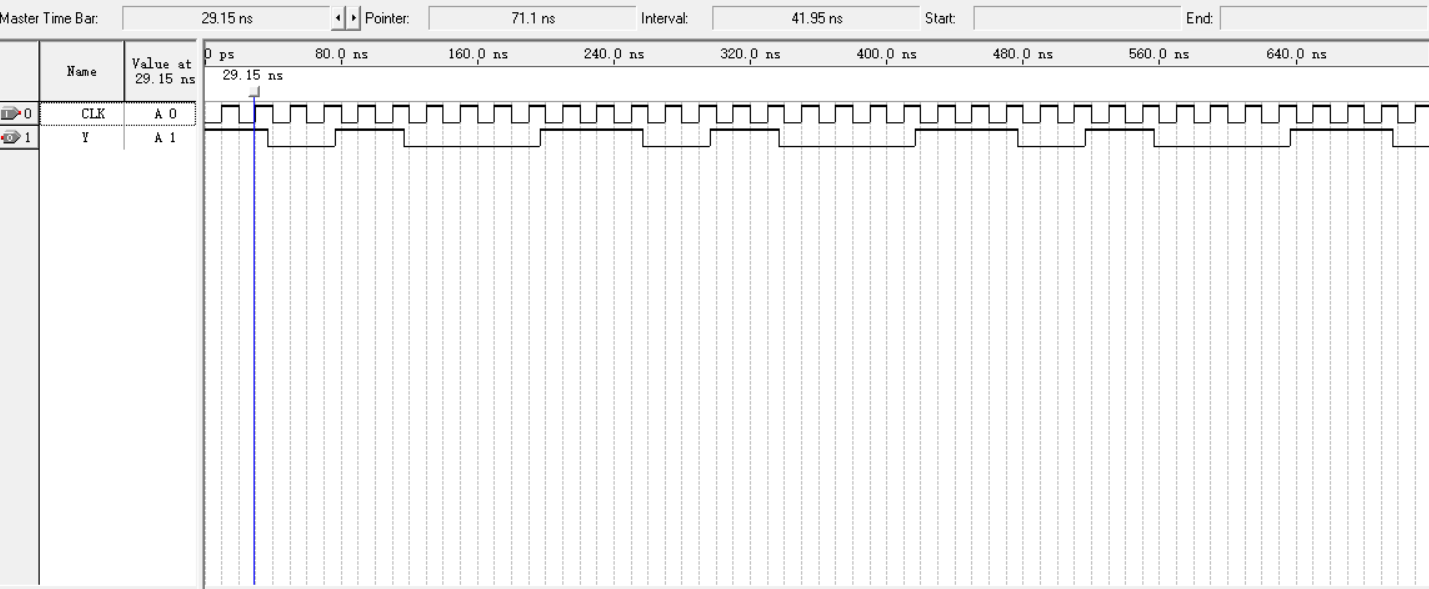
图 3 74161实现序列发生器



图 2 74194实现序列发生器

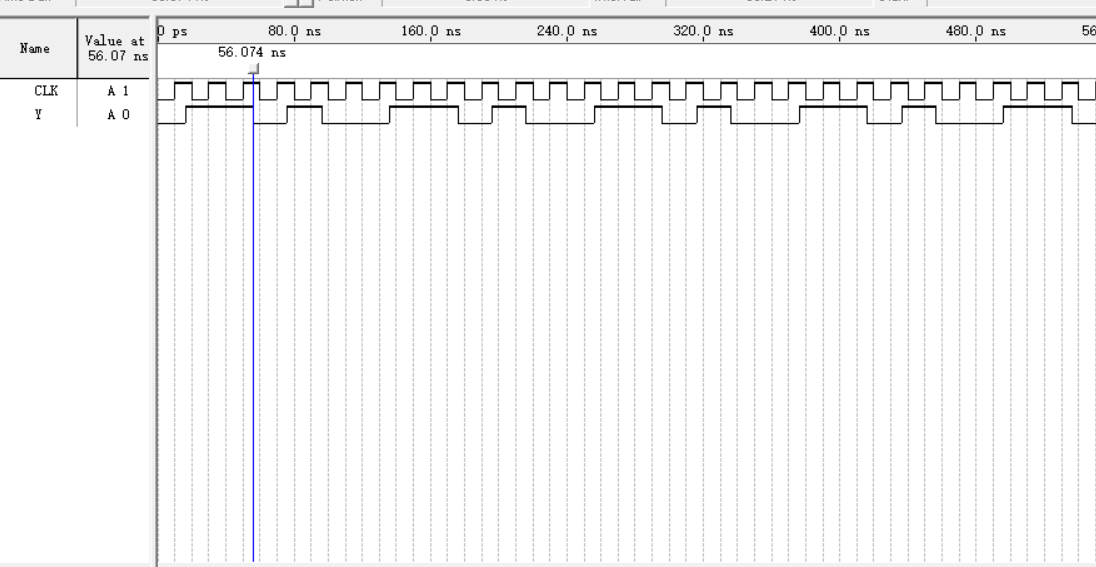
1. **时序仿真**

74161实现：



可以看到，初状态为Y=0；延迟约6.729ns；Y正确显示了时序波形（101001）。

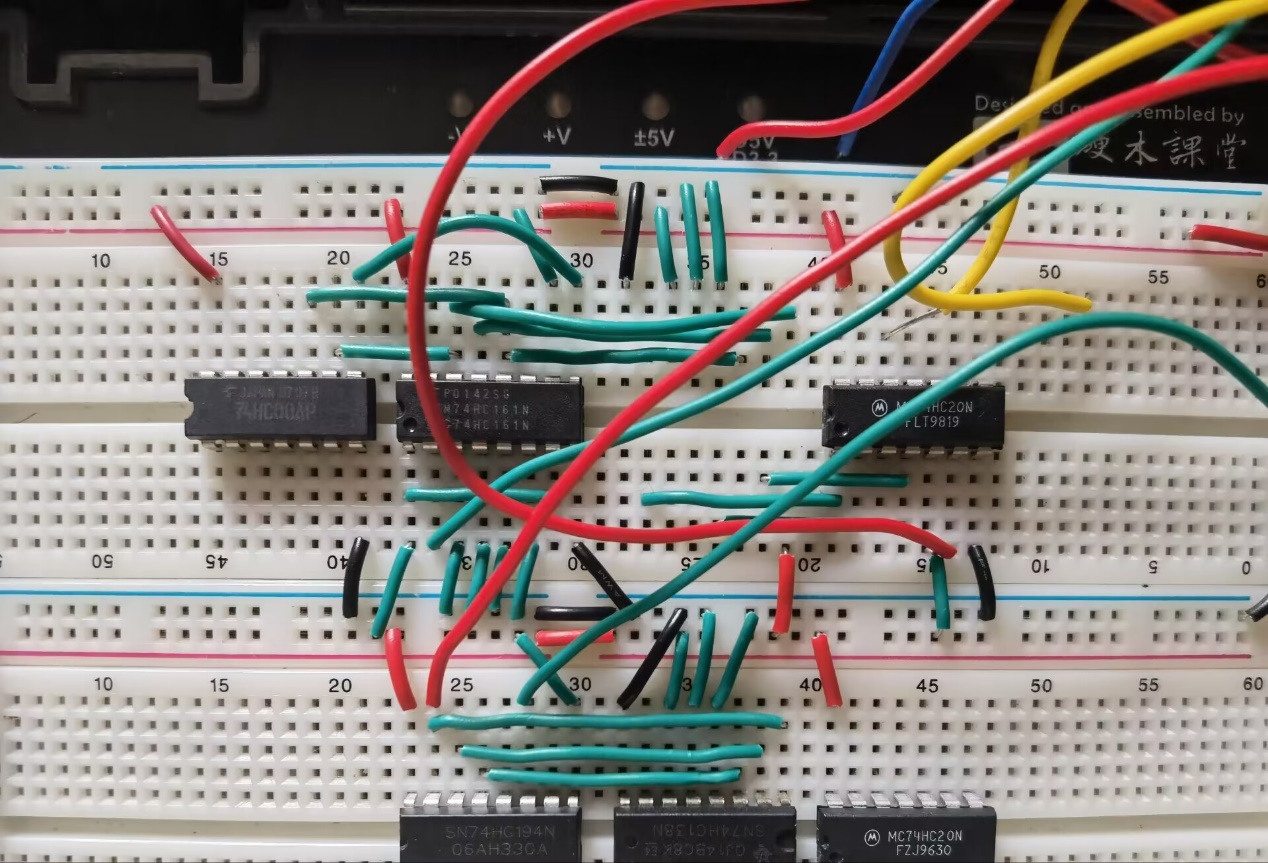
74194实现：



可以看到，初状态为Y=0，随后置数Y=1，然后正确显示了波形；延迟约6.074ns；Y正确显示了时序波形（101001）。

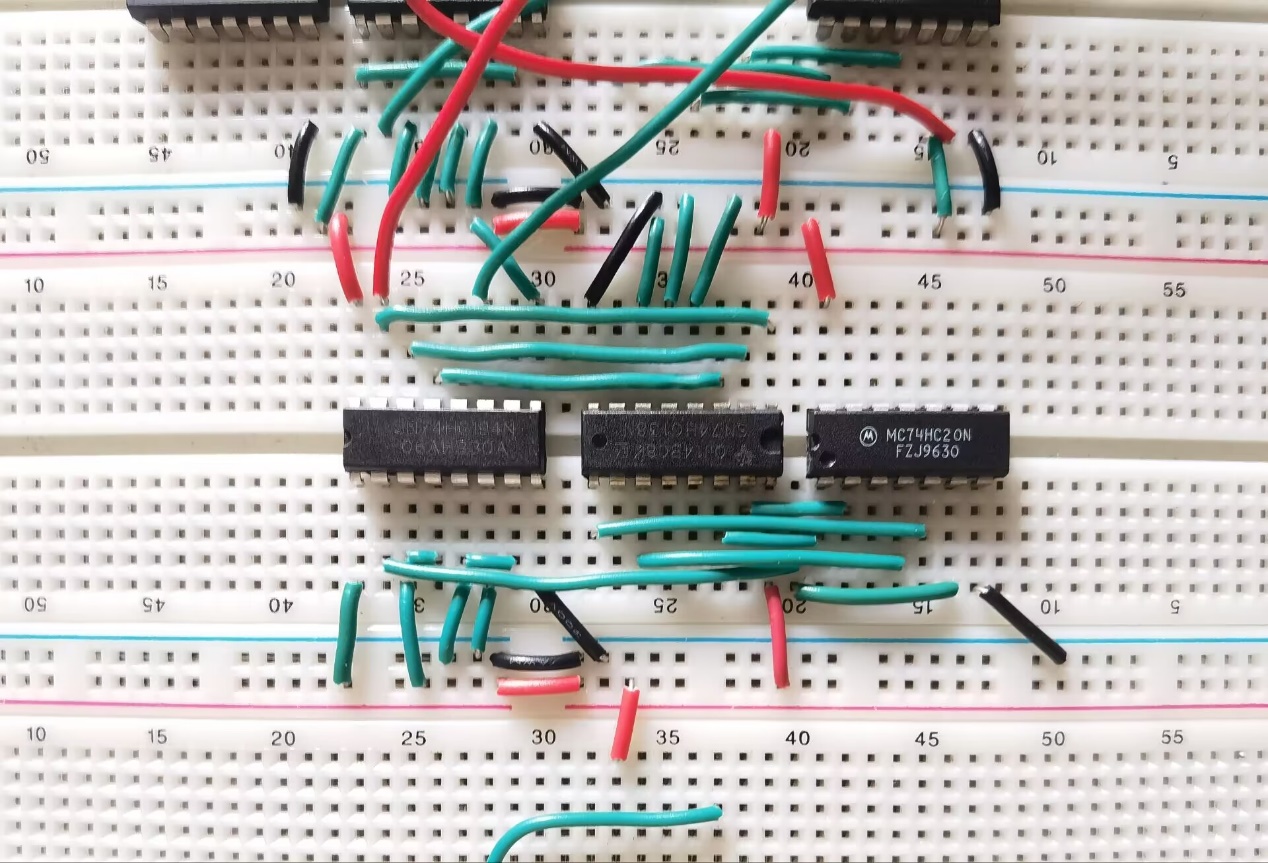
1. **硬件连接图**

74161：



（空缺位置为74138芯片，红线接16脚，黑线接8脚）

74194：



**三、实验记录**（记录实验具体步骤、原始数据、实验过程、实验中遇到的故障现象、排除故障的过

程和方法等）

实验步骤：

遇到的问题及解决方法：

**四、实验仪器**

**五、实验小结**（总结实验完成情况，对设计方案和实验结果做必要的讨论，简述实验收获和体会）

**六、参考资料**