**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 数字电路实验**

**第 3 次实验**

实验名称： 时序逻辑电路

院 （系）：电气工程学院专 业：电气工程及其自动化

姓 名： 王皓冬 学 号： 16022627

实 验 室: 401 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

**一、实验目的**

1、 掌握时序逻辑电路的一般设计过程

2、 掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求

3、 掌握时序逻辑电路的基本调试方法

4、 熟练使用示波器和逻辑分析仪观察波形图

**二、实验原理**

1. **输入信号与输出信号编码**

输入信号

**广告流水灯：**用一个脉冲信号P作为输入（时钟），P由低电平跃迁至高电平时（即从“0”变为“1”再变为“0”）产生一个脉冲，从而产生输入信号，使暗灯从左向右顺次移动。

输出信号

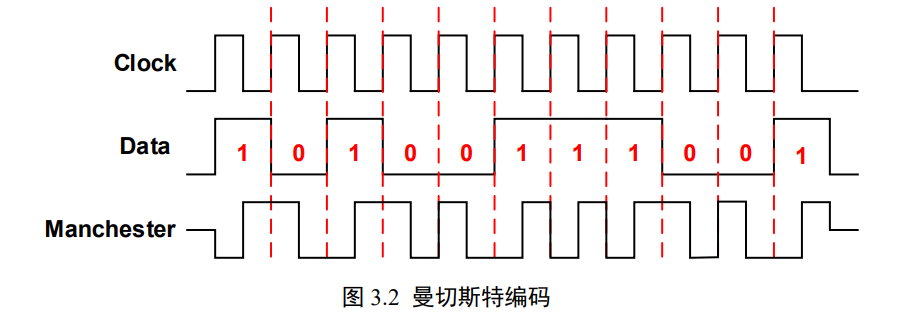
**广告流水灯：**用B0到B7作为第1~7个输出，分别对应第1~7个广告灯，输出为“1”时灯亮，为“0”时灯灭；F代表完成一次循环，输出为“1”代表循环完成，为“0”时代表循环未完成。

中间值

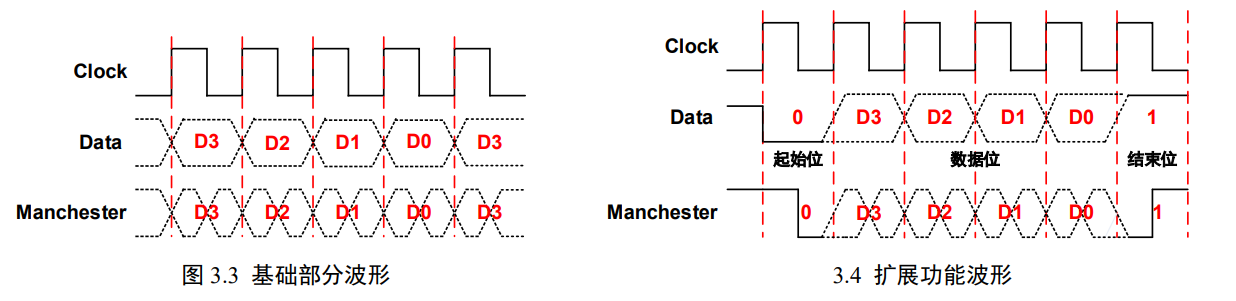
**广告流水灯：**用Q2 Q1 Q0 作为模八计数器的输出以及三八译码器的输入，（Q2 Q1 Q0）2组成三八译码器的三位二进制数地址。

**3、 4 位并行输入-串行输出曼切斯特编码电路（第 12 周课内验收，基础部分占 70%，扩展部分占 30%）**

**在电信与数据存储中, 曼彻斯特编码（Manchester coding），又称自同步码、相位编码（phase encoding，PE），它能够用信号的变化来保持发送设备和接收设备之间的同步，在以太网中，被物理层使用来编码一个同步位流的时钟和数据。曼彻斯特编码用电压的变化来分辨 0 和 1，从高电平到低电平的跳变代表 0，而从低电平到高电平的跳变代表 1。信号的保持不会超过一个比特位的时间间隔。即使是 0 或 1 的序列，信号也将在每个时间间隔的中间发生跳变。这种跳变将允许接收设备的时钟与发送设备的时钟保持一致，图 3.2 为 曼切斯特编码的例子。**



**设计一个电路，它能自动加载 4 位并行数据，并将这 4 位数据逐个串行输出（高位在前），每个串行输出位都被编码成曼切斯特码，当 4 位数据全部传输完成后，重新加载新数据，继续传输，如图 3.3 所示。**



**(1) 写出设计过程，画出电路逻辑图，设计时要注意不允许手动加载数据。**

**(2) 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、串行数据输出端的波形。**

**(3) 给串行数据增加起始位和结束位，其中起始位为“0”，结束位为“1”，起始和结束位同样要编码成曼切斯特码，波形图参看图 3.4（扩展部分，选作）**

1. **设计思路及真值表**

用74194与74161+74138组合的形式实现该电路。其中，194负责加载数据。161+138负责计数0~5，计数1~4时串行输出数据，计数为0时为起始位，计数为5时为结束位。

置0或置1的思路是通过逻辑“0”在与运算中的优先级实现的：逻辑0与任何数据的与运算后都会得到逻辑0，即可实现起始位强制置0的功能。同理，要实现逻辑1，只需将数据与逻辑0作与非即可。

74161+74138实现模6计数器。

具体实现如下：

**计数模块：**

计数模块即为一个简单的模6计数器。将161的低3位接到138的对应3位二进制输入，即可实现161计数的二进制输出与138十进制输出的转换。将138的Y5’通过反相器接回161的LD脚，使得计数为5时同步置0，即可实现模6计数的功能。

**产生数据模块：**

采用74194实现产生数据的功能模块。设并行数据输入为dcba，从QD输出串行数据，方便起见，用161计数的序号标注QDQCQBQA的组合状态顺序（即状态1~4为数据输出状态，状态0为起始位，状态5为结束位）。输出数据时，只需在CLK高电平到来时右移即可。

4位数据输出完成后，下一个CLK到来时，194进入状态5。通过置数功能实现结束位的数据处理。即：结束位时，194的数据状态应是dcba。

下一个CLK到来时，194进入状态0。通过保持功能实现起始位的数据处理。即：起始位时，194的数据状态将保持结束位的状态，仍应是dcba。

根据上述分析所得状态图如下：

表 1 74194状态图

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 顺序 | QD | QC | QB | QA | SR/SL | S0 | S1 | 功能 |
| 有效  状态 | 1 | d | c | b | a |  | 1 | 0 | 右移 |
| 2 | c | b | a | 0 |
| 3 | b | a | 0 | 0 |
| 4 | a | 0 | 0 | 0 |
| 结束位 | 5 |  | | | | 1 | 1 | 置数 |
| 起始位 | 0 | 0 | 0 | 保持 |
| 无效  状态 | 6 |  | | | | 1 | 0 | 右移 |
| … |
| 15 |

其中代表无关量。

现将结束位、起始位与计数模块关联。由设计思路，结束位时应由Y5控制S0 S1输入组合为（1，1）；起始位时应由Y0控制其输入组合为（0，0）；输出数据时S0 S1的组合应为（1，0）。因此，S0应接Y0，S1应接Y5’ 。

**输出模块：**

由上文可知，可以通过与逻辑0作与运算实现起始位与结束位。

161+138计数0000（0）时判断为起始位，138的Y0脚输出为0，将其与QD作与运算，即可实现起始位置0；计数0101（5）时判断为结束位，138的Y5脚输出为0，将其与QD作与非运算，即可实现结束位置1；计数为1~4时，由于此时Y0及Y5脚均输出1，与QD作与或与非运算时不会影响输出。

因此，最终输出M应是QD输出Q与138 Y0脚的与，及与Y5脚的与非。与和与非无先后顺序要求。

同时，考虑到过了一次与非门，为保证输出M仍是原数据而非反数据，应给QD脚添加一个反相器。这就是最终输出M的处理思路。

1. **逻辑化简**

根据上述分析可列出部分逻辑关系。由于161+138的逻辑部分较为常见，在此只列出最终输出Y与74194芯片上两个S脚的逻辑函数。

记QD输出为QD，则最终输出M的逻辑函数如下：

S1与S2逻辑函数如下：

其余部分按逻辑功能正常接入即可。

将最终输出M编码为曼切斯特码：

1. **逻辑电路图**

不考虑曼切斯特码，仅只考虑并行输入、串行输出、开始位0与结束位1的电路图如下：

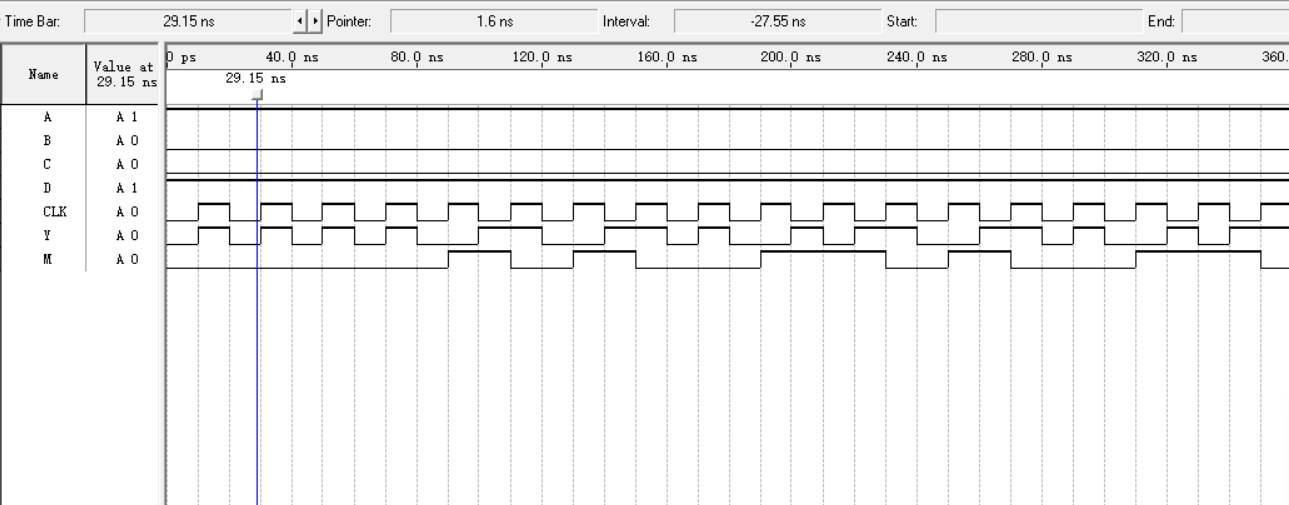


将该电路输出编成曼切斯特码，即将原输出与CLK信号异或。由于起始位与结束位也要编成曼切斯特码，故可以直接异或，不需要考虑161计数为Y1~Y4时才异或。如下：



1. **仿真**

**功能仿真：**

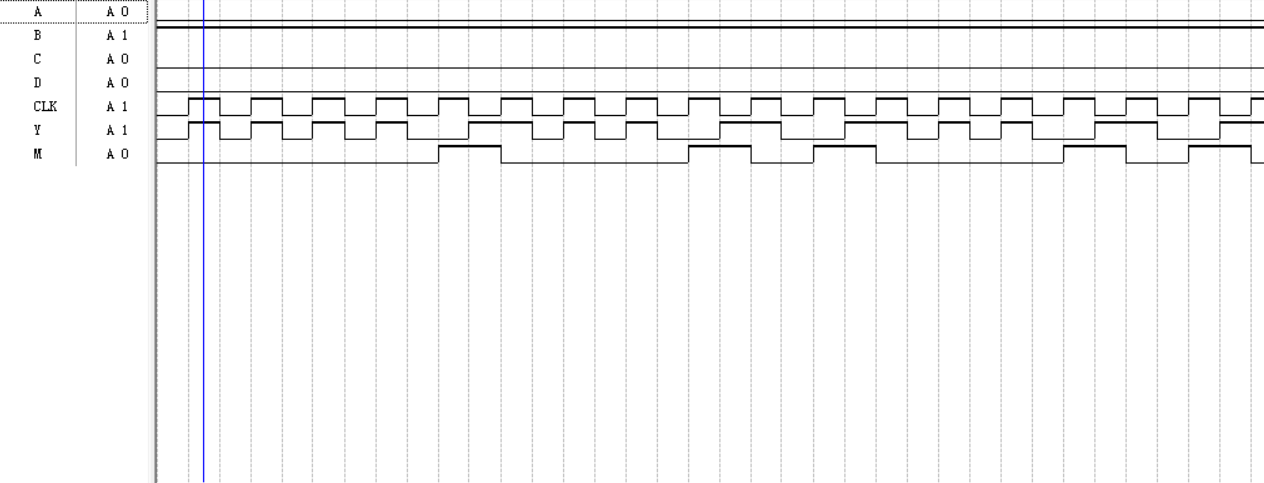


这里输入数据设定为了1001。可以看到，数据输出M在第一个序列周期内无数据输出，是因为初状态时没有对74194置数，默认数据为0000。第二个周期起，首先输出0信号，接着输出1001数据，最后输出1信号，标至第二个周期结束。第三个周期重复了第二个周期的输出。

同时，曼切斯特码Y正确对M与CLK作了与非。取t=0ns为例，M=0，CLK=0时Y输出为0，CLK=1时Y输出为1，即CLK与M同图像。

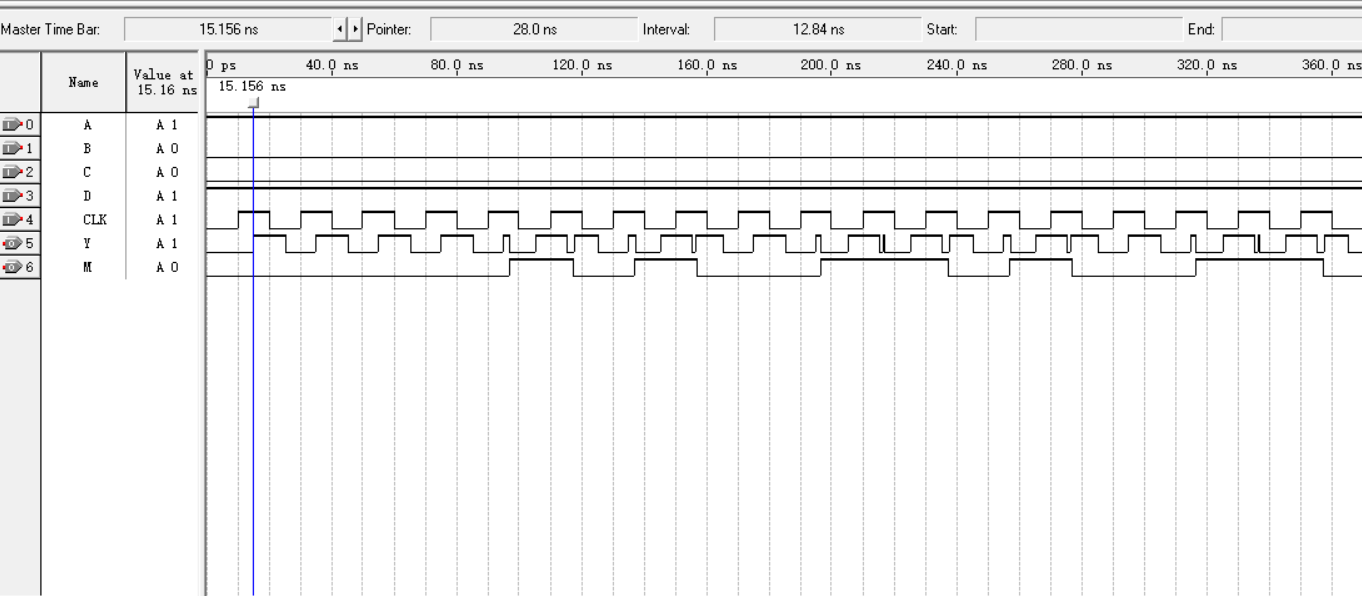
因此，该电路图功能正确。

更改数据为（0010）：

****

同样，M正确输出了0-0010-1的序列，Y正确进行了与非。

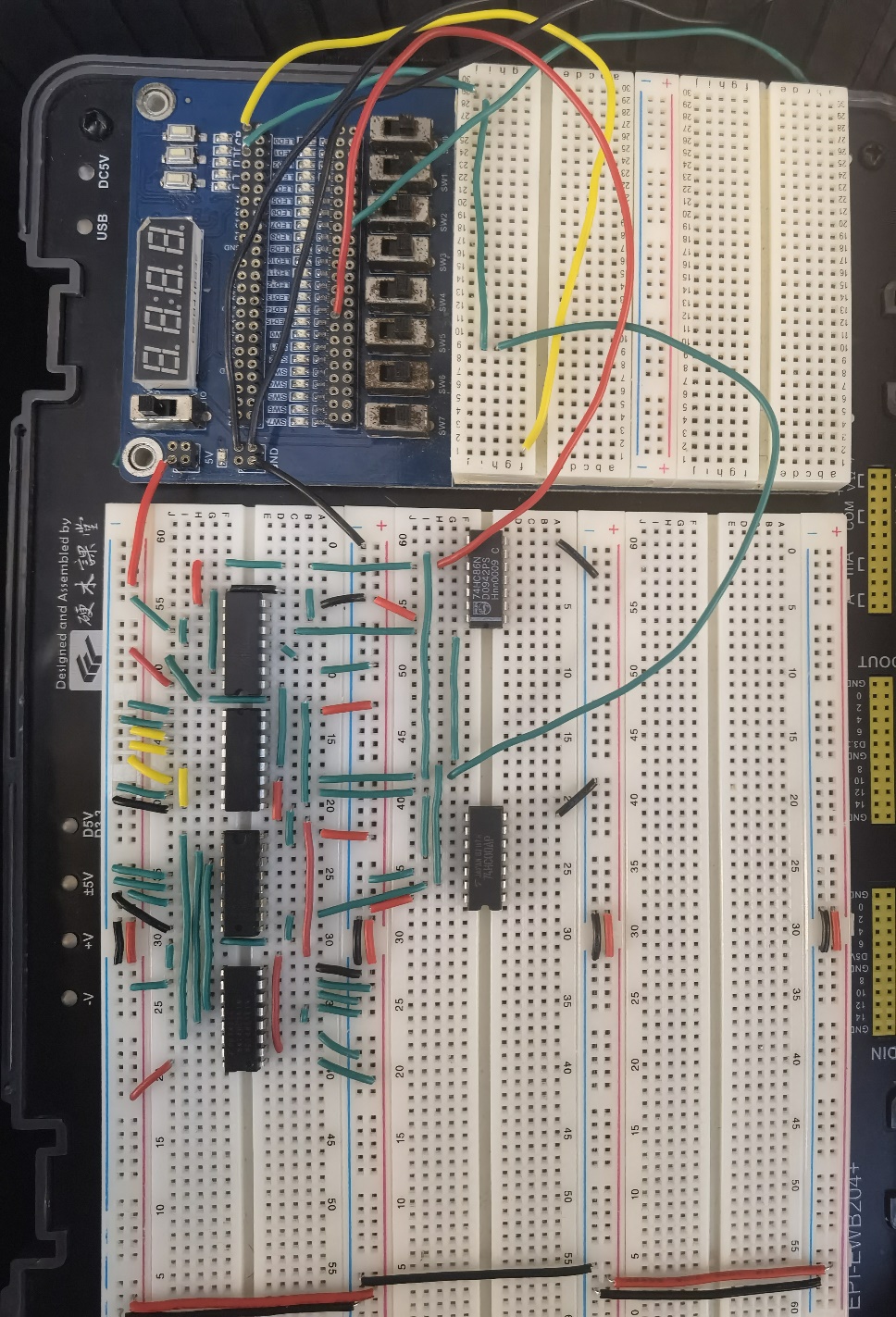
**时序仿真**（1001为例）：



可以看到，曼切斯特码输出延迟约为5.156ns。观察波形可以发现，数据输出M波形正确，为0-1001-1循环；曼切斯特码Y输出正确，实现了数据与CLK的同步；且二者均无毛刺。

1. **硬件连接图**

由于本人未考虑到反相器7404，获得反变量的操作均是利用7400将变量与逻辑1与非实现的。



**三、实验记录**（记录实验具体步骤、原始数据、实验过程、实验中遇到的故障现象、排除故障的过

程和方法等）

实验步骤：

遇到的问题及解决方法：

**四、实验仪器**

**五、实验小结**（总结实验完成情况，对设计方案和实验结果做必要的讨论，简述实验收获和体会）

**六、参考资料**