预习报告：4位全加器、全减器

1. **实验内容**

4 位全加器：

1) 用“AND2”和“XOR”器件设计一个 1 位半加器，并用功能仿真进行验证；

2) 点击“File”◊“Create/Update”-“Create Symbol File for Current File”菜单项，将 1 位半加器封 装成元件。新建一个原理图文件，调用 2 个半加器实现一个 1 位全加器，并用功能仿真进行验证；

3) 将 1 位全加器封装成元件，新建原理图文件，调用 4 个全加器实现一个 4 位行波加法器，用功能仿真进行验证，用“Tools”-“Netlist Viewers”◊“RTL Viewer”查看电路综合结果；

4) 适配编译，用“Tools”-“Netlist Viewers”-“Technology Map Viewer”查看电路 Map 结果； 用“Tools”◊“Chip Planner”查看器件适配结果；

5) 将 4 位全加器下载到实验箱，连接逻辑电平开关进行功能验证。

4 位全减器：

1)将 4 位全加器的输入输出信号用总线的方式引出，并封装成元件；

2) 利用封装好的 4 位全加器，实现 4 位全减器。其中输入为 4 位二进制无符号数，输出结果为 5 位二进制数，其中最高位为符号位。电路算法采用二进制求补相加方式。

3) 将 4 位全减器下载到实验箱，连接逻辑电平开关进行功能验证。

1. **实验设计方案**
2. 输入、输出信号编码

输入信号

半加器：用A、B作为输入的两个一位二进制数

全加器：用A、B作为输入的两个一位二进制数，Ci-1代表来自低位的进位

四位全加器：用A0-A3、B0-B3、Ci-1作为输入，（A3 A2 A1 A0）2、（B3 B2 B1 B0）2代表两个相加的四位二进制数，Ci-1代表来自低位的进位。

四位全减器：用A0-A3、B0-B3、Ci-1作为输入，（A3 A2 A1 A0）2代表被减四位二进制数，（B3 B2 B1 B0）2代表四位二进制减数，Ci-1输入为“1”，代表补码运算。

输出信号

半加器：用S、C作为输出信号，S代表相加得到的低位结果，C代表相加得到的进位，（CS）2组成二进制数相加得到的二位二进制数

全加器：用SI、CI作为输出信号，SI代表相加得到的低位结果，CI代表相加得到的进位，（CI SI）2组成二进制数相加得到的二位二进制数

四位全加器：用S0-S3、Co作为输出，（S3 S2 S1 S0）2代表相加得到的四位二进制数，Co代表向高位的进位。

四位全减器：用S0-S4作为输出，（S4 S3 S2 S1 S0）2代表相加得到的四位二进制数补码，其中S4是符号位，“1”代表负数，“0”代表正数。

1. 列出真值表

根据题目要求，列出真值表。

表 1 半加器

|  |  |  |  |
| --- | --- | --- | --- |
| **输入** | | **输出** | |
| **A** | **B** | **C** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

表 2 全加器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| **Ai** | **Bi** | **Ci-1** | **CI** | **SI** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

由于四位全加器与全减器真值表过于复杂，且四位全加器每一位的真值表与一位全加器相同，故在此不列出，仅列出一位全减器的真值表。

表 3 一位全减器

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| **Ai** | **Bi** | **Ci-1** | **CI** | **SI** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |

这里CI是符号位，不代表输出的向上进位。

1. 逻辑函数式

根据真值表可以得到函数的逻辑式。

半加器：

（1）

（2）

全加器：

（3）

（4）

由于四位全加器的逻辑过于复杂，且每一位逻辑由全加器给出，在此采用式（3）（4）作为其逻辑函数式。

一位全减器：

（5）

（6）

同样，这里CI是作为符号位处理的。如果表征“低位向高位进位”的Ci，由下式（7）给出：

（7）

最低位时，Ci-1应取1。

1. 仿真电路图

根据逻辑函数式可得对应电路仿真图。



图 1 半加器



图 2 全加器



图 3 4位全加器

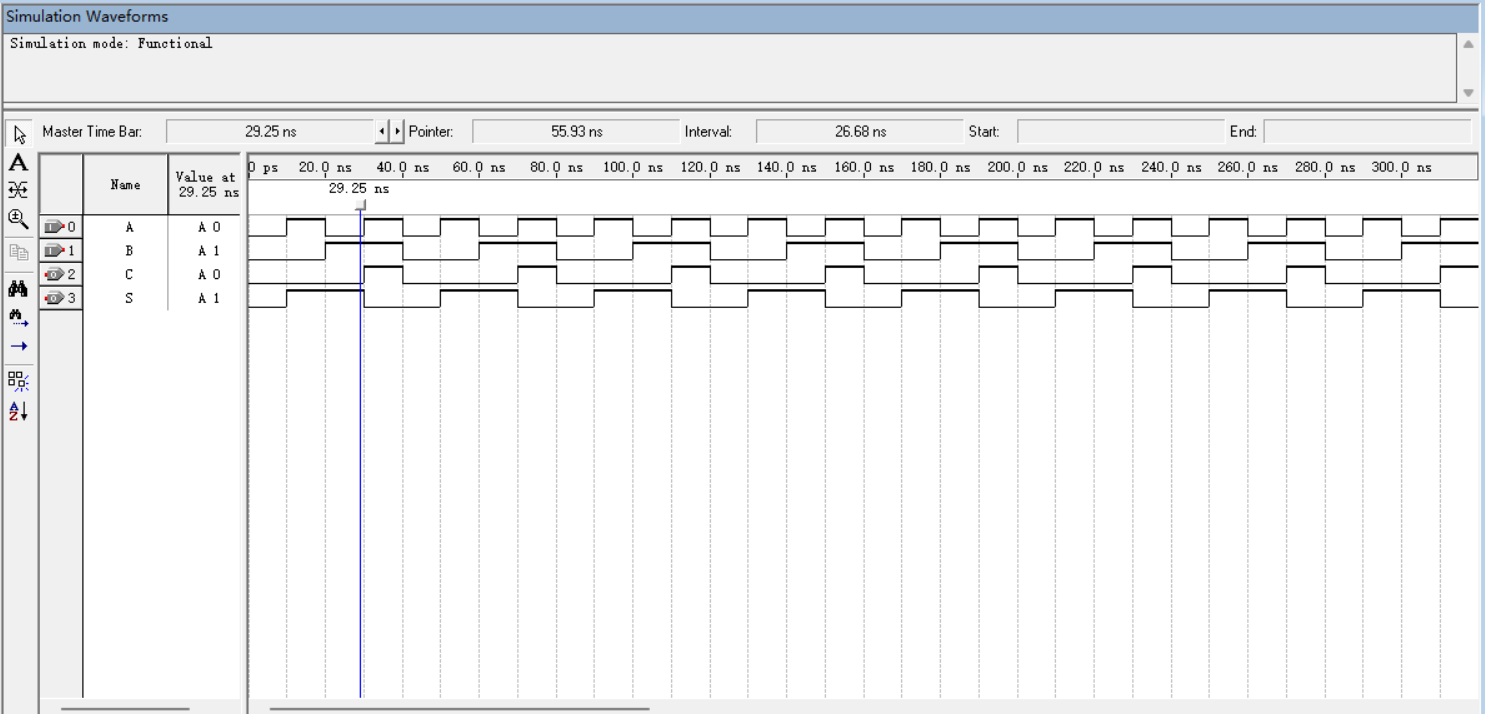


图 4 4位全减器

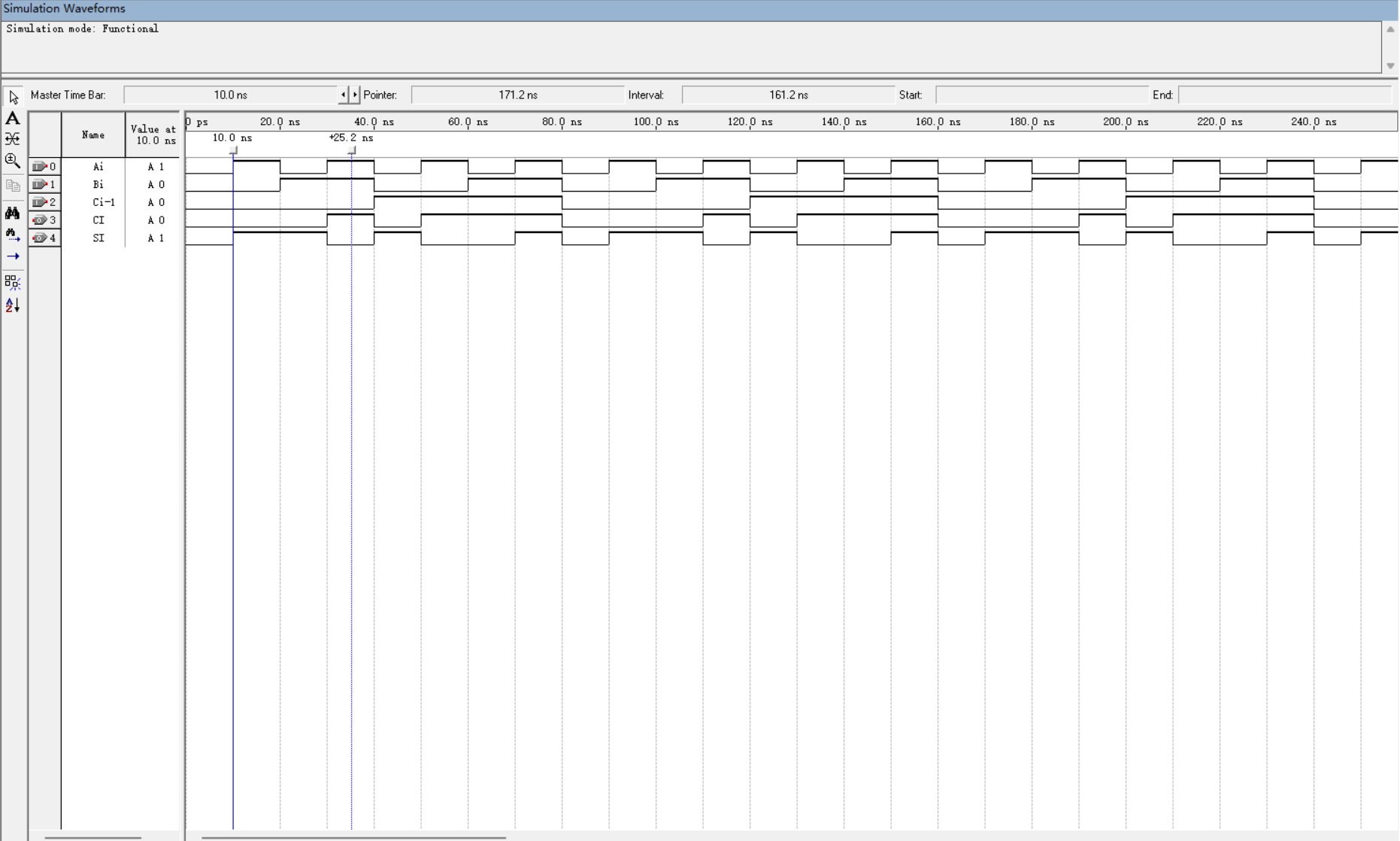
1. **测试方案**

对仿真电路输入按真值表变化的波形曲线进行仿真，分析仿真结果是否与真值表相符。再将脚注分配编程到器件中，连接电路进行测试，分析测试结果是否与真值表相符。

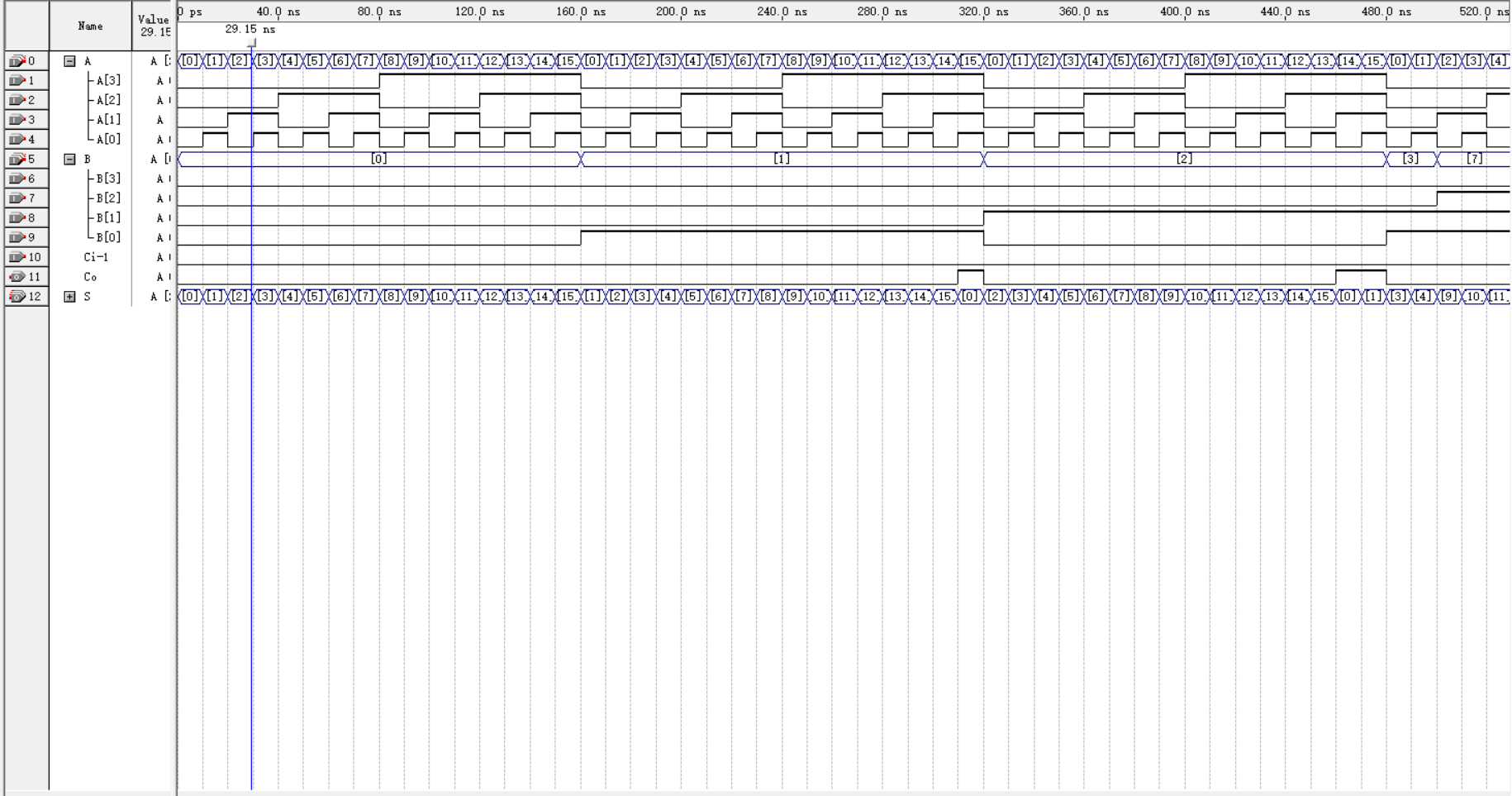
半加器：

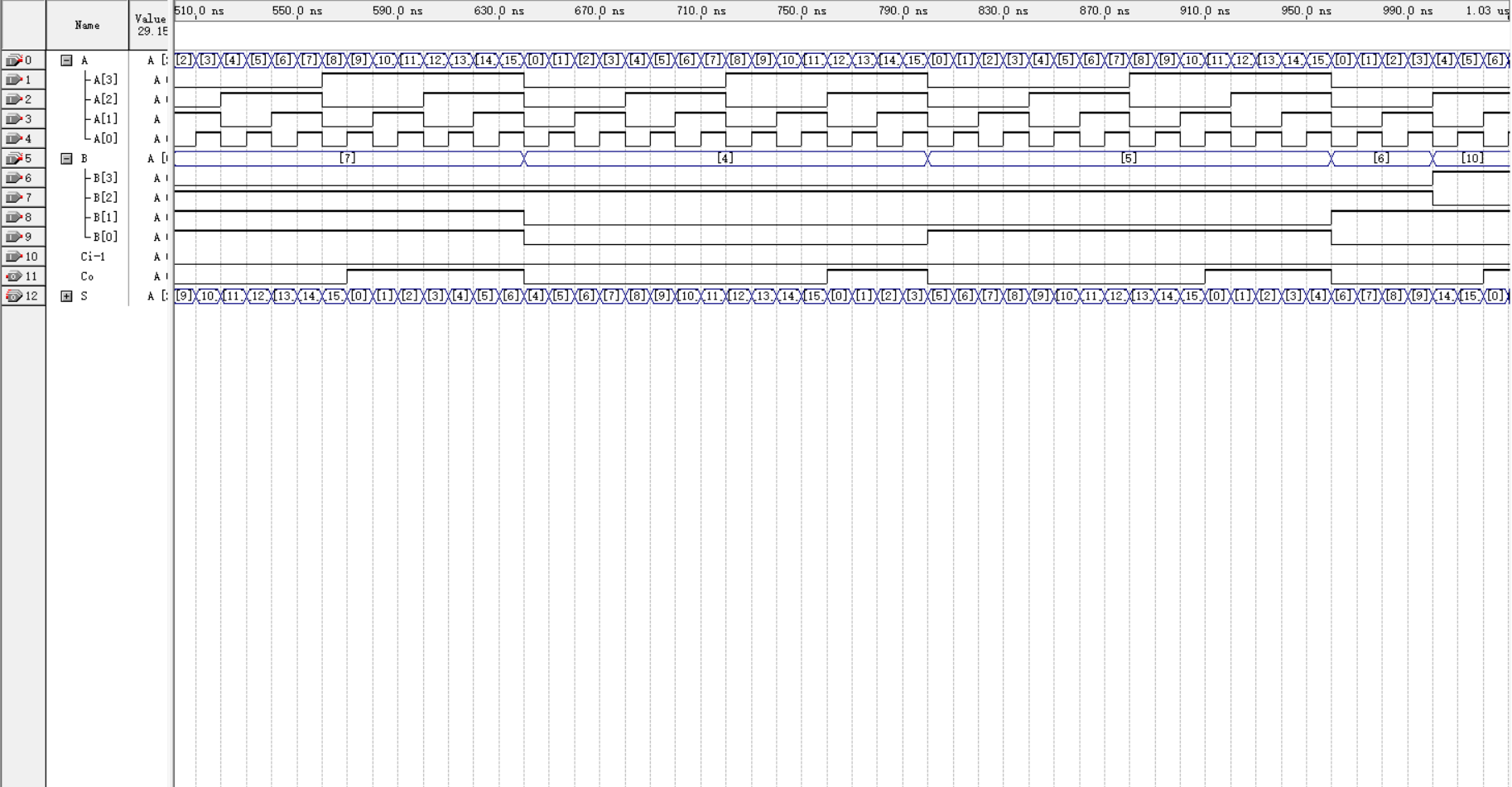


全加器：



四位全加器：





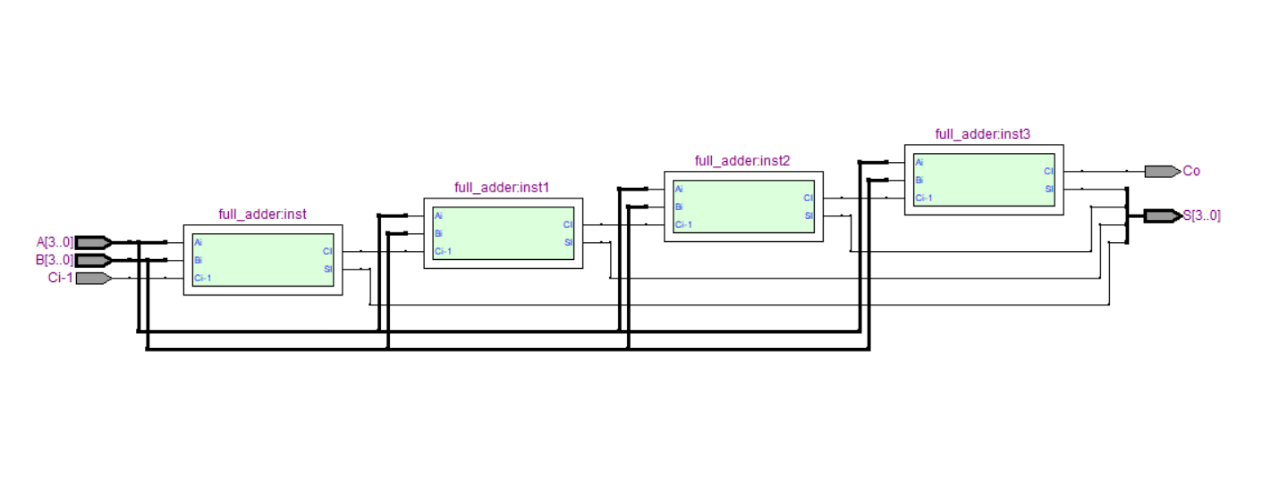


图 5 电路综合结果

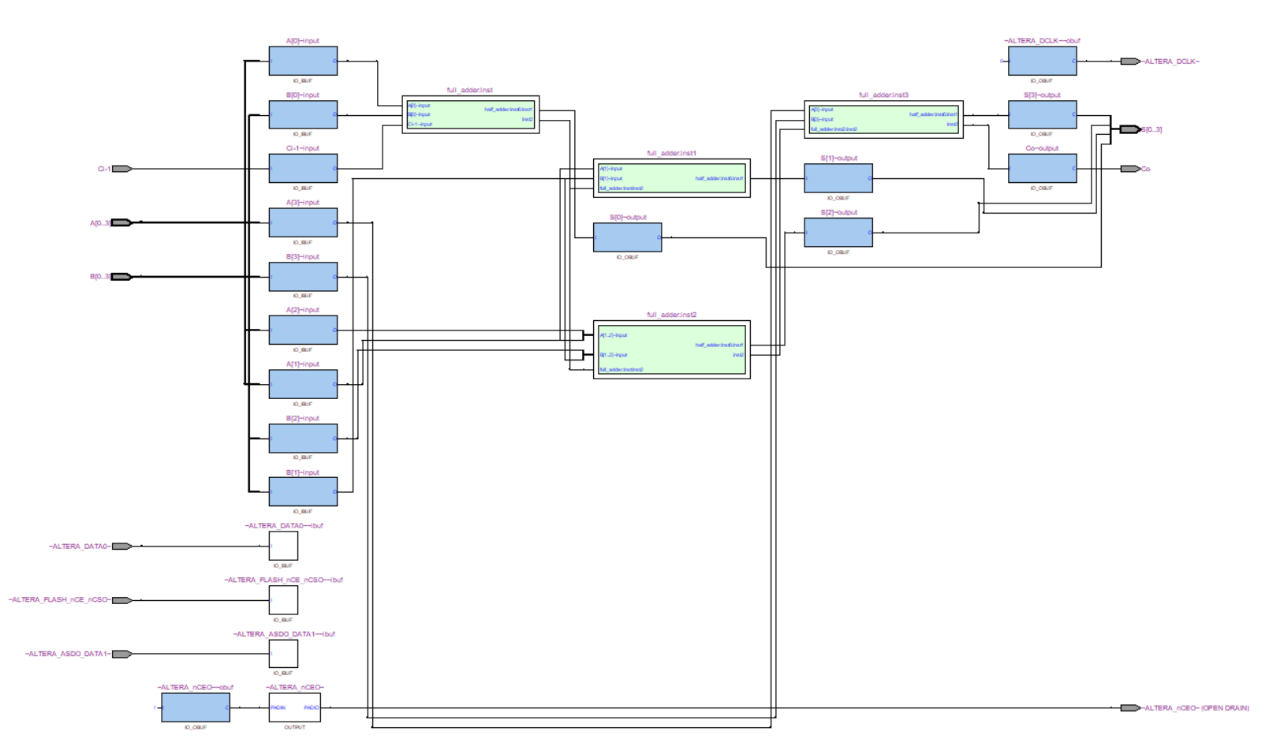


图 6 电路MAP结果

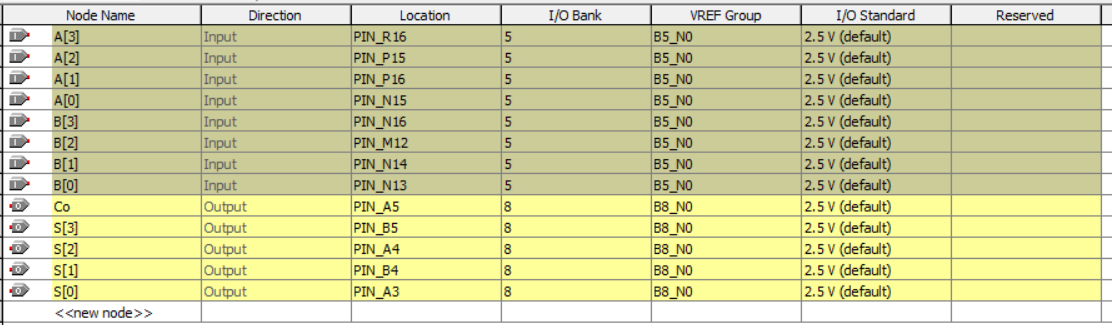
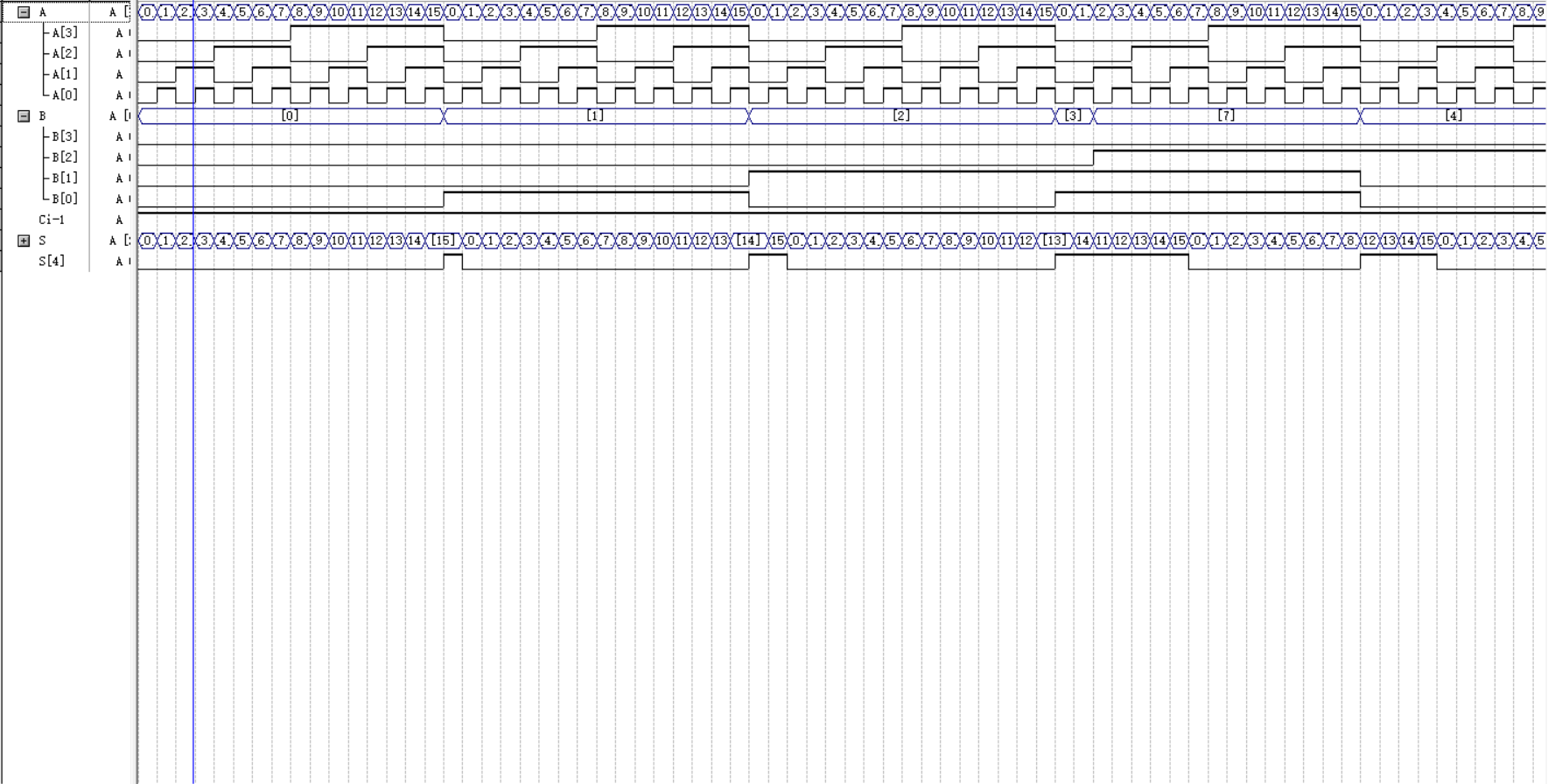
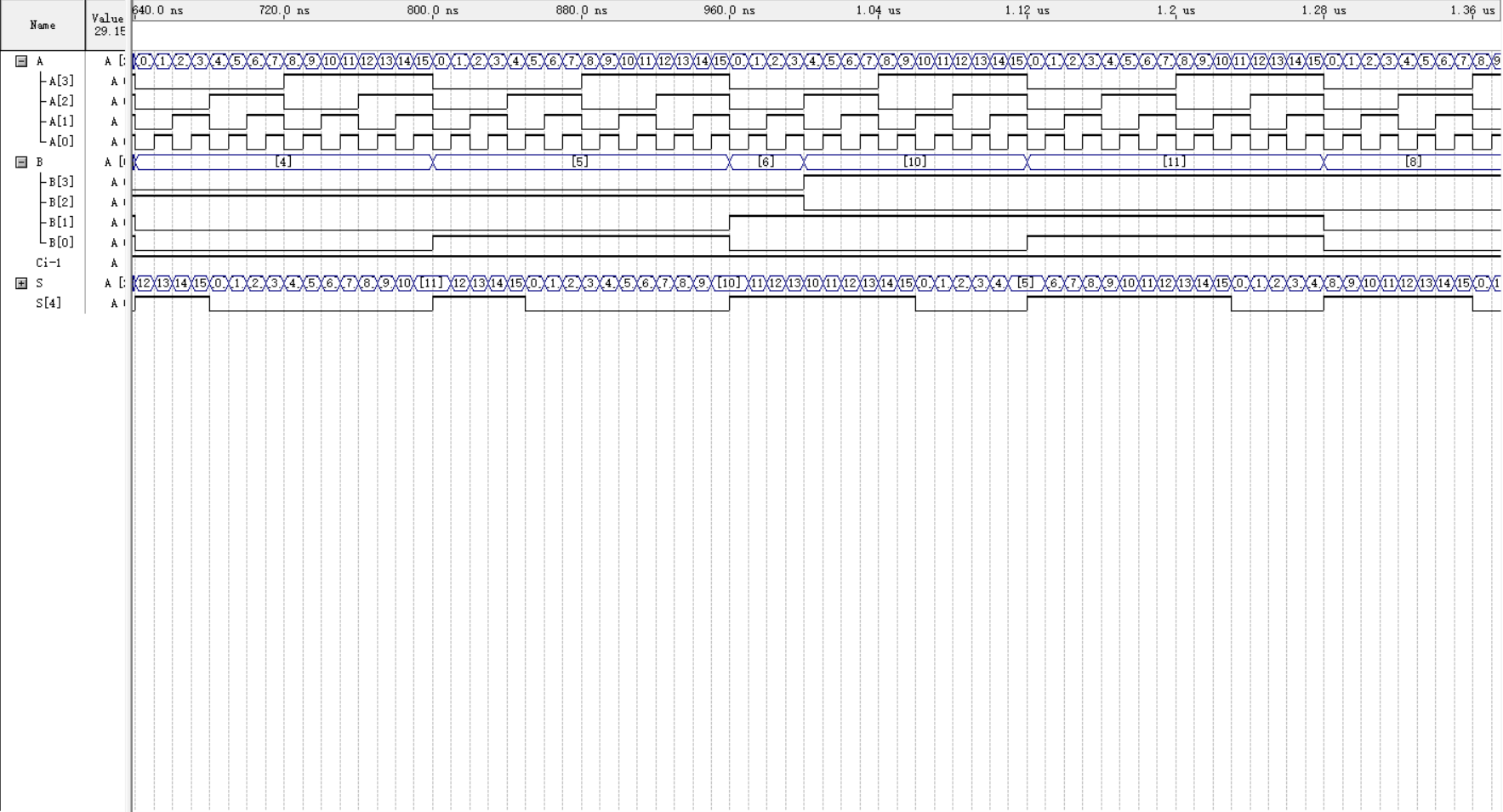


图 7 引脚分配图

四位全减器：





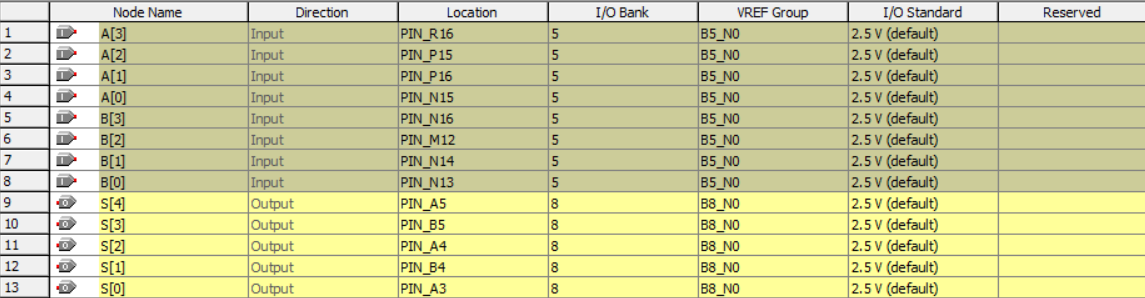


图 8 引脚分配图