**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 数字电路实验**

**第 2 次实验**

实验名称： 组合逻辑电路

院 （系）：电气工程学院专 业：电气工程及其自动化

姓 名： 王皓冬 学 号： 16022627

实 验 室: 401 实验组别：

同组人员： 实验时间：

评定成绩： 审阅教师：

**一、实验目的**

1、 了解可编程数字系统设计的流程

2、 掌握 Quartus 软件的使用方法

3、 掌握自底向上数字电路设计方法

4、 掌握竞争和冒险的基本概念和电路时延分析方法

**二、实验原理**

1. **输入信号与输出信号编码**

输入信号

**半加器：**用A、B作为输入的两个一位二进制数。

**全加器：**用A、B作为输入的两个一位二进制数，Ci-1代表来自低位的进位。

**四位全加器：**用A0-A3、B0-B3、Ci-1作为输入。（A3 A2 A1 A0）2、（B3 B2 B1 B0）2代表两个相加的四位二进制数，Ci-1代表来自低位的进位。

**四位全减器：**用A0-A3、B0-B3、Ci-1作为输入。（A3 A2 A1 A0）2代表被减四位二进制数，（B3 B2 B1 B0）2代表四位二进制减数，Ci-1输入为“1”，代表补码运算。

**BCD加减器：**用A0-A3、B0-B3、Ci-1、AS作为输入。（A3 A2 A1 A0）2代表被加或被减的四位二进制数，（B3 B2 B1 B0）2代表四位二进制加数或减数，Ci-1代表来自低位的进位或借位。ASi用以选择加减模式，AS=0时代表加法器，AS=1时代表减法器。

输出信号

**半加器：**用S、C作为输出信号。S代表相加得到的低位结果，C代表相加得到的进位，（CS）2组成二进制数相加得到的二位二进制数。

**全加器：**用SI、CI作为输出信号。SI代表相加得到的低位结果，CI代表相加得到的进位，（CI SI）2组成二进制数相加得到的二位二进制数。

**四位全加器：**用S0-S3、Co作为输出。（S3 S2 S1 S0）2代表相加得到的四位二进制数，Co代表向高位的进位。

**四位全减器：**用S0-S4作为输出。（S4 S3 S2 S1 S0）2代表相减得到的四位二进制数补码，其中S4是符号位，“1”代表负数，“0”代表正数。

**BCD加减器：**用S0-S4、Aso、Co作为输出。（S3 S2 S1 S0）2代表相加或相减得到的一位BCD数，S4在加法功能时作为BCD码数值的十位，减法功能时代表符号位。Co代表向高位的进位或借位。ASo代表用于串接的加减法功能选择的输出，直接接到输入Asi上，“1”代表减法功能，“0”代表加法功能。

**…**

**3、 BCD 加减器**

**1) 在前面加法器和减法器的基础上，设计BCD校正电路，实现 1 位 BCD 加减器，通过一个逻辑电平开关，实现加法和减法的切换。**

**2) 将 1 位 BCD 加减器下载到实验箱，连接逻辑电平开关进行功能验证**

1. **列出真值表**

由于真值表过于复杂，在此根据AS的取值将其拆分为加法器、减法器两部分真值表。其中，每一部分选列出了典型功能的真值表结果。

表 4 BCD加减器-加法功能

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | | | **输出** | | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **CI** | **ASi** | **ASo** | **S4** | **S3** | **S2** | **S1** | **S0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … | … | … |

表 5 BCD加减器-减法功能

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | | | | | | | **输出** | | | | | |
| **A3** | **A2** | **A1** | **A0** | **B3** | **B2** | **B1** | **B0** | **CI** | **ASi** | **ASo** | **S4** | **S3** | **S2** | **S1** | **S0** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| … | … | … | … | … | … | … | … | … | … | … | … | … | … |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| … | … | … | … | … | … | … | … | … |  | … | … | … | … | … | … |

1. **逻辑化简**

该BCD加减器是基于4位全加器与4位减法器设计的，因此逻辑函数式需要中间逻辑变量接收器件的输出。首先明确设计思路：该加减器接受两个四位二进制数，并行各输入进一个4位加法器与一个4位减法器。4位加法器的输出需要再用一个4位加法器进行移位校正，得到加法功能的最终输出；减法器的输出即是减法功能的输出。最后，将加法功能与减法功能的输出各位与ASi及其反变量作与运算，以选择输出模式；再将与后的各数位结果作或运算，得到最终输出。

由上述分析，先讨论加法功能部分。记

则BCD数T与二进制数间应存在校正关系，这里两低位数值相加得到的：

其中，P是用于BCD校正的4位加法器的另一个加数的四个引脚组成的四位二进制数；Q4是二者相加得到的一个进位。由于这个进位并不是加法器的最终进位，因而用Q临时表示。这就是加法器输出端的BCD数值校正电路，该功能由4位加法器实现。

加法功能的进位输出应是校正后的进位输出，而该功能无法用4位加法器简易地实现（二进制数加法器的进位输出是24级，用于BCD校正的加法器进位输入是20级）。因此需采用类似并行加法器组合成更高位加法器的原理作出进位预判。仿照并行加法器得出的进位逻辑函数如下：

这便是加法功能向高位的进位。对于减法功能，逻辑函数由减法器给出。

这里Q4是符号位。记最终输出为S（下标i表示输入或输出的第i位），加法功能最终输出结果为，则功能选择的逻辑函数：

用于串接的功能选择输入端ASi与输出端ASo间应有关系：

故BCD加减器的逻辑函数由上述各式给出。

1. **逻辑电路图**



图 3 BCD加减器电路图

右侧的4位加法器得到的结果是加法功能+6后的全校正结果，由下方一组输出为T[3..0]的电路组判别原输出值是否>9，从而选择原输出或+6后的输出作为BCD码的最终校正结果。判别原输出是否>9是利用向高位进位的逻辑变量Co实现的。

下方最右侧的电路组是功能选择的电路组。

1. **功能仿真**

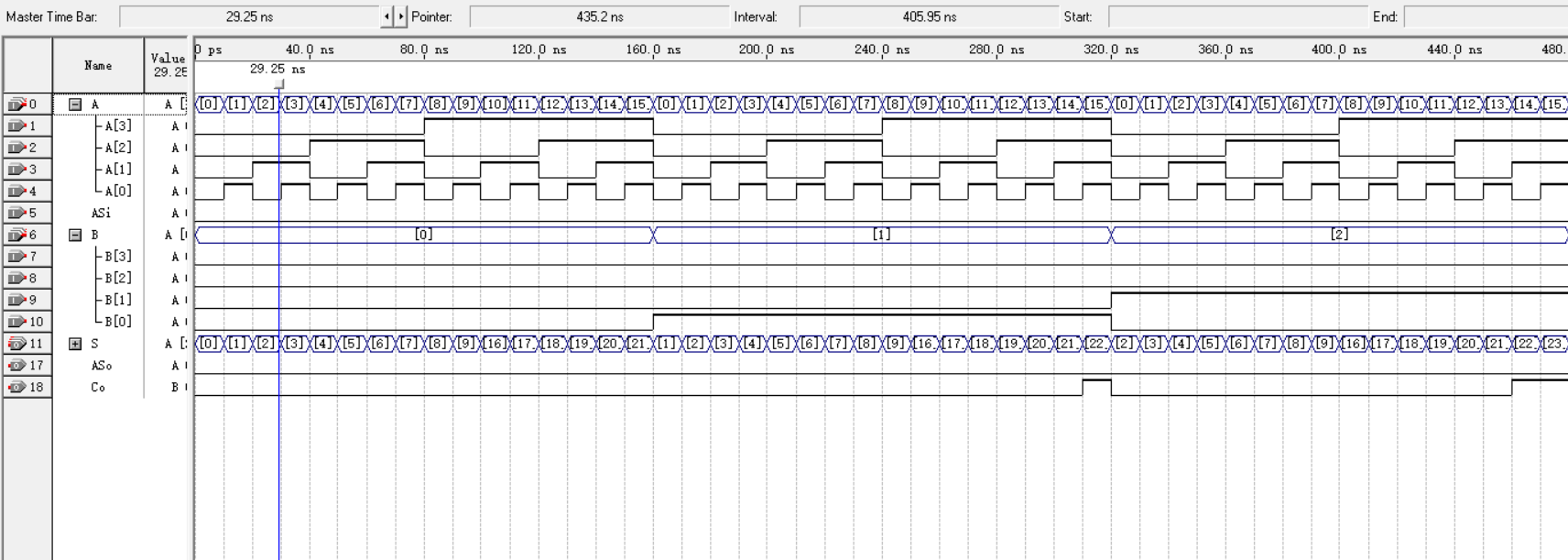
****

图 4 加法功能

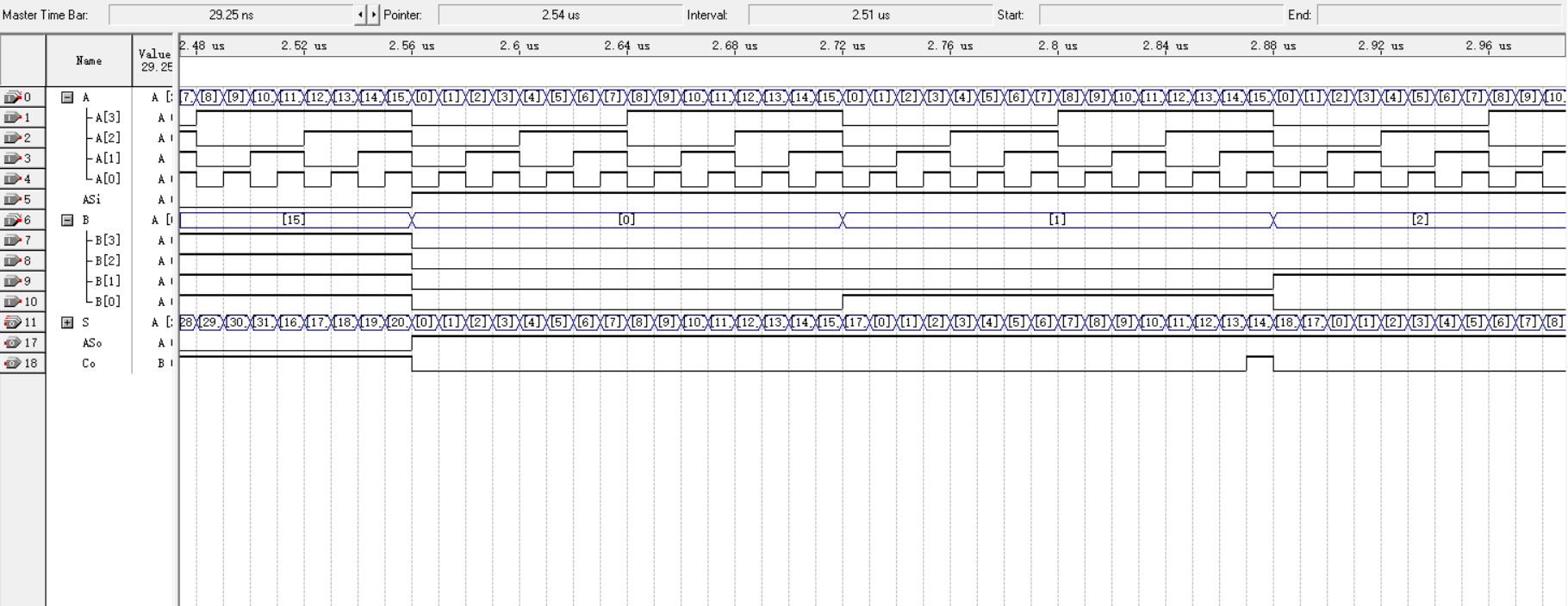
****

图 5 减法功能

引脚分配如下：

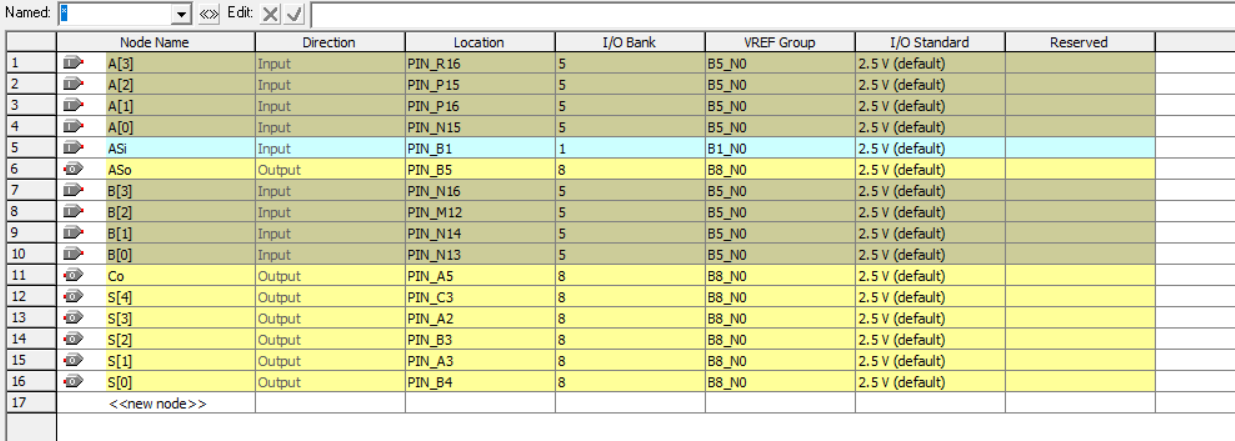


图 6 BCD加减器引脚分配

其中，ASi的高低电平由B1端口分别接入D5V与GND实现。

**三、实验记录**（记录实验具体步骤、原始数据、实验过程、实验中遇到的故障现象、排除故障的过

程和方法等）

实验步骤：

遇到的问题及解决方法：

**四、实验仪器**

**五、实验小结**（总结实验完成情况，对设计方案和实验结果做必要的讨论，简述实验收获和体会）

**六、参考资料**